



(12) 发明专利

(10) 授权公告号 CN 103109368 B

(45) 授权公告日 2015.06.17

(21) 申请号 201180044970.6

H01L 23/60(2006.01)

(22) 申请日 2011.09.21

H01L 25/065(2006.01)

H01L 23/00(2006.01)

(30) 优先权数据

12/889,615 2010.09.24 US

审查员 刘乐

(85) PCT国际申请进入国家阶段日

2013. 03. 19

(86) PCT国际申请的申请数据

PCT/US2011/052469 2011.09.21

(87) PCT国际申请的公布数据

W02012/040274 EN 2012. 03. 29

(73) 专利权人 超威半导体公司

地址 美国加利福尼亚州

专利权人 ATI 科技无限责任公司

(72)发明人 迈克尔·Z·苏

贾迈尔·里法伊-艾哈迈德

布莱恩·布莱克

(74) 专利代理机构 上海胜康律师事务所 31263

代理人 李献忠

(51) Int. Cl.

H01L 23/58(2006.01)

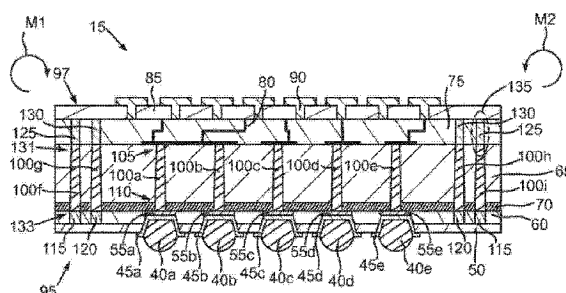
权利要求书2页 说明书10页 附图8页

(54) 发明名称

具有加强硅穿孔的半导体芯片

(57) 摘要

一种制造方法包括将第一硅穿孔(100f)的第一末端(131)连接到紧邻第一半导体芯片(15)的第一侧的第一芯片密封件(125)。将所述第一硅穿孔的第二末端(133)连接到紧邻所述第一半导体芯片第一侧对面的第二侧的第二芯片密封件(115)。



1. 一种制造方法,包括:

将第一硅穿孔的第一末端连接到紧邻第一半导体芯片的第一侧的第一芯片密封件;和
将所述第一硅穿孔的第二末端连接到紧邻所述第一半导体芯片所述第一侧对面的第二侧的第二芯片密封件。

2. 如权利要求 1 所述的方法,其包括将所述第一芯片密封件电连接到接地。

3. 如权利要求 1 所述的方法,其中所述第一半导体芯片包括静电放电二极管,所述方法包括将所述第一芯片密封件电连接到所述静电放电二极管。

4. 如权利要求 1 所述的方法,其包括将所述第一硅穿孔的所述第一末端连接到紧邻所述第一半导体芯片的所述第一侧的第三芯片密封件,并将所述第一硅穿孔的所述第二末端连接到紧邻所述第一半导体芯片的所述第二侧的第四芯片密封件。

5. 如权利要求 1 所述的方法,其包括将第二硅穿孔的第一末端连接到紧邻所述第一半导体芯片的所述第一侧的第三芯片密封件,并将所述第二硅穿孔的第二末端连接到紧邻所述第一半导体芯片的所述第二侧的第四芯片密封件。

6. 如权利要求 5 所述的方法,其包括将导体构件连接到所述第一和第二硅穿孔的相邻表面。

7. 如权利要求 1 所述的方法,其包括将第二半导体芯片堆叠在所述第一半导体芯片上。

8. 如权利要求 1 所述的方法,其包括将所述第一硅穿孔电连接到所述第一半导体芯片上的连续电路。

9. 如权利要求 1 所述的方法,其包括将所述第一硅穿孔遍历所述第一半导体芯片中的吸气层。

10. 一种制造方法,其包括:

在第一半导体芯片中形成第一硅穿孔,所述第一硅穿孔包括第一末端和第二末端;
形成与所述第一硅穿孔的所述第一末端欧姆接触的第一芯片密封件;和
形成与所述第一硅穿孔的所述第二末端欧姆接触的第二芯片密封件。

11. 如权利要求 10 所述的方法,其包括将所述第一芯片密封件电连接到接地。

12. 如权利要求 10 所述的方法,其中所述第一半导体芯片包括静电放电二极管,所述方法包括将所述第一芯片密封件电连接到所述静电放电二极管。

13. 如权利要求 10 所述的方法,其包括形成与所述第一硅穿孔的所述第一末端欧姆接触的第三芯片密封件和与所述第一硅穿孔的所述第二末端欧姆接触的第四芯片密封件。

14. 如权利要求 10 所述的方法,其包括在所述第一半导体芯片中形成具有第一和第二末端的第二硅穿孔、与所述第二硅穿孔的所述第一末端欧姆接触的第三芯片密封件,和与所述第二硅穿孔的所述第二末端欧姆接触的第四芯片密封件。

15. 如权利要求 14 所述的方法,其包括在所述第一和第二硅穿孔的相邻表面之间形成导体构件。

16. 如权利要求 10 所述的方法,其包括将第二半导体芯片堆叠在所述第一半导体芯片上。

17. 如权利要求 10 所述的方法,其包括将所述第一硅穿孔电连接到所述第一半导体芯片上的连续电路。

18. 如权利要求 10 所述的方法,其包括在所述第一半导体芯片中形成吸气层并与所述第一硅穿孔接触。

19. 一种装置,其包括:

第一半导体芯片,其具有第一侧和第二相对侧,且包括紧邻所述第一侧的第一芯片密封件和紧邻所述第二侧的第二芯片密封件;和

第一硅穿孔,其具有连接到所述第一芯片密封件的第一末端和连接到所述第二芯片密封件的第二末端。

20. 如权利要求 19 所述的装置,其中所述第一芯片密封件被电连接到接地。

21. 如权利要求 19 所述的装置,其中所述第一半导体芯片包括电连接到所述第一芯片密封件的静电放电二极管。

22. 如权利要求 19 所述的装置,其包括紧邻所述第一侧并被连接到所述第一硅穿孔的所述第一末端的第三芯片密封件,和紧邻所述第二侧并被连接到所述第一硅穿孔的所述第二末端的第四芯片密封件。

23. 如权利要求 19 所述的装置,其包括紧邻所述第一侧的第三芯片密封件、紧邻所述第二侧的第四芯片密封件,和第二硅穿孔,所述第二硅穿孔具有连接到所述第三芯片密封件的第一末端和连接到所述第四芯片密封件的第二末端。

24. 如权利要求 23 所述的装置,其包括连接到所述第一和第二硅穿孔的相邻表面的导体构件。

25. 如权利要求 19 所述的装置,其包括堆叠在所述第一半导体芯片上的第二半导体芯片。

26. 如权利要求 19 所述的装置,其中所述第一半导体芯片包括电连接到所述第一硅穿孔的连续电路。

27. 如权利要求 19 所述的装置,其包括在所述第一半导体芯片中与所述第一硅穿孔接触的吸气层。

具有加强硅穿孔的半导体芯片

[0001] 发明背景

1. 技术领域

[0002] 本发明一般涉及半导体加工,并且更具体涉及并入硅穿孔的半导体芯片及其制造方法。

[0003] 2. 相关领域描述

[0004] 不久前,半导体芯片设计者开始垂直堆叠多个半导体芯片(又称“芯片”),以便获得更多功能而不需随之增加所需封装基板或电路板面积。各种技术已用于电连接这样的堆叠结构中的相邻芯片。一种技术已涉及到使用从一个芯片上的接触垫拉到相邻芯片上的对应接触垫的丝焊。最近引入的另一种技术涉及到使用所谓的硅穿孔(TSV)。典型 TSV 是取决于芯片的一个或另一个主面上有没有中间导体垫而几乎延伸穿过半导体芯片或完全延伸穿过半导体芯片的导电孔。

[0005] 典型常规的 TSV 在半导体芯片的相对主面之间提供电路由。常规 TSV 的一侧连接到某一类型的输入/输出结构(I/O),所述输入/输出结构通常是设计来在倒装芯片回流焊接期间在封装基板上形成焊点的焊接凸点。TSV 并不直接连接到焊接凸点,而是连接到某一中间结构,诸如像凸块焊垫的最外层的金属结构。TSV 的另一端或背部端通常通过某个中间导体结构连接到某一形式的背部 I/O 结构。常规的 TSV 布置包括冶金连接到单个凸块焊垫的单个 TSV。

[0006] 常规的 TSV 经受取决于功率级、热管理、芯片尺寸和其它因素而强度不同的焦耳加热和电迁移问题。一对一 TSV 到凸块焊垫布置受到这些环境方面的考虑。

[0007] 常规的半导体芯片通常被大批制造为单个半导体薄片的部分。从形成个别芯片的加工步骤得出结论:所谓的切割或锯截操作是在薄片上执行,以切断个别芯片。此后,芯片可被封装或直接安装到一种形式或另一种形式的印刷电路板。常规的半导体芯片通常被以矩形从薄片切断。按照定义,常规的半导体芯片具有四个侧面和四个角。切割操作是由一种圆锯执行的机械切割操作。切割锯比可比较的砌筑圆锯制作谨慎、操作精细。虽然有这些改进,但是切割锯切割芯片时仍对个别芯片施加了很大的应力。切割操作期间的这些应力和冲击载荷可在芯片中特别是在芯片角上造成微观断裂。一旦切割的芯片被安装到一种或另一种封装基板或印刷电路板,在切割期间引入的裂缝就可能由于热应力或可放置在芯片上的其它机械应力而进一步传播到芯片中心。另外,尤其在由于几何形状而产生所谓应力梯级的角附近可形成新的裂缝。

[0008] 解决裂缝从芯片的角传播的常规技术涉及到使用止裂件。常规的止裂件由在半导体芯片中和半导体芯片边缘附近形成的框架型结构组成。从上方看,止裂件像相框。常规的止裂件并不延伸出常规芯片的边缘。由于这种几何形状,从芯片角传播的裂缝在碰到芯片止裂件之前可达到很长的长度。如果裂缝在碰到常规止裂件之前达到某一临界长度,那么裂缝可变得几乎无法控制。裂缝可压倒常规的止裂件、侵入半导体芯片的有源部分并对其中精细的电路结构造成浪费。甚至在有常规芯片密封件的情况下,堆叠半导体芯片可由

于热膨胀失配而经受巨大的弯曲应力。

[0009] 本发明旨在克服或减小一个或多个前述缺陷的效应。

发明概要

[0010] 根据本发明的实施方案的一个方面,提供一种制造方法,其包括将第一硅穿孔的第一末端连接到紧邻第一半导体芯片的第一侧的第一芯片密封件。将第一硅穿孔的第二末端连接到紧邻第一半导体芯片第一侧对面的第二侧的第二芯片密封件。

[0011] 根据本发明的实施方案的另一个方面,提供一种制造方法,其包括在第一半导体芯片中形成第一硅穿孔。第一硅穿孔包括第一末端和第二末端。形成与第一硅穿孔的第一末端欧姆接触的第一芯片密封件。形成与第一硅穿孔的第二末端欧姆接触的第二芯片密封件。

[0012] 根据本发明的实施方案的另一个方面,提供一种装置,其包括具有第一侧和第二相对侧的第一半导体芯片,且第一半导体芯片包括紧邻第一侧的第一芯片密封件和紧邻第二侧的第二芯片密封件。第一半导体芯片还包括具有连接到第一芯片密封件的第一末端和连接到第二芯片密封件的第二末端的第一硅穿孔。

[0013] 根据本发明的实施方案的另一个方面,提供一种装置,其包括具有第一侧和第二相对侧的第一半导体芯片,且第一半导体芯片包括紧邻第一侧的第一芯片密封件和紧邻第二侧的第二芯片密封件。第一半导体芯片还包括具有连接到第一芯片密封件的第一末端和连接到第二芯片密封件的第二末端的第一硅穿孔。所述装置是以计算机可读介质中储存的指令体现的。

[0014] 附图简述

[0015] 在阅读以下详细描述之后且在参阅附图之后,本发明的前述优点和其它优点将显而易见,在附图中:

[0016] 图 1 是包括安装到电路板上的半导体芯片的半导体芯片设备的示例性实施方案的爆炸视图;

[0017] 图 2 是图 1 沿截面 2-2 的剖视图;

[0018] 图 3 是图 1 沿截面 3-3 的剖视图;

[0019] 图 4 是类似于图 3 的剖视图,但是是其中多个 TSV 被条互连的替代示例性实施方案;

[0020] 图 5 是图 4 沿截面 5-5 的剖视图;

[0021] 图 6 是类似于图 2 的剖视图,但是是其中给定 TSV 可连接到多个芯片密封件的替代示例性实施方案;

[0022] 图 7 是具有连接到芯片密封件来提供各种电功能的多个外围 TSV 的替代示例性半导体芯片的剖视图;

[0023] 图 8 是经受示例性平版印刷工艺的示例性半导体芯片的剖视图;

[0024] 图 9 是类似于图 8 的剖视图,但是描绘了 TSV 沟槽的示例性形成;

[0025] 图 10 是以更大放大倍率描绘图 9 的部分的剖视图;

[0026] 图 11 是类似于图 9 的剖视图,但是描绘示例性 TSV 形成;

[0027] 图 12 是类似于图 11 的剖视图,但是描绘了半导体芯片的示例性变薄;

- [0028] 图 13 是类似于图 12 的剖视图,但是描绘了变薄以后的半导体芯片 ;
- [0029] 图 14 以更大放大倍率描绘图 2 的示例性芯片密封件的部分 ;
- [0030] 图 15 描绘具有覆盖结构的替代示例性 TSV 的剖视图 ;
- [0031] 图 16 描绘具有多层次结构的另一示例性 TSV 的剖视图 ;
- [0032] 图 17 是类似于图 2 的剖视图,但是是具有硅穿孔和吸气层的半导体芯片的替代示例性实施方案 ;
- [0033] 图 18 是经受吸气层的示例性形成的替代示例性半导体芯片的剖视图 ;和
- [0034] 图 19 是类似于图 18 的剖视图,但是描绘了紧邻吸气层的设备层的制造。

具体实施方式

[0035] 本文描述了包括一个或多个半导体芯片的半导体芯片设备的各种实施方案。一个实例包括其中多个 TSV 连接在正面和背面芯片密封件之间的至少一个半导体芯片。多个 TSV 向半导体芯片提供增强的机械强度,并可充当接地或其它电流的电电路径。现将描述另外的细节。

[0036] 在下文描述的附图中,在相同元件出现在多于一个附图中的情况下,通常重复参考数字。现参看附图,并且具体参看图 1,示出半导体芯片设备 10 的示例性实施方案的爆炸视图,半导体芯片设备 10 包括安装到电路板 20 上的半导体芯片 15。半导体芯片 15 适于具有一个或多个以堆叠布置安装到上面的其它半导体芯片,其中一个被示出且标注为 25。半导体芯片 15 可通过多个互连结构与电路板 20 电连接,所述互连结构可以是导电柱、焊点或其它类型的互连件。在该示意性实施方案中,半导体芯片 15 可通过多个焊点与电路板 20 连接,所述焊点可由半导体芯片的各自的焊接结构(不可见)组成,所述焊接结构冶金地结合到电路板 20 的对应的焊接结构 30。电路板 20 可能进而通过多个输入 / 输出结构与诸如另一电路板的另一电子设备或其它设备电连接。在该示意性实施方案中,输入 / 输出结构由锡球 35 的阵列组成。然而,技术人员将理解到也可使用其它类型的互连结构,诸如针栅阵列、焊盘网格阵列或其它互连结构。

[0037] 本文公开的半导体芯片 15 的示例性结构并不依赖于特定的电子功能。因此,半导体芯片 15 和半导体芯片 25 可以是电子产品中使用的无数种不同类型的电路设备中的任何设备,所述电子产品例如微处理器、图形处理器、结合微处理器 / 图形处理器、专用集成电路、存储设备、诸如激光的有源光学设备、无源光学设备等,且半导体芯片 15 和半导体芯片 25 可以是单核或多核或甚至是与另外的芯片横向堆叠。此外,半导体芯片 15 和 25 中的一个或二者可被配置成具有或不具有一些逻辑电路的插入器。因此,术语“芯片”包括插入器。半导体芯片 15 和 25 可由诸如硅或锗的散装半导体或诸如绝缘体上硅材料的绝缘体上半导体材料或其它芯片材料或甚至绝缘材料构成。

[0038] 本文公开的半导体芯片 15 的示例性结构并不依赖于特定的电子电路板功能。因此,电路板 20 可以是半导体芯片封装基板、电路卡或几乎任何其它类型的印刷电路板。虽然单片结构可用于电路板 20,但是更典型的配置将利用堆积设计。在这方面,电路板 20 可由中央核心组成,所述中央核心上方形成一个或多个堆积层且下方形成另外一个或多个堆积层。核心本身可由一个或多个层堆叠组成。如果作为半导体芯片封装基板而被实现,那么电路板 20 中层的数目可从四到十六不等或更多,但是也可使用少于四个层。也可使用所

谓的“无核”设计。电路板 20 的层可由绝缘材料组成,诸如各种已知的穿插金属互连件的环氧树脂。可使用除堆积以外的多层配置。可选地,电路板 20 可由已知陶瓷或适于封装基板或其它印刷电路板的其它材料组成。电路板 20 具有许多导线和孔和其它结构(不可见),以便在半导体芯片 15 和 25 和诸如另一电路板的另一设备之间提供电源、接地和信号传输。电路板 20 可通过诸如所述球栅阵列的输入 / 输出阵列来电连接到另一设备(未示出)。球栅阵列包括上述多个冶金结合到各自的锡球垫(未示出)的锡球 35。锡球垫(未示出)通过多个互连线和孔和未示出的其它结构而互连到电路板 20 中的各种导体垫。

[0039] 将结合图 2 描述半导体芯片 15 的另外的细节,图 2 是图 1 沿截面 2-2 的剖视图。如上文简单描述,半导体芯片 15 可包括被设计来与电路板 20 的互连结构 30 冶金结合的多个输入 / 输出结构。这些示例性互连结构中的一些是可见的,且可由各自的焊接凸点 40a、40b、40c、40d 和 40e 组成。焊接凸点 40a、40b、40c、40d 和 40e 可由各种类型的焊料组成,诸如,无铅或含铅焊料。适合的无铅焊料的实例包括锡-银(约 97.3% 的 Sn、2.7% 的 Ag)、锡-铜(约 99% 的 Sn、1% 的 Cu)、锡-银-铜(约 96.5% 的 Sn、3% 的 Ag、0.5% 的 Cu)等。含铅焊料的实例包括共晶比例或接近共晶比例的锡铅焊料。如上所述,焊接凸点 40a、40b、40c、40d 和 40e 可用导电柱或按照要求用其它类型的互连结构来替换。这里,焊接凸点 40a、40b、40c、40d 和 40e 分别耦接到下部金属(UBM)结构 45a、45b、45c、45d 和 45e。UBM 金属结构 45a、45b、45c、45d 和 45e 形成在钝化结构结构 50 上和钝化结构结构 50 中,钝化结构结构 50 可以是绝缘材料制造的单片或层压膜。UBM 结构 45a、45b、45c、45d 和 45e 进而连接到导体结构或导体垫 55a、55b、55c、55d 和 55e。导体垫 55a、55b、55c、55d 和 55e 可由实际形成金属化层 60 的部分的导体垫组成,金属化层 60 包括层间介电层和金属化层(未示出)的多个替代层。应理解,图 2 本质上是示意图,因为导体垫 55a、55b、55c、55d 和 55e 和金属化层 60 均未按比例示出。在任一情况下,金属化层 60 所使用的层间介电层(未示出)可由已知二氧化硅、其它类型的硅酸盐玻璃、低 K 值电介质膜等组成。层 60 和导体垫 55a、55b、55c、55d 和 55e 中的金属结构和 UBM 结构 45a、45b、45c、45d 和 45e 可由各种导体组成,诸如,铜、银、镍、铂、金、铝、钯、它们的合金或层压等,且所述结构可通过诸如电镀、等离子体增强或不增强的化学气相沉积法(CVD),和具有化学蚀刻激光烧蚀的光刻技术的已知材料替换和图案化技术来形成。

[0040] 半导体芯片 15 是多阶层结构,因为可能有散装半导体地层或层 65、其中可形成许多晶体管、电容器和其它电路设备的设备地层或层 70 和金属化地层或层 60。金属化层 60 可形成一系列夹在连续堆积在设备层 70 上的层间介电层之间的金属化层。因为半导体芯片 15 可设计成具有诸如堆叠在上面的半导体芯片 25 的另一半导体芯片,所以提供背面金属化方案。在这方面,再分配层(RDL) 75 可在半导体层 65 上形成。RDL 75 可以是堆积或与一个或多个 RDL 金属结构 80 交织的沉积绝缘材料的一个或多个层的单片结构或层压结构,RDL 金属结构 80 可能在相同或不同的层上。RDL 75 可能覆盖有绝缘或钝化层 85 和多个输入 / 输出结构 90。钝化层 85 可能是多个绝缘膜的单片或层压结构,且可由与本文别处所述的钝化结构层 50 所使用的相同类型的材料制造。输入 / 输出结构 90 可以是导电柱、导电焊、焊点等,且用以与图 1 描绘的半导体芯片 25 建立电连接。互连结构 90 可由各种导体组成,诸如,铜、银、镍、铂、金、铝、钯、它们的合金或层压板、焊料等。RDL 结构 80 可连接到一个或多个互连结构 90。

[0041] 为了在半导体芯片 15 的相对侧 95 和 97 之间建立导电路径,且更具体地说是在 RDL 结构 80 和导体垫 55a、55b、55c、55d 和 55e 之间建立导电路径,可在半导体层 65 中形成多个 TSV 100a、100b、100c、100d 和 100e 以延伸穿过设备层 70 和金属化层 60,并将 RDL 结构 80 连接到导体垫 55a、55b、55c、55d 和 55e。可在相同层或地层 60、65 和 70 中形成另外的 TSV 100f、100g、100h 和 100i,以提供下文将更详细描述的各种有用功能。因此,TSV 100a、100b、100c、100d 和 100e 可起到常规的穿芯片互连作用。从结构上讲,诸如 TSV100a 的给定 TSV 的末端 105 接触对应的导体垫 55a,且 TSV 100a 的相对末端 110 接触 RDL 结构 80 中的一个。应理解,术语“TSV”和“半导体”在本文中通用,因为半导体层 65 可由硅以外的材料组成,甚至由诸如二氧化硅、四乙基邻硅酸盐或其它的绝缘材料组成。与本文公开的所有半导体结构类似,TSV 100a、100b、100c、100d、100e、100f、100g、100h 和 100i 有几十个、上百个或更多,且可由各种材料组成,诸如,铜、钨、石墨、铝、铂、金、钯、它们的合金等。可想象覆盖结构。

[0042] 在该示意性实施方案中,半导体芯片 15 可具有正面芯片密封件 115 和 120 和背面芯片密封件 125 和 130。术语“正面”和“背面”是很任意的。虽然正面芯片密封件 115 和 120 和背面芯片密封件 125 和 130 在图 2 中是柱状结构,但是技术人员将理解到,芯片密封件 115、120、125 和 130 实际上可被配置成沿半导体芯片 15 的周边延伸的框架型结构。这些结构方面将在以下附图中被描绘。正面芯片密封件 115 和 120 将在金属化层 60 中制造,且如下文更完全地描述,以与各种金属化层和金属化层 60 本身中层间介电层相同的堆积方式制造。背面芯片密封件 125 和 130 可此外使用与制造 RDL 75 所使用的相同类型的导体材料沉积、介电材料沉积和图案化技术来类似地在 RDL 75 中制造。

[0043] TSV 100f、100g、100h 和 100i 可在半导体芯片 15 中形成,与正面芯片密封件 115 和 120 和背面芯片密封件 125 和 130 接触。可想象许多不同类型的结构。在该示意性实施方案中,TSV 100f 和 100i 可连接在正面芯片密封件 115 和背面芯片密封件 125 之间,且 TSV 100g 和 100h 可连接在正面芯片密封件 120 和背面芯片密封件 130 之间。从结构上讲,诸如 TSV 100f 的给定 TSV 的末端 131 接触正面芯片密封件 115,且 TSV100f 的相对末端 133 接触背面芯片密封件 125。位于外围的 TSV 100f、100g、100h 和 100i 可具有多种功能。在与测试和实际操作相关的热循环期间,半导体芯片 15 可经受弯矩 M1 和 M2。链接到芯片密封件 115、120、125 和 130 的外围 TSV 100f、100g、100h 和 100i 使半导体芯片 15 变硬,且由于弯矩 M1 和 M2 而耐弯曲。将在下文描述另外的益处。图 14 将以更大放大倍率示出虚线椭圆 135 外接的图 2 的部分,且所述部分将用以描述本文所述芯片密封件 115、120、125 和 130 的示例性结构特征。

[0044] 现可参看图 3 理解半导体芯片 15 另外的细节,图 3 是图 1 沿截面 3-3 的剖视图。注意,图 2 中可见的 TSV 100a、100b、100c、100d、100e、100f、100g、100h 和 100i 在图 3 也可见,虽然截面与图 2 所使用的截面实质上正交。因为截面 3-3 的位置,所以部分示出了半导体层 65,然而,上述正面芯片密封件 115 和 120 被半导体层 65 遮掩,且因此用阴影示出。如上所述,正面芯片密封件 115 和 120 可被配置成与图 3 描绘的框架型结构基本相像(相类似),所述框架型结构沿半导体芯片 15 的整个周边延伸并提供常规的止裂功能。的确,应理解,图 3 中不可见的背面芯片密封件 125 和 130 可具有与正面芯片密封件 115 和 120 所述相同类型的框架型结构。连接到最外层芯片密封件 115 的 TSV 的数目的确很大。所述另外的

TSV 统一被标注为 140 并可跟踪与芯片密封件 115 相同的足迹。连接到下一个内部正面芯片密封件 120 的 TSV 的数目也可能是很大,且统一被标注为 145 并可类似地跟踪芯片密封件 120 的足迹。被指定用于穿芯片互连的 TSV 的布置可取决于半导体芯片 15 的内部连接要求来用实质上无限制数量的配置来安置,所述 TSV 例如 TSV 100a、100b、100c、100d、100e 和统一标注为 150 的另外的 TSV。TSV 100f、100g、100h 和 100i 和它们对应部分 TSV 140 和 145 可提供各种除了上文公开的钢筋弯曲之外的半导体芯片的功能。各种 TSV 100f、100g、100h 和 100i、140 和 145 所提供的一种技术功能是止裂作用,因为 TSV 对向半导体芯片 15 的内部 155 传播的裂缝提供穿插障碍。然而,如下文更详细论述,TSV 100f、100g、100h 和 100i、140 和 145 也可提供各种其它功能。

[0045] 位于外围的 TSV 的止裂能力可通过添加 TSV 构件或条来增强。现可参看图 4 理解不但并入连接到芯片密封件的外围 TSV 还并入多个 TSV 条的半导体芯片 15' 的示例性实施方案,图 4 是类似于图 3 的剖视图,但是是该替代示例性半导体芯片 15' 的剖视图。这里,半导体芯片 15' 可包括本文别处通常所述的正面芯片密封件 115 和 120。另外,多个 TSV 140 可连接到本文别处所述的芯片密封件 115,且多个 TSV 145 可连接到本文别处所述的芯片密封件 120。然而,连接到芯片密封件 115 的一些或所有 TSV 140 可横向连接到一个 TSV145,TSV 145 是通过 TSV 构件或条 160 连接到芯片密封件 120。TSV 条 160 可用许多不同类型的结构连接在相邻 TSV 140 和 145 之间。例如,紧邻半导体芯片 15' 的侧面 165 的一些 TSV 条 160 可以锯齿形图案连接,而紧邻相同侧面 165 的另外的 TSV 条 160 可平行放置。应理解,TSV 条 160 可用以在需要时将所有 TSV 140 连接到相邻 TSV145。一些或所有的 TSV 条 160 甚至可以是弓形。

[0046] 现可参看图 5 理解 TSV 条 160 的示例性结构,图 5 是图 4 沿截面 5-5 的剖视图。在参看图 5 之前,应注意,截面 5-5 通过紧邻半导体芯片 15' 的侧面 170 的 TSV 160 中的一个。在这个背景下,现在参看图 5。这里,芯片密封件 115 和 120 与 TSV 140 和 145 和中间 TSV 条 160 一样出现在截面中。因为截面 5-5 实质进入到半导体芯片 15' 的厚度中,所以例如半导体芯片 15 常见的结构特征也可见,诸如,半导体层 65、设备层 70、金属化层 60、钝化层 50、RDL 75 和背面芯片密封件 125 和 130 和钝化层 85。注意,不是常规意义上的圆柱形或圆形构件的 TSV 条 160 在 TSV 140 和 145 之间延伸,且虽然以不同的剖面线示出,但实际上可由与 TSV 140 和 145 相同的材料组成,且与 TSV 140 和 145 同时形成。因此,TSV 条 160 可实际上稍呈柱形,横截面是与圆形横截面不同的矩形。然而,技术人员将理解到,TSV 条 160 的实际足迹可呈各种形状。

[0047] 在图 2 描绘的半导体芯片的示意性实施方案中,例如 TSV 100a 的给定外围 TSV 连接在正面芯片密封件 115 和背面芯片密封件 125 之间,且单独并离散的 TSV 100b 连接在正面芯片密封件 120 和背面芯片密封件 130 之间。然而,由于普遍光刻技术和材料沉积过程的巨大的灵活性,可定制 TSV 尺寸和配置,使得给定 TSV 连接到半导体芯片一个侧面上的多于一个的芯片密封件和半导体芯片相对侧面上的多于一个的芯片密封件。在这方面,现参看图 6,图 6 是类似于图 2 的剖视图,但是是半导体芯片 15'' 的替代示例性实施方案。半导体芯片 15'' 可实质上等同于图 2 描绘的半导体芯片 15,且因此所述实施方案常见的相同特征将不分开标注。然而,注意到,标注了正面芯片密封件 115 和 120 和背面芯片密封件 125 和 130。在该示意性实施方案中,大足迹 TSV 175 可连接在正面芯片密封件 115 和 120 与

背面芯片密封件 125 和 130 之间,且另一大足迹 TSV 180 可连接在正面芯片密封件 115 和 120 与背面芯片密封件 125 和 130 之间。的确,TSV175 和 180 可如本文所述其它实施方案的外围 TSV 一样沿半导体芯片 15" 的整个外围延伸。

[0048] 除了使用连接在半导体芯片的相对侧面上的芯片密封件之间的外围 TSV 的结构优势以外,所述外围 TSV 可用以提供许多其它感兴趣的功能。在这方面,现参看图 7,图 7 是类似于图 2 的剖视图,但是半导体芯片 15" ' 的替代示例性实施方案。半导体芯片 15" ' 实质上与图 2 所述半导体芯片 15 相同,只有以下描述的几个显著的例外。因此,半导体芯片 15" ' 和半导体芯片 15 常见的结构特征在图 7 中并不分开标注。然而,为了提供上下文,正面芯片密封件 115 和 120、背面芯片密封件 125 和 130 和外围 TSV 100f、100g、100h 和 100i 都被标注。该示意性实施方案示出了可由外围 TSV 提供的几个电功能。在这方面,正面芯片密封件 115 和 120 中的一个或两个,且在该实例中芯片密封件 120,可连接到芯片接地 185。因为 TSV 100g 和半导体芯片 15" ' 的周边周围其它跟它类似(不可见)的 TSV 也连接到芯片密封件 130,所以静电放电或其它不必要的电流可从半导体芯片 15" ' 的侧面 97 向下流到芯片接地 185。另外的可选特征涉及芯片密封件 115 和 120 中一个或多个,且在该实例中是芯片密封件 120 到静电放电二极管 190 的电连接。此外,因为 TSV 100h 连接到芯片密封件 120 和芯片密封件 130,所以 ESD 或其它源所产生的杂散电流可被安全地引到 ESD 二极管 190。芯片接地 185 和 ESD 二极管 190 都可制造成金属化层 60 中或必要时甚至设备层 70 中的独立结构。ESD 二极管 190 可构建成已知的足够尺寸的 pn 或 np 连结式二极管来提供 ESD 保护,且 ESD 二极管 190 可由大量所述二极管组成来处理任何预期的电流。

[0049] 因为例如外围 TSV 100f 的外围 TSV 可充当电路径,所以可起到可帮助检测裂缝的另外的电功能。例如,连续电路 195 可并入设备层 70 且从逻辑角度看可被简单配置为已知类型的连续性试验器。连续电路 195 可电连接到 TSV 100f,且因此电连接到芯片密封件 115 和芯片密封件 125。在紧邻 TSV 100f 的半导体层 65 中传播的裂缝严重到足以使 TSV 100f 和 / 或紧邻 TSV 100f 的芯片密封件 115 和 125 的部分破裂的情况下,这样的破裂可导致将由连续电路 195 检测的开路。因此,只要连续电路 195 检测到打开条件,所述发现就可能是麻烦的裂缝的反映。

[0050] 现可参看图 8、9、10、11、12 和 13 理解形成多个 TSV 的示例性过程,首先参看图 8,图 8 是加工初始阶段半导体芯片 15 的剖视图。在这个阶段,已使用多个已知加工步骤制造了设备层 70。金属化层 75 也可完全或部分地完成,或不在 TSV 构成之前完成。这时,半导体芯片 15 具有主要取自半导体层 65 的厚度 Z,Z 比图 2 示出的 TSV 和 RDL 75 形成之后的最终厚度大。这时,可将合适的光刻掩膜 200 应用到金属化层 60,且光刻图案化光刻掩膜 200 以建立开口 200a、200b、200c、200d、200e、200f、200g、200h 和 200i,所述开口对应于后来形成的 TSV 100a、100b、100c、100d、100e、100f、100g、100h 和 100i 的所要位置。掩膜 200 可由已知光阻材料组成,且可以是正的或负的色调。可选地,可使用非接触或甚至硬掩膜。

[0051] 现参看图 9,在图案化掩膜 200 之后,可使用材料去除过程来在半导体层 65 中形成深沟槽。沟槽被标注为 210a、210b、210c、210d、210e、210f、210g、210h 和 210i。沟槽 210a、210b、210c、210d、210e、210f、210g、210h 和 210i 可通过等离子体增强或不增强的化学蚀刻或其它材料去除技术来形成。可能使用激光烧蚀,但是需要注意避免过度热加热。当然,掩膜 200 中的开口 200a、200b、200c、200d、200e、200f、200g、200h 和 200i 被图案化成具有最

终形成沟槽 210a、210b、210c、210d、210e、210f、210g、210h 和 210i 所要的足迹。

[0052] 取决于后来形成的 TSV 的成分,可能必需在沟槽 210a、210b、210c、210d、210e、210f、210g、210h 和 210i 中应用衬膜,以便促进粘着到半导体层 65 并防止 TSV 的原子、分子或更大部分迁移到半导体层 65 和设备层 70 中。图 10 以更大放大倍率示出沟槽 210f 的剖视图。衬层 230 可在沟槽 210f 中形成,且不仅涂覆沟槽 210f 的侧壁也涂覆设备层 70 和金属化层 60 的侧壁。衬层 230 可能由诸如二氧化硅的各种材料组成。等离子体增强或不增强的已知 CVD 技术可用以沉积衬层 230。对于图 9 中示出的其它沟槽 210a、210b、210c、210d、210e、210g、210h 和 210i 也可进行以上操作。可通过灰化、溶剂汽提等在形成衬层 230 之前或之后去除图 9 示出的掩膜 200,或者如果使用非接触掩膜就通过剥离来去除。

[0053] 在去除图 8 和 9 示出的蚀刻掩膜 200 之后,如图 11 示出,TSV100a、100b、100c、100d、100e、100f、100g、100h 和 100i 可在各自的沟槽 210a、210b、210c、210d、210e、210f、210g、210h 和 210i 中形成。如本文别处所述,TSV 100a、100b、100c、100d、100e、100f、100g、100h 和 100i 可在各自的沟槽 200、205、210、215、220 和 225 中形成成为肥满型列或按照要求形成成为环形 TSV。电镀工艺可以是单步骤偏压电镀工艺,或按照要求可以是非偏压种子层电镀工艺,之后是偏压电镀工艺。

[0054] 为了使 TSV 100a、100b、100c、100d、100e、100f、100g、100h 和 100i 能够与图 2 示出的后来形成的 RDL 75 中的结构建立欧姆接触,如图 12 中示出,半导体层 65 可被薄化。这里,半导体层 65 的部分 235 可通过化学机械平坦化(CMP)来有利地去除,但是可使用其它材料去除技术来代替 CMP 或与 CMP 连用。图 13 示出其中暴露 TSV100a、100b、100c、100d、100e、100f、100g、100h 和 100i 的薄化的半导体芯片 15。在暴露 TSV 100a、100b、100c、100d、100e、100f、100g、100h 和 100i 的情况下,图 2 中描绘的 RDL 75 可使用已知绝缘材料沉积和半导体材料沉积和图案化技术来制造,所述技术可取决于 RDL 75 的复杂性而在多个层编号。类似地,钝化结构 85 和互连结构 90 可按照形成 RDL 75 的方式制造。

[0055] 特别是使用 CMP 时,图 12 示出的材料去除过程可产生某些表面损坏,诸如坑、刮槽和划痕。这样的表面损坏可提供产生高度本地化的应力梯度的陡接表面,所述应力梯度可导致形成裂缝。因此,最好望执行后变薄蚀刻工艺,以便消除所述表面损坏。例如,湿式蚀刻可用以去除层 65 的一微米的部分。可使用适于蚀刻硅或构成层 65 的任何材料的已知湿蚀刻剂,诸如应用缓冲 HF 旋的蚀刻。

[0056] 此外参看图 1,半导体芯片 25 可堆叠在半导体芯片 15 上,并取决于所使用的芯片到芯片接口的类型通过回流焊接、压接或其它技术电连接到半导体芯片 15。技术人员将理解到,半导体芯片 25 可按照要求以薄片级或芯片级堆叠在半导体芯片 15 上。半导体芯片 15 和 25 可单个或大批安装到电路板 20。

[0057] 如上所述,图 2 中的虚线椭圆 135 外接背面芯片密封件 125 的小部分。图 14 中以更大放大倍率示出椭圆 135 内的部分。由于图 2 中虚线椭圆 135 的位置,TSV 100i 的小部分、半导体层 65、钝化层 85 和芯片密封件 125 的上述小部分可见。如本文别处所述,本文公开的任何芯片密封件可构建为由导电孔互连的多个堆叠导电体结构。在该实例中,从 TSV 100i 开始向上,可见的芯片密封件 125 的部分可由一对导电孔 240、导体线 245、另一对孔 250、另一导体线 255、另一对孔 260、另一导体线 265、最后一对孔 270 和最后的导体线 275 组成。孔 240、250、260 和 270 和导体 245、255、265 和 275 可以穿插有层间介电薄膜 280、

285、290 和 295 的向上堆叠结构形成。孔 240、250、260 和 270 和导体结构 245、255、265 和 275 的数目和结构可有很大的变化。

[0058] 现参看图 15, 其是穿过半导体层 65、设备层 70 和金属化层 60 的 TSV 100f' 的替代示例性实施方案的剖视图。这里, TSV 100f' 可呈覆盖结构, 因此包括外壳 300 和聚合物芯 305。外壳 300 可由铜、钨、石墨、铝、铂、金、钯、它们的合金等组成。聚合物芯 305 可由按照要求可导电或不导电的各种聚合物组成。实例包括 Namics 119、已知环氧树脂等。这些所谓的环形 TSV 可通过在电镀工艺期间通过严格控制的电场产生来仔细定制电镀来形成。也可这样安置给定半导体芯片的任何或所有 TSV。

[0059] 在该示意性实施方案中, 各种 TSV 被制造成从顶部到底部的连续结构。然而, 技术人员将理解到, 多层次结构也可用于 TSV。在这方面, 现参看图 16, 图 16 是类似于图 15 的剖视图, 但是是穿过半导体层 65、设备层 70 和金属化层 60 的 TSV 的替代示例性实施方案。这里, TSV 100f'' 可包括堆叠部分 310 和 315。部分 310 和 315 的数目和结构可变化。也可这样安置给定半导体芯片的任何或所有 TSV。

[0060] 公开的实施方案中的任何实施方案可组合将 TSV 连接到一个或多个芯片密封件的有利方面, 所述芯片密封件具有可帮助将不必要的杂质从半导体芯片的一部分转移到另一部分的另外有利的特征。在这方面, 现参看图 17, 图 17 是半导体芯片 15'' 的替代示例性实施方案的剖视图。半导体芯片 15'' 可实质上与图 1 和 2 描绘的并在本文别处描述的半导体芯片 15 相同, 只有一个显著的例外。因此, 标注了钝化层 50、金属化层 60、半导体层 65、设备层 70、TSV 100f、100g、100h 和 100i 和芯片密封件 115、120、125 和 130, 而为了说明的简单性, 图 2 标出的许多元件没有在图 17 中重复。该示意性的实施方案代表了半导体芯片和 TSV 到芯片密封件连接的动作。这里, 吸气层 330 可在半导体芯片 15'' 中形成, 使得 TSV 100a、100b、100f 和 100g 中一个或多个遍历吸气层 330。尤其期望外围 TSV 芯片密封件 100f、100g、100h 和 100i 遍历吸气层 330。技术目标是促进星号 335 示意性表示的可侵入紧邻芯片密封件 115、120、125 或 130 中一个或多个的半导体芯片 15'' 的杂质的选择性运送。这样的杂质将被从芯片密封件 115、120、125 或 130 向下推离或沿 TSV 100f、100g、100h 和 100i 向上推到吸气层 330, 且因此推离对杂质污染的影响都相对敏感的设备层 70 和金属化层 60。典型的杂质 335 包括钠、钾、铁和类似类型的离子。

[0061] 各种技术可用以在半导体芯片 15'' 中建立吸气层 330。在一个示例性实施方案中, 如图 18 中所描绘的, 可在半导体芯片 15 上执行离子植入。这里, 半导体芯片 15'' 示出为从图 17 示出的位置翻转, 且在形成各种 TSV 100f、100g、100h 和 100i、金属化层 60 和设备层 70 之前, 且在半导体层 65 从原始厚度 Z 薄化之前。图 17 中示出的后来形成的设备层 70 的位置被标注为 338。植入的物种 340 可以是氧气或其它已知的吸气物质。植入的目标是建立间隙氧气或其它物质和伴随的半导体芯片 15 的半导体层 65 的晶格结构的中断。各种参数可用于离子植入。在该示意性实施方案中, 植入可用约 $1\text{E}16$ 至 $1\text{E}17\text{cm}^{-2}$ 的剂量和约 100 至 120KeV 的能量来执行。应定制植入的能量来以足够的深度设置吸气层 330 的最大浓度, 来能够轻易而不困难地形成设备层 70。也可能通过植入以外的方式来形成吸气层 330, 例如, 通过材料和适当杂质的大气的选择性外延生长, 所述杂质诸如氧气或如果可容忍本地化改变半导体芯片的导电性的物质就甚至是硼或磷。

[0062] 在吸气层 330 处于适当位置时, 可制造设备层 70, 如图 19 所描绘。此外, 技术人员

将理解到,制造设备层 70 可包括制造大量逻辑电路或构件所必需的几十个、上百个或更多不同的加工步骤。在形成设备层 70 之后,可进一步处理半导体芯片 15" ",来使用本文别处所述用于其它示意性实施方案的技术在半导体层 65 和图 17 示出的其它构件中建立 TSV 100f、100g、100h 和 100i。

[0063] 本文公开的任何示例性实施方案可用计算机可读介质中放置的指令来实施或作为计算机数据信号来实施,所述计算机可读介质例如半导体、磁盘、光盘或其它存储介质。指令或软件可能能够合成和 / 或模拟本文公开的电路结构。在示例性实施方案中,例如 CadenceAPD、Encore 等的电子设计自动化方案可用以合成所公开的电路结构。所生成的代码可用以制造所公开的电路结构。

[0064] 虽然本发明可能易受各种修改和替代形式的影响,但是具体的实施方案已通过附图中的实例被示出并在本文中详细描述。然而,应理解,本发明并不旨在限于所公开的特定形式。相反,本发明将涵盖落入本发明的精神和范围内的所有修改、等同和替代物,且本发明的精神和范围由以上权利要求限定。

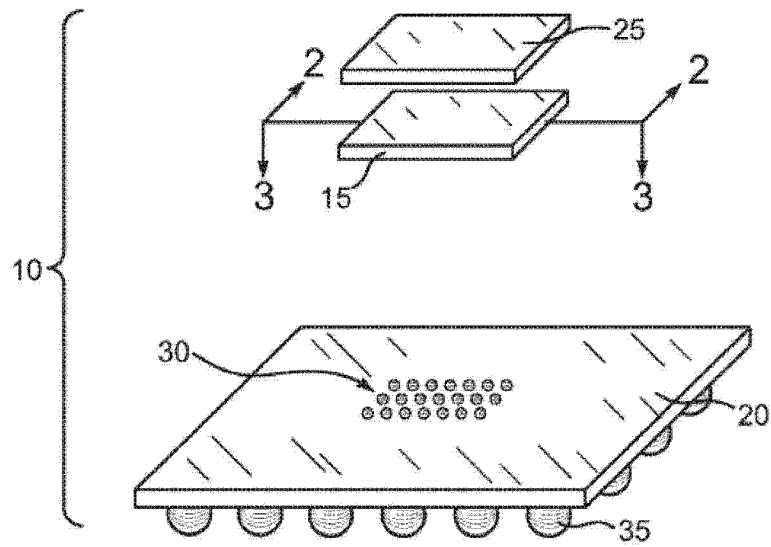


图 1

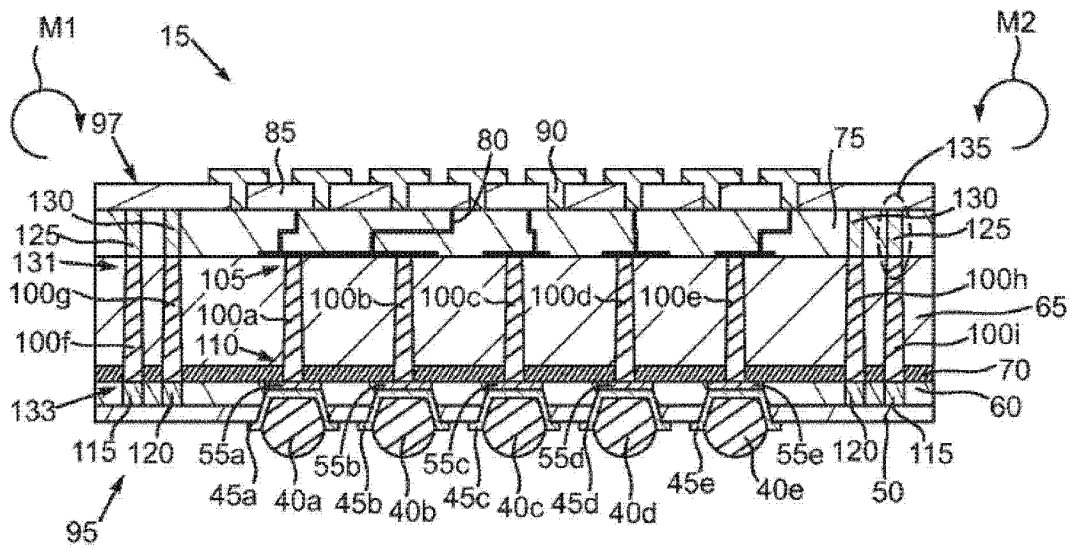


图 2

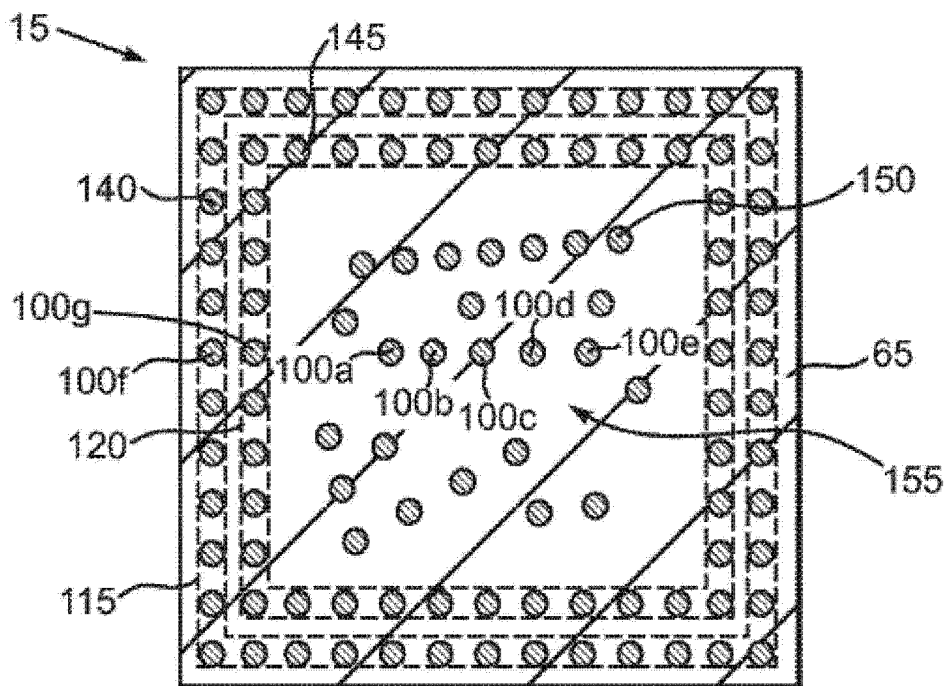


图 3

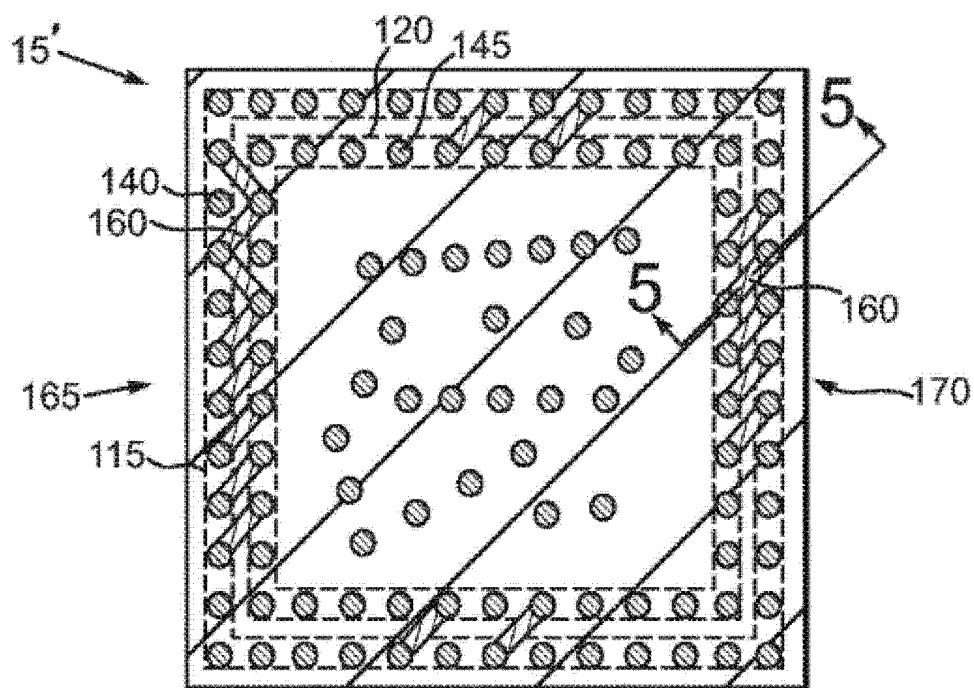


图 4

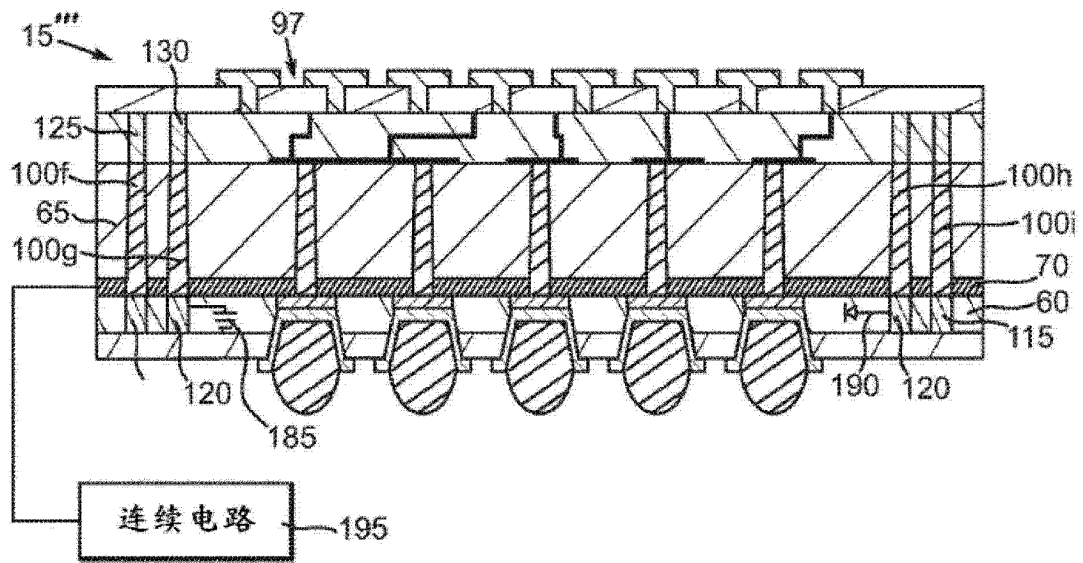


图 7

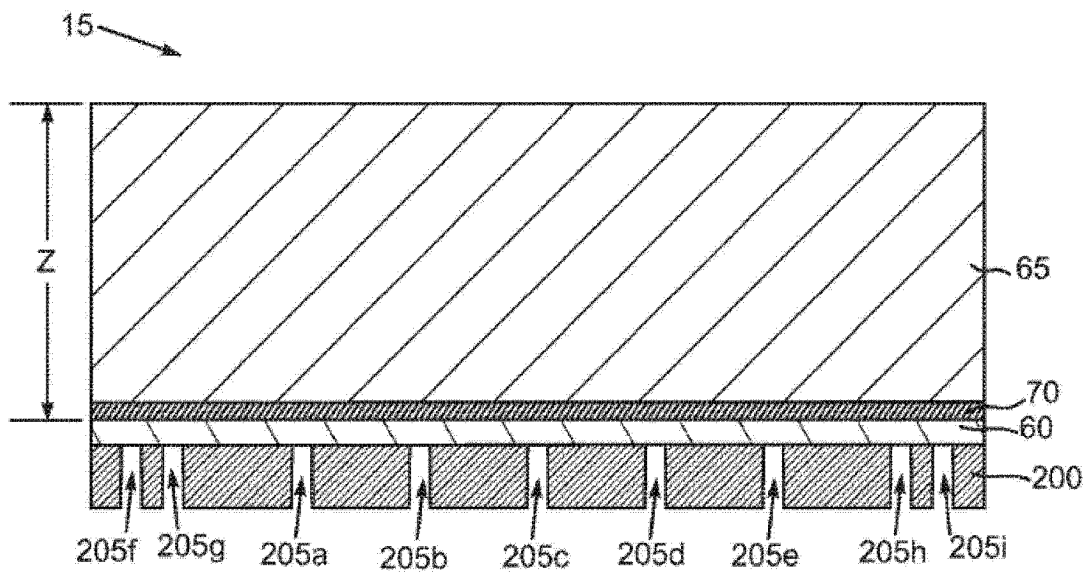


图 8

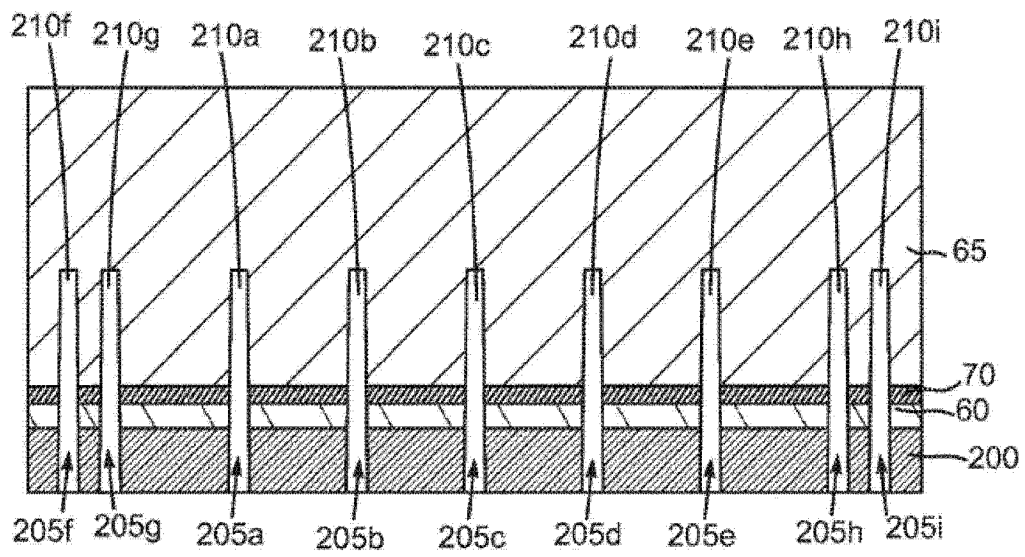


图 9

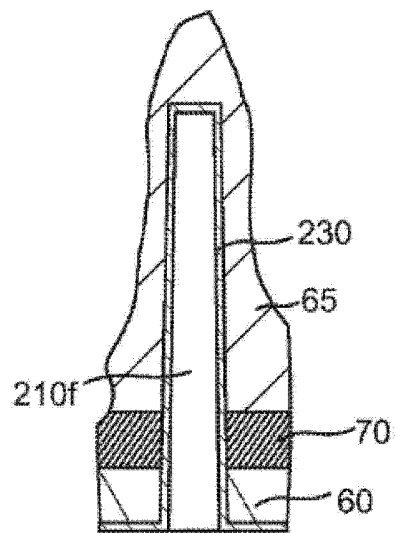


图 10

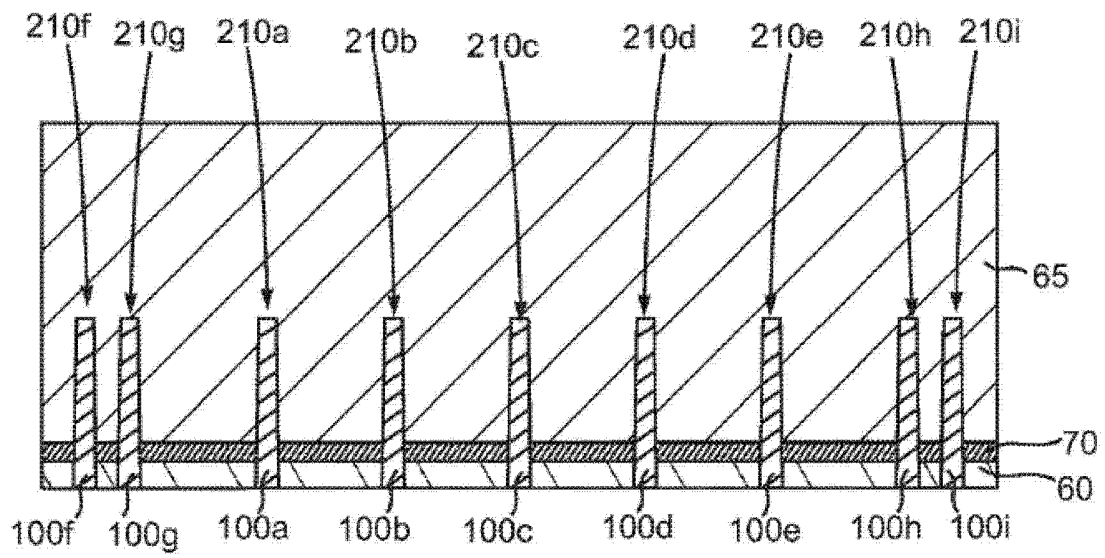


图 11

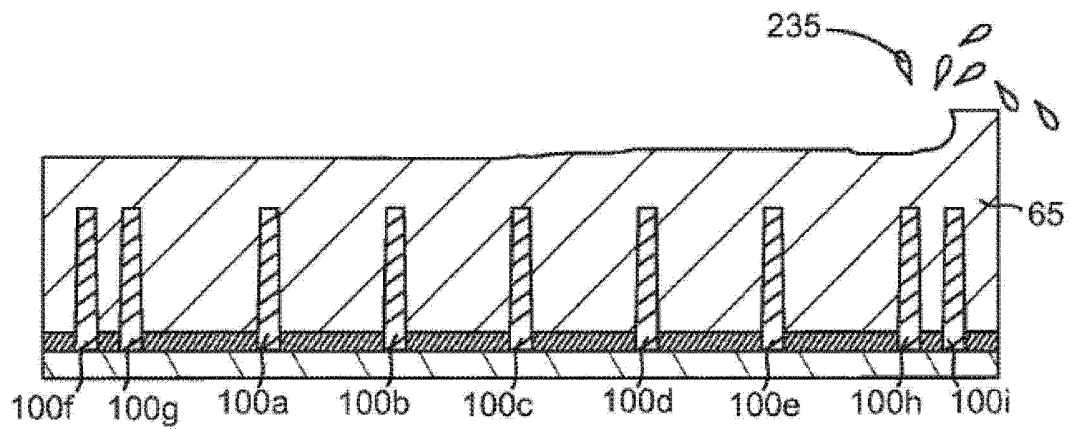


图 12

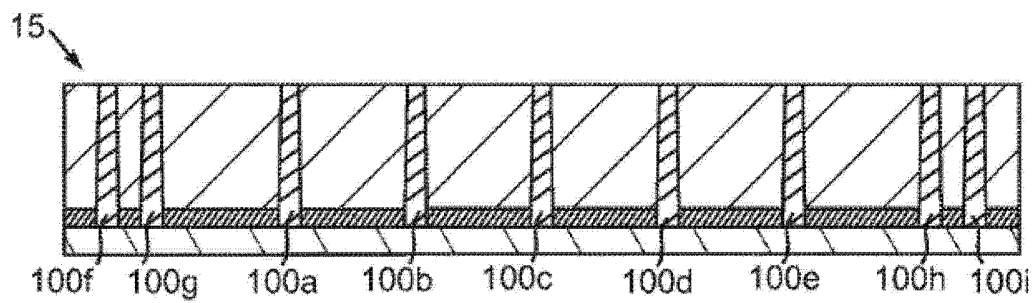


图 13

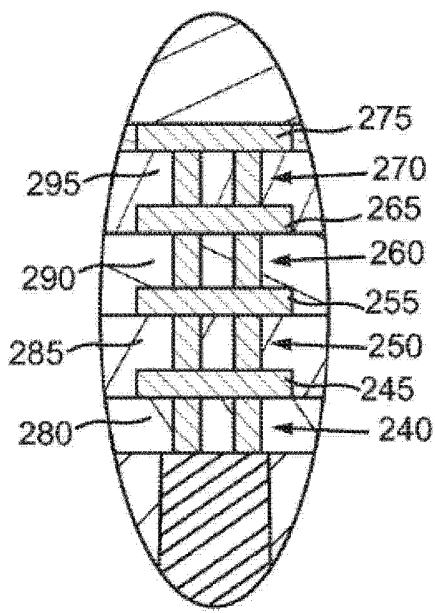


图 14

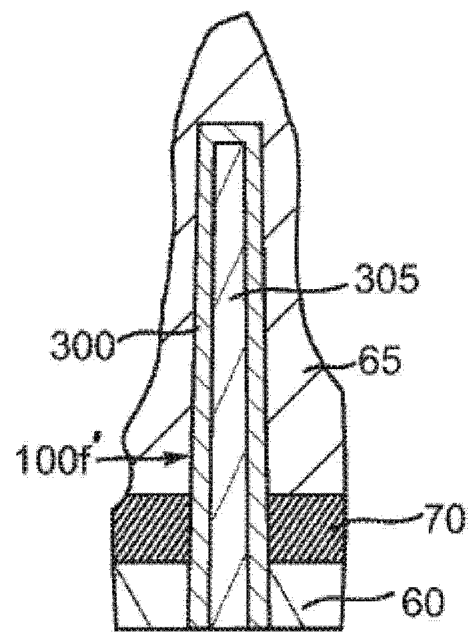


图 15

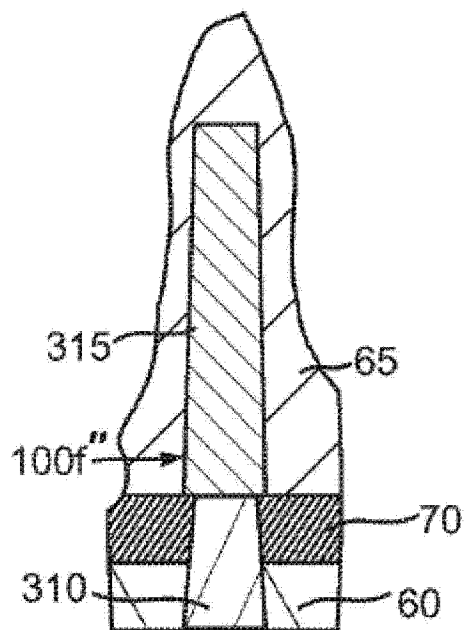


图 16

