



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201728882 A

(43)公開日：中華民國 106 (2017) 年 08 月 16 日

(21)申請案號：105138268

(22)申請日：中華民國 105 (2016) 年 11 月 22 日

(51)Int. Cl. : G01J5/10 (2006.01)

H01L31/00 (2006.01)

(30)優先權：2015/12/15 法國

1562347

(71)申請人：于利斯公司 (法國) ULIS (FR)

法國

(72)發明人：寇狄亞 塞巴斯汀 CORTIAL, SEBASTIEN (FR)；維蘭 米榭 VILAIN, MICHEL (FR)

(74)代理人：王彥評；賴碧宏

申請實體審查：無 申請專利範圍項數：14 項 圖式數：17 共 40 頁

(54)名稱

具備具高吸收效率及訊噪比的懸置式輻射熱薄膜之偵測裝置

DETECTION DEVICE WITH SUSPENDED BOLOMETRIC MEMBRANES HAVING A HIGH ABSORPTION EFFICIENCY AND SIGNAL-TO-NOISE RATIO

(57)摘要

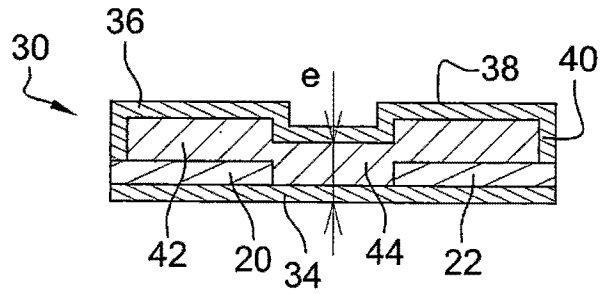
一種輻射熱偵測裝置，其包括：包含讀出電路之基板(14)；一基本偵測器的陣列，各偵測器包括懸置於基板(14)上面之薄膜(12)、及藉由至少兩個導電體(16,18)連接至該讀出電路，該薄膜包含分別連接至該兩個導電體之兩個導電電極(20,22)、及電連接該兩個電極之傳感器材料(24)之材積，其中該讀出電路乃構造成在該薄膜(12)之兩個電極(20,22)間施加電刺激，並且形成電信號作為對該施加之響應。

該材積包括：電連接該薄膜(12)之兩個電極(20,22)並形成封閉式包體(42)之壁件之第一傳感器材料的材積(34,38,40)，該封閉式包體內至少部分地罩覆有各該電極(20,22)；以及電連接該兩個電極(20,22)並被罩覆於該包體(42)中之第二傳感器材料之材積(44)，該第二材料之電阻率小於該第一材料之電阻率；以及該兩個傳感器材料具有負熱阻抗係數 TCR。

A bolometric detection device includes: - a substrate (14) comprising a read-out circuit; - an array of elementary detectors each including a membrane (12) suspended above the substrate (14) and connected to the read-out circuit by at least two electric conductors (16, 18), said membrane comprising two electrically-conductive electrodes (20, 22) respectively connected to the two electric conductors, and a volume of transducer material (24) electrically connecting the two electrodes, wherein the read-out circuit is configured to apply an electrical stimulus between the two electrodes (20, 22) of the membrane (12) and to form an electric signal as a response to said application.

Said volume includes: - a volume (34, 38, 40) of a first transducer material electrically connecting the two electrodes (20, 22) of the membrane (12) and forming walls of a closed enclosure (42) having each of the electrodes (20, 22) at least partially housed therein; and - a volume (44) of a second transducer material, electrically connecting the two electrodes (20, 22) and housed in the enclosure (42), the electric resistivity of the second material being smaller than the electric resistivity of the first material; and the two transducer materials having a negative thermal coefficient of resistivity TCR.

指定代表圖：



第 6 圖

符號簡單說明：

- 20 . . . 導電電極
- 22 . . . 導電電極
- 30 . . . 輻射熱微偵測器薄膜
- 34 . . . 下層
- 36 . . . 上蓋
- 38 . . . 上層
- 40 . . . 側壁
- 42 . . . 內部材積
- 44 . . . 核心

發明摘要

※ 申請案號：105138268

※ 申請日：105/11/22

※IPC 分類：~~G01/5/10~~ (2006.01)
~~H01L 31/00~~ (2006.01)

【發明名稱】(中文/英文)

具備具高吸收效率及訊噪比的懸置式輻射熱薄膜之偵測裝置

DETECTION DEVICE WITH SUSPENDED BOLOMETRIC
MEMBRANES HAVING A HIGH ABSORPTION EFFICIENCY
AND SIGNAL-TO-NOISE RATIO

【中文】

一種輻射熱偵測裝置，其包括：

包含讀出電路之基板(14)；

一基本偵測器的陣列，各偵測器包括懸置於基板(14)上面之薄膜(12)、及藉由至少兩個導電體(16, 18)連接至該讀出電路，該薄膜包含分別連接至該兩個導電體之兩個導電電極(20, 22)、及電連接該兩個電極之傳感器材料(24)之材積，

其中該讀出電路乃構造成在該薄膜(12)之兩個電極(20, 22)間施加電刺激，並且形成電信號作為對該施加之響應。

該材積包括：

電連接該薄膜(12)之兩個電極(20, 22)並形成封閉式包體(42)之壁件之第一傳感器材料的材積(34, 38, 40)，該封閉式包體內至少部分地罩覆有各該電極(20, 22)；以及

電連接該兩個電極(20, 22)並被罩覆於該包體(42)中之第二傳感器材料之材積(44)，該第二材料之電阻率小於該第一材料之電阻率；

以及該兩個傳感器材料具有負熱阻抗係數 TCR。

【英文】

A bolometric detection device includes:

- a substrate (14) comprising a read-out circuit;
- an array of elementary detectors each including a membrane (12) suspended above the substrate (14) and connected to the read-out circuit by at least two electric conductors (16, 18), said membrane comprising two electrically-conductive electrodes (20, 22) respectively connected to the two electric conductors, and a volume of transducer material (24) electrically connecting the two electrodes,

wherein the read-out circuit is configured to apply an electrical stimulus between the two electrodes (20, 22) of the membrane (12) and to form an electric signal as a response to said application.

Said volume includes:

- a volume (34, 38, 40) of a first transducer material electrically connecting the two electrodes (20, 22) of the membrane (12) and forming walls of a closed enclosure (42) having each of the electrodes (20, 22) at least partially housed therein; and
- a volume (44) of a second transducer material, electrically connecting the two electrodes (20, 22) and housed in the enclosure (42), the electric resistivity of the second material being smaller than the electric resistivity of the first material;

and the two transducer materials having a negative thermal coefficient of resistivity TCR.

【代表圖】

【本案指定代表圖】：第 6 圖。

【本代表圖之符號簡單說明】：

20	導 電 電 極
22	導 電 電 極
30	輻 射 熱 微 偵 測 器 薄 膜
34	下 層
36	上 蓋
38	上 層
40	側 壁
42	內 部 材 積
44	核 心

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具備具高吸收效率及訊噪比的懸置式輻射熱薄膜之偵測裝置

DETECTION DEVICE WITH SUSPENDED BOLOMETRIC MEMBRANES HAVING A HIGH ABSORPTION EFFICIENCY AND SIGNAL-TO-NOISE RATIO

【技術領域】

【0001】本發明係關於電磁輻射偵測器領域，尤其是包含微輻射熱計之偵測器，用意在於偵測輻射，典型來說是偵測「熱」範圍內的輻射，換句話說，偵測紅外線範圍的輻射。

【先前技術】

【0002】紅外線輻射(IR)偵測器典型的製造形式為支撐基板表面處所配置基本微輻射熱計總成之二維並列(例如陣列形式)，各微輻射熱計目的是要形成像點。各微偵測器包含懸置於基板上面並藉助嵌入於導電柱中之長窄射柱(「臂」)與其電連接之薄膜。此總成乃置放於緊密包體中，舉例來說，置放於壓力非常低的包裝物中，用以抑制周圍氣體之熱傳導。

【0003】各薄膜因吸收源自於所觀察熱場景之入射輻射而升溫，該入射輻射乃於其上有配置薄膜之焦面之層階處藉由適當的光學系統來聚焦。此薄膜尤其包含一層具有電氣特性之「傳感器」材料，此電氣特性在本例中

乃微輻射熱計之電阻率，其在隨著溫度改變時會劇烈變化，舉例來說，在定偏壓下產生電流變異，亦即電信號，與入射輻射流成正比。

【0004】此類偵測器習知的製造方法包含以所謂「單片(monolithic)」方式，直接在包含複數個電子電路或「讀出積體電路(read-out integrated circuits)」或「ROIC」之基板表面處實行的步驟。此用語表示積體電路製造過程後相同基板上的連續操作序列，通常是以矽為基礎。輻射熱微偵測器製造步驟大體上類似於微電子領域常見的集中製造技術，通常涉及相同基板上配置的數十到數百個陣列偵測器。

【0005】在製造步驟期間，實施光學吸收、光熱傳感、及熱阻等輻射熱功能之組件乃形成於所謂「犧牲」層之表面處，因為目的單純在於形成構造基座之該層乃於過程結束時，藉由適當方法來移除，此適當方法不侵蝕其它偵測器部分，而且尤其是形成於其上的組件。典型而言，有用到聚亞醯胺層，此層最後是藉由在氧電漿中燃燒來移除。舉一變化來說，犧牲層乃氧化矽層(大體上，以最終藉由氫氟酸氣相蝕刻(HFv)移除的「SiO₂」來表示)。移除犧牲層之後，輻射熱膜懸置留在基板上面，除了其嵌入於柱體中的夾持臂，沒有其它接觸或緊固(fasten)。

【0006】用於形成懸置膜最常見的製造方法稱作「IC上面」或「MEMS在頂部」。根據此方法，微偵測器乃直接在包含讀出電路之基板之表面處構成，採用的是特

定方法。尤其是，犧牲層具備有機性質，大體上為聚亞醯胺，並且傳感器材料大部分通常是具有半導體特性 (VO_x , NiO_x) 或非晶矽 (a-Si) 之氧化物。按照慣例，就平常的「遠」紅外線偵測 (LWIR) 而言，分束器也在吸收膜與配置於基板表面之反射體之間形成，用以在 10 微米附近就偵測器提供最大吸收作用。因此，若要在離反射體經調整距離處連接並夾持薄膜，在真空中形成該分束器，具有大外觀比的電柱通常很複雜且體積不容忽視，應透過具有在 2 至 2.5 微米範圍之厚度之厚的暫時(犧牲)聚亞醯胺層來形成。

【0007】形成薄膜「骨架」的介電或電阻層按照慣例是由氧化矽 (SiO_2) 或氮化矽 (泛稱 SiN) 所製成，或舉例來說，根據美國專利申請案 5912464，也是直接由半導體非晶矽所製成。此類材料可在較低溫度下沉積，並且對氧電漿下移除有機犧牲層之方法是不起作用的。此一「IC 上面」製造過程典型是由某十個光微影「層階」所構成，亦即根據較複雜且昂貴的程序所構成。

【0008】最近已提供新類型的薄膜製造法，其包含以大體上達到 MEMS 功能之組件所採用一樣的方式，在所謂「後段製程」層 (或稱「BEOL」) 中整合微輻射熱計。此縮寫字表示以較低溫度、標準微電子製造過程結束之特性製造所有金屬互連體的步驟。此一方法稱作「MEMS-in-CMOS」，旨在使用某些工業級成熟的 BEOL 布局來整合部分此等微輻射熱計組件。尤其是，接續 BEOL 金屬層間的金屬化垂直互連通孔，舉例來說，

乃根據「鑲嵌」方法所取得，有助益地形成微偵測器柱體。再者，「IMD」(金屬間介電質)乃微電子領域的標準材料，尤其是由 SiO 所製成，可就薄膜結構之構造，有助益地當作犧牲層來使用。在此種類型之整合中，用於讀出電路製造之最後光微影層階亦用於直接形成支撐薄膜之柱體。層階串列中需用以製造微輻射熱計之幾個微影層階因此得以免用，從而大幅節省製造成本。然而，「MEMS-in-CMOS」製造之 SiO 犧牲層的移除，在這種情況下，僅藉助氣相氫氟酸(HFv)才可行。因此，形成微輻射熱計之所有材料全都應該對此極化學腐蝕性方法強制性地是不起作用的。

【0009】此一「MEMS-in-CMOS」方法乃應用於微輻射熱計之例子，已在美國 2014/319350 文件中作說明，內容詳述 SiO 犧牲層及阻障層之 CMOS 堆疊中之整合能夠含有 HFv 蝕刻，以及藉由使用 CMOS 總成之諸標準金屬層階(金屬化通孔)間的最後連接結構來形成微輻射熱計「柱體」。此文件更特別說明就薄膜架構以使用美國 5912464 文件之教示之非晶矽為基礎的微輻射熱計構造。因此取得與 HFv 蝕刻相容且僅藉助五個光微影層階便形成之結構，其相較於現有技術遠遠更加複雜的程序，獲益非常顯著。

【0010】「MEMS-in-CMOS」技術儘管能使製造簡化，仍然有所限制，使從而構成之微輻射熱計效能變差。

【0011】尤其是，根據此技術所提供的架構得分享所欲諸金屬化區域間的可用空間，尤其是用以吸收入射輻

射之空間，以及僅由傳感器材料(非晶矽)所佔的區域。表面區域由金屬佔有的部分調理光熱傳感功能(薄膜之光學吸收效率)，而其餘表面區域部分乃專用於傳感器材料中之熱電傳感功能。材料之材積在導電方面蘊涵的此一限制(相較於結構中呈現之非晶矽之總材積)使傳導方面實施的電荷載子數量 N 減少。此必然導致低頻雜訊(「 $B1/f$ 」)根據荷格的關係式而實質增加，造成偵測器的訊噪比(「 SNR 」)變差。

【0012】爲了更加理解此問題，請參閱第 1 至 3 圖，其就紅外線偵測繪示現有技術的基本電阻式輻射熱微偵測器 10(或稱「微輻射熱計」)。輻射熱計 10 包含吸收入射輻射之薄的薄膜 12，乃經由兩個傳導錨定柱 16 懸置於基板-支撐體(substrate-support)14 上面，其乃藉由兩個夾持與熱絕緣臂 18 附接至此等傳導錨定柱。在所示實施例中，薄膜 12 包含兩個具有 IR 吸收與偏壓電極功能之金屬元件 20、22、以及覆蓋這兩個電極 12、14 的每一者並填充此等電極間之空間 18 的非晶矽層 24。層件 24 具有因電極 20、22 吸收輻射導致電阻變異所造成的熱傳感功能。在此結構中，傳感器材料因此僅由非晶矽所製成，其優點在於對基於氣相氫氟酸之犧牲層釋離程序是不起作用的。

【0013】定電壓 V_{po1} 下偏壓之電阻 R_b 之微輻射熱計之響應 $\mathcal{R}(V/K)$ 表述場景溫度變異 $\partial\theta_s$ 。根據以下一般關係式與輸出信號變異 ∂S 的關係：

$$\mathcal{R} = \frac{\partial S}{\partial \theta_{sc}} \propto \frac{V_{pol}}{R_b} A * \varepsilon * TCR * R_{th} * \frac{\partial \Theta(\theta_{sc})}{\partial \theta_{sc}} \quad (1)$$

其中：

- A 乃敏感基本點(偵測器像素)之總面積，
- ε 乃輻射熱計之一般光學吸收效率，
- TCR 乃輻射熱計電阻隨薄膜溫度而變的變異係數；
- R_{th} 乃介於薄膜與基板(即夾持臂)間的熱阻，以及
- $\Theta(\theta_{sc})$ 乃在溫度 θ_{sc} 下由場景發射的輻射流。

【0014】如前述，光學吸收效率 ε 乃連結至各薄膜之表面區域，其由為此目的沉積之金屬所佔有的部分。

【0015】微偵測器 Rb 之電阻可根據傳感器材料之電阻率來表述，例如根據以下關係式來表述：

$$R_b = \rho * \frac{L}{W * e} \quad (2)$$

【0016】其中 L、W 及 e 分別為傳導電流之傳感器材料之長度、寬度及厚度(假設具有或設成平行六面體形狀)。

【0017】在第 1 圖之薄膜實施例中，這些維度實質上乃將電極 20、22 分開之區域的維度，其舉例來說，對應於用以形成此等電極(在本實施例中，由於配置於相同層階，故而典型稱作「共面」)之初始連續金屬層中所形成的實體中斷體(或凹槽)。

【0018】關係式(1)與(2)之組合從而能夠根據所涉電阻器 Rb 之維度參數來規定微偵測器之響應。

【0019】電壓 V_{pol} 下偏壓之電阻器目前的雜訊功率可藉由所謂 1/f 低頻雜訊($I_{b1/f}$)與稱作「白雜訊」之頻率

獨立分量 (I_{bb}) 的平方和來表述。相較於這些一階貢獻因子，可忽略連結至熱波動之極限雜訊。

【0020】根據以下荷格的關係式，雜訊功率 $I_{b1/f}^2$ 隨電流線所涉材積中所含電荷載子數量 N 的倒數而變：

$$I_{b1/f}^2 = \frac{\alpha_H}{N} * \left(\frac{V_{pol}}{R_b} \right)^2 * \ln(BPCL) \quad (3)$$

其中 α_H 乃「荷格參數」，而「BPCL」乃讀出電路之頻寬。各材料的特徵在於參考比率 $\frac{\alpha_H}{n}$ ，其中 n 乃電荷載子材積密度；此比率進一步隨溫度而變。因此，對於已知維度之電阻器 R_b ，所考量的元件之真實比率 $\frac{\alpha_H}{N}$ 乃單純地根據以下關係式經由維度參數 W 、 L 、 e 來計算：

$$\frac{\alpha_H}{N} = \frac{\alpha_H}{n} * \left(\frac{1}{W * L * e} \right) \quad (4)$$

【0021】根據以下關係式，白雜訊功率 I_{bb}^2 僅取決於溫度，並且取決於所考量的元件之電阻：

$$I_{bb}^2 = \frac{4 * k * T}{R_b} * (BPCL) \quad (5)$$

其中 k 表示波茲曼常且 T 表示溫度。

【0022】微偵測器具備一部分傳感器材料，特徵在於其比率 $\frac{\alpha_H}{N}$ 及其電阻 R_b ，乃是由已知維度 W 、 L 及 e 所界定，從而呈現可根據以下關係式來表述之總雜訊 I_b ：

$$I_b = \sqrt{\left[\frac{4 * k * T}{R_b} * (BPCL) + \frac{\alpha_H}{N} * \left(\frac{V_{pol}}{R_b} \right)^2 * \ln(BPCL) \right]} \quad (6)$$

【0023】微偵測器訊噪比 (SNR) 可藉由響應 (1) 與雜訊 (6) 的比率來計算，有考慮到讀出電路 (V_{pol} , BPCL) 所界定的元件及各微偵測器之電阻的維度參數 (W , L , e)，其

能夠表述輻射熱電阻 R_b 及電荷載子之數量 N 。比率 SNR 因此可根據以下關係式來表述：

$$SNR \propto \left(\frac{R}{L_b}\right) \quad (7)$$

【0024】為簡化(但具有代表性)繪示極小尺寸的像素，以因應工業用途或甚至是必要性，例子中考慮的是具有 $12 \times 12\text{-}\mu\text{m}^2$ 表面面積的基本輻射熱偵測器。

【0025】為了界定吸收熱輻射所需之金屬化部分 20、22、及用意在於熱電傳感之電主動部分 26 間可用表面的分享狀況，可便利地界定跨佈此元件之整個(電)寬度 $W = 12\text{ }\mu\text{m}$ 之金屬層中所蝕刻(電)長度為 L 之凹槽。此金屬在表面面積佔有的比率接著等於 $(12-L)/12$ ，而電阻器之長度及寬度分別為 L 及 $W = 12\text{ }\mu\text{m}$ 。方程式(2)、(4)及(7)根據設計長度 L ，解出輻射熱電阻(R_b)、解出比率 $\frac{RH}{N}$ 、以及最後解出 SNR 。

【0026】因此，為求簡化，忽略相鄰薄膜與諸如柱體、夾持臂及其它各種必要空間等子結構間形成分離所耗用的空間，如第 1 圖之概示，以下考慮 $12 \times 12\text{ }\mu\text{m}^2$ 之區域，包含兩個矩形金屬化部分，乃藉由長度為 L 之凹槽分開，其亦為非晶矽傳感器材積之長度，寬度為 $W = 12\text{ }\mu\text{m}$ ，指示性電阻率為 $100\text{ }\Omega\cdot\text{cm}$ ，標準厚度 $e=200\text{ nm}$ ，且比率 $\frac{RH}{N}=6.7\text{E-}28\text{ m}^3$ ，電阻 R_b 及 SNR 隨第 4 圖所示之距離 L 而變。

【0027】為了提供最佳光學吸收效率 ε ，必需將非金屬化區域的長度設定為範圍至多自 $2\text{ }\mu\text{m}$ 至 $3\text{ }\mu\text{m}$ 之值。依據

輸出放大器之偏壓 V_{pol} 、讀取整合時間、及有用動態狀況(無飽和)，進一步需要此間隔(長度 L)才能使基本輻射熱計之電阻 R_b 在值範圍內維持與本發明背景中讀出電路之適當用途相容。此狀況典型在輻射熱電阻 R_b 為約略 $1\text{M}\Omega$ 等級或比其更小時得到滿足。關於這些元件之更多闡釋，舉例來說，請參照 "Uncooled amorphous silicon technology enhancement for $25\mu\text{m}$ pixel pitch achievement"; E. Mottin et al, Infrared Technology and Application XXVIII, SPIE, vol. 4820E。

【0028】因此，將長度 L 設定為 $2\mu\text{m}$ 以保障現有技術的吸收效率及可接受電阻，此微偵測器基於非晶矽之 SNR 將受限於其對應於大長度 L 之最大值的約略 60%(不含吸收損失)。此一限制乃經連結以提升低 L 值下的低頻雜訊。

【0029】因此，難以或甚至不可能就根據此簡化總成所形成之小尺寸敏感像素，尤其是就小於 $20\mu\text{m}$ 之間距，在吸收效率與 SNR 間取得平衡。若在低頻使用低雜訊傳感器材料，諸如半導體金屬氧化物(例如 VO_x 、 TiO_x 、 NiO_x ，下文會使用泛用命名「 MO_x 」來表示)，原則上能夠克服此限制。然而，在現有技術之堆疊中使用此類材料並不可能，因為這些材料在極腐蝕性 HFv 釋離化學作用之效應下會快速遭到移除或至少劇烈衰減。

【0030】因此，就高效能裝置而言，以及就其與極小間距(標準低於 $20\mu\text{m}$)視網膜設計相容之製造方法而言，至少在部分整合到 CMOS 程序之微輻射熱計總成的

背景下，犧牲材料需要由 SiO 所製成，或由習知微電子領域中任何相關材料所製成。

【發明內容】

【0031】本發明因此旨在提供具有懸置式輻射熱膜之偵測器，此等薄膜具有就吸收效率與 SNR 允許高效能之架構，並且具有必要時可根據需要使用極腐蝕性犧牲層釋離化學作用之技術來製造之架構。

【0032】為達此目的，本發明旨在一種輻射熱偵測裝置，其包含：

包含讀出電路之基板；

基本偵測器的陣列，各偵測器包含懸置於基板上之薄膜、及藉由至少兩個導電體連接至該讀出電路，該薄膜包含分別連接至該兩個導電體之兩個導電電極、及電連接該兩個電極之傳感器材料之材積，其中該讀出電路乃構造成在該薄膜之兩個電極間施加電刺激，並且形成電信號作為對該施加之響應。

【0033】根據本發明，該材積包含：

電連接該薄膜之兩個電極、並形成封閉式包體之壁件之第一傳感器材料的材積，該封閉式包體內至少部分罩覆有各該電極；以及

電連接該兩個電極並受罩覆於該包體中之第二傳感器材料之材積，該第二材料之電阻率小於該第一材料之電阻率。

【0034】「傳感器」意指具有 0.1 Ohm.cm 至 10^4 Ohm.cm 之電阻率範圍並具有負熱阻抗係數 TCR 之材料。

【0035】本發明亦旨在一種製造輻射熱偵測裝置之方法，其包含：

製造包含讀出電路之基板；

在該基板上沉積犧牲層；

在該犧牲層上製造薄膜之陣列，各該薄膜藉由至少兩個導電體連接至該讀出電路，該薄膜包含分別連接至該兩個導電體之兩個導電電極、及電連接該兩個電極之傳感器材料之材積；

該等薄膜一旦製造完成，便移除該犧牲層。

【0036】根據本發明，該傳感器材積之製造包含：

在該犧牲層上沉積第一傳感器材料之下層；

在該第一材料之該層上形成該兩個薄膜電極；

在該等電極上與該等電極之間沉積一層第二傳感器材料；以及

以該第一材料之上層封裝該層第二傳感器材料並將該兩個電極部分地覆蓋。

【0037】進一步：

該第二材料之電阻率小於該第一材料之電阻率；

該第一材料對該犧牲層之移除是不起作用的。

【0038】換句話說，該傳感器材料乃由相對形成輻射吸收手段之電極平行之「殼體」與「核心」所構成，該核心乃由比該殼體具有更小電阻率之材料所構成，尤其是至少小 5 倍，典型為小 10 至 20 倍。

【0039】又尤其是，該殼體乃由所具電阻率大於 10 Ohm.cm 之材料所製成。

【0040】此種架構類型能夠使低頻雜訊分量($I_{bl/f}$)減小，主要是由該核心憑藉核心電阻率所實現，同時由於該殼體的關係，還允許根據製造技術適當選擇材料，例如，在 MEMS-in-CMOS 技術的背景下，就釋離犧牲層對化學侵蝕不起作用(inert)之殼體。

【0041】根據一具體實施例，該兩個電極共面且僅藉由一個凹槽分開。舉一變化來說，該兩個電極屬於含至少三個導電共面區之串列，彼此藉由配置於該兩個電極間的平行凹槽分開。

【0042】根據一具體實施例，該薄膜包含延伸於該等電極間並且將各該電極部分地覆蓋之連續電絕緣體層。

【0043】根據一具體實施例，該第二材料之電阻率至少比該第一材料之電阻率小五倍，並且較佳是小十倍至小二十倍。

【0044】根據一具體實施例，該第一材料具有大於 10 Ohm.cm 之電阻率，並且較佳是小於 10^4 Ohm.cm 之電阻率。

【0045】根據一具體實施例，該第一材料乃非晶矽、化學式為 $Si_xGe_{(1-x)}$ 之矽與鍺的非晶合金、或化學式為 $a-Si_xC_{(1-x)}$ 之矽與碳的非晶合金，而該第二材料乃金屬氧化物。

【0046】根據一具體實施例，該犧牲層乃藉由 HFv 氫氟酸蝕刻來移除，以及該第一材料乃非晶矽、化學式為 $a-Si_xGe_{(1-x)}$ 之矽與鍺的非晶合金、或化學式為 $a-Si_xC_{(1-x)}$ 之矽與碳的非晶合金。

【0047】根據一具體實施例，該兩個電極乃藉由沉積一導電材料層並藉由在該層中向下至該第一材料下層僅形成一個凹槽來形成。

【0048】根據一具體實施例，該兩個電極乃藉由沉積一導電材料層並藉由在該層中向下至該第一材料下層形成至少兩個凹槽來形成。

【0049】根據一具體實施例，本方法包含在沉積該第二傳感器材料之前，先沉積在該等電極之間延伸並且將各該電極部分地覆蓋之電絕緣層。

【圖式簡單說明】

【0050】在閱讀完以下僅對照附圖舉一例提供之說明後，將會更加理解本發明，其中相同的參考元件符號表示相同或相似的元件，其中：

第 1 圖乃懸置於讀出電路上面之現有技術輻射熱膜的簡化透視圖；

第 2 圖及第 3 圖乃第 1 圖之薄膜的簡化俯視圖及截面圖；

第 4 圖乃訊噪比與第 1 圖之薄膜其諸電極間空間長度的關係圖；

第 5 圖及第 6 圖乃根據本發明第一具體實施例之輻射熱膜的簡化俯視圖及截面圖；

第 7 圖乃訊噪比與第 1 圖之薄膜、及根據本發明第一具體實施例之薄膜其諸電極間空間長度的關係圖；

第 8 圖乃訊噪比與根據本發明之薄膜中之非晶矽厚度的關係圖；

第 9 圖及第 10 圖乃根據本發明第二具體實施例之輻射熱膜的簡化俯視圖及截面圖；

第 11 圖乃訊噪比與第 1 圖之薄膜、及根據本發明第一及第二具體實施例之薄膜其諸電極間空間長度的關係圖；

第 12 圖及第 13 圖乃根據本發明第三具體實施例之輻射熱膜的簡化俯視圖及截面圖；

第 14 圖及第 15 圖乃根據本發明第三具體實施例之輻射熱膜的簡化俯視圖及截面圖；以及

第 16 圖及第 17 圖乃根據本發明繪示薄膜之第一製造方法的簡化截面圖。

【實施方式】

第一具體實施例

【0051】請參閱第 5 及 6 圖，根據本發明之輻射熱微偵測器薄膜 30 包含：

有助益地由非晶矽所製成之封裝殼 32，其包含下或「基座」層 34、以及由上層 38 與側壁 40 所構成之上蓋 36，一起界定寬度為 W 、長度為 M 且高度為 e 之內部材積 42(internal volumn)；

兩個傳導電極 20、22，其舉例來說，具有金屬性，停置於下層 34 上並將後者整個覆蓋，但將此等電極實體分開之(電)長度為 L 之中斷體(或凹槽)除外。上蓋 36 進一步停置於各電極 20、22 上，從而界定之間的第一傳導通道以及就內部材積 42 對腐蝕性化學程序具緊密性之空腔；

核心 44，其完全填充內部材積 42，並從而停置於各電極 20、22 上，因此界定介於此等電極間之第二傳導通道，其寬度為 W 且厚度為 e ，與第一傳導通道平行。核心 44 乃由比殼體材料具有更小電阻率之材料所製成，至少小 5 倍，且典型為小 10 至 20 倍。尤其是，核心 44 乃由具有負 TCR 係數之金屬氧化物所製成，例如 VO_x 及 / 或 TiO_x 及 / 或 NiO_x ，界定具有低的低頻雜訊係數之第二傳導通道。

【0052】在此構造中態，跨佈寬度 W 之金屬氧化物中及跨佈實質整個像素寬度(例如：12 μm)之非晶矽中，電流於兩個金屬極 20、22 之間流動。在本文所思及的實施例中，下非晶矽層 34 及上非晶矽層 38 兩者具有相等厚度，即 20 奈米。 MO_x 的寬度 W 及厚度 e 乃像素之電阻 R_b 的調整變數。其在這裡已分別設定為 6 μm 及 40 nm，用以就 $L = 2 \mu m$ 取得接近 800 $K\Omega$ 之 R_b 。

【0053】流經這兩種傳感器材料之兩個電流貢獻乃就響應 R 之計算而彼此相加，並且就雜訊之估計而求取平方和。一者從而就後者取得：

$$I_b = \sqrt{I_{b(a-si)}^2 + I_{b(MOx)}^2} \quad (8)$$

【0054】此 SNR 比率從而可根據傳導通道之長度 L ，舉例來說，以簡化方式，就第 5 及 6 圖概要繪示的像素例子來計算，確認這兩種傳感器材料的 TCR 係數相近。

【0055】第 7 圖的曲線圖表示插入一層電阻比非晶矽小十倍並且就相同電阻 R_b 產生少量低頻雜訊之金屬氧

化物傳感器材料能夠大幅補償因 L 減少到 $2\ \mu\text{m}$ 左右而降低的 SNR。第二傳感器材料之比率 $\alpha_H/N=2.6\ \text{E-}29\ \text{m}^3$ 已就所有曲線圖之構造進行確認，認為其值代表已知技術。

【0056】因此，本發明之構造中就 $L=2\ \mu\text{m}$ 取得之 SNR(約略 2 個任意單位，或 a.u.)均等於根據文件美國 5912464 中所述，總成具有 200 nm 厚度僅由傳感器 a-Si 所構成可就 $L = 6\ \mu\text{m}$ 取用之值。

【0057】流經本實施例中代表 17%總電流之非晶矽的電流對響應 R 因其 TCR 與 MO_x 均等而有貢獻(關係式 1)，並且僅稍微影響一般雜訊(關係式 6)。所指的關係式之廣泛的使用所表示的是，流經非晶矽路徑之電流比例可隨著非晶矽之厚度而變，變化範圍非常廣，這不會顯著影響 SNR，如第 8 圖所示。

第二具體實施例

【0058】在剛才已述的具體實施例中，若傳感器氧化物 MO_x 之引進已允許顯著提升 SNR，則低頻雜訊 $I_{b1/f}$ 在 $L = 2\ \mu\text{m}$ 時會維持主導性，從而持續限制微偵測器之 SNR。

【0059】爲了透過參數 N 進一步降低連結至少量電流傳導材料之主導雜訊，根據第二具體實施例，界定至少兩個平行且相同的中斷體或凹槽，其舉例來說，各具有長度 L 。傳導通道之有效長度已變爲 $P*L$ ，其中 P 乃凹槽數量。因此，主動材料在傳導時的材積就 $P=2$ 會加倍，而金屬化表面對應於電極之部分由 83%改變至 67%，其光學吸收但界定就傳感處於無作用狀態之等電位表面。

因吸收產生的損失 ε 其範圍經評估可自 10%至 15%，亦即小於表面面積損失，原因在於相對於輻射波長的凹槽窄度，亦即，就 LWIR 偵測而言，典型為 10 μm 。

【0060】請參閱就具有一個凹槽之薄膜(第 5 圖及第 6 圖)所揭示之關係式，鑑於電阻器之有效長度等於 $2*L$ ，可就包含兩個凹槽之敏感薄膜進行 SNR 之計算，從而界定插置金屬區 50 之兩個電極 20、22(第 9 圖及第 10 圖)。本例中(例如：各凹槽之)物理量 L 最大僅可掃描至 6 μm ，若超過此物理量，整個像素將去金屬化(接觸部分會消失，輻射熱電阻器也會跟著消失)。

【0061】層堆疊與前一個實施例維持不變，亦即，兩個各為 20 nm 之 100- $\Omega\cdot\text{cm}$ a-Si 層(基座與封裝層)，以及一個具有 40 nm 厚度之 10- $\Omega\cdot\text{cm}$ 氧化物層 MO_x 。本例中僅通道 MO_x 之寬度 W 才已放大至 12 μm 以使電阻 R_b 保持(具有兩個凹槽)與包含 $W=6$ μm 之單一凹槽的像素接近。

【0062】第 11 圖之曲線圖表示就具有寬度 $L=2$ μm 之兩個凹槽，相較於包含單一凹槽的例子，SNR 幾乎是兩倍(3.8 a.u.之於 2.0 a.u.)。此增益可與低頻雜訊降低相關聯，此乃因主動材料材積加倍，從而因隱含載子數量 N 所致。

【0063】因新增第二凹槽所致的吸收衰減 ε 估計約略 10%，因 SNR 增加而以極大幅度過補償。

第三具體實施例

【0064】本發明之第三具體實施例乃於第 12 至 15 圖中繪示，與上述具體實施例的差別在於其插入一層例如介電質之電絕緣體。尤其是，層件 52 乃插入金屬元件 20、22(與補充之第一具體實施例對應之第 12 及 13 圖)或 20、22、50(對應於第二具體實施例之第 14 及 15 圖)與傳感器 MOx 44 之間，全都在其共同佔位之表面區域上方，但沿著與長度為 L 之凹槽平行以及沿著薄膜之兩條對立邊緣而置且與其接近之兩個條狀物 54、56 者除外。因此，有效長度 L' (即第二傳感器 MOx 44 中傳導通道之兩個電端子間電流線之路徑之總電長度)可增加而使 $L' \gg L$ ，與光學吸收 ϵ 無關。

【0065】 MOx 連序增大之材積(從而還有電荷載子數量 N)導致此層中產生的雜訊 $1/f$ 降低。

【0066】舉例來說，鑑於第 12 及 13 圖中所示具有單一凹槽之薄膜，其設定 $L'=8\ \mu\text{m}$ 並在金屬層中包含長度 $L=2\ \mu\text{m}$ 之凹槽，符合前幾個具體實施例關於 R_b 之準則，層件 MOx 之厚度在本例中可加倍以補償此材料中傳導通道長度 L' 之增加。此層(例如) $10\ \Omega\cdot\text{cm}$ 之傳感器氧化物將因此具有 $80\ \text{nm}$ 之厚度，並且跨佈寬度 $W=12\ \mu\text{m}$ 遭受界定，導致與先前模式相當之接近 $800\ \text{K}\cdot\Omega$ 之電阻 R_b 。

【0067】在第三具體實施例中，若像素包含單一凹槽(第 12 圖及第 13 圖之例 a/)則電流之第一部分沿著長度 L 流經基座層 34 之矽，或若包含兩個凹槽(第 14 圖及第 15 圖之例 b/)則沿著長度 $2*L$ 流經。電流之另一部分沿著更

大長度 L' 流經上封裝層 36，電流之此部分從而所佔比例較小。

【0068】藉由將方程式 (1) 至 (8) 套用到本具體實施例中介紹的不同電流貢獻，以及藉由使用上列參數 (MOx 44，其在 $10\ \Omega\cdot\text{cm}$ 與 $\alpha_{\text{H}}/n = 2.6\text{E-}29\ \text{m}^3$ 下具有 $W=12\ \mu\text{m}$ 、 $e=80\ \text{nm}$ ，乃插入於在 $100\ \Omega\cdot\text{cm}$ 下各具有 $20\ \text{nm}$ 厚度之兩個 a-Si 層之間)，這分別就具有一個及兩個凹槽之構造 a/及 b/產生下表之 SNR 估計。

具有電絕緣體層之薄膜	$R_b\ (\text{K}\Omega)$	$\text{SNR}\ (\text{a.u.})$
1 個凹槽($L=2\ \mu\text{m}$)	~ 741	3.84
2 個凹槽($L=2\ \mu\text{m}$)	~ 775	5.81

【0069】插入電絕緣體層 52 使 MOx 傳感器 44 之電極 20、22 部分絕緣，能夠用單一凹槽 $L = 2\ \mu\text{m}$ 達到相同的 SNR 值，亦即 $3.8\ \text{a.u.}$ ，如第二具體實施例 (第 9 圖及第 10 圖)，其沒有絕緣體層 52，但有兩個長度 $L = 2\ \mu\text{m}$ 之凹槽，如第 11 圖之曲線所示。

【0070】若將長度為 $2\ \mu\text{m}$ 之第二凹槽引進此類型之薄膜 (第 14 圖及第 15 圖)，則 SNR 達到 $5.8\ \text{a.u.}$ 。此增益乃導因於基座 a-Si 層 34 所產生之低頻雜訊降低，在單一凹槽之例子中有主導地位。

【0071】取得此最終 SNR 位準作為總成中新增附加介電層之、以及附加光微影層階之對照，在大部分情況下是可接受的。

【0072】應該規定此一特定構造需要在像素周緣、在基座與封裝層限制範圍內之任何點對介電層加上限制，以在必要時，避免對 HFv 犧牲層移除方法提供進入點。

【0073】應注意的是，先前對一個或至多兩個凹槽引進的限制對應於佔有 $12 \times 12\text{-}\mu\text{m}^2$ 表面面積之極小像素(基本偵測器)之非常特定且例示性的製造背景。若此技術允許或對於更大像素，本發明之實作仍然有助益地可根據像素間距來界定三或更多個凹槽。的確，應該使比率 W/L 約略維持恆定以避免過度修改電阻 R_b ，而且應該保持有限寬度之空間(凹槽)避免使光學吸收過度變差。

【0074】類似的是，有就第二傳感器材料規定形成緊密殼體之非晶矽用法。應規定藉助 $a\text{-Si}_x\text{Ge}_{(1-x)}$ 類型之矽與鍺合金或 $a\text{-Si}_x\text{C}_{(1-x)}$ 類型之非晶矽與碳合金將會得到一樣的結果。

【0075】待視為本發明之標準的電阻率範圍在實質提供附帶優點的同時，於 10 Ohm.cm 與 10^4 Ohm.cm 之間延伸。

製造方法

【0076】現將說明根據本發明一具體實施例之製造方法，開始步驟為根據文件美國 2014/319350 之教示製造讀出電路之 CMOS 基板之堆疊。根據本發明之方法能夠藉助有限數量之光微影層階來製造輻射熱偵測器，但與任何傳感器材料類型之用法相容，主要是對 MO_x 有利。

【0077】更特別的是，根據本發明之製造方法乃一種組裝與 HFv 型犧牲層相容之薄膜的技術，其結合使用低電阻率之第二金屬氧化物型傳感器材料，與諸如非晶矽或相關合金之第一傳感器材料相配合，用意是要在最後犧牲介電材料蝕刻操作期間完整保護金屬氧化物。從而

取得能夠以與支援 ROIC 之 CMOS 製造流程中之整合相容之經濟方式，強化現有技術的效能(訊噪比)。

【0078】請參閱第 16 及 17 圖，根據本發明之方法舉例來說，按照慣例，始於在 CMOS 技術 60 中構造電子讀出電路，其包含尤其是將讀出電路 60 之諸功能塊互相連接之一個或複數個層階 62 之互連體 64(CMOS 電路 60 之「後端」部分)，用意在於形成讀出電路 60 之輸入/輸出連接。電路 60 之後端層與各輻射熱膜間的金屬連續性乃進一步藉由自 CMOS 層金屬至金屬層 74 穿過阻障層 68、礦物犧牲層(SiO) 70 及基座層 34 之金屬化通孔 66 來形成，薄膜之電極 20、22 將由該金屬層所構成(第 16 圖)。此操作序列主要舉例來說，是在文件美國 2014/319350 中作說明。

【0079】本方法進行構成與 HFv 釋離方法步驟相容之薄膜，同時整合更小電阻率之第二傳感器材料，不用附加步驟。請參閱第 16 圖，薄膜製造包含：

蝕刻金屬層 74 以界定跨佈薄膜整個寬度之長度為 L 之一個或複數個凹槽 76，從而還有兩個金屬電極 20、22；

直接在電極 22、22 之金屬上沉積例如且典型為(通式為 VO_x 之)氧化釩、或(通式為 NiO_x 之)氧化鎳、或(通式為 TiO_x 之)氧化鈦之低電阻率第二傳感器材料 44 以在藉由非金屬化空間定界之諸半導體之平面中形成電阻器 R_b ；

沿著第二傳感器材料之層件 44 之平面藉助乾或濕蝕刻來界定延伸，典型為根據單純的矩形來界定，其尺

寸小於薄膜之最終輪廓，換言之，乃位在此(未來)輪廓範圍內其周邊之任何點，屬於該傳感器材料 44，選擇性位在下層金屬及非晶矽上；

沉積第二非晶封裝矽層 36，較佳為(但非必要)具有與基座層 34 相同之電阻率及厚度；

界定薄膜輪廓與熱絕緣臂並且在適當處蝕刻所有層件，亦即兩個 a-Si 層 34、36、以及電極 20、22 之金屬。此遮罩之周邊較佳為不與第二傳感器材料 44 之圖案交叉而不使其在結構之邊緣上(即至少在薄膜周邊某些點處)產生局部曝露。附帶一提，此一布局使蝕刻方法容易界定。

【0080】根據此構造，就夾持結構，與參考技術相比較，此等臂件僅由兩個將金屬層 74 夾於其中之 a-Si 層所構成。a-Si 層 34 與 36 從而具有相當且較佳為相同之厚度，以避免因內部應力差異所導致的可能變形。

【0081】第 17 圖中表示第三具體實施例之整合一層電絕緣體(例如介電質)之堆疊。藉由應用以下步驟，一旦金屬層 74 中已形成凹槽，其便可得自第 16 圖之截面中所示之製造：

藉由較佳使用標準 BEOL 材料及 CMOS 製造過程之技術來沉積介電層 52(例如： SiO 、 SiO_xNy 或類似者)；

在介電層 52 中界定開口 54、56 以形成出現在金屬 74 上之電接觸。這些接觸典型乃沿著薄膜之兩個對立邊緣形成，並且界定主傳感器材料長方體 44 之兩端，之後予以進行沉積；

沉積例如且典型為(通式為 VO_x 之)氧化釩、或(通式為 NiO_x 之)氧化鎳、或(通式為 TiO_x 之)氧化鈦之較低電阻率之第二傳感器材料 44。主傳感器 44 接著乃絕緣於電極金屬之開口 54、56 外部，以在傳感器層之平面中形成與電阻器 Rb 平行之較小電阻性部分，其乃由先前形成之接觸所定界；

例如根據簡單的矩形、或更一般的是根據比薄膜所佔最終表面區域更小尺寸之簡單多邊形來界定第二傳感器材料之輪廓，並且例如在介電層 52 上方以具有選擇性之方式對該傳感器進行乾或濕蝕刻。此一蝕刻在介電層 52 上方可不特別具有選擇性，在這種情況下，其在金屬層 74 上方應該具有選擇性，向所屬技術領域中具有通常知識者提供廣泛的界定自由度；

藉助在下層金屬 74 上方具有選擇性之濕式化學作用，較佳為乾式化學作用，例如且較佳為根據如同第二傳感器材料之輪廓(有助益地使用如同前一者之遮罩)來蝕刻介電質 52；此一優選供應的用意是要對薄膜臂件表面抑制介電質 52，使得僅剩下兩個 a-Si 層及金屬性材料。因此，取得懸置膜之最大熱阻(例如：響應)；

沉積較佳為(但不必然)具有與基座層 34 等電阻率及厚度之第二封裝非晶矽層 36；

界定薄膜輪廓與熱絕緣臂並且在適當處蝕刻所有層件，亦即兩個 a-Si 層 34、36、以及電極 20、22 之金屬。此遮罩的周邊較佳是不與第二傳感器材料 44 之圖案(延伸部分)交叉，也不與中間介電質 52 交叉，以避免在結

構之邊緣上曝露一層或另一層。附帶一提，此一供應使蝕刻方法容易界定。

【0082】已說明電阻器 R_b 之偏壓功能乃藉由亦實施吸收功能之兩個電極來實施的特定具體實施例。

【0083】在一變例中，用於電極之金屬及用於吸收之金屬可由兩個不同層所形成，尤其是非共面層。

【0084】在一變例中，可在界定第二傳感器材料之後提供用於電極與吸收層之金屬，其偏壓(電連續性)乃得自上介面。

【0085】本發明乃是在當作第一材料使用之具體相關事例中開發，用於形成基座層與封裝層，換句話說，用於形成緊密層，其非晶矽具有等級為 10^2 Ohm.cm 之電阻率。然而，使用與 $a\text{-Si}_x\text{Ge}_{(1-x)}$ 類型之鍺、或與 $a\text{-Si}_x\text{-C}_{(1-x)}$ 類型之碳構成合金之非晶材料，根據摻雜及特定組成 x ，得輕易提供涵蓋範圍典型介於 10 Ohm.cm 與 10^4 Ohm.cm 間的材料(此外，該材料在此特定背景下幾乎可視為「介電質」)，但不脫離本發明之內容。的確這些材料全都對以 HFv 形式蝕刻犧牲 SiO 層之方法不起作用。

【符號說明】

【0086】

- 10 微輻射熱計
- 12 薄膜
- 14 支撐體
- 16 傳導錨定柱
- 18 夾持與熱絕緣臂

20	導電電極
22	導電電極
24	非晶矽層
26	電主動部分
30	輻射熱微偵測器薄膜
32	封裝殼
30	輻射熱微偵測器薄膜
34	下層
36	上蓋
38	上層
40	側壁
42	內部材積
44	核心
50	金屬區
52	層件
54	條狀物
56	條狀物
60	CMOS 技術
62	層階
64	互連體
66	金屬化通孔
68	阻障層
70	礦物犧牲層
74	金屬層
76	凹槽

申請專利範圍

1. 一種輻射熱偵測裝置，其包含：

包含讀出電路之基板(14)；

一基本偵測器的陣列，各偵測器包含懸置於該基板(14)上面之薄膜(12)、及藉由至少兩個導電體(16, 18)連接至該讀出積體電路，該薄膜包含分別連接至該兩個導電體之兩個導電電極(20, 22)、及電連接該兩個電極之傳感器材料(24)之材積，

其中該讀出電路乃構造成在該薄膜(12)之該兩個電極(20, 22)間施加電刺激，並且形成電信號作為對該施加之響應，

其特徵在於，

該材積包含：

電連接該薄膜(12)之兩個電極(20, 22)並形成封閉式包體(42)之壁件之第一傳感器材料的材積(34, 38, 40)，該封閉式包體內至少部分地罩覆有各該電極(20, 22)；以及

電連接該兩個電極(20, 22)並被罩覆於該包體(42)中之第二傳感器材料之材積(44)，該第二材料之電阻率小於該第一材料之電阻率；

以及在於該兩個傳感器材料具有負熱阻抗係數(negative thermal coefficient of resistance)TCR。

2. 如請求項 1 之輻射熱偵測裝置，其中該兩個電極(20, 22)係共面且僅藉由一個凹槽分開。

- 3.如請求項 1 之輻射熱偵測裝置，其中該兩個電極(20, 22)屬於含至少三個導電共面區之串列，彼此藉由配置於該兩個電極間的平行凹槽分開。
- 4.如請求項 1、2 或 3 之輻射熱偵測裝置，其中該薄膜包含延伸於該等電極之間並且將該等電極之各者部分地覆蓋的連續電絕緣體層(52)。
- 5.如請求項 1 至 4 項中任一項之輻射熱偵測裝置，其中該第二材料之電阻率至少比該第一材料之電阻率小五倍，並且較佳是小十倍至小二十倍。
- 6.如請求項 1 至 5 項中任一項之輻射熱偵測裝置，其中該第一材料具有大於 10 Ohm.cm 之電阻率，並且較佳是小於 10^4 Ohm.cm 之電阻率。
- 7.如請求項 1 至 6 項中任一項之輻射熱偵測裝置，其中該第一材料是非晶矽、化學式為 $\text{Si}_x\text{Ge}_{(1-x)}$ 之矽與鍺的非晶合金、或化學式為 $\text{a-Si}_x\text{C}_{(1-x)}$ 之矽與碳的非晶合金，而該第二材料是金屬氧化物。
- 8.一種製造輻射熱偵測裝置之方法，其包含：
製造包含讀出電路之基板(60)；
在該基板上沉積犧牲層(70)；
在該犧牲層(70)上製造薄膜(12)之陣列，各該薄膜藉由至少兩個導電體(66)連接至該讀出電路，該薄膜包含分別連接至該兩個導電體之兩個導電電極(20, 22)、及電連接該兩個電極之傳感器材料之材積；
該等薄膜一旦製造完成，便移除該犧牲層(70)，
其特徵在於，

該傳感器材積之製造包含：

在該犧牲層(70)上沉積第一傳感器材料(34)之下層；

在該第一材料之該層上形成該兩個薄膜電極(20, 22)；

在該等電極上與該等電極之間沉積一第二傳感器(44)層；以及

以該第一材料(36)之上層封裝該第二傳感器材料(44)層並將該兩個電極部分地覆蓋，

以及在於：

該兩個傳感器材料具有負熱阻抗係數 TCR，並且該第二材料之電阻率小於該第一材料之電阻率；

該第一材料對該犧牲層之移除是不起作用的。

9.如請求項 8 之輻射熱偵測裝置製造方法，其中該犧牲層乃藉由 HFv 氫氟酸蝕刻來移除，以及其中該第一材料乃非晶矽、化學式為 $a\text{-Si}_x\text{Ge}_{(1-x)}$ 之矽與鍺的非晶合金、或化學式為 $a\text{-Si}_x\text{C}_{(1-x)}$ 之矽與碳的非晶合金。

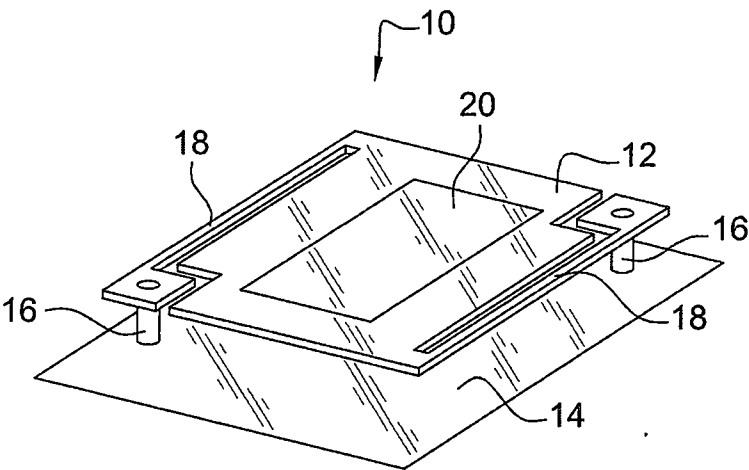
10.如請求項 8 或 9 之輻射熱偵測裝置製造方法，其中該兩個電極乃藉由沉積一導電材料層並藉由在該層中向下至該第一材料下層僅形成一個凹槽來形成。

11.如請求項 8 或 10 之輻射熱偵測裝置製造方法，其中該兩個電極乃藉由沉積一導電材料層並藉由在該層中向下至該第一材料下層形成兩個平行凹槽來形成。

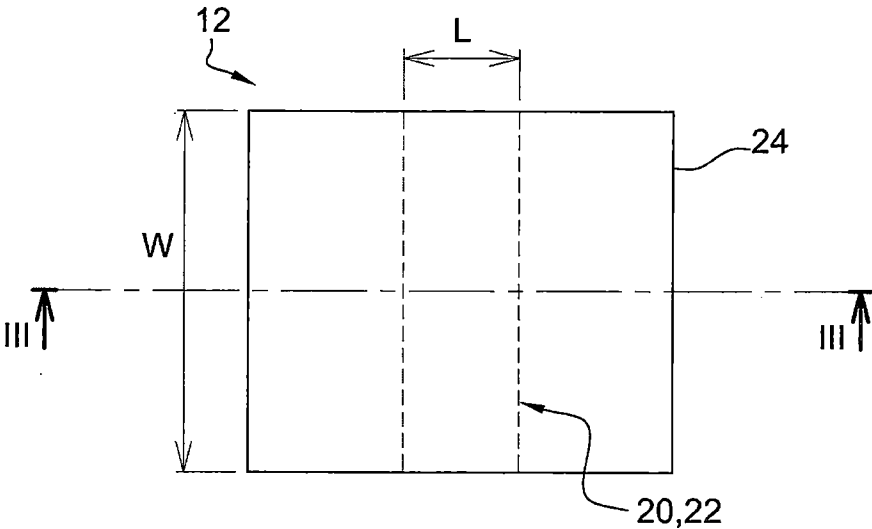
12.如請求項 8 至 11 中任一項之輻射熱偵測裝置製造方法，其中該第二材料之電阻率至少比該第一材料之電阻率小五倍，並且較佳是小十倍至小二十倍。

- 13.如請求項 8 至 12 中任一項之輻射熱偵測裝置製造方法，其中該第一材料具有大於 10 Ohm.cm 之電阻率，並且較佳是小於 10^4 Ohm.cm 之電阻率。
- 14.如請求項 8 至 13 中任一項之輻射熱偵測裝置製造方法，其包含在沉積該第二傳感器材料之前，先沉積在該等電極之間延伸並且將各該電極部分地覆蓋之電絕緣層。

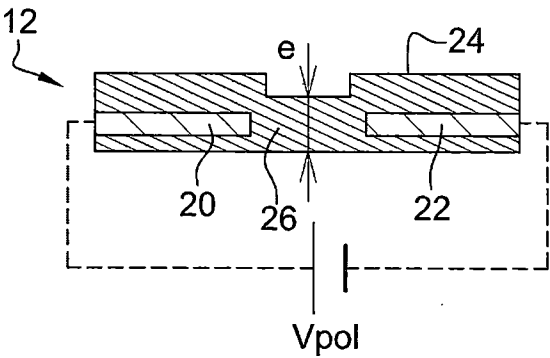
圖式



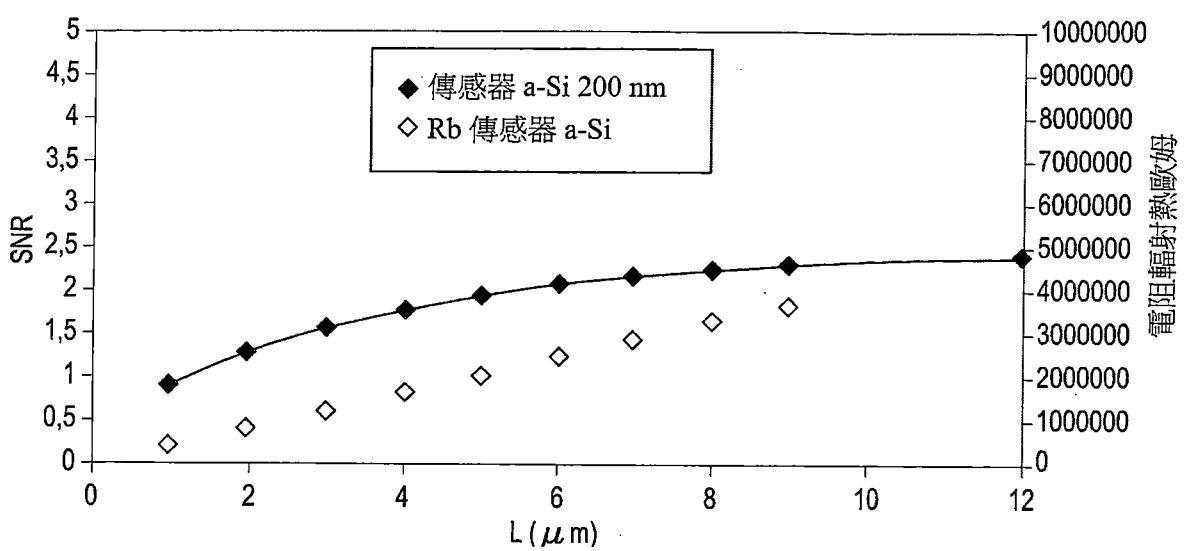
第 1 圖
(現有技術)



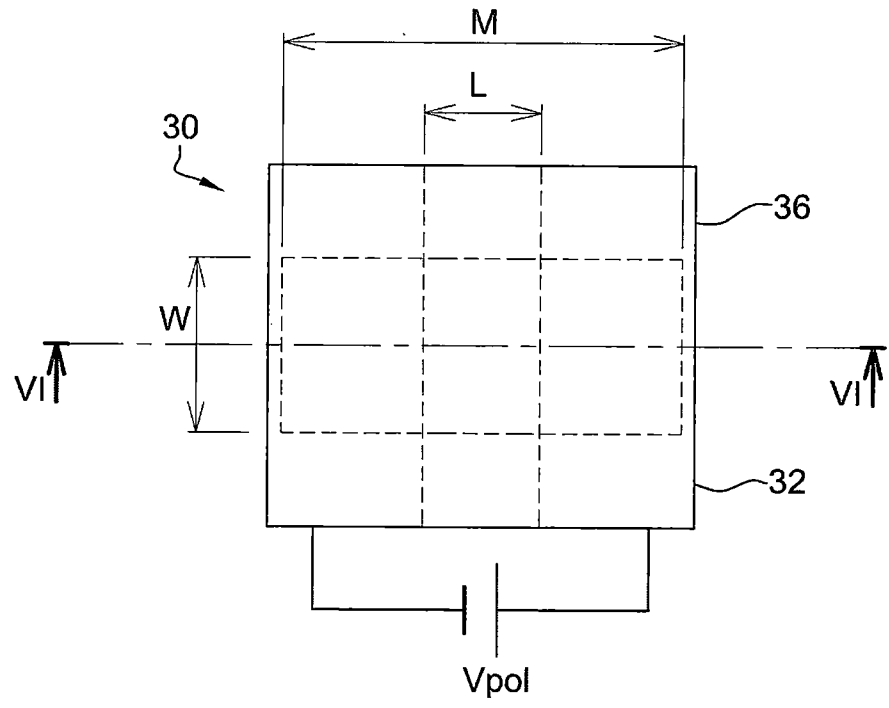
(現有技術)
第 2 圖



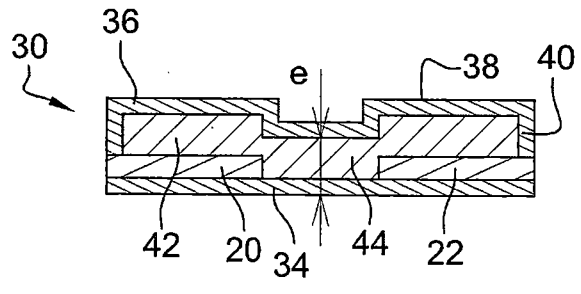
(現有技術)
第 3 圖



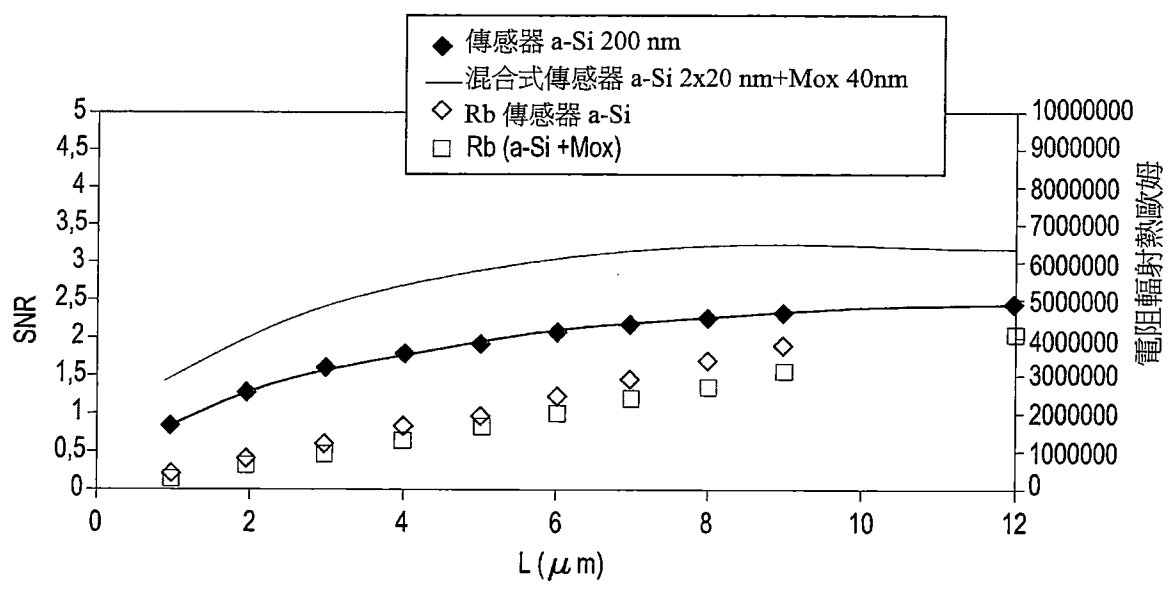
(現有技術)
第 4 圖



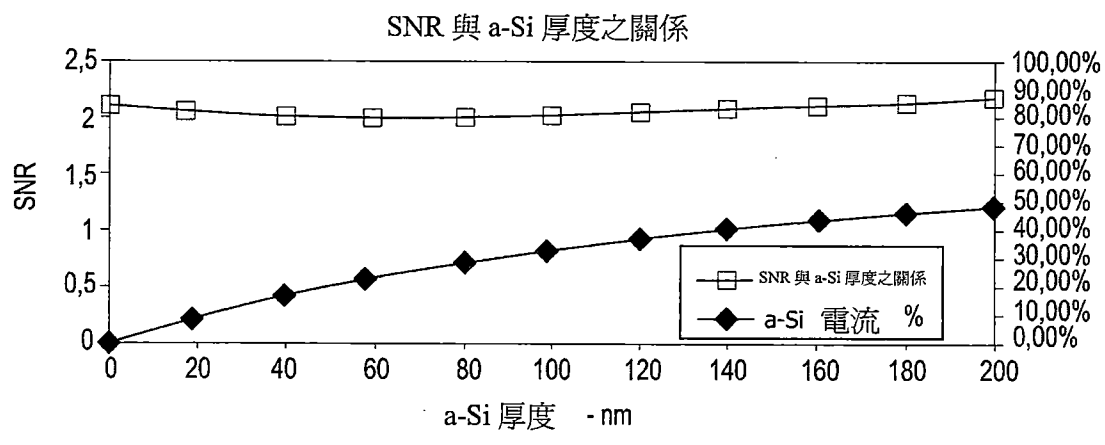
第 5 圖



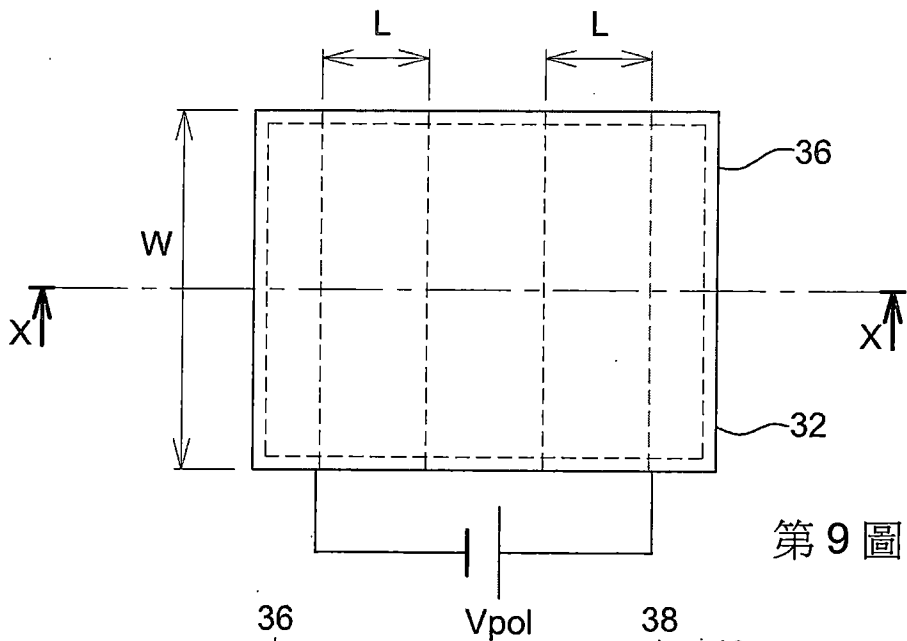
第 6 圖



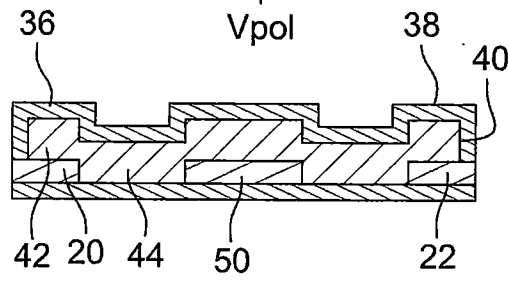
第 7 圖



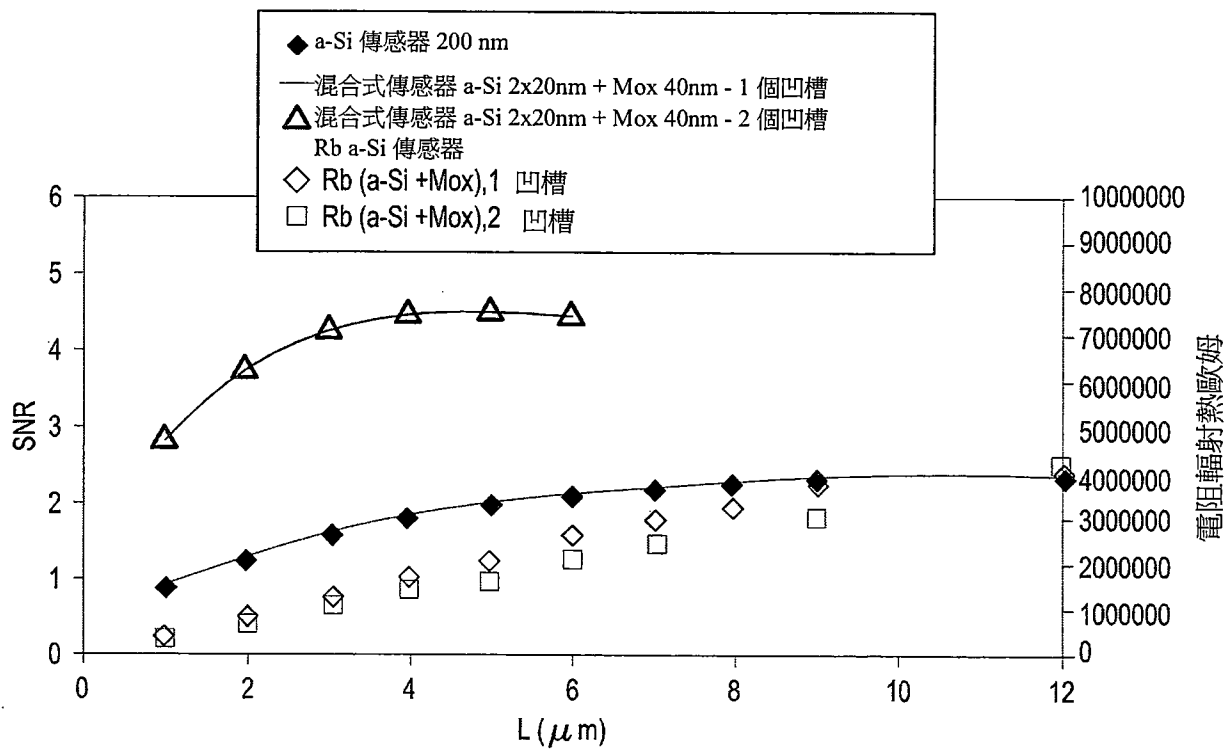
第 8 圖



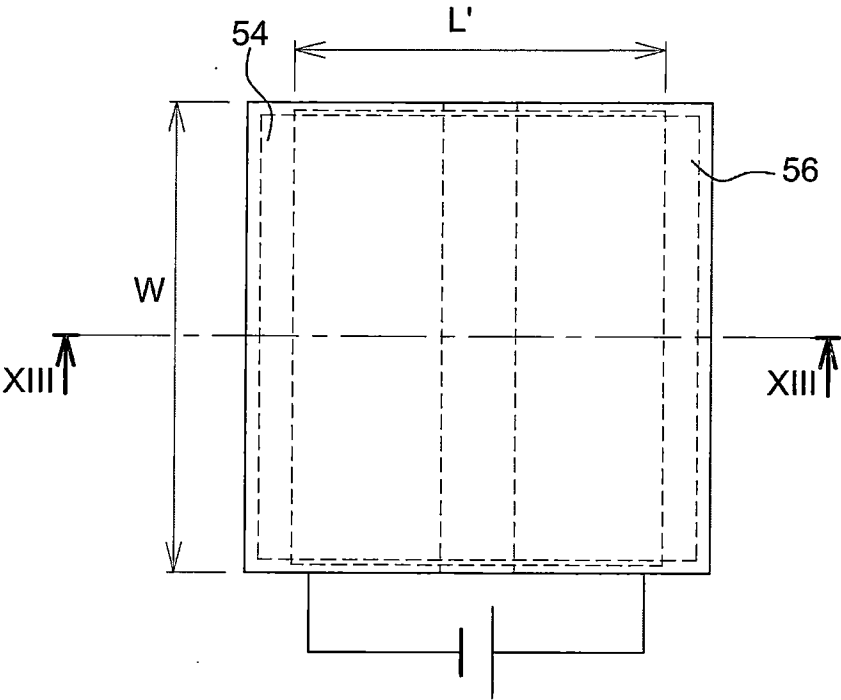
第 9 圖



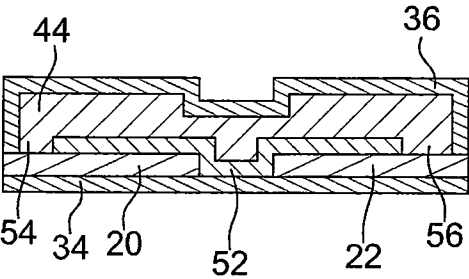
第 10 圖



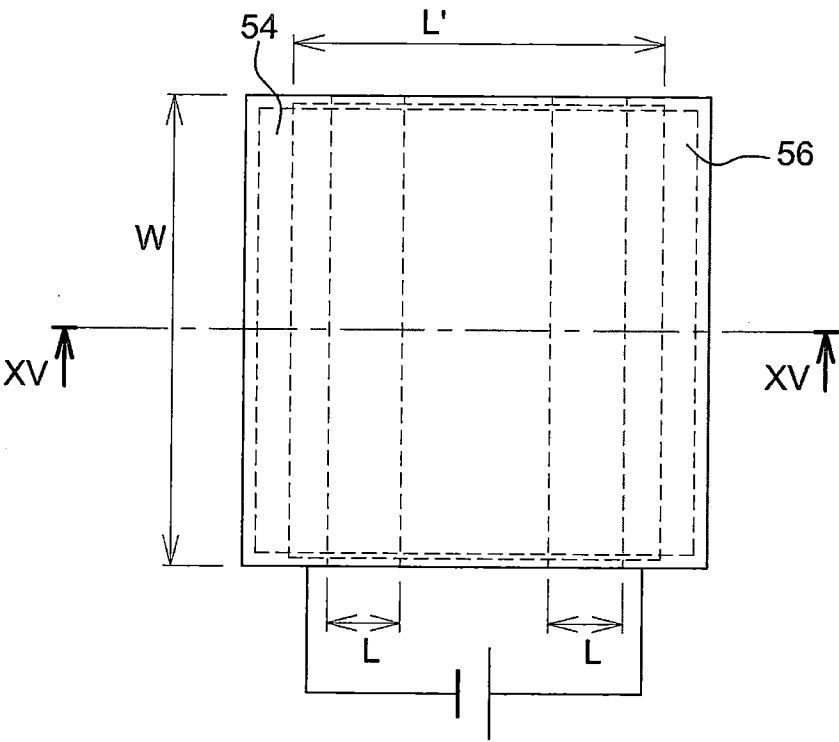
第 11 圖



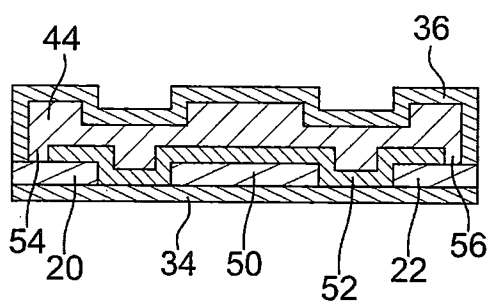
第 12 圖



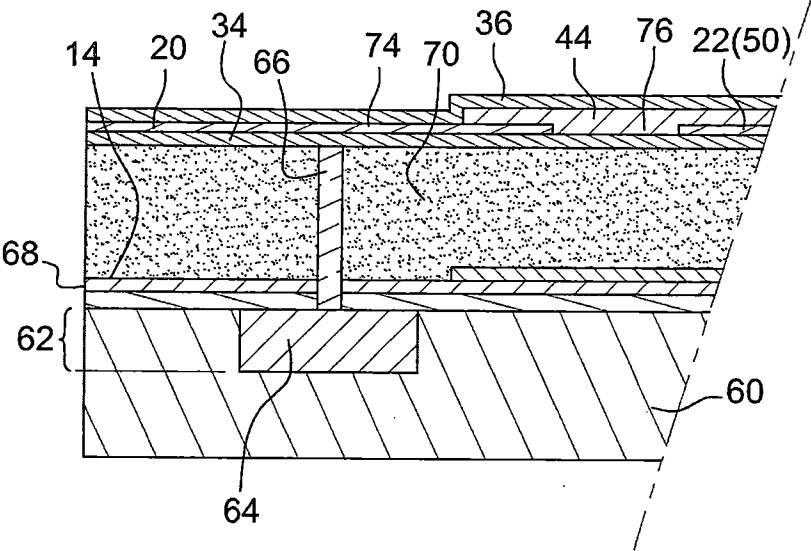
第 13 圖



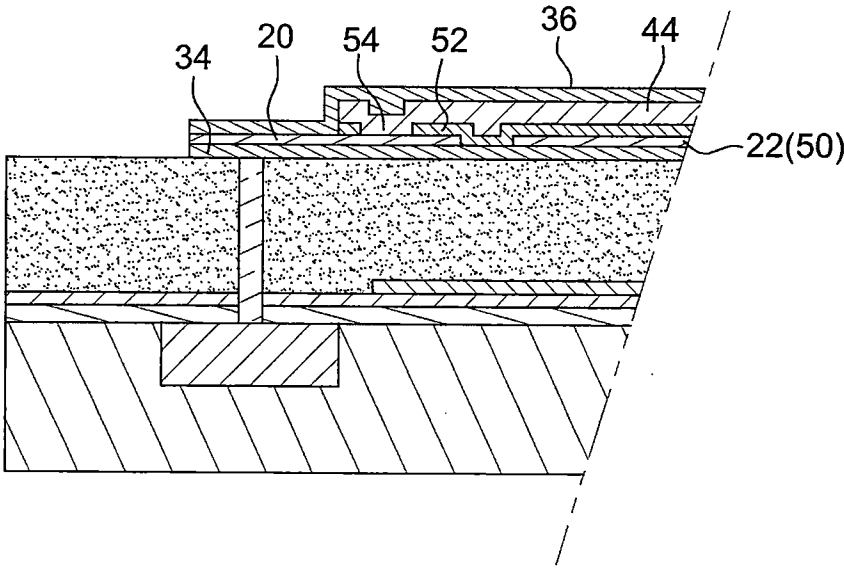
第 14 圖



第 15 圖



第 16 圖



第 17 圖