

公告本

修正 86.6.17
補充

17016

申請日期	85.3.22
案號	85103440
類別	H01L 01 / Int. Cl.

專利申請案第85103440號
 ROC Patent Appln. No. 85103440
 修正之說明書中文本 A4 附件三
 Amended Specification in Chinese - Enc 317016
 (民國86年6月16日送呈)
 (Submitted on June 16, 1997)

(以上各欄由本局填註)

317016

發明專利說明書

一、發明 名稱	中文	使用SiGe間隔物作為外質基極接點之自動對準雙多晶矽雙極性電晶體
	英文	A SELF-ALIGNED DOUBLE POLY BJT USING SIGE SPACERS AS EXTRINSIC BASE CONTACTS
二、發明 人	姓名	強考特 (F. Scott Johnson)
	國籍	美國
	住、居所	美國德克薩斯州波拉洛區波瑞登路3700號 3700 Preston Road, #523, Plano, TX 74379, U.S.A.
三、申請人	姓名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代表人 姓名	郝威廉 William E. Hiller

裝訂線

經濟部中央標準局員工消費合作社印製

317016

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期 西曆 1995年3月23日 案號： 08/409,558 ， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

郵政特准掛號
認爲新聞紙類

五、發明說明(1)

發明背景

本發明係有關於半導體結構及製程，尤其是與雙極性電晶體有關者。

發明領域

雙極性電晶體一般使用於半導體裝置中，尤其用於高速操作及高驅動電流的應用中。圖1中示一雙多晶矽BJT10。由場氧化物12隔離BJT10區。集極14為一微摻雜的導電型式外延層，且由導電性相反的摻雜16及18形成基極區。摻雜區稱為本質基極區，且區18為外質基極區。外質基極區18提供一區域，以與基極區相連接。基極區20包含一第一摻雜多晶矽層。射極區22為與集極相同型式的摻雜區，且位在本質基極區16內。射極電極24伴有第二摻雜多晶矽區。氧化物區26及基極射極間隔物28將射極電極24從基極電極20中隔離。雙多晶矽BJT的另一項優點為比之於單多晶矽BJT，其基極電阻較低，而外質電容亦減少。但是此項優點係由於其他製程上的複雜度而得到，如從主動區域中的多晶矽蝕刻，及基極上連結摻雜區從一高度摻雜多晶矽擴散源向外擴散。

圖2示另一習知技術上的雙多晶矽BJT。一基極上連結區52用於連結本質基極區。基極上連結區52由從多晶矽間隔物54的摻雜物擴散形成。一絕緣區56將基極多晶矽與集極區相隔離。此方法的優點為消除本質電容且減低裝置區域。但是，本方法仍存在製造上的複雜度，即必須直接從矽主動

(請先閱讀背面之注意事項再填寫本頁)

家

訂

五、發明說明(2)

區上直接蝕刻多晶矽。

雙多晶矽BJT的優點現在已與上述製程的複雜度平衡。因此必需有一種可降低製程複雜度的BJT形成方法。

發明概述

本發明有關於雙極性電晶體及形成該雙極性電晶體之方法。一基極電極由一絕緣層而與集極隔開。形成一與基極電極側向相鄰的摻雜導電間隔物。導電間隔物包含一導電材料，其可作為n及p型摻雜物的摻雜源，且可視需要對於矽(如矽鍺)進行蝕刻程序。基極上連結區從導電間隔物向集極擴散。然後，持續處理而形成一本質基極區，射極區，及射極電極。

本發明的優點為提供一形成雙極性電晶體的方法，當從裝置主動區直接蝕刻多晶矽時，可消除過度蝕刻及毀損。

本發明的另一優點為提供一形成雙極性電晶體的方法，其可簡單地製造一可信賴地自動對準基極上連結區。

本發明尚有一優點，即提供一形成雙極性電晶體的方法，其可消除大部份的外質基極電容。

對於嫻熟本技術者可參考下列說明書及附圖而對本發明上述及其他的優點更進一步地加以瞭解。

圖形簡述

圖1為第一習知技術之BJT的截面圖。

謝永平
姚甘如

五、發明說明(3)

圖2為第二習知技術之BJT的截面圖。

圖3為本發明之BJT的截面圖；及

圖4-8為不同製造階段中圖3之BJT的截面圖。

若非特別說明，不然在不同圖形中相同的數字及符號對應至同一組件。

較佳實施例之詳細說明

在下文中將以應用BiCMOS程序所形成的雙多晶矽雙極性電晶體(BJT)說明本發明。顯然的對本技術嫺熟者可將本發明應用於其他BiCMOS程序及裝置中，及用於雙極性程序及裝置中。

圖3示本發明的BJT100。場隔離區104隔離BJT100與其他裝置(圖中無示)，如其他的BJT，MOS電晶體，二極體及電阻等。區102為一集極區。多種適用的集極區為技術上所熟知者。如集極102可包含一埋入集極及一微摻雜外延層，可見於美國專利案號4,958,213，1990年9月18號發表，為德儀公司所有。

基極區106包含一本質基極區108及一基極上連結區112。本質基極區108為一射極區所在之區。基極上連結區(link-up)112在基極區114及本質基極區108之間提供低電阻/低電容上連結，且與基極電極114及本質基極區108呈自動對齊之形態。本質及基極上連結區(108及112)的導電型式相同。例如，如果集極區102為n型，則基極區108及112為p

五、發明說明(4)

型。另外，如果集極區102為p型，則基極區108及112為n型。因為傳統的外質基極區已消除，所以外質電容幾乎也完全消除掉。基極區108與一較小的自動對準基極上連結區112相連結。

基極電極114包含摻雜多晶矽且經一絕緣層110與集極區102分開。一導電間隔物115用於將基極電極114與基極上連結區112相連結。調整基極區114的摻雜度以提供基極電極所需要的導電率。比照上，習知技術中要求基極電極的摻雜度可基於對本質基極區提供一低電阻上連結區，而可加以調整。因為基極電極114並非已基極上連結區112的摻雜源，所以基極電極的摻雜濃度不與基極上連結區112的電阻率相耦合。

導電間隔物115為基極上連結區112的摻雜源。導電間隔物115包含一導電材料，其可作為n型及/或p型摻雜物的摻雜源，且可對於矽選擇性地加以蝕刻。其亦可與傳統半導體處理方法相容。例如，導電間隔物115可包含矽鍺(SiGe)。導電間隔物115使得自動對準基極上連結區112可以可信賴而且簡單地製造，且將所有的外質電容幾乎完全消除。

基極射極間隔物120在射極區126的端部及本質基極區108的端部間提供間隔。另外，基極射極間隔物120及介質層122隔離射極電極124及基極電極114。射極電極124最好包含摻雜多晶矽，且為用於射極區126的摻雜源。射極電極124的導電性與基極電極114的導電性相反。

(請先閱讀背面之注意事項再填寫本頁)

表

訂



五、發明說明(5)

圖4示在集極區104及場絕緣區104形成之後的半導體本體104。集極區102可包含一埋入層；一外延層及一深N+集極下沉部，此皆為技術上所熟知者。下文將說明依據本發明將BJT100形成圖4之結構的程序。

請參考圖5，在該結構的表面形成一厚約1000-2000埃的絕緣層110。絕緣層110可包含如熱氧化物。第一層多晶矽113沉積在絕緣層110上，其厚度約2000埃。在多晶矽層113上沉積厚約3000埃的中間介質層122。可在該處摻雜第一層多晶矽113，或在沉積後植入摻雜物，使得可由此形成低電阻基極電極114。然後，如圖6所示，蝕刻第一層多晶矽113。共聚介質蝕刻止部在多晶矽上，多晶矽蝕刻止部在絕緣層110上，且絕緣層110蝕刻止部在矽主動區上。因為傳統的絕緣體蝕刻對於矽具高度選擇性，可防止在主動區上形成過度蝕刻及晶體破壞。比照上，習知技術的方法要求多晶矽直接從矽主動區蝕刻掉。因為多晶矽蝕刻對矽主動區幾不具選擇性，在習知技術的裝置中，可能破壞主動區。如圖6所示，絕緣層110的蝕刻可向基極電極114下的下部切割絕緣層110延伸。

其次，摻雜且蝕刻導電，擴散之源材料，以形成導電間隔物115，如圖7所示。導電，擴散源材料可作為n型及/或p型摻雜物的摻雜源，且可視需要對矽蝕刻。且可與傳統的半導體製程相容。例如，導電間隔物115可包含矽鍍，聚晶SiGe可如多晶矽一般予以沉積，定址摻雜，或植入且蝕刻，只是其可視需要對於矽而加以蝕刻。應用傳統的

五、發明說明(6)

主動離子蝕刻或電漿蝕刻，例如使用 SF_6 及 O_2 ，以得到範圍9-18的選擇性。可用定址或沉積之後，摻雜導電間隔物115，使間隔物115可對基極上連結區112提供一摻雜源。隨後進行退火循環。退火的目的係在長成一屏蔽(screen)氧化物130，而同時如圖8所示，從導電間隔物115處擴散基極上連結區112。在介面處摻雜物的表面濃度大小有可能達到約 $5E19/cm^3$

依傳統的方式連續處理，以完成圖3的結構。結果屏蔽氧化物130植入本質基極區108且加以擴散。然後，形成基極射極間隔物120以隔開隨後形成的射極區端邊與本質基極區端邊。基極射極間隔物120可包含如二氧化矽。然後，沉積厚約2.5K埃的第二層多晶矽。多晶矽層132可定址摻雜，或在沉積之後植入摻雜。最後，對第二多晶矽層上圖樣(pattern)且加以蝕刻，以形成射極電極124，且射極區126從二多晶矽層/射極電極處擴散，此動作可在第二多晶矽蝕刻之前或隨後即予進行。

已應用例證之實施例說明本發明，本說明的目的並非在於限制本發明。對於嫻熟本技術者可參考該說明而對實施例進行不同的修改及組合。因此下文中的申請專利範圍涵蓋所有此類的修改及結合。

中華民國
經濟部
中央標準局
註冊

四、中文發明摘要(發明之名稱:)

使用SiGe間隔物作為外質基極接點之自動對準雙多晶
矽雙極性電晶體

本發明有關於雙極性電晶體(100)及形成該雙極性電晶體之方法。一基極電極(114)由一絕緣層(110)而與集極(102)隔開。形成一與基極電極(114)側向相鄰的摻雜導電間隔物(115)。導電間隔物(115)包含一導電材料，其可作為n及p型摻雜物的摻雜源，且可視需要對於矽(如矽鍺(silicon-germanium))進行蝕刻程序。基極上連結區(112)從導電間隔物(115)向集極(102)擴散。然後，持續處理而形成一本質基極區(108)，射極區(126)，及射極電極(124)。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:)

A SELF-ALIGNED DOUBLE POLY BJT USING SiGe SPACERS AS
EXTRINSIC BASE CONTACTS

A bipolar transistor (100) and a method for forming the same. A base electrode (114) is separated from the collector region (102) by an insulator layer (110). A doped conductive spacer (115) is formed laterally adjacent the base electrode (114). The conductive spacer (115) comprises a conductive material that is capable of serving as a dopant source for n and p-type dopants and is able to be selectively etched with respect to silicon (e.g., silicon-germanium). Base link-up region (112) is diffused from conductive spacer (115) into the collector region (102). Processing then continues to form an intrinsic base region (108), emitter region (126), and emitter electrode (124).

訂

線

專利
註冊

86-6-17

六、申請專利範圍

專利申請案第85103440號
ROC Patent Appln. No.85103440
修正之申請專利範圍中文本 - 附件一
Amended Claims in Chinese - Encl. I
(民國86年6月16日送呈)
(Submitted on June 16, 1997)

1. 一種用於形成一雙極性電晶體的方法，該方法包含下列步驟：

形成一集極區；

形成一基極電極，其藉由一絕緣層與該集極區分隔，

應用對於矽具選擇性的蝕刻程序在該集極區上形成一與該基極電極側向相鄰的摻雜導電間隔物；

從該摻雜導電間隔物將一基極上連結區向該集極區擴散；

將一本質基極區植入該集極區，其中該基極上連結區對該本質基極區形成自動對準；以及

在該本質基極區內形成一射極區。

2. 如申請專利範圍第1項之方法，其中該導電間隔物包含矽鍺(silicon-germanium)。

3. 如申請專利範圍第1項之方法，其中形成該基極電極的步驟包含下列步驟：

在該集極區上形成該絕緣層；

在該絕緣層上沈積一第一多晶矽層；及

蝕刻該絕緣層及該第一多晶矽層，以形成該基極電極，且暴露該集極區之一部分。

4. 如申請專利範圍第3項之方法，其中蝕刻該絕緣層及該第一多晶矽層的步驟更包含在該第一多晶矽層之下，下部切割該絕緣層的步驟。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

5.如申請專利範圍第1項之方法，其中形成該摻雜導電間隔物的步驟包含下列步驟：

沈積一導電材料層；

摻雜該導電材料層；且

對於矽選擇性蝕刻該導電材料層，以形成該導電間隔物。

6.如申請專利範圍第5項之方法，其中該選擇性蝕刻步驟的選擇率大於9：1。

7.如申請專利範圍第3項之方法，更包含下列步驟：

在該第一多晶矽層上形成一介質層；及

在蝕刻該第一多晶矽層的步驟之前，蝕刻該介質層。

8.如申請專利範圍第1項之方法，更包含下列步驟：

在該植入本質基極區的步驟之後，形成一與該導電間隔物側向相鄰的基極—射極間隔物；

在該介質層，基極—射極間隔物，及該本質基極區上沈積一第二多晶矽層；以及

上圖樣(patterning)且蝕刻該第二多晶矽層，以形成射極電極。

9.一種形成一雙極性電晶體的方法，包含下列步驟：

形成一集極區；

在該集極區上形成一絕緣層；

在該絕緣層上形成第一多晶矽層；

蝕刻該第一多晶矽層及該絕緣層，以形成一基極電極，

六、申請專利範圍

且暴露該集極區的第一部位，其中該絕緣層從該基極電極進行下部切割；

應用一對於矽之選擇性蝕刻，在該第一部位內之該集極區的第二部位上，形成一與該基極電極側向相鄰的摻雜導電間隔物；

從該摻雜導電間隔物將一基極上連結區向該集極區的第二部位擴散；

將一本質基極區植入該集極區的第一部位，其中該基極上連結區與該本質基極區形成自動對準；以及

在該本質基極區內形成一射極區。

10.如申請專利範圍第9項之方法，其中該導電間隔物包含矽鍍。

11.如申請專利範圍第9項之方法，其中形成該摻雜導電間隔物的步驟包含下列步驟：

沈積一導電材料層；

摻雜該導電材料層；及

對於矽選擇性蝕刻該導電材料層，以形成該導電間隔物。

12.如申請專利範圍第11項之方法，其中選擇性之蝕刻步驟其選擇率大於9：1。

13.如申請專利範圍第9項之方法，更包含下列步驟：

在該第一多晶矽層上形成一介質層；及

在蝕刻該第一多晶矽層的步驟之前，蝕刻該介質層。

14.如申請專利範圍第9項之方法，更包含下列步驟：

經濟部
中央標準局
員工消費合作社
印製

六、申請專利範圍

在該植入本質基極區的步驟之後，形成一與該導電間隔物側向相鄰的基極—射極間隔物；

在該介質層，基極—射極間隔物，及該本質基極區上沈積一第二多晶矽層；以及

上圖樣(patterning)且蝕刻該第二多晶矽層，以形成射極電極。

15. 一雙極性電晶體包含：

一集極區；

在該集極區內的一本質基極區；

一在該集極區內且與該本質基極區自動對準之基極上連結區；

一位在該基極上連結區上方的導電間隔物，該導電間隔物所含的材料可被選擇性地對於矽加以蝕刻；

一基極電極，其藉由一絕緣層而與該集極區分隔，該基極電極經該導電間隔物及該基極上連結區而連接至該本質基極區；以及

在該本質基極區內的一射極區。

16. 如申請專利範圍第15項之雙極性電晶體，其中該導電間隔物包含矽鍺。

17. 如申請專利範圍第15項之雙極性電晶體，其中該雙極性電晶體包含兩層多晶矽。

18. 如申請專利範圍第15項之雙極性電晶體，其中該絕緣層從該基極電極進行下部切割。

柳采光
縱印

317016

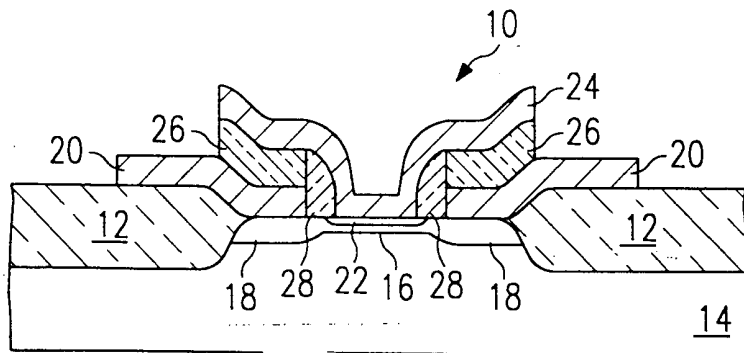


圖 1

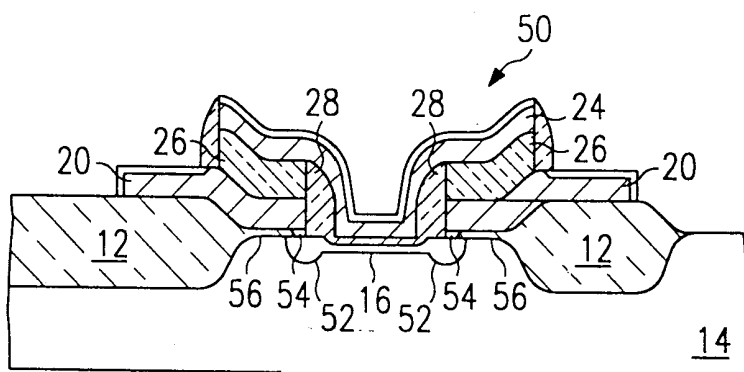


圖 2

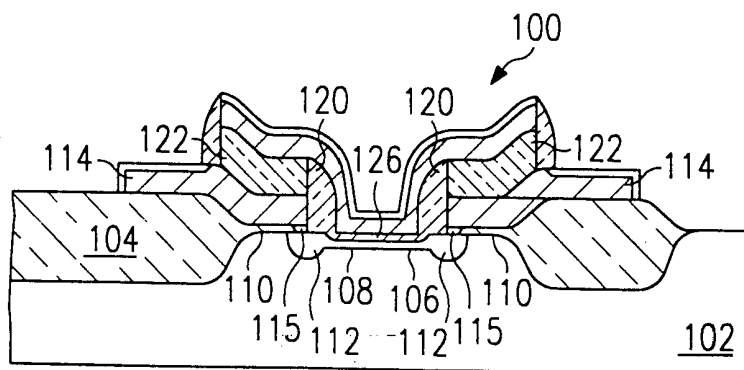


圖 3

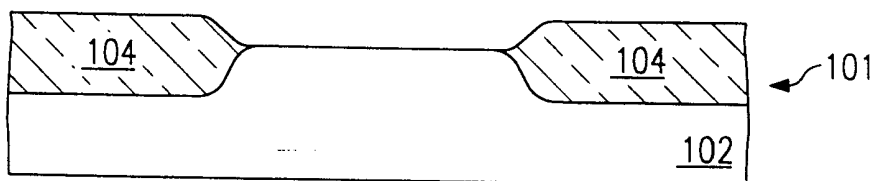


圖 4

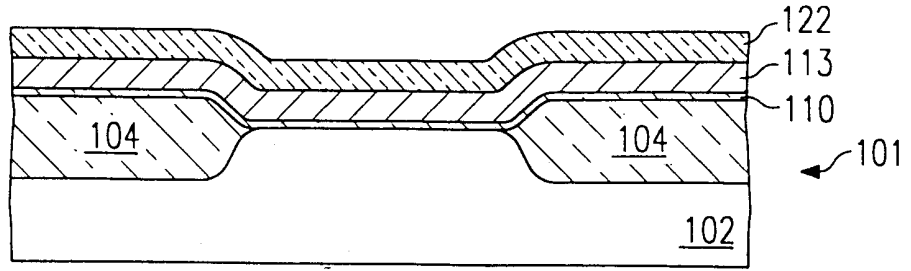


圖 5

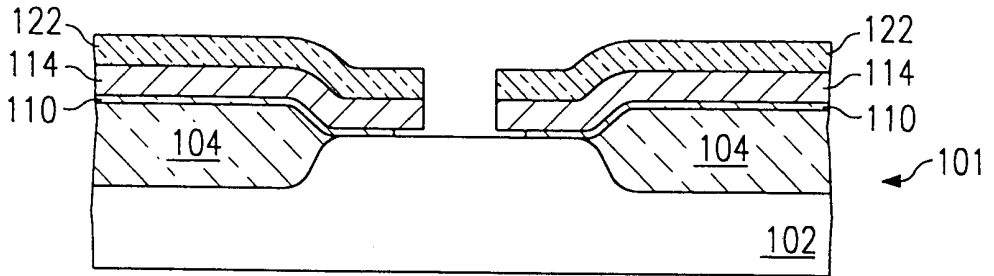


圖 6

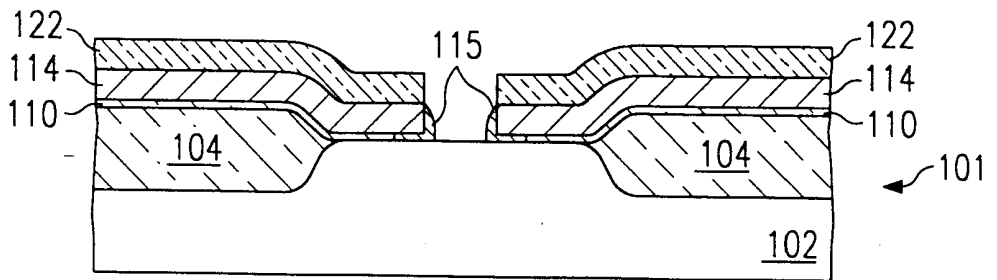


圖 7

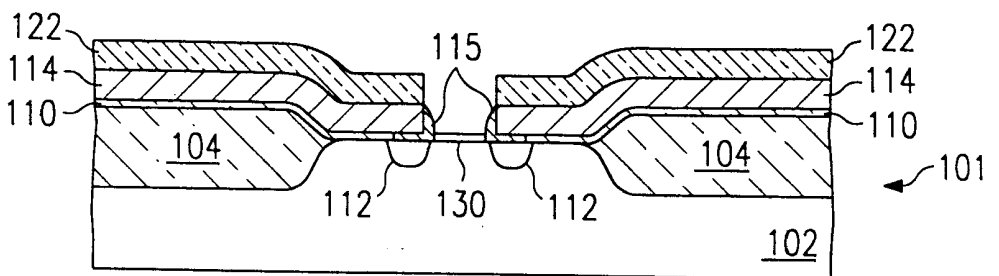


圖 8