

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

H01L 21/027

[12] 发明专利申请公开说明书

[21] 申请号 99107889.6

[43]公开日 1999年12月8日

[11]公开号 CN 1237781A

[22]申请日 99.5.28 [21]申请号 99107889.6

[30]优先权

[32]98.5.29 [33]JP [31]148953/98

[71]申请人 日本电气株式会社

地址 日本东京

[72]发明人 宫川诚司

[74]专利代理机构 中原信达知识产权代理有限责任公司

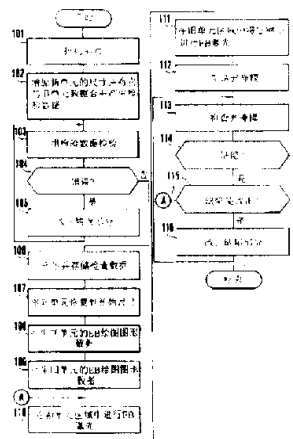
代理人 穆德骏 余 贻

权利要求书 5 页 说明书 12 页 附图页数 8 页

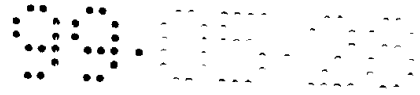
[54]发明名称 掩模的制造方法

[57]摘要

光掩模的制造方法,将第二数据的大小乘 x 产生第三数据。使用来自第一数据的第一连接数据和来自第三数据的第二连接数据合成第一数据和第三数据。检验合成数据中晶体管和布线的组合是否与布局设计所依据的电路匹配。改正有错误的部分。由改正的合成数据的第一数据和第一连接数据产生第一 EB 绘图图形数据。由改正的合成数据的第三数据和第二连接数据乘 $1/x$ 产生第二 EB 绘图图形数据。第二 EB 绘图图形数据比第一 EB 绘图图形数据增加 x 倍。



ISSN 1008-4274



权 利 要 求 书

1. 光掩模的制造方法, 通过使用布局设计得到的 EB 绘图图形数据在光掩模上形成 EB 绘图图形, 所述 EB 绘图图形数据由多个单元(211-214)的分层结构中形成的第一数据(210, 210a)和在多个单元(201-207)的分层结构中形成的第二数据(200, 200a)组成, 所述第二数据以相对于第一数据预定的放大比例 x 用在光掩模上, 其特征在于包括

第一步骤, 将所述第二数据的尺寸乘 x 产生第三数据;

第二步骤, 使用来自所述第一数据的第一连接数据和所述第三数据的第二连接数据合成所述第一数据和第三数据, 产生合成数据;

第三步骤, 检验合成数据中的单元组合是否与布局设计所依据的电路相匹配, 并改正通过检验发现有错误的部分;

第四步骤, 由改正的合成数据的所述第一数据和所述第一连接数据产生所述第一 EB 绘图图形数据;

第五步骤, 通过改正的合成数据的所述第三数据和所述第二连接数据乘 $1/x$ 产生所述第二 EB 绘图图形数据;

第六步骤, 使用所述第一 EB 绘图图形数据通过绘制/曝光形成在所述光掩模上的所述第一 EB 绘图图形, 以及使用所述第二 EB 绘图图形数据通过绘制/曝光形成在光掩模上的所述第二 EB 绘图图形, 同时所述第二 EB 绘图图形数据相对于所述第一 EB 绘图图形数据增加 x 倍, 从而形成所述 EB 绘图图形。

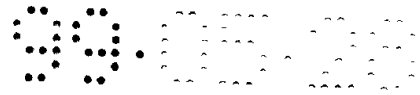
2. 根据权利要求 1 的方法, 其中第六步骤包括以下步骤:

通过绘制/曝光所述第一 EB 绘图图形数据在光掩模上形成所述第一 EB 绘图图形; 以及

在光掩模上形成所述第二 EB 绘图图形, 同时所述第二 EB 绘图图形数据相对于所述第一 EB 绘图图形数据增加 x 倍。

3. 根据权利要求 1 的方法, 其中第六步骤包括:

通过绘制/曝光所述第二 EB 绘图图形数据在所述光掩模上形成所



述第二 EB 绘图图形，同时所述第二 EB 绘图图形数据相对于所述第一 EB 绘图图形数据增加 x 倍；以及

通过绘制/曝光所述第一 EB 绘图图形数据在所述光掩模上形成所述第一 EB 绘图图形，通过在光掩模上除了所述第二 EB 绘图图形之外形成所述第一 EB 绘图图形，从而形成所述 EB 绘图图形。

4. 根据权利要求 1 的方法，其中第二步骤包括形成第一和第二连接数据使之部分地相互交叠的步骤。

5. 根据权利要求 1 的方法，其中所述改正的合成数据用于掩模上的检查。

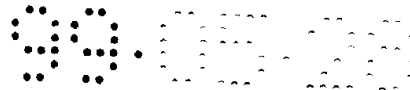
6. 根据权利要求 5 的方法，其中用绘制/曝光放大率缩小所述合成数据并进行数据的层合成得到的数据以及通过对所述合成数据进行层合成并以绘制/曝光放大率缩小数据得到的数据中的一个用于掩模上的检查。

7. 根据权利要求 5 的方法，其中用于掩模上检查使用的所述合成数据通过以下产生：

分别将第一和第二 EB 绘图图形数据恢复到初始放大率，通过将恢复到初始放大率的数据的预定图形变厚/变薄进行层合成处理，以绘制/曝光缩小放大率缩小进行了层合成处理的数据，以及合成各缩小的数据。

8. 根据权利要求 1 的方法，其中使用电子束通过电子束曝光绘制/曝光 EB 绘图图形。

9. 掩模的制造方法，通过使用布局设计得到的 EB 绘图图形数据在光掩模上形成 EB 绘图图形，EB 绘图图形数据由多个单元(211-214)的分



层结构中形成的第一数据(210 , 210a)和在多个单元(201-207)的分层结构中形成的第二数据(200 , 200a)组成, 第二数据以相对于第一数据预定的放大比例 x 用在所述光掩模上, 其特征在于包括:

第一步骤, 将第一数据的尺寸乘 $1/x$ 产生第三数据;

5 第二步骤, 使用来自所述第三数据的第一连接数据和来自所述第二数据的第二连接数据合成所述第三数据和所述第二数据, 产生合成数据;

第三步骤, 检验合成数据中的单元组合是否与布局设计所依据的电路匹配, 并改正通过检验有错误的部分;

10 第四步骤, 由改正的所述合成数据的所述第三数据和第一连接数据乘 x 产生所述第一 EB 绘图图形数据;

第五步骤, 通过改正的合成数据的所述第二数据和第二连接数据产生所述第二 EB 绘图图形数据;

15 第六步骤, 使用所述第一 EB 绘图图形数据通过绘制/曝光形成在光掩模上的所述第一 EB 绘图图形, 以及使用所述第二 EB 绘图图形数据通过绘制/曝光形成在光掩模上的所述第二 EB 绘图图形, 同时所述第二 EB 绘图图形数据相对于所述第一 EB 绘图图形数据增加 x 倍, 形成所述 EB 绘图图形。

20 10. 根据权利要求 9 的方法, 其中第六步骤包括以下步骤:

通过绘制/曝光所述第一 EB 绘图图形数据在光掩模上形成第一 EB 绘图图形; 以及

在光掩模上形成所述第二 EB 绘图图形, 同时所述第二 EB 绘图图形数据相对于所述第一 EB 绘图图形数据增加 x 倍。

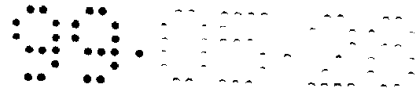
25

11. 根据权利要求 9 的方法, 其中第六步骤包括:

通过绘制/曝光所述第二 EB 绘图图形数据在所述光掩模上形成所述第二 EB 绘图图形, 同时所述第二 EB 绘图图形数据相对于所述第一 EB 绘图图形数据增加 x 倍; 以及

30

通过绘制/曝光所述第一 EB 绘图图形数据在所述光掩模上形成所



述第一 EB 绘图图形，通过在光掩模上除了所述第二 EB 绘图图形之外形成所述第一 EB 绘图图形，从而形成 EB 绘图图形。

5 12. 根据权利要求 9 的方法，其中第二步骤包括形成第一和第二连接数据使之部分地相互交叠的步骤。

13. 根据权利要求 9 的方法，其中所述改正的合成数据用于掩模上的检查。

10 14. 根据权利要求 13 的方法，其中用绘制/曝光放大率缩小所述合成数据并进行数据的层合成得到的数据以及通过对所述合成数据进行层合成并用绘制/曝光放大率缩小数据得到的数据中的一个用于掩模上的检查。

15 15. 根据权利要求 13 的方法，其中用于掩模上检查使用的合成数据通过以下步骤产生：

分别将所述第一和第二 EB 绘图图形数据恢复到初始放大率，
通过将恢复到初始放大率的数据的预定图形变厚/变薄进行层合成处理，

20 以绘制/曝光缩小放大率缩小进行了层合成处理的数据，以及合成各缩小的数据。

16. 根据权利要求 9 的方法，其中使用电子束通过电子束曝光绘制/曝光 EB 绘图图形。

25

17. 掩模制造方法，其特征在于包括：

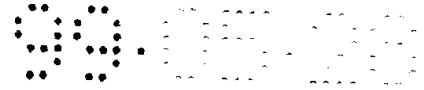
第一步骤，产生第一和第二 EB 绘图图形数据，每一个具有多个单元的分层结构；以及

30 第二步骤，以不同的放大率在光掩模上第一和第二区域内通过绘制/曝光第一和第二 EB 绘图图形数据在光掩模上形成 EB 绘图图形。



5 18. 根据权利要求 17 的方法，其中第二步骤包括：
在第一和第二区域交叠的光掩模上形成第三区域；以及
通过使用第一和第二 EB 绘图图形数据在第三区域内进行绘制/曝光，在所述光掩模上形成 EB 绘图图形。

10 19. 根据权利要求 18 的方法，其中第二步骤包括：
遮蔽除了第三区域中的数据以外的第二 EB 绘图图形数据，绘制/曝光所述第一 EB 绘图图形数据；以及
遮蔽除了第三区域中的数据以外的第一 EB 绘图图形数据，绘制/曝光所述第二 EB 绘图图形数据。



说明书

掩模的制造方法

5 本发明涉及在布局设计基础上使用 EB 绘图图形数据用电子束在光掩模上形成 EB 绘图图形的掩模制造方法。

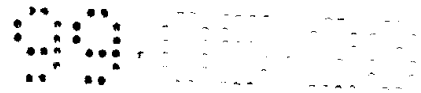
光掩模用于集成电路制造的光刻技术中。通过使用由铬或类似物组成的金属光掩蔽部件在玻璃基片上形成 EB 绘图图形制备所述光掩模。
10 使用电子束(EB)的光刻装置利用电子束通过光刻技术形成所述 EB 绘图图形。通过使用由集成电路的设计数据得到的布局设计数据作为图形数据, EB 光刻装置画出 EB 绘图图形。图形数据由对应于集成电路上的栅电极部分、源/漏部分等的矩形图形的组合组成。

15 此时, 在布局设计中, 预先准备和组合/排列形成如晶体管等基本元件的布局数据。使用通过组合多个布局数据并连接它们得到的数据作为 EB 光刻装置的 EB 绘图图形数据。

预先准备的布局数据包括半导体器件制造中的旧和新工艺的数据。
20 在这些数据中, 用于旧工艺的布局数据不能直接用在新工艺使用的掩模上。因此需要对这种数据进行如图形尺寸减小(缩小)等的处理。

下面介绍栅电极的形成。首先, 由栅电极材料组成的导电膜形成在衬底上, 通过光刻技术在导电膜上形成栅电极形状的抗蚀剂图形。通过
25 使用抗蚀剂图形作为掩模选择性地腐蚀导电膜, 由此形成栅电极。此时, 在光刻中使用光刻掩模用于形成抗蚀剂图形。然而, 对应于光掩模上的 EB 绘图图形的栅长度的长度 L_1 , 对应于抗蚀剂图形的栅长度的长度 L_2 , 以及形成栅电极的栅长度 L_3 各不相同。在许多情况中, $L_1 > L_2 > L_3$ 。

30



由于这个原因，设置使布局数据上的栅长度长于实际的栅电极 L3。随着半导体器件制造工艺的改进，以上长度 L1 和 L3 之间的差异减少。因此，当旧工艺的布局数据和新工艺的布局数据一起使用时，必须改变各数据的尺寸。

5

在缩小的状态下使用旧工艺的布局数据。由于此原因，新工艺的布局数据放大，新工艺放大的布局数据与旧工艺的布局数据结合。EB 光刻装置均匀地缩小合并的数据。因此，旧工艺的 EB 绘图图形数据缩小。

10

对于布局设计数据，不进行任何改变设计的数据不能用于 EB 操作。具体地，通过模拟或类似方式进行检验检查设计数据中存在/不存在错误。例如，进行设计规则检验(DRC)检查布线空间和栅长度是否与预定的规格一致，或进行版图与电原理图一致性检验(LVS)检查晶体管的互连和布线是否与电路匹配。

15

当放大的数据与另一数据合并时，在计算机中进行偏离栅格修整处理(off-grid rounding processing)来处理数据。这是由于 EB 光刻装置不能使用没有设置(放置)在栅格点上的任何数据。然而，所述修整处理减少了许多狭缝和类似物。

20

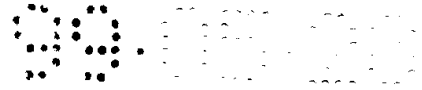
下面简要介绍偏离栅格修整处理。EB 光刻装置中使用的图形数据有顶点，图形原点设置在计算机设置的坐标系统基础上的栅格点上。

25

例如，如图 8A 所示，在图形 801 和 802 构成的图形数据 800 中，单元中心 803 和 804 以及端点设置在栅格点 810 上。当图形数据 800 放大 1.6 倍时，放大图形 801 和 802 的端点以及单元中心 803 和 804 离开栅格点 810 设置，如图 8B 所示。

30

在这种状态中，在 EB 光刻装置中不能使用所述图形数据。因此，如图 8C 所示，计算机将单元中心 803 和 804 设置在栅格点 810 上，并



在该状态中将图形 801 和 802 的端点移动到相邻的栅格点 810 上。

5 采用这种操作, 图形 801 和 802 的单元中心 803 和 804 位于栅格点 810 上, 格端点也位于栅格点 810 上。因此所得数据可以用在 EB 光刻装置中。

然而如图 8C 所示, 在图形 801 和 802 之间产生在原始数据中不存在的狭缝(间隙)820。采用该数据, 需要连接的部分不能连接。此外, 如果图形 801 是栅电极, 那么栅长度增加。

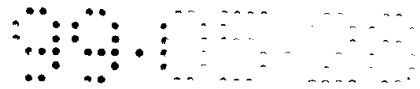
10 这些部分在 DRC 或类似检查中被识别为错误。这些错误不能自动地改正, 因此必须手工地改正, 直到检查结果显示没有错误。

15 在所述改正中, 例如, 如图 8D 所示, 图形 801 长度增加, 宽度减小。因此, 所有的图形设置在栅格点上。然而, 所述改正手工地进行, 不能由计算机自动地进行。

因此当缩小图形用于 EB 光刻装置中时, 需要花费更多的时间改正错误。

20 本发明的一个目的是提供一种光掩模的制造方法, 即使当以不同的放大/缩小速率处理到 EB 绘图图形数据内的布局数据一起排列时, 能更快地产生 EB 绘图图形数据。

25 为了达到本发明以上的目的, 提供一种光掩模的制造方法, 通过使用布局设计得到的 EB 绘图图形数据在光掩模上形成 EB 绘图图形, EB 绘图图形数据由多个单元的分层结构中形成的第一数据和在多个单元的分层结构中形成的第二数据组成, 第二数据以相对于第一数据预定的放大比例 x 用在光掩模上, 该方法包括第二数据的尺寸乘 x 产生第三数据的第一步骤; 使用来自第一数据的第一连接数据和第三数据的第二连
30



接数据合成第一数据和第三数据产生合成数据的第二步骤；检验合成数据中的单元组合是否与布局设计所依据的电路匹配，并改正通过检验有错误的部分的第三步骤；由改正的合成数据的第一数据和第一连接数据产生第一 EB 绘图图形数据的第四步骤；由改正的合成数据的第三数据和第二连接数据乘 $1/x$ 产生第二 EB 绘图图形数据的第五步骤；使用第一 EB 绘图图形数据通过绘制/曝光形成在光掩模上的第一 EB 绘图图形、以及使用第二 EB 绘图图形数据通过绘制/曝光形成在光掩模上的第二 EB 绘图图形、同时第二 EB 绘图图形数据相对于第一 EB 绘图图形数据增加 x 倍、从而形成 EB 绘图图形的第六步骤。

10

此外，还提供一种光掩模的制造方法，通过使用布局设计得到的 EB 绘图图形数据在光掩模上形成 EB 绘图图形，EB 绘图图形数据由多个单元的分层结构中形成的第一数据和在多个单元的分层结构中形成的第二数据组成，第二数据以相对于第一数据预定的放大比例 x 用在光掩模上，该方法包括将第一数据的大小乘 $1/x$ 产生第三数据的第一步骤；使用来自第三数据的第一连接数据和第二数据的第二连接数据合成第三数据和第二数据产生合成数据的第二步骤；检验合成数据中的单元组合是否与布局设计基于的电路匹配，并改正通过检验发现有错误的部分的第三步骤；由改正的合成数据的第三数据和第一连接数据乘 x 产生第一 EB 绘图图形数据的第四步骤；通过改正的合成数据的第二数据和第二连接数据产生第二 EB 绘图图形数据的第五步骤；使用第一 EB 绘图图形数据通过绘制/曝光形成在光掩模上的第一 EB 绘图图形、以及使用第二 EB 绘图图形数据通过绘制/曝光形成在光掩模上的第二 EB 绘图图形、同时第二 EB 绘图图形数据相对于第一 EB 绘图图形数据增加 x 倍、从而形成 EB 绘图图形的第六步骤。

15

20

25

图 1 为根据本发明的一个实施例制造图形数据方法的流程图；

图 2A 和 2B 分别示出了新和旧单元的平面图；

图 3 示出了 1.25 倍新单元与旧单元合并时状态的布局图；

图 4 示出了布线形成在新和旧单元之间的状态的布局图；

30

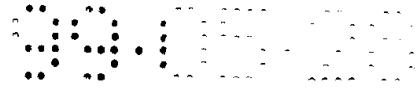


图 5 为 EB 光刻装置产生数据的说明图；
图 6 为 EB 光刻装置产生数据的说明图；
图 7 为排列旧和新单元同时旧单元部分乘 0.8 的状态平面图；
图 8A 到 8D 为偏离栅格的修整处理的说明图。

5

下面参考附图详细地介绍本发明。

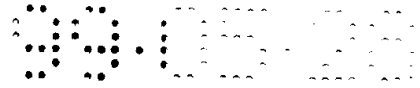
图 1 为根据本发明的实施例光掩模制造方法的流程图。此外，下面
将介绍旧工艺的布局数据(旧单元)和新工艺的布局数据(新单元)混合在
10 一个布局数据中的情况。假设当旧工艺的布局数据尺寸增加 0.8 倍时，
所得数据可以与新工艺的数据混合。

参考图 1，首先，在步骤 S101 中，新和旧单元放置在掩模上曝光
区域的预定位置处。在步骤 S102 中，新单元的尺寸增加 1.25 倍，旧单
15 元与放大的新单元合并为一个布局数据。布线设置在各单元之间产生检
验数据。在步骤 S103 中，在步骤 S102 中产生的检验数据的基础上进行
检验(DRC, LVS)。

然后在步骤 S104 中检查是否检验结果显示有一个错误。如果步骤
20 S104 中为 YES，在步骤 S105 中修改错误部分。修改错误部分之后，流
程返回到步骤 S103 检验通过改正错误部分得到的检验数据。即，进行
修改直到在步骤 S103 的检验处理中没有检测到错误。如果在步骤 S104
中确定没有检测到错误，那么流程进行到步骤 S106，将进行检验的检验
数据存储为光掩模校验数据。

25

在步骤 S107 中，对于改正数据，新单元以及填加的布线的尺寸增
加 0.8 倍。即，新单元以及它的布线的尺寸恢复到它的初始尺寸。在步
骤 S108 中，通过使用恢复到初始尺寸的新单元以及布线数据产生新的
EB 绘图图形数据(第一 EB 绘图图形数据)。在步骤 S109 中，通过使用
30 增加布线并且初始尺寸保持不变的旧单元，产生旧的单元 EB 绘图图形



数据(第二 EB 绘图图形数据)。

5 在步骤 S110 中，在将设置新单元的形成光掩模的玻璃基片上的区域内，使用 EB 光刻装置进行新单元 EB 绘图图形数据的 EB 曝光。在步骤 S111 中，在将设置新单元并进行 EB 曝光的光掩模形成玻璃基片上的区域内，使用 EB 光刻装置将旧单元 EB 绘图图形数据缩小到 0.8 倍。

10 注意对于光掩模形成基片，例如可以使用 0.625mm 厚面积为六英寸的石英基片。由氧化铬、铬和氧化铬层组成的三层光掩蔽膜通过溅射等形成在石英基片的主表面上。光掩蔽膜涂敷有 EB 曝光抗蚀剂。

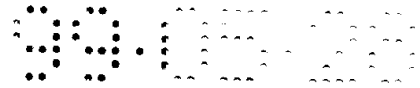
15 在步骤 S112 中，显影并腐蚀进行 EB 曝光的光掩模形成基片制备光掩模。在步骤 S113 中，检查制备的光掩模。通过对比/核对用在步骤 S106 中存储的检查数据读取形成在光掩模上的 EB 绘图图形的光图像进行所述检查。

20 在步骤 S114 中，检查在步骤 S113 的检验中是否检测到缺陷。如果在步骤 S114 中为 YES，在步骤 S115 中检查是否可以改正缺陷。如果在步骤 S115 中为 NO，流程返回到步骤 S110 形成新的光掩模。如果在步骤 S115 中为 YES，在步骤 S116 中改正缺陷。

25 假设缺陷包括，例如粘附的异物(灰尘)等。当发生异物的粘附时，确定缺陷可以改正。在所述情况中，清洁光掩模进行改正。当完成缺陷的改正时，流程返回到步骤 S113。如果在步骤 S114 中确定没有检测到缺陷，那么就完成了光掩模的制备。

下面参考图 2A 和 2B 更详细地介绍图 1 的步骤 102 中检验数据的产生。

30 新单元有一组多个基本单元构成的一个晶体管和一个电阻。更具体



地，如图 2A 所示，新单元由包括栅电极单元 201、源单元 202、漏单元 203、电阻单元 204、布线单元 205、以及接触单元 206 和 207 的基本单元组成。将单元中心 200 设置到基本上在新单元的中心部分。边界 200a 设置为新单元的外边界。

5

如图 2B 所示，旧单元包括连接到信号输入(未显示)的布线单元 211、连接到信号输出(未显示)的布线单元 212、连接到电源的接触单元 213、以及连接到地的接触单元 214。将单元中心 210 设置到几乎在新单元的中心部分。虽然未示出，旧单元的数据不仅包括以上数据，还包括设置在以上数据外的许多数据。边界 210a 设置为旧单元的内边界。因此旧边界在边界 210a 内不包括数据。

10

如上所述，通过使用新单元数据同时不改变它的尺寸，EB 光刻装置进行曝光。与此相比，在旧单元数据的尺寸乘 0.8 的基础上 EB 光刻装置进行曝光。由于此原因，如果，例如边界 200a 的尺寸乘 1.25，那么边界 200a 和 210a 设置为相互叠加。

15

在检测数据的产生中，首先，合并边界 200b 设置在新单元的边界 200a 的外部。所述合并边界 200b 设置在新单元的边界 200a 外例如 $2\mu\text{m}$ 处。合并边界 200b 设置在旧单元的边界 210a 内。所述合并边界 210b 设置在新单元的边界 210a 外例如 $2 \times 1.25(\mu\text{m})$ 处。

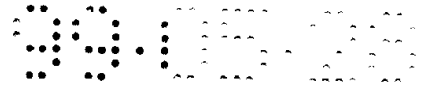
20

然后新单元的数据增加 1.25 倍，放大的新单元与旧单元的数据合并。此时，显示在图 2A 和 2B 中的单元中心 200 和 210 定位在预定的原点。1.25 倍的新单元数据没有设置在栅格点上，如图 8 所示。此时，数据保持在所述状态。

25

图 3 示出了 1.25 倍的新单元和 1 倍旧单元相互合并的状态。分别显示在图 2A 和 2B 中的单元中心 200 和 210 定位在原点 300。注意由虚线指示的单元在乘 1.25 之前为新单元。

30



1.25 倍新单元的边界与旧单元的边界(图 2B)重叠。所述边界称做新/旧单元边界 300a。新/旧单元边界 300a 与旧单元的边界 210a 相同。合并边界 210b 在新/旧单元边界 300a 的内部。合并边界 300b 在新/旧单元边界 300a 的外部。通过合并边界 200b(图 2A)的尺寸乘 1.25 得到合并边界 300b。

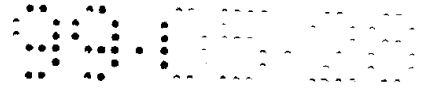
如图 4 所示, 新单元布线 401 到 404 从新单元延伸出。旧单元布线 411 到 414 从旧单元延伸出。新单元布线 401 到 404 设置在乘 $0.02\mu\text{m}$ 的初始栅格宽度, 即 $0.025\mu\text{m}$ 宽的栅格得到的栅格点上。这防止了通过新单元数据乘 0.8 产生 EB 绘图图形数据中偏离栅格造成的修整。

在布线设计中, 布置布线使成对的新单元布线 401 和旧单元布线 411、新单元布线 402 和旧单元布线 412、新单元布线 403 和旧单元布线 413、以及新单元布线 404 和旧单元布线 414 的每一个都合并成一个布线。

此时, 设置新单元布线 401 到 404 从合并的边界 210b 向外延伸到合并的边界 300b。与此相比, 设置旧单元布线 411 到 414 从合并的边界 300b 向内延伸到合并的边界 210b。因此, 新单元布线 401 到 404 在合并边界 210b 和合并边界 300b 之间分别与旧单元布线 411 到 414 重叠 $5\mu\text{m}$ 。

以此方式, 在步骤 S102 中产生检验数据(图 1)。

如上所述, 新单元乘 1.25 并被使用, 但检验数据并不用于 EB 光刻装置。由于此原因, 数据保持在数据没有设置在栅格点上的栅格外的状态。在该实施例中, 由于使用了偏离栅格状态中的数据, 没有取消偏离栅格状态, 因此没有产生狭缝和类似物。



下面介绍检验数据的产生。

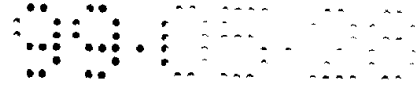
5 当产生 EB 绘图图形数据时，在计算机上用层合成处理进行数据的放大处理和 EB 绘图图形数据的转换。在所述层合成处理中的数学表达式包括变薄/变厚处理的表达式。进行所述变薄/变厚处理用于如布线、杂质注入层以及扩散层图形等的特定图形。当处理不同曝光缩小比例的数据时，必须根据曝光缩小比例之间的比例设定变薄/变厚量，由此通过光掩模形成在晶片上的图形满足相同的处理标准。此外，即使当处理不同曝光缩小比例的数据时，由于由 EB 光刻装置的性能确定最小的栅格，并且这些数据必须均匀地设置为最小栅格，变薄/变厚量不完全与曝光缩小比例之间的比例重合。

15 在通过检查数据产生中的层合成进行变薄/变厚处理的工艺中，当产生分别基于旧和新单元的 EB 绘图图形数据时，由于变薄/变厚量改变，所以检查数据不能直接由用于以上 EB 曝光的布局检验数据产生。然而，在不进行变薄/变厚处理的其它步骤中，通过简单地将以上 EB 曝光的布局检验数据乘 0.8 即可以产生检验数据。

20 下面介绍通过层合成处理进行变薄/变厚处理的步骤中检验数据的产生。

25 以上面的方式产生 EB 曝光的布局检验数据之后，新单元恢复到初始尺寸，如图 5 所示。即，检验之后，EB 曝光的布局检验数据的新单元部分在作为单元中心的原点 300 附近乘 0.8。

30 然后对 0.8 倍的新单元的布局数据进行层合成处理。所述新单元包括当新单元变长并连接到旧单元时得到的布线 401、402、403 和 404。类似地，对旧单元的布局数据进行层合成处理。所述旧单元也包括当新单元变长并连接到旧单元时得到的布线 411、412、413 和 414。



对新和旧单元分别进行层合成处理之后，旧单元仅乘 0.8。最后，0.8 倍的旧单元和进行了层合成处理的新单元在它们的原点附近相互合并。

5 在以此方式产生的数据中，通过分别地进行 DRC 和 LVS 检验，已在新和旧单元中进行了错误收敛，连接部分中的错误收敛已由 DRC 进行。层合成处理之后仅有一个总体的 LVS 检验还没有进行。然而，如果在层合成处理之前和之后连接部分处的布线没有改变，那么没有产生问题。

10

如果在此之前和之后连接部分处的布线改变，那么必须进行 LVS 检验，将用于新和旧单元的层合成处理的数学表达式改正为基于规则文件的层合成的数学表达式，由此用大的实际变薄/变厚度处理检验数据。

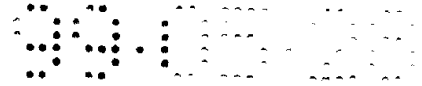
15 采用以上的操作，可以产生在所有的制造工艺中使用的检验数据。

下面介绍检验了检验数据之后 EB 光刻装置使用的数据的产生。

20 首先参考图 1 中步骤 S107 到 S113 介绍通过使用新单元产生 EB 光刻装置使用数据的方法。如图 5 所示，新单元恢复到它的初始尺寸。即，检验之后检验数据的新单元和新单元布线部分在作为单元中的原点 300 乘 0.8(步骤 S107)。

25 掩蔽 0.8 倍的初始新单元的合并边界 200b 外的数据。假设 EB 光刻装置不对图 5 中阴影部分指示的合并边界 200b 外的数据曝光。此外，删除了旧单元布线 411 到 414。采用这个操作，通过仅使用新单元和新单元布线 401 到 404 产生进行电子束曝光的新单元 EB 绘图图形数据(步骤 S108)。

30 下面介绍使用旧单元产生 EB 光刻装置使用数据的方法。如图 6 所



示, 掩蔽合并边界 210b 外的数据。即, EB 光刻装置不对图 6 中阴影部分指示的合并边界 210b 外的数据曝光。此外, 删除了新单元布线 401 到 404。采用该操作, 通过仅使用旧单元和旧单元布线 411 到 414 产生进行电子束曝光的旧单元 EB 绘图图形数据(步骤 S109)。

5

然后使用新单元 EB 绘图图形数据进行电子束曝光, 它的原点设置在掩模原点, 并且没有改变放大率(步骤 S110)。与此相比, 数据原点定位在掩模原点之后, 使用旧单元 EB 绘图图形数据进行电子束曝光, 数据乘 0.8(步骤 S110)。

10

采用该操作, 如图 7 中实线所示, 分别排列有 0.8 倍旧单元和新单元的 EB 绘图图形形成在各光掩模上(步骤 S113)。

15

不是所有的栅电极单元 201、源单元 202、漏单元 203、电阻器单元 204、布线单元 205、接触单元 206 和 207、布线单元 211、布线单元 212、接触单元 213 和接触单元 214 没有形成在相同的光掩模上。对于要形成的集成电路, 形成相同层上图形的 EB 绘图图形同时放置在相同的光掩模上。

20

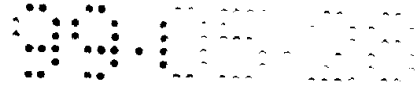
在以上的实施例中, 通过将新单元数据的尺寸增加预定的放大率(x 倍)并将它与旧单元数据合并产生检验数据。然而, 本发明并不限于此。如果旧单元数据的数据量小于新单元数据的数据量, 那么旧单元的尺寸缩小预定的放大率($1/x$ 倍), 新单元数据可以与所得数据合并。

25

此时, 通过将 x 倍旧单元数据与新单元数据合成产生合成数据。此外, 通过改正的合成数据的 x 倍旧单元数据和来自合成数据的连接数据乘 x 产生第一 EB 绘图图形数据。通过使用改正数据的新单元数据和来自新单元的连接数据产生第二 EB 绘图图形数据。

30

在以上的实施例中, 新单元区首先进行 EB 曝光。然而, 本发明不



限于此。可以首先在旧单元区上进行 EB 曝光。

此外，在以上实施例中，本发明适用于制造光掩模。然而，本发明并不限于此。例如，本发明可以适用于制造 X 射线掩模。

5

如上所述，根据本发明，不必缩小布局数据以用于 EB 光刻装置。如果在第二数据中没有产生偏离栅格等情况，那么第二 EB 绘图图形数据也不会产生偏离栅格等情况。因此，即使具有设置用于 EB 绘图图形数据的不同放大/缩小比例的布局数据相互混合，EB 绘图图形数据也可以更快地产生。

10

当用第一和第二 EB 绘图图形数据绘制的一个或两个图形需要缩小时，在计算机上第一和第二 EB 绘图图形数据不缩小，但在绘图/曝光处理中以预定的放大率进行 EB 曝光。这样可防止由于对偏离栅格位置改正引起的修整和产生狭缝，因此能产生理想的光掩模，并且没有任何图形变形。

15

此外，由于布线数据重叠的区域在光掩模上的第一连接数据区和第二连接数据区之间形成，即使分别以不同的放大率分别地曝光布局数据，也没有产生狭缝，没有发生布线图形短路。

20

说明书附图

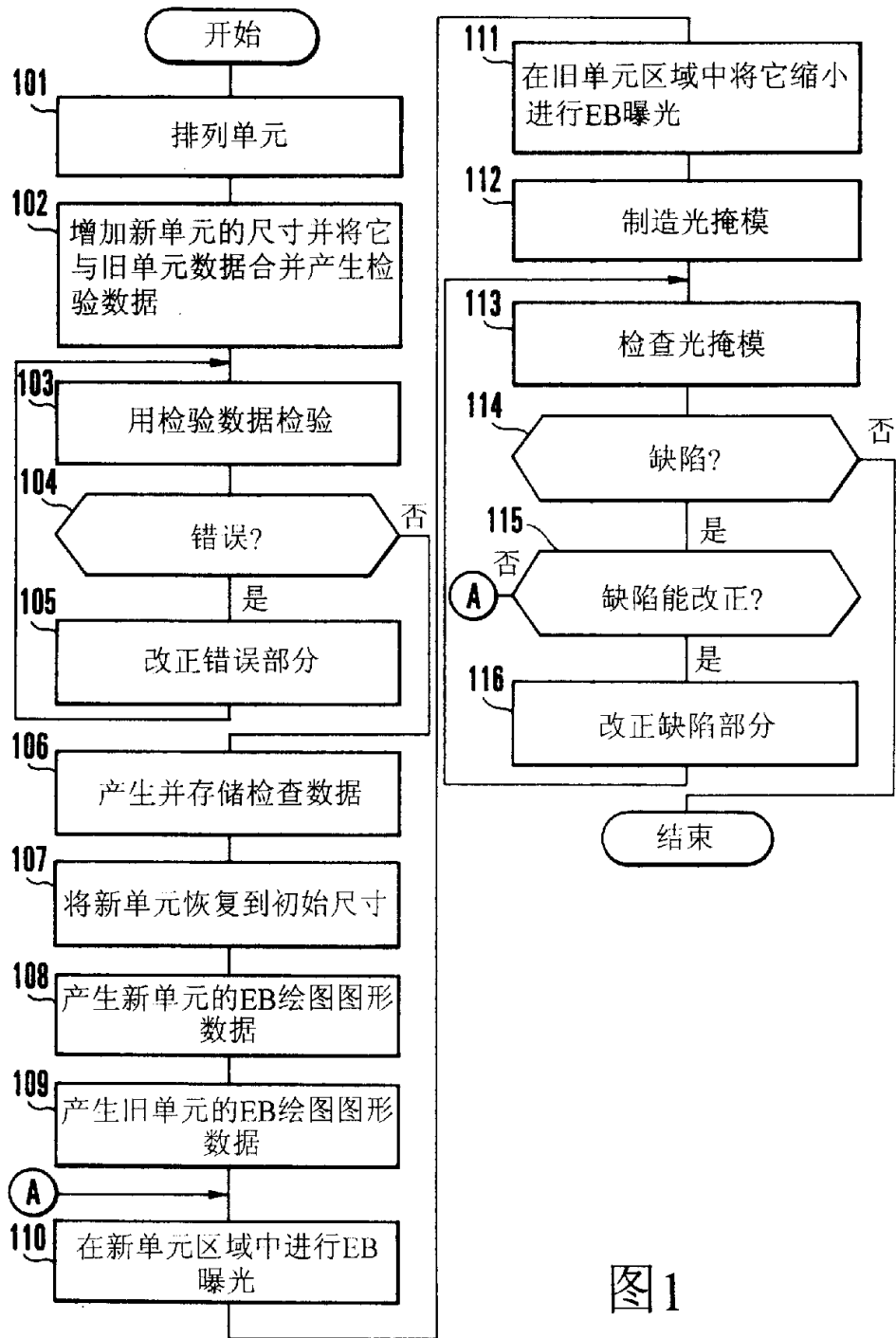


图1

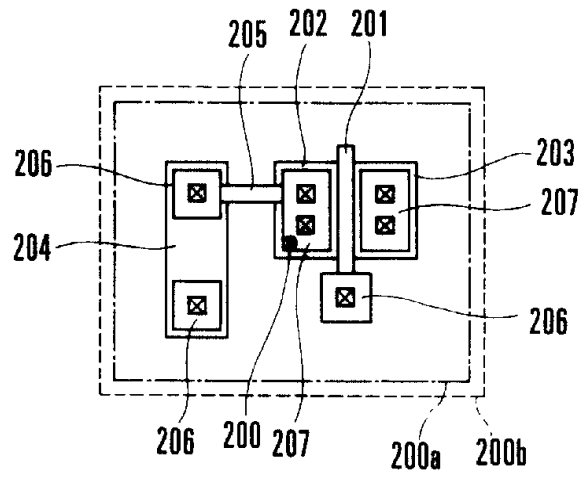
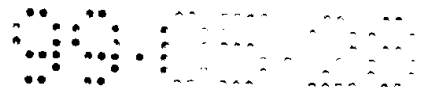


图 2A

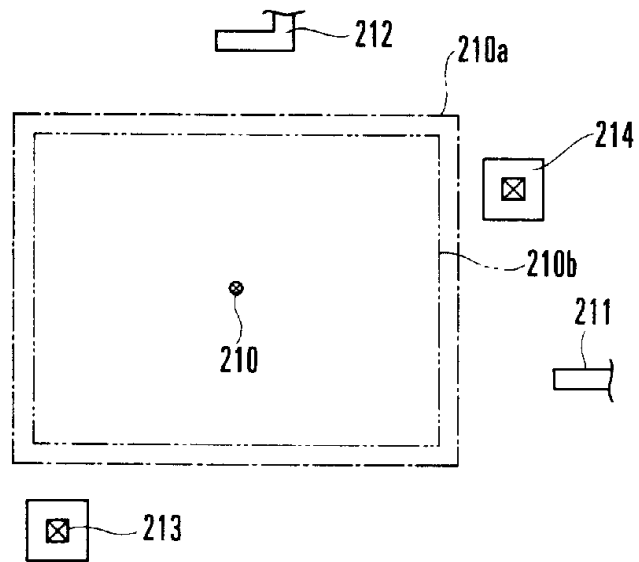


图 2B

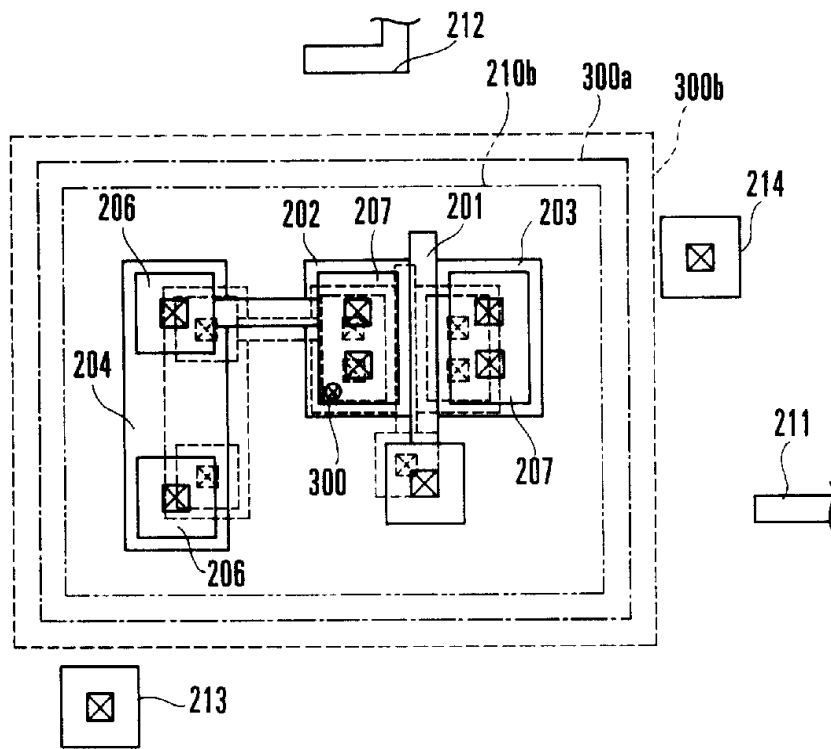


图 3

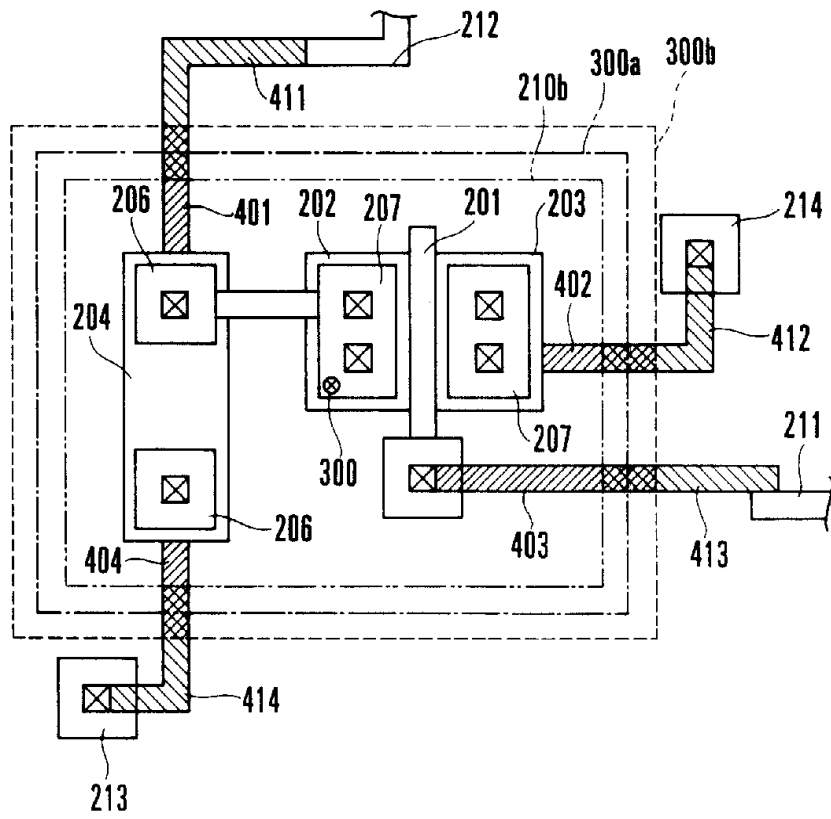
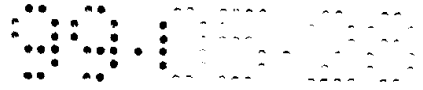


图 4

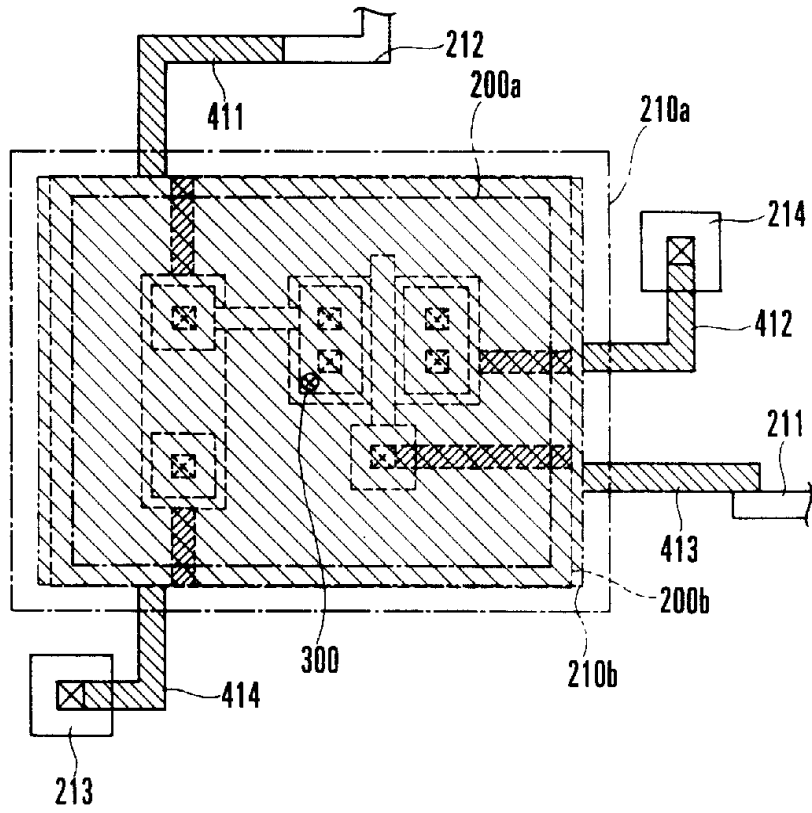


图 6

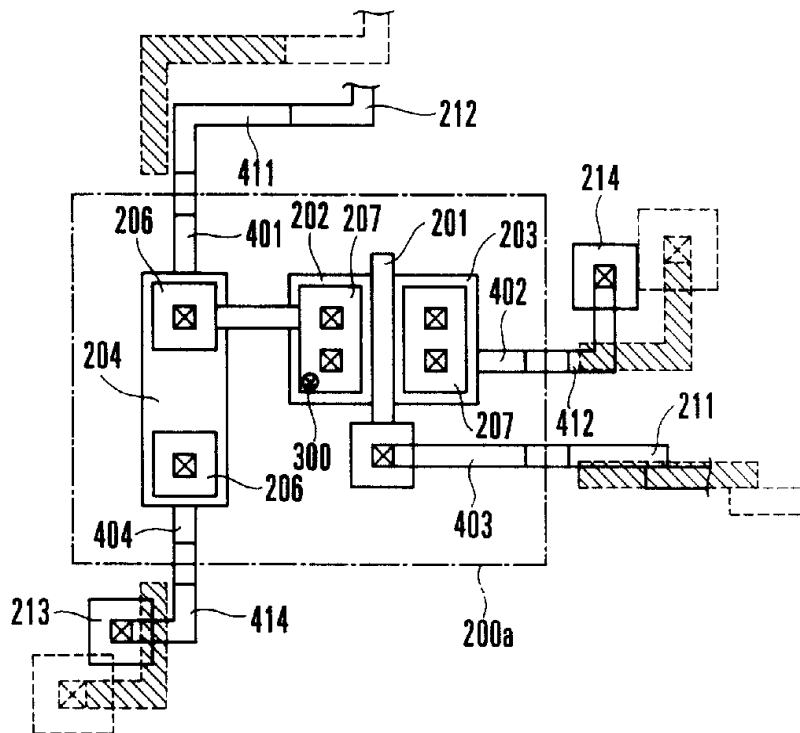


图 7

