



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

218390
(11) (B1)

(51) Int. Cl.³
G 06 F 11/12

(22) Přihlášeno 09 04 81
(21) (PV 2689-81)

(40) Zveřejněno 25 06 82

(45) Vydáno 15 02 85

(75)
Autor vynálezu GOLAN PETR ing., PRAHA

(54) Způsob samočinné opravy jednonásobných a dvojnásobných chyb
v dvojkových lineárních kódech a zapojení k jeho provádění

1

Vynález se týká způsobu samočinné opravy jednonásobných a dvojnásobných chyb v dvojkových lineárních kódech (n, k) , kde n je délka kódového slova, k je počet informačních bitů, s minimální kódovou vzdáleností $d \geq 5$, který je zadán kontrolní maticí (H) typu $[(n-k) \times n]$, a zapojení k jeho provádění.

Dosud známé způsoby samočinné opravy jednonásobných a dvojnásobných chyb v dvojkových lineárních kódech se liší způsobem lokalizace chyb a lze je rozdělit do tří tříd. První třída zahrnuje všechny způsoby založené na algebraickém výpočtu lokátorů chyb. Výpočet musí probíhat postupně, vyžaduje značný počet operací, a proto se tento způsob hodí jen pro sériové zpracování informace. Výhodou tohoto způsobu je obecnost. Lze jej použít i pro opravu tří a více chyb u kódů s odpovídající kódovou vzdáleností. Druhá třída zahrnuje všechny způsoby založené na majoritním dekódování kódů. Tyto způsoby jsou omezeny jen na třídu majoritně dekódovatelných lineárních kódů, které mají nevýhodu v tom, že jejich redundance je vyšší než u jiných lineárních kódů se stejným počtem informačních bitů k a stejnou minimální kódovou vzdáleností d . Majoritní dekódová-

2

ní je rychlé a lze je použít pro sériové i paralelní zpracování informace.

Při sériovém zpracování informace je však tento způsob vhodným jen pro užší třídu lineárních kódů, a to pro cyklické, majoritně dekódovatelné kódy. Třetí způsob je založen na přímém zjištění polohy chybných bitů podle syndromu. Pro lokalizaci jednonásobných a dvojnásobných chyb se používá tabulky uložené v permanentní paměti. Tento způsob je vhodný pro paralelní zpracování informace. Potřebná kapacita permanentní paměti však roste exponenciálně s počtem zabezpečovacích bitů, a proto je tento způsob v praxi použitelný jen pro kódy s malou délkou. Pro lineární kódy, které jsou cyklické, lze při sériovém zpracování informace použít též kombinačního obvodu na přímé rozpoznávání syndromů opravitelných chyb, které mají chybu v nejvyšším bitu. Ostatní chyby se zjišťují po cyklických posunech syndromu. I přes toto zjednodušení se způsob hodí jen pro krátké kódy.

Výše uvedené nedostatky odstraňuje způsob samočinné opravy podle vynálezu, jehož podstata spočívá v tom, že generátor syndromů vygeneruje pomocí logických obvodů z přijatého vektoru $\vec{u}$, nesoucího informaci, syndromy $\vec{S}^1$ a $\vec{S}^2$ a jsou-li tyto syndromy

nulové, je oprava informace blokována, a je-li alespoň jeden ze syndromů různý od nulového vektoru, tak se v prvním rozkladovém bloku syndrom $\vec{S}'$ přičte modulo 2 pomocí logického propojení vodičů ke každému sloupcovému vektoru $\vec{h}_i'$ matice $(H)'$, $i = 1, 2, \dots, n$, čímž vzniknou vektory $\vec{y}_i$, $i = 1, 2, \dots, n$, v druhém rozkladovém bloku se syndrom $\vec{S}''$ pomocí logického propojení vodičů přičte modulo 2 ke každému sloupcovému vektoru $\vec{h}_i''$ matice $(H)''$, $i = 1, 2, \dots, n$, čímž vzniknou vektory $\vec{z}_i$, $i = 1, 2, \dots, n$, dále se pomocí logických obvodů transformačního bloku vektory $\vec{y}_i$ transformují na vektory $f(\vec{y}_i)$ tak, že platí-li $\vec{y}_i \neq \vec{h}_j'$ pro všechna $j = 1, 2, \dots, n$ a také $\vec{y}_i \neq \vec{0}$, vygeneruje se signál pro blokování opravy i-tého bitu, je-li $\vec{y}_i = \vec{h}_j'$ pro některé $j = 1, 2, \dots, n$, pak $f(\vec{y}_i) = \vec{h}_j''$, a je-li $\vec{y}_i = \vec{0}$, pak $f(\vec{y}_i) = \vec{0}$, a dále se logickými obvody porovnávacího bloku zjišťuje, pro která $i \in \langle 1, n \rangle$ se $f(\vec{y}_i)$ rovná $\vec{z}_i$, a pro ta i , kde nastala shoda, se pomocí logických obvodů korekčního bloku provede oprava invertováním i-tého bitu vektoru $\vec{u}$, a v případě, že nedojde k opravě žádného bitu, ačkoli byl alespoň jeden ze syndromů $\vec{S}'$ nebo $\vec{S}''$ nenulový, indikuje se neopravitelná chyba, a v případě, že dojde k opravě více než tří bitů, indikuje se porucha, stejně jako v případě, že došlo k opravě alespoň 1 bitu, ačkoli syndromy $\vec{S}'$ a $\vec{S}''$ byly oba nulové.

Uvedený způsob realizuje zapojení podle vynálezu, jehož podstata spočívá v tom, že vstupní datová sběrnice je připojena na vstup generátoru syndromů, na první vstup korekčního bloku a na první vstup hlídače chyb, první výstup generátoru syndromů je připojen na vstup prvního rozkladového bloku, druhý výstup generátoru syndromů je připojen na vstup druhého rozkladového bloku, třetí výstup generátoru syndromů je připojen na čtvrtý vstup porovnávacího bloku a na třetí vstup hlídače chyb, výstup prvního rozkladového bloku je připojen na vstup transformačního bloku, první výstup transformačního bloku je připojen na první vstup porovnávacího bloku, druhý výstup transformačního bloku je připojen na druhý vstup porovnávacího bloku, výstup druhého rozkladového bloku je připojen na třetí vstup porovnávacího bloku, výstup porovnávacího bloku je připojen na druhý vstup korekčního bloku, výstup korekčního bloku je připojen na výstupní datovou sběrnici a

na druhý vstup hlídače chyb a výstup hlídače chyb je připojen na výstup.

Výhodou způsobu samočinné opravy a zapojení k jeho provádění podle vynálezu je jednoduchost, rychlost a použitelnost v číslicových systémech s paralelním i sériovým přenosem a zpracováním informace. Způsob podle vynálezu je mnohem univerzálnější než majoritní dekodování a lze jej použít pro kódy s menší redundancí, než mají majoritně dekodovatelné kódy při jinak stejných parametrech k , d . Zapojení k provádění způsobu samočinné opravy podle vynálezu lze realizovat z kombinačních obvodů malé a střední integrace, popřípadě s permanentními pamětmi.

Zapojení podle vynálezu pro sériovou opravu chyb je jednodušší a levnější než odpovídající zapojení pro sériovou opravu chyb pracující na základě algebraického výpočtu lokátorů chyb nebo s kombinačním obvodem na přímé rozpoznávání syndromů. Použijí-li se permanentní paměti při paralelní opravě chyb, je zapotřebí mnohem menší paměťové kapacity než u zapojení pracujícího na principu přímého zjištění polohy chybných bitů podle syndromu z tabulky v permanentní paměti, a proto je způsob a zapojení podle vynálezu možno použít i pro delší kódy. Zapojení podle vynálezu k provádění paralelní opravy chyb má iterovanou strukturu, a je tedy vhodné k integraci.

Na připojeném výkrese je znázorněno principiální blokové schéma zapojení k provádění způsobu samočinné opravy podle vynálezu v paralelní verzi.

V zapojení podle výkresu je vstupní sběrnice **A** připojena na vstup **11** generátoru **1** syndromů, na první vstup **61** korekčního bloku **6** a na první vstup **71** hlídače **7** chyb, první výstup generátoru **1** syndromů je připojen na vstup **21** prvního rozkladového bloku **2**, druhý výstup generátoru **1** syndromů je připojen na vstup **31** druhého rozkladového bloku **3**, třetí výstup generátoru **1** syndromů je připojen na čtvrtý vstup **54** porovnávacího bloku **5** a na třetí vstup **73** hlídače **7** chyb, výstup prvního rozkladového bloku **2** je připojen na vstup **41** transformačního bloku **4**, první výstup transformačního bloku **4** je připojen na první vstup **51** porovnávacího bloku **5**, druhý výstup transformačního bloku **4** je připojen na druhý vstup **52** porovnávacího bloku **5**, výstup druhého rozkladového bloku **3** je připojen na třetí vstup **53** porovnávacího bloku **5**, výstup porovnávacího bloku **5** je připojen na druhý vstup **62** korekčního bloku **6**, výstup korekčního bloku **6** je připojen na výstupní datovou sběrnici **B** a na druhý vstup **72** hlídače **7** chyb a výstup hlídače **7** chyb je připojen na výstup **CH**.

Zapojení podle výkresu funguje následujícím způsobem. Na vstup **11** generátoru **1** syndromů je přiveden vektor $\vec{u} = [u_n,$

$u_{n-1}, \dots, u_1]$, nesoucí informaci zakódo-
vanou lineárním (n, k) kódem zadaným kon-
trolní maticí.

$$(H) = \begin{pmatrix} (H)' \\ (H)'' \end{pmatrix} = \begin{pmatrix} \vec{h}_n' & \vec{h}_{n-1}' & \dots & \vec{h}_2' & \vec{h}_1' \\ \vec{h}_n'' & \vec{h}_{n-1}'' & \dots & \vec{h}_2'' & \vec{h}_1'' \end{pmatrix},$$

kde $\vec{h}_i'$, $\vec{h}_i''$ jsou sloupcové vektory matic $(H)'$, $(H)''$, přičemž platí, že matice $(H)'$ má minimální možný počet řádků takových, že $\vec{h}_i' \neq \vec{0}$ a $\vec{h}_i' \neq \vec{h}_j'$ pro všechna $i \neq j$, $i = 1, 2, \dots, n$, $j = 1, 2, \dots, n$.

U primitivních kódů BCH (Bose, Chaudhuri, Hocquenghem), které jsou nejběžnější, má již kontrolní matice (H) tento požadovaný tvar. U jiných kódů je třeba tento tvar matice (H) získat takovými úpravami výchozí kontrolní matice, které nemění hodnot matice. V generátoru 1 syndromů jsou vygenerovány syndromy $\vec{S}'$ a $\vec{S}''$ podle vztahů

$$\vec{S}' = (H)' \cdot (\vec{u})^T$$

$$\vec{S}'' = (H)'' \cdot (\vec{u})^T,$$

kde $(\vec{u})^T$ je transponovaný vektor $\vec{u}$, $\vec{S}'$ a $\vec{S}''$ jsou sloupcové vektory. Sčítání v maticovém násobení je modulo 2 a provádí se pomocí nonekvivalencí. Znegováním se také vygenerují negace $\neg \vec{S}'$ a $\neg \vec{S}''$.

Syndromy $\vec{S}'$ a $\neg \vec{S}'$ se vedou na vstup 21 prvního rozkladového bloku 2, syndromy $\vec{S}''$ a $\neg \vec{S}''$ se vedou na vstup 31 druhého rozkladového bloku 3. V prvním rozkladovém bloku 2 se syndrom $\vec{S}'$ přičte modulo 2 ke všem vektorům $\vec{h}_i'$ podle vztahu

$$\vec{y}_i = (\neg \vec{S}') \cdot \vec{h}_i' + (\vec{S}') \cdot \vec{h}_i', \quad i = 1, 2, \dots, n.$$

V druhém rozkladovém bloku 3 se syndrom $\vec{S}''$ přičte modulo 2 ke všem vektorům $\vec{h}_i''$ podle vztahu

$$\vec{z}_i = (\neg \vec{S}'') \cdot \vec{h}_i'' + (\vec{S}'') \cdot \vec{h}_i'', \quad i = 1, 2, \dots, n.$$

Protože $\vec{h}_i'$ a $\vec{h}_i''$ jsou konstantní, stačí k realizaci uvedených nonekvivalencí jen drátové propojení a není zapotřebí žádných logických členů. Z výstupu rozkladového bloku 2 jsou vektory $\vec{y}_i$ vedeny na vstup 41

transformačního bloku 4, kde se každý vektor $\vec{y}_i$ transformuje na vektor $f(\vec{y}_i)$ například pomocí tabulky v permanentní paměti nebo pomocí kombinačního obvodu. Přiřazení vektorů $f(\vec{y}_i)$ vektorům $\vec{z}_i$ je provedeno podle kontrolní matice (H) tak, že je-li $\vec{y}_i = \vec{h}_j'$ pro jisté $j < n$, pak $f(\vec{y}_i) = \vec{h}_j''$.

To znamená, že jsou si vzájemně přiřazeny vektory $\vec{h}_j'$ a $\vec{h}_j''$ tak, jak leží pod sebou v kontrolní matici (H) . Navíc je definováno, že $f(\vec{0}) = \vec{0}$. Tento případ nastává při jednonásobných chybách, kdy se syndrom $\vec{S}'$ rovná přímo některému sloupcovému vektoru $\vec{h}_i'$ a syndrom $\vec{S}''$ se rovná vektoru $\vec{h}_i''$ ležícímu v kontrolní matici (H) pod vektorem $\vec{h}_i'$. U kódů, kde matice $(H)'$ neobsahuje všechny možné různé nenulové sloupce, jako je tomu například u zkrácených kódů nebo u neprimitivních kódů BCH, se může vyskytnout případ, že $\vec{y}_i \neq \vec{h}_j$, $j = 1, 2, \dots, n$ a zároveň $\vec{y}_i \neq \vec{0}$.

Pak je vektor $f(\vec{y}_i)$ nedefinovaný, ale protože tento případ nemůže odpovídat opravitelné chybě, generuje se signál pro blokování opravy i-tého bitu, kupříkladu pomocí přídavného bitu na každé adrese permanentních pamětí transformačního bloku 4. Tento bit bude například jedničkový v případě, že se adresa nerovná žádnému ze sloupcových vektorů $\vec{h}_j'$, $j = 1, 2, \dots, n$ nebo $\vec{0}$, jinak bude nulový. Signály pro blokování opravy jsou vyvedeny z prvního výstupu transformačního bloku 4 na první vstup 51 porovnávacího bloku 5.

Z druhého výstupu transformačního bloku 4 jsou vedeny vektory $f(\vec{y}_i)$ na druhý vstup 52 porovnávacího bloku 5. Z výstupu druhého rozkladového bloku 3 jsou vedeny vektory $\vec{z}_i$ na třetí vstup 53 porovnávacího bloku 5, ve kterém se pomocí nonekvivalencí zjišťuje shoda vektorů $f(\vec{y}_i)$ a $\vec{z}_i$ pro $i = 1, 2, \dots, n$. Shoda při $\vec{y}_i \neq \vec{0}$ znamená, že byla nalezena dvojice sloupců kontrolní matice (H) jejichž součet modulo 2 dává syndrom, což odpovídá opravitelné dvojnásobné chybě.

Shoda při $\vec{y}_i = \vec{0}$ znamená, že byl nalezen sloupec kontrolní matice (H) rovnající se syndromu, a tím je lokalizována poloha jednonásobné chyby. Porovnávací blok 5 generuje při shodě $f(\vec{y}_i) = \vec{z}_i$ logickou jedničku na svém i-tém výstupu.

V případě, že nenastala shoda, generuje se na i -tém výstupu porovnávacího bloku **5** logická nula. Logická nula se na i -tém výstupu porovnávacího bloku **5** generuje také v případě, když na prvním vstupu **51** porovnávacího bloku **5** je signál pro blokování opravy i -tého bitu. V případě, že na čtvrtý vstup **54** porovnávacího bloku **5** je přiveden signál ze třetího výstupu generátoru **1** syndromů nesoucí informaci o tom, že syndromy $\vec{S}'$ a $\vec{S}''$ jsou nulové, generují se logické nuly na všech výstupech porovnávacího bloku **5**.

Tato situace odpovídá případu, kdy vektor $\vec{u}$ na vstupní datové sběrnici **A** je bez chyby nebo má nedetekovatelnou chybu. V korekčním bloku **6** se po jednotlivých bitech provádí nonekvivalence vektoru $\vec{u}$ s výstupními signály porovnávacího bloku **5**. Je-li na i -tém výstupu porovnávacího bloku **5** logická jednička, invertuje se tím i -tý bit vektoru $\vec{u}$. Opravená informace se z výstupu korekčního bloku **6** vede na výstup **B** a současně na druhý vstup **72** hlídače **7** chyb. Zde se provádí nonekvivalence s původní informací přivedenou na první vstup **71** hlídače chyb **7** a pomocí kombinačního obvodu se indikují neopravitelné chyby a poruchy logických obvodů realizujících samočinnou opravu. Neopravitelná chyba je indikována v případě, že nebyl opraven žádný bit informace a přitom syndromy $\vec{S}'$ a $\vec{S}''$ nejsou oba nulové. Porucha je indikována tehdy, je-li opraven alespoň jeden bit a při-

tom jsou syndromy $\vec{S}'$ a $\vec{S}''$ oba nulové, anebo jsou-li opraveny více než dva bity.

O výskytu neopravitelné chyby nebo poruchy informuje signál na výstupu **CH** hlídače **7** chyb. Tento signál se musí vyhodnocovat až po odeznění přechodových dějů, což se zajistí vhodnou synchronizací.

Způsob samočinné opravy a zapojení k jeho provádění podle vynálezu lze realizovat i sériově, přičemž v rozkladových blocích **2**

a **3** jsou například vektory $\vec{h}_i'$ a $\vec{h}_i''$ generovány postupně pro $i = n, n-1, \dots, 2, 1$ jako vnitřní stavy dvou autonomních sekvenčních obvodů. U cyklických kódů lze při generaci

vektorů $\vec{y}_i$ a $\vec{z}_i$ využít cyklických posuvů syndromů $\vec{S}'$ a $\vec{S}''$. Transformace, porovnávání a oprava v blocích **4**, **5** a **6** se provádějí postupně pro $i = n, n-1, \dots, 2, 1$.

Sériový způsob opravy je časově náročnější, ale ekonomičtější z hlediska počtu použitých součástek. Kompromisem z hlediska rychlosti a ceny může být sérioparalelní způsob opravy, který lze také realizovat na základě způsobu samočinné opravy podle vynálezu. Způsob samočinné opravy a zapojení k jeho provádění podle vynálezu lze zobecnit i na nedvojkové kódy. Zapojení podle vynálezu lze realizovat nejen s elektronickými prvky, ale i optoelektronicky, pneumaticky nebo hydraulicky. Zapojení může být modifikováno tak, aby obvody samočinné opravy i s hlídačem chyb byly úplně samočinně kontrolovány.

PŘEDMĚT VYNÁLEZU

1. Způsob samočinné opravy jednonásobných a dvojnásobných chyb v dvojkových lineárních kódech, vyznačující se tím, že generátor syndromů vygeneruje pomocí logických obvodů z přijatého vektoru $\vec{u}$, nesusobícího informací, syndromy $\vec{S}'$ a $\vec{S}''$, a jsou-li tyto syndromy nulové, je oprava informace blokována, a je-li alespoň jeden ze syndromů různý od nulového vektoru, tak se v prvním rozkladovém bloku syndrom $\vec{S}'$ přičte modulo 2 pomocí logického propojení vodičů ke každému sloupcovému vektoru $\vec{h}_i'$ matice $(H)'$, $i = 1, 2, \dots, n$, čímž vzniknou vektory $\vec{y}_i$, $i = 1, 2, \dots, n$, v druhém rozkladovém bloku se syndrom $\vec{S}''$ pomocí logického propojení vodičů přičte modulo 2 ke každému sloupcovému vektoru $\vec{h}_i''$ matice $(H)''$, $i = 1, 2, \dots, n$, čímž vzniknou vektory $\vec{z}_i$, $i = 1, 2, \dots, n$, dále se pomocí logických obvodů transformačního bloku vektory $\vec{y}_i$ transformují na vektory $f(\vec{y}_i)$ tak, že platí-li $\vec{y}_i \neq \vec{h}_j'$ pro všechna $j = 1, 2, \dots, n$ a také $\vec{y}_i \neq \vec{0}$, vygeneruje se signál pro blokování opravy i-tého bitu, je-li $\vec{y}_i = \vec{h}_j'$ pro některé $j = 1, 2, \dots, n$, pak $f(\vec{y}_i) = \vec{h}_j''$, a je-li $\vec{y}_i = \vec{0}$, pak $f(\vec{y}_i) = \vec{0}$, a dále se logickými obvody porovnávacího bloku zjišťuje, pro která $i \in \{1, 2, \dots, n\}$ se $f(\vec{y}_i)$ rovná $\vec{z}_i$, a pro ta i , kde nastala shoda, se pomocí logických obvodů korekčního bloku provede oprava invertová-

ním i-tého bitu vektoru $\vec{u}$, a v případě, že nedojde k opravě žádného bitu, ačkoli byl alespoň jeden ze syndromů $\vec{S}'$ nebo $\vec{S}''$ nenulový, indikuje se neopravitelná chyba, a v případě, že dojde k opravě více než tří bitů, indikuje se porucha, stejně jako v případě, že došlo k opravě alespoň 1 bitu, ačkoli syndromy $\vec{S}'$ a $\vec{S}''$ byly oba nulové.

2. Zapojení k provádění způsobu podle bodu 1, vyznačující se tím, že vstupní datová sběrnice (A) je připojena na vstup (11) generátoru (1) syndromů, na první vstup (61) korekčního bloku (6) a na první vstup (71) hlídače (7) chyb, první výstup generátoru (1) syndromů je připojen na vstup (21) prvního rozkladového bloku (2), druhý výstup generátoru (1) syndromů je připojen na vstup (31) druhého rozkladového bloku (3), třetí výstup generátoru (1) syndromů je připojen na čtvrtý vstup (54) porovnávacího bloku (5) a na třetí vstup (73) hlídače (7) chyb, výstup prvního rozkladového bloku (2) je připojen na vstup (41) transformačního bloku (4), první výstup transformačního bloku (4) je připojen na první vstup (51) porovnávacího bloku (5), druhý výstup transformačního bloku (4) je připojen na druhý vstup (52) porovnávacího bloku (5), výstup druhého rozkladového bloku (3) je připojen na třetí vstup (53) porovnávacího bloku (5), výstup porovnávacího bloku (5) je připojen na druhý vstup (62) korekčního bloku (6), výstup korekčního bloku (6) je připojen na výstupní datovou sběrnici (B) a na druhý vstup (72) hlídače (7) chyb a výstup hlídače (7) chyb je připojen na výstup (CH).

