



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0100265  
(43) 공개일자 2008년11월14일

(51) Int. Cl.

*H01L 29/78* (2006.01) *H01L 21/336* (2006.01)

(21) 출원번호 10-2008-7022910(분할)

(22) 출원일자 2008년09월19일

심사청구일자 없음

(62) 원출원 특허 10-2006-7014535

원출원일자 2006년07월19일

번역문제출일자 2008년09월19일

(86) 국제출원번호 PCT/US2004/041302

국제출원일자 2004년12월10일

(87) 국제공개번호 WO 2005/065140

국제공개일자 2005년07월21일

(30) 우선권주장

60/531,501 2003년12월19일 미국(US)

(71) 출원인

씨드 디멘존 세미컨덕터, 인코포레이티드  
미국 아리조나주 85285 템페 피.오.박스 24619  
20768

(72) 발명자

히시에 푸-아이우안  
미국 캘리포니아주 95070 사라토가 세비야 레인  
20768

(74) 대리인

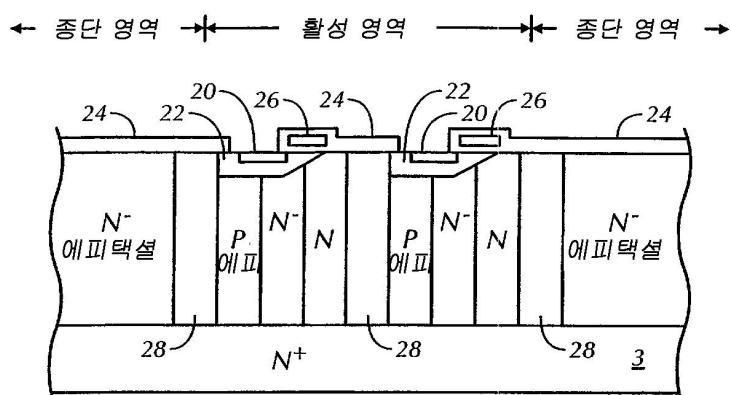
김태홍, 신정건

전체 청구항 수 : 총 22 항

(54) 종래의 종단을 갖는 수퍼 접합 장치를 제조하는 방법

**(57) 요 약**

도체 장치를 제조하는 방법은 제1 전도성의 진하게 도핑된 영역 및 제1 전도성의 약하게 도핑된 영역을 갖는 반도체 기판을 제공하는 단계를 포함한다. 반도체 기판의 활성 영역 내로 에칭된 복수의 트렌치는 복수의 메사를 형성한다. 활성 영역에서의 미리 선택된 영역은 산화되고 이어서 트렌치의 밑바닥에 있는 산화물을 제거하기 위해 건식 프로세스 산화물 에칭을 사용하여 에칭된다. 활성 영역과 종단 영역 사이의 경계에서의 영역 상에 보호막이 형성된다. 이 보호막은 미리 선택된 영역 상으로부터 부분적으로 제거된다. 미리 선택된 영역 내의 메사 내로 어떤 각도로 도편트가 주입된다. 복수의 트렌치는 절연성 물질로 채워지고, 이 구조의 상부 표면은 평탄화되며, 수퍼 접합 장치가 기판 상에 형성된다.

**대 표 도** - 도11

## 특허청구의 범위

### 청구항 1

서로 대향하는 제1 및 제2 주 표면을 가지며, 상기 제2 주 표면에 제1 전도성 유형의 강하게 도핑된 영역(heavily doped region)을 가지며, 상기 제1 주 표면에 상기 제1 전도성 유형의 약하게 도핑된 영역(lightly doped region)을 가지는 반도체 기판을 제공하는 단계;

상기 기판의 활성 영역에 복수의 트렌치 및 복수의 메사를 형성하는 단계 - 여기서, 각각의 트렌치는 상기 제1 주 표면으로부터 상기 강하게 도핑된 영역 쪽으로 제1 깊이 위치까지 연장되는 제1 연장 부분을 가지며, 각각의 메사는 측벽 표면을 가지고, 상기 복수의 트렌치 각각은 상기 복수의 메사 중 하나에 의해 다른 트렌치들 각각으로부터 분리되어 있음 -;

상기 활성 영역에서 상기 복수의 트렌치 및 상기 복수의 메사의 선택된 영역 상에 유전체 층(dielectric layer)을 형성하고, 상기 유전체 층이 상기 복수의 메사의 상기 선택된 영역 내의 각각의 메사의 상부, 상기 복수의 트렌치 각각의 측벽 및 하부, 및 상기 활성 영역 밖의 그에 인접한 상기 기판의 종단 영역(termination region)의 상부를 덮을 때까지 상기 종단 영역 내로 연장되게 하는 단계;

상기 복수의 트렌치의 상기 하부에 있는 상기 유전체 층을 제거하기 위해 상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역으로부터 상기 유전체 층을 제거하는 단계;

상기 활성 영역과 상기 종단 영역 사이의 경계에 있는 영역 상에 보호막(protective shield)을 형성하는 단계;

상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역 상으로부터 상기 보호막을 부분적으로 제거하는 단계;

상기 복수의 트렌치의 인접한 쌍에서의 하나의 트렌치의 측벽 표면에서, 상기 강하게 도핑된 영역의 도핑 농도보다 낮은 도핑 농도를 갖는 상기 제1 전도성 유형의 제1 도핑된 영역을 상기 하나의 트렌치의 상기 측벽 표면에 형성하기 위해, 상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역의 적어도 하나의 메사 내로 상기 제1 전도성 유형의 도편트를 주입하는 단계; 및

상기 제1 전도성 유형의 상기 도편트로 주입된 상기 측벽의 반대쪽에 있는 상기 측벽 표면에 상기 제2 전도성 유형의 제2 도핑된 영역을 제공하기 위해, 상기 제1 전도성 유형의 상기 도편트로 주입된 상기 측벽의 반대쪽에 있는 상기 적어도 하나의 메사의 측벽 표면에서, 상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역의 상기 적어도 하나의 메사 내로 상기 제2 전도성 유형의 도편트를 주입하는 단계

에 의해 형성되는 반도체 장치.

### 청구항 2

서로 대향하는 제1 및 제2 주 표면을 가지며, 상기 제2 주 표면에 제1 전도성 유형의 강하게 도핑된 영역(heavily doped region)을 가지며, 상기 제1 주 표면에 상기 제1 전도성 유형의 약하게 도핑된 영역(lightly doped region)을 가지는 반도체 기판을 제공하는 단계;

상기 기판의 활성 영역에 복수의 트렌치 및 복수의 메사를 형성하는 단계 - 여기서, 각각의 트렌치는 상기 제1 주 표면으로부터 상기 강하게 도핑된 영역 쪽으로 제1 깊이 위치까지 연장되는 제1 연장 부분을 가지며, 각각의 메사는 측벽 표면을 가지고, 상기 복수의 트렌치 각각은 상기 복수의 메사 중 하나에 의해 다른 트렌치들 각각으로부터 분리되어 있음 -;

상기 활성 영역에서 상기 복수의 트렌치 및 상기 복수의 메사의 선택된 영역 상에 유전체 층(dielectric layer)을 형성하고, 상기 유전체 층이 상기 복수의 메사의 상기 선택된 영역 내의 각각의 메사의 상부, 상기 복수의 트렌치 각각의 측벽 및 하부, 및 상기 활성 영역 밖의 그에 인접한 상기 기판의 종단 영역(termination region)의 상부를 덮을 때까지 상기 종단 영역 내로 연장되게 하는 단계;

상기 복수의 트렌치의 상기 하부에 있는 상기 유전체 층을 제거하기 위해 상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역으로부터 상기 유전체 층을 제거하는 단계;

상기 활성 영역과 상기 종단 영역 사이의 경계에 있는 영역 상에 보호막(protective shield)을 형성하는 단계;

상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역 상으로부터 상기 보호막을 부분적으로 제거하는

단계;

상기 강하게 도핑된 영역의 도핑 농도보다 낮은 도핑 농도를 갖는 상기 제1 전도성 유형의 제1 도핑된 영역을 하나의 트렌치의 측벽 표면에 형성하기 위해, 상기 하나의 트렌치의 상기 측벽 표면에서의 상기 복수의 트렌치의 인접한 쌍에서 상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역의 적어도 하나의 메사를 상기 제1 전도성 유형의 도편트로 도핑(doping)하는 단계; 및

상기 제1 전도성 유형의 상기 도편트로 도핑된 상기 측벽의 반대쪽에 있는 상기 적어도 하나의 메사의 측벽 표면에서 상기 제2 전도성 유형의 제2 도핑된 영역을 제공하기 위해, 상기 제1 전도성 유형의 상기 도편트로 도핑된 상기 측벽의 반대쪽에 있는 상기 측벽 표면에서, 상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역의 상기 적어도 하나의 메사를 상기 제2 전도성 유형의 도편트로 도핑하는 단계

를 포함하는 반도체 장치 제조 방법.

### 청구항 3

제2항에 있어서, 보호막을 형성하는 상기 단계는,

상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역 상에 포토레지스트 층을 증착하는 단계;

상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역의 각각의 측면 상의 마지막 트렌치의 외측 측벽 상의 포토레지스트는 보호되고 상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역의 나머지 포토레지스트는 보호되지 않도록 마스크를 배치하는 단계; 및

상기 보호되지 않은 포토레지스트 부분을, 자외선 광, 극자외선 광(deep ultraviolet light), 전자빔, 및 x-레이를 포함하는 그룹으로부터 선택된 포토레지스트의 현상 매체에 노출(subject)시키는 단계를 포함하며,

상기 보호막을 부분적으로 제거하는 상기 단계는,

상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역 상으로부터 마스크를 제거하는 단계;

상기 구조체로부터 상기 현상된 포토레지스트를 제거하는 단계; 및

상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역의 각각의 측면 상의 마지막 트렌치의 외측 측벽을 제외하고, 상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역으로부터 현상되지 않은 포토레지스트 및 유전체 층을 제거하기 위해, 습식 프로세스 에칭(wet process etch)을 사용하여, 상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역을 에칭하는 단계 - 여기서, 유전체 층은 상기 현상되지 않은 포토레지스트에 의해 보호되었던 것이며, 상기 유전체 층은 상기 마지막 트렌치 각각의 상기 외측 측벽의 주입을 차단하기 위해 보존되어 있었음 - 를 포함하는 것인 반도체 장치 제조 방법.

### 청구항 4

제3항에 있어서,

상기 제2 도핑된 영역에 전기적으로 연결될 상기 제1 및 제2 도핑된 영역의 상기 제1 주 표면에서 상기 제2 전도성 유형의 제3 도핑된 영역을 제공하는 단계;

상기 제1 주 표면 및 상기 하나의 트렌치의 측벽 표면 중 적어도 하나에서 상기 제1 전도성 유형의 제4 도핑된 영역을, 이 제4 도핑된 영역이 상기 제1 도핑된 영역의 반대쪽에 있고 상기 제3 도핑된 영역이 이들 사이에 배치되어 있도록 제공하는 단계; 및

상기 제1 도핑된 영역과 상기 제4 도핑된 영역 사이의 상기 제3 도핑된 영역의 반대편의 게이트 전극층을 제공하는 단계 - 여기서, 게이트 절연층이 상기 제1 도핑된 영역과 상기 제4 도핑된 영역 사이에 배치되어 있음 - 를 더 포함하는 반도체 장치 제조 방법.

### 청구항 5

제4항에 있어서, 상기 게이트 전극층은 상기 트렌치들 중 적어도 하나에 형성되는 것인 반도체 장치 제조 방법.

### 청구항 6

제4항에 있어서, 상기 게이트 전극층은 상기 제1 주 표면 상에 형성되는 것인 반도체 장치 제조 방법.

**청구항 7**

제2항에 있어서, 보호막을 형성하는 상기 단계는,

상기 복수의 트렌치 각각의 측면 상 및 하부에 있는 상기 유전체 층을 제거하기 위해 건식 프로세스 에칭을 사용하여 상기 복수의 트렌치 및 상기 복수의 메사 영역을 에칭하는 단계;

상기 마스크 내의 개구부만이 상기 활성 영역의 각각의 측면 상의 인접한 메사 영역 및 마지막 트렌치 상에 위치하도록 마스크를 배치하는 단계; 및

상기 활성 영역의 각각의 측면 상의 상기 인접한 메사 영역 및 상기 마지막 트렌치가 포토레지스트가 증착되어 있는 유일한 영역이 되도록 상기 마스크 상에 포토레지스트 층을 증착하는 단계를 포함하고,

상기 보호막을 부분적으로 제거하는 상기 단계는, 상기 마지막 트렌치 안 및 상기 마지막 트렌치에 인접한 메사 영역 위를 제외하고는 포토레지스트가 증착되지 못하도록 한 상기 마스크를 제거하는 단계를 포함하는 것인 반도체 장치 제조 방법.

**청구항 8**

제7항에 있어서, 상기 제2 도핑된 영역에 전기적으로 연결될 상기 제1 및 제2 도핑된 영역의 상기 제1 주 표면에서 상기 제2 전도성 유형의 제3 도핑된 영역을 제공하는 단계;

상기 제1 주 표면 또는 상기 복수의 트렌치의 측벽 표면 중 하나에서 상기 제1 전도성 유형의 제4 도핑된 영역을, 이 제4 도핑된 영역이 상기 제1 도핑된 영역의 반대쪽에 있고 상기 제3 도핑된 영역이 이들 사이에 배치되어 있도록 제공하는 단계; 및

상기 제1 도핑된 영역과 상기 제4 도핑된 영역 사이의 상기 제3 도핑된 영역의 반대편의 게이트 전극층을 제공하는 단계 - 여기서, 게이트 절연층이 상기 제1 도핑된 영역과 상기 제4 도핑된 영역 사이에 배치되어 있음 - 를 더 포함하는 반도체 장치 제조 방법.

**청구항 9**

제7항에 있어서, 상기 게이트 전극층은 상기 제1 주 표면 상에 형성되는 것인 반도체 장치 제조 방법.

**청구항 10**

제7항에 있어서, 상기 제2 도핑된 영역에 전기적으로 연결될 상기 제1 및 제2 도핑된 영역의 상기 제1 주 표면에서 상기 제2 전도성 유형의 제3 도핑된 영역을 제공하는 단계를 더 포함하는 반도체 장치 제조 방법.

**청구항 11**

제7항에 있어서, 상기 제1 도핑된 영역과 오옴 접촉(ohmic contact)하는 전극층을 제공하는 단계를 더 포함하는 반도체 장치 제조 방법.

**청구항 12**

제7항에 있어서, 상기 반도체 장치의 제조에서 상기 제1 및 제2 전도성 유형의 도편트 각각의 확산 길이는 상기 인접한 트렌치 쌍의 상기 측벽 표면으로부터 상기 제1 및 제2 도핑된 영역의 P-N 접합까지의 거리보다 긴 것인 반도체 장치 제조 방법.

**청구항 13**

제2항에 있어서, 상기 제2 도핑된 영역에 전기적으로 연결될 상기 제1 및 제2 도핑된 영역의 제1 주 표면에서 상기 제2 전도성 유형의 제3 도핑된 영역을 제공하는 단계를 더 포함하는 반도체 장치 제조 방법.

**청구항 14**

제2항에 있어서, 상기 제1 도핑된 영역과 쇼트키 접촉(Schottky contact)하는 전극층을 제공하는 단계를 더 포함하는 반도체 장치 제조 방법.

**청구항 15**

제2항에 있어서, 상기 반도체 장치의 제조에서 상기 제1 및 제2 전도성 유형의 도편트 각각의 확산 길이는 인접한 트렌치 쌍의 측벽 표면으로부터 상기 제1 및 제2 도핑된 영역의 P-N 접합까지의 거리보다 긴 것인 반도체 장치 제조 방법.

#### 청구항 16

제2항에 있어서, 상기 트렌치들은 각각의 측벽 표면이 상기 제1 주 표면에 대해 미리 결정된 경사각을 갖도록 형성되는 것인 반도체 장치 제조 방법.

#### 청구항 17

제2항에 있어서, 상기 복수의 트렌치 및 상기 복수의 메사의 상기 선택된 영역으로부터 상기 유전체 층을 제거하는 상기 단계는 건식 프로세스 에칭(dry process etch)을 사용하여 수행되는 것인 반도체 장치 제조 방법.

#### 청구항 18

제2항에 있어서, 상기 제1 전도성 유형의 도편트로 도핑하는 상기 단계는 미리 결정된 제1 주입각으로 수행되는 것인 반도체 장치 제조 방법.

#### 청구항 19

제2항에 있어서, 상기 제2 전도성 유형의 도편트로 도핑하는 상기 단계는 미리 결정된 제2 주입각으로 수행되는 것인 반도체 장치 제조 방법.

#### 청구항 20

제2항에 있어서,

상기 복수의 트렌치를 절연성 물질로 충전시키는 단계;

상기 구조체의 상부 표면을 평탄화하는 단계; 및

상기 구조체 상에 초접합(superjunction) 장치를 형성하는 단계

를 더 포함하는 반도체 장치 제조 방법.

#### 청구항 21

제2항의 방법에 의해 형성되는 반도체 장치.

#### 청구항 22

서로 대향하는 제1 및 제2 주 표면을 가지며, 상기 제2 주 표면에 제1 전도성 유형의 강하게 도핑된 영역(heavily doped region)을 가지며, 상기 제1 주 표면에 상기 제1 전도성 유형의 약하게 도핑된 영역(lightly doped region)을 가지는 반도체 기판을 제공하는 단계;

상기 기판의 활성 영역에 복수의 트렌치 및 복수의 메사를 형성하는 단계 - 여기서, 각각의 트렌치는 상기 제1 주 표면으로부터 상기 강하게 도핑된 영역 쪽으로 제1 깊이 위치까지 연장되는 제1 연장 부분을 가지며, 각각의 메사는 측벽 표면을 가지고, 상기 복수의 트렌치 각각은 상기 복수의 메사 중 하나에 의해 다른 트렌치들 각각으로부터 분리되어 있음 -;

상기 활성 영역에서 상기 복수의 트렌치 및 상기 복수의 메사의 미리 선택된 영역을 산화시키고, 상기 산화가 상기 복수의 메사의 상기 미리 선택된 영역 내의 각각의 메사의 상부, 상기 복수의 트렌치 각각의 측벽 및 하부, 및 상기 활성 영역 밖의 그에 인접한 상기 기판의 종단 영역(termination region)의 상부를 덮을 때까지 상기 종단 영역 내로 연장하는 단계;

상기 복수의 트렌치의 상기 하부에 있는 상기 산화물을 제거하기 위해 상기 복수의 트렌치 및 상기 복수의 메사의 상기 미리 선택된 영역을 에칭하는 단계;

상기 활성 영역과 상기 종단 영역 사이의 경계에 있는 미리 선택된 영역 상에 보호막(protective shield)을 형성하는 단계;

상기 복수의 트렌치 및 상기 복수의 메사의 상기 미리 선택된 영역 상으로부터 상기 보호막을 부분적으로 제거하는 단계;

상기 강하게 도핑된 영역의 도핑 농도보다 낮은 도핑 농도를 갖는 상기 제1 전도성 유형의 제1 도핑된 영역을 하나의 트렌치의 측벽 표면에 형성하기 위해, 상기 하나의 트렌치의 상기 측벽 표면에서의 상기 복수의 트렌치의 인접한 쌍에서 상기 복수의 트렌치 및 상기 복수의 메사의 상기 미리 선택된 영역의 적어도 하나의 미리 선택된 메사 내로 상기 제1 전도성 유형의 도편트를 주입하는 단계;

상기 제1 전도성 유형의 상기 도편트로 주입된 상기 측벽의 반대쪽에 있는 상기 적어도 하나의 메사의 측벽 표면에서 상기 제2 전도성 유형의 제2 도핑된 영역을 제공하기 위해, 상기 제1 전도성 유형의 상기 도편트로 주입된 상기 측벽의 반대쪽에 있는 상기 측벽 표면에서, 상기 복수의 트렌치 및 상기 복수의 메사의 상기 미리 선택된 영역의 상기 적어도 하나의 메사 내로 상기 제2 전도성 유형의 도편트를 주입하는 단계;

상기 복수의 트렌치를 절연성 물질로 충전시키는 단계; 및

상기 구조체의 상부 표면을 평탄화하는 단계

를 포함하는 반도체 장치 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

&lt;1&gt;

본 발명은 활성 영역의 마지막 트렌치의 비주입된 외측 측벽을 포함하는 엣지 종단 구조(edge termination structure)를 갖는 반도체 장치를 제조하는 방법에 관한 것으로서, 상세하게는 금속 산화물 반도체(MOS)-게이트형(MOS-gated)이고 또 낮은 온-저항 및 높은 항복 전압 둘다를 갖는 전력 스위칭에 적합한 반도체 장치에 관한 것이다.

#### 배경 기술

&lt;2&gt;

미국 특허 제5,216,275호에 개시된 바와 같은 Xingbi Chen 박사의 수퍼 접합 장치의 발명 아래로, 그의 발명의 수퍼 접합 효과를 중대 및 향상시키려는 많은 시도가 있어 왔다. 미국 특허 제6,410,958호, 제6,300,171호, 및 제6,307,246호는 이러한 노력의 예들이며, 이들은 여기에 인용함으로써 그 전체 내용이 본 명세서에 포함된다.

&lt;3&gt;

미국 특허 제6,410,958호("Usui 등"의 특허)는 반도체 부품에 대한 엣지 종단 구조(edge termination structure) 및 드리프트 영역(drift region)에 관한 것이다. 한쪽의 전도성 유형의 반도체 보디(semiconductor body)는 적어도 2개의 서로 다른 평면 내에 매립된 다른 쪽의 전도성 유형의 복수의 영역을 갖는 엣지 영역(edge area)을 갖는다. 반도체 부품의 활성 영역(active zone) 아래에서, 드리프트 영역들은 아래 쪽의 기판을 사용하여 연결되어 있다.

&lt;4&gt;

미국 특허 제6,307,246호("Nitta 등"의 특허)는 다수의 별별 연결된 개개의 부품이 셀 어레이(cell array)의 다수의 셀에 배치되어 있는 고전압에 견디는 엣지 구조(high-voltage sustaining edge structure)를 갖는 반도체 부품을 개시하고 있다. 엣지 영역에서, 반도체 부품은 쉐이딩된 소스 구역 영역(shaded source zone region)을 갖는 셀을 갖는다. 전력 반도체 부품의 정류 동안에, 쉐이딩된 소스 구역 영역은 불균형하게 큰 역방향 흐름 전류 밀도(disproportionately large reverse flow current density)에 의해 야기되는 기생 바이폴라 트랜지스터의 스위치 "온"(switching on)을 억제한다. 게다가, 쉐이딩된 소스 구역 영역을 갖는 엣지 구조는 Nitta 등의 특허에 기재되어 있는 기술적 관점에서 아주 용이하게 생성될 수 있다. 이는 파라미터의 효과를 명백하게 보여주며 "온" 상태에서 전기를 전도하고 "오프" 상태에서 공핍되는 별별 PN층(parallel PN layer)으로 이루어진 드리프트층(drift layer)을 갖는 수퍼 접합 반도체 장치의 대량 생산을 가능하게 해준다. N-형 드리프트 영역에서의 활성 불순물(active impurity)의 순수량(net quantity)은 P-형 파티션 영역(partition region)에서의 활성 불순물의 순수량의 100% 내지 150%의 범위 내에 있다. 게다가, N-형 드리프트 영역 및 P-형 파티션 영역 중 어느 한 쪽의 폭은 다른 쪽 영역의 폭의 94% 내지 106%의 범위 내에 있다.

&lt;5&gt;

미국 특허 제6,300,171호("Frisina"의 특허)는 제1 전도성 유형의 제1 반도체 층을 형성하는 제1 단계, 상기 제1 반도체 층의 상부 표면 상에 제1 마스크를 형성하는 제2 단계, 상기 제1 마스크의 일부분들을 제거하여 그 안

에 적어도 하나의 개구부를 형성하는 제3 단계, 상기 적어도 하나의 개구부를 통해 상기 제1 반도체 층에 제2 전도성 유형의 도편트를 유입시키는 제4 단계, 상기 제1 마스크를 완전히 제거하고 상기 제1 반도체 층 상부에 상기 제1 전도성 유형의 제2 반도체 층을 형성하는 제5 단계, 상기 제1 반도체 층에 주입된 도편트를 확산시켜 상기 제1 및 제2 반도체 층에 상기 제2 전도성 유형의 도핑된 영역을 형성하는 제6 단계를 포함하는, 고전압 반도체 장치에 대한 옛지 구조를 제조하는 방법을 개시하고 있다. 제2 단계 내지 제6 단계는 제1 전도성 유형의 다수의 중첩된 반도체 층 및 제2 전도성 유형의 도핑된 영역의 적어도 2개의 컬럼을 포함하는 최종적인 옛지 구조를 형성하기 위해 적어도 한번 반복되며, 상기 컬럼은 상기 다수의 중첩된 반도체 층(superimposed semiconductor layer)에 삽입되고 상기 마스크 개구부를 통해 차후에 주입되는 도핑된 영역들의 중첩(superimposition)에 의해 형성되고, 고전압 반도체 장치 근방에 있는 컬럼들은 고전압 반도체 장치에서 더 멀리 떨어져 있는 컬럼들보다 더 깊다.

### 발명의 내용

#### 해결 하고자하는 과제

&lt;6&gt;

활성 영역의 마지막 트렌치의 외측 측벽이 주입되어 있지 않고 또 장치를 제조하는 데 단지 하나의 에피택셜 증착 단계를 사용하는 프로세스와 호환되는 기술을 사용하여 제조되는 옛지 종단 영역을 제공하는 것이 바람직하다.

#### 과제 해결수단

&lt;7&gt;

간략히 요약하면, 본 발명은 서로 반대쪽에 있는 제1 및 제2 주 표면을 갖는 반도체 기판을 제공하는 단계를 포함하는 반도체 장치를 제조하는 방법을 포함한다. 상기 반도체 기판은 상기 제2 주 표면에 제1 전도성 유형의 진하게 도핑된 영역(heavily doped region)을 가지고 상기 제1 주 표면에 상기 제1 전도성 유형의 약하게 도핑된 영역(lightly doped region)을 갖는다. 이 방법은 상기 반도체 기판에서 상기 기판의 활성 영역에 복수의 트렌치 및 복수의 메사를 에칭하는 단계를 포함한다. 각각의 트렌치는 상기 제1 주 표면으로부터 상기 진하게 도핑된 영역 쪽으로 제1 깊이 위치까지 뻗어 있는 제1 연장 부분을 가지며, 각각의 메사는 상기 제1 주 표면에 대해 미리 정해진 경사를 유지하고 있는 측벽 표면을 갖는다. 상기 복수의 트렌치 각각은 상기 복수의 메사 중 하나에 의해 다른 트렌치들 각각으로부터 분리되어 있다. 이 방법은 상기 활성 영역에서 상기 복수의 트렌치 및 상기 복수의 메사의 미리 선택된 영역을 산화시켜 상기 산화가 각각의 메사의 상부, 상기 복수의 트렌치 각각의 측벽 및 밑바닥, 및 상기 활성 영역 밖의 그에 인접한 상기 기판의 종단 영역(termination region)의 상부를 덮을 때까지 상기 종단 영역 내로 뻗어가게 하는 단계를 포함한다. 이 방법은 상기 복수의 트렌치의 상기 밑바닥에 있는 상기 산화물을 제거하기 위해 건식 프로세스 산화물 에칭(dry process oxide etch)을 사용하여 상기 복수의 트렌치 및 상기 복수의 메사의 상기 미리 선택된 영역을 에칭하는 단계를 포함한다. 이 방법은 상기 활성 영역과 상기 종단 영역 사이의 경계에 있는 미리 선택된 영역 상에 보호막(protective shield)을 형성하는 단계, 및 이어서 상기 복수의 트렌치 및 상기 복수의 메사의 상기 미리 선택된 영역 상으로부터 상기 보호막을 부분적으로 제거하는 단계를 포함한다. 이 방법은 상기 복수의 트렌치의 인접한 쌍에서의 하나의 트렌치의 측벽 표면에서, 상기 진하게 도핑된 영역의 도핑 농도보다 낮은 도핑 농도를 갖는 상기 제1 전도성 유형의 제1 도핑된 영역을 상기 하나의 트렌치의 상기 측벽 표면에 형성하기 위해, 상기 복수의 트렌치 및 상기 복수의 메사의 상기 미리 선택된 영역의 적어도 하나의 미리 선택된 메사 내로 상기 제1 전도성 유형의 도편트를 제1 미리 정해진 주입각으로 주입하는 단계를 포함한다. 이 방법은 상기 제1 전도성 유형의 상기 도편트로 주입된 상기 측벽의 반대쪽에 있는 상기 측벽 표면에 상기 제2 전도성 유형의 제2 도핑된 영역을 제공하여 상기 복수의 트렌치 중 적어도 하나의 상기 깊이 방향을 따라 위치한 상기 제1 및 제2 도핑된 영역의 P-N 접합을 형성하고 또 상기 활성 영역의 비주입된 외측 측벽을 제공하기 위해, 상기 제1 전도성 유형의 상기 도편트로 주입된 상기 측벽의 반대쪽에 있는 상기 적어도 하나의 메사의 측벽 표면에서, 상기 복수의 트렌치 및 상기 복수의 메사의 상기 미리 선택된 영역의 상기 적어도 하나의 메사 내로 상기 제2 전도성 유형의 도편트를 제2 미리 정해진 주입각으로 주입하는 단계를 포함한다. 이 방법은 상기 복수의 트렌치를 절연성 물질로 충전시키는 단계, 상기 구조의 상부 표면을 평탄화하는 단계, 및 상기 구조 상에 수퍼 접합 장치를 형성하는 단계를 포함한다.

&lt;8&gt;

본 발명의 제2 실시예에서, 반도체를 제조하는 방법은 제1 및 제2 주 표면을 갖는 반도체 기판을 제공하는 단계를 포함한다. 상기 기판은 상기 제2 주 표면에 제1 전도성 유형의 진하게 도핑된 영역을, 또 상기 제1 주 표면에 상기 제1 전도성 유형의 약하게 도핑된 영역을 갖는다. 복수의 트렌치 및 복수의 메사가 상기 기판에 형성되어 있고, 각각의 트렌치는 상기 제1 주 표면으로부터 상기 진하게 도핑된 영역 쪽으로 제1 깊이 위치까지 뻗

어 있는 제1 부분을 갖는 반면 상기 제1 주 표면에 대해 미리 정해진 경사를 유지하고 있는 측벽 표면을 가지며, 상기 복수의 트렌치 각각은 메사 영역에 의해 서로 분리되어 있다. 그 다음 단계에서, 각각의 메사의 상부 및 각각의 트렌치의 측벽 및 밑바닥을 두꺼운 산화물 층으로 덮기 위해 산화물을 증착이 수행된다. 이 방법은 각각의 트렌치의 측벽 상에 또 그 밑바닥에 있는 산화물을 제거하기 위해 건식 산화물 에칭을 적용하는 단계를 포함한다. 이어서, 마지막 트렌치 및 그 트렌치와 인접하는 메사의 일부분을 제외한 미리 선택된 영역의 메사 및 트렌치 상에 마스크가 배치된다. 포토레지스트가 증착되고, 마스크가 제거된다. 이 방법은 트렌치 및 메사의 선택된 영역의 주입이 수행되는 단계를 포함한다. 그렇지만, 포토레지스트가 마지막 트렌치 상의 정위치에 있는 경우, 이 트렌치에서의 주입이 차단된다. 구조의 반대쪽 단부 상의 마지막 트렌치의 주입을 차단하는 것은 동일한 방식으로 달성된다. 마지막 트렌치에 또한 인접한 메사의 일부분 상에 포토레지스트가 증착될 수 있게 해주기 위해 마스크가 배치되고, 이 마스크가 제거된다. 이 트렌치에서의 주입도 역시 포토레지스트에 의해 차단된다. 마지막 트렌치의 주입의 차단은 이 기판 상에 형성된 장치의 애벌랜치 항복 전압의 열화를 방지한다. 주입 후에 포토레지스트는 트렌치 및 메사로부터 제거된다. 마지막 트렌치가 깨끗하게 된 후에, 이어서 모든 트렌치는 절연성 물질로 채워지고, 장치의 상부 표면은 평탄화된다. 그러면, 이 기판은 수퍼 접합 장치의 제조를 위한 준비가 된 것이다.

## 효과

<9> 본 발명에 의해 활성 영역의 마지막 트렌치의 외측 측벽이 주입되어 있지 않고 또 장치를 제조하는 데 단지 하나의 에피택셜 증착 단계를 사용하는 프로세스와 호환되는 기술을 사용하여 제조되는 옛지 종단 영역이 제공된다.

## 발명의 실시를 위한 구체적인 내용

<10> 이상의 요약은 물론 본 발명의 양호한 실시예에 대한 이하의 상세한 설명은 첨부 도면과 관련하여 읽어가면 보다 잘 이해될 것이다. 본 발명을 예시하기 위해, 현재 양호한 실시예들이 도면에 도시되어 있다. 그렇지만, 본 발명이 도시된 정확한 구성 및 수단으로 한정되는 것이 아님을 잘 알 것이다.

<11> 어떤 용어가 이하의 설명에서 단지 편의상으로 사용되고 있으며 제한적인 것은 아니다. 단어 "우측(right)", "좌측(left)", "하부(lower)" 및 "상부(upper)"는 참조되는 도면에서의 방향을 나타낸다. 단어 "안쪽으로(inwardly)" 및 "바깥쪽으로(outwardly)"는 각각 기술된 대상 및 그의 지정된 부분의 기하학적 중심 쪽으로의 방향 및 그로부터 멀어지는 쪽으로의 방향을 말한다. 이들 용어는 위에서 특별히 언급한 단어, 그의 파생어 및 유사한 의미의 단어를 포함한다. 게다가, 청구항 및 명세서의 대응하는 부분에서 사용되는 단수 표시 관형사는 "하나 이상"을 의미한다.

<12> 도 1 내지 도 11은 본 발명의 제1 양호한 실시예에 따른 종래의 종단을 갖는 수퍼 접합 장치를 제조하는 프로세스를 전반적으로 나타낸 것이다.

<13> 도 1을 참조하면, 진하게 도핑된 N+ 기판(3) 및 약하게 도파된 N- 층(5)을 포함하는 반도체 웨이퍼의 부분도가 도시되어 있다. 본 명세서에서 사용되는 바와 같이, 전도성에 대한 언급은 기재된 실시예로 제한된다. 그렇지만, 당업자라면 P형 전도성이 N형 전도성과 교환될 수 있고 장치는 그럼에도 여전히 제대로 기능하게 됨을 잘 알 것이다(즉, 제1 또는 제2 전도성 유형을 사용함). 따라서, 본 명세서에서 사용되는 경우, N 또는 P에 대한 언급은 또한 N 및 P 또는 P 및 N이 서로 치환될 수 있음을 의미할 수 있다.

<14> 도 2를 참조하면, 기술 분야에 공지된 기술을 사용하여, 에칭된 트렌치의 밑바닥이 N+ 기판(3)과 N- 층(5) 사이의 계면에 접촉 또는 그에 근접하도록 N- 층(5)이 에칭된다. 이 에칭 프로세스는 트렌치(9) 및 메사(11)를 생성한다. 메사(11)는 장치 메사라도 하는데 그 이유는 메사(11)가 주변의 종단 영역과 반대로 활성 영역에 있기 때문이다. 이 경우 프로세스는 트랜지스터 장치가 제조되어질 구조를 생성한다. 메사(11)에 인접한 트렌치(9) 각각의 폭 A는 다른 트렌치들(9)에 비해 거의 동일하다. 명확하게 도시되어 있지는 않지만, 트렌치(9)는 양호하게는 트렌치 충전 프로세스를 용이하게 해주기 위해 그의 상부에서 그의 밑바닥에서보다 1% 내지 10%정도 더 넓다. 따라서, 메사(11)는 에피택셜층(5)의 제1 주 표면에 대해 미리 정해진 경사를 유지하고 있는 측벽 표면을 갖는다. 트렌치(9)는 에피택셜층(5)의 제1 주 표면으로부터 기판(진하게 도핑된 영역)(3) 쪽으로 제1 깊이 위치까지 깊이 B만큼 뻗어 있지만, 꼭 기판(진하게 도핑된 영역)(3)까지 줄곧 뻗어있을 필요는 없다.

<15> 도 3은 화학적 기상 증착(CVD) 프로세스가 약 1 내지 3 마이크로미터 또는 미크론( $\mu\text{m}$ ) 깊이로 각각의 메사(11) 및 각각의 트렌치(9)의 상부를 산화물층(7)으로 덮은 후에, 복수의 메사(11) 및 복수의 트렌치(9)를 나타낸 것

이다.

<16> 도 4는 기술 분야에 공지된 유형의 건식 프로세스 산화물 에칭 단계가 복수의 트렌치(9) 각각의 밀바닥으로부터 산화물(7)을 제거한 후의 도 3의 구조를 나타낸 것이다.

<17> 도 5는 당업자에게는 잘 알려져 있는 방식으로 포토레지스트층(13)의 증착 후의 도 4의 구조를 나타낸 것이다.

<18> 도 6은 마스크(15)(즉, 보호막)가 정위치에 있고 공지의 현상 매체(development medium)(17)가 마스크(15)에 의해 보호되지 않은 비보호된 포토레지스트(13)에 적용된 상태의 도 5의 구조를 나타낸 것이다. 마스크(15)는 양호하게는 활성 영역과 종단 영역 사이의 경계에 근접한 미리 선택된 영역에서 종단 영역의 전부 및 활성 영역의 일부분 상에 배치된다. 공지의 현상 매체(17)는 자외선 광, 극좌외선 광(deep ultraviolet light), 전자빔, X-레이, 기타 등을 포함할 수 있다.

<19> 도 7은 현상된 포토레지스트(13)가 제거된 후의 도 6의 구조를 나타낸 것으로서, 미현상된 포토레지스트(13)(즉, 이전에 마스크(15) 아래에 있었음)가 기술 분야에 공지된 바와 같이 정위치에 남아 있다.

<20> 도 8은 습식 산화물 에칭 단계가 활성 영역의 각각의 측면에서의 마지막 트렌치(9)의 외측 측벽 상의 또한 종단 영역의 상부 표면 상의 산화물(19)을 제외하고 포토레지스트(13) 및 남아 있는 산화물(7)을 제거한 후의 도 7의 구조를 나타낸 것이다.

<21> 도 9는 제1 미리 정해진 각도  $\Phi$ (즉, 제1 미리 정해진 주입각  $\Phi$ )로부터의 도 8의 구조에서의 이온 주입을 나타낸 것이다. 일반적으로 수직으로부터 약  $2^\circ$  내지  $12^\circ$  인 제1 미리 정해진 주입각  $\Phi$ 은 트렌치(9)의 폭 A 및 깊이 B에 의해 결정된다(즉,  $A/B = \text{주입각 } \Phi$ 의 탄젠트). 주입은 각각의 트렌치(9)의 밀바닥이 주입되지 않도록 각도  $\Phi$ 로 행해진다. 주변 영역으로의 주입의 확산이 일어나지 않도록 트렌치(9)의 밀바닥의 주입은 회피된다. 주입은 약  $1E13$  내지  $1E14 \text{ cm}^{-2}$  (즉, 약  $1 \times 10^{13}$  내지  $1 \times 10^{14} \text{ cm}^{-2}$ ) 범위의 도스량에서 약 30 내지 200 KeV(kilo-electron-volt, 킬로 전자 볼트)의 에너지 레벨로 수행된다. 그 결과, 복수의 트렌치(9)의 인접한 쌍에서 하나의 트렌치(9)의 측벽 표면에, 진하게 도핑된 영역의 도핑 농도보다 낮은 도핑 농도를 갖는 제1 전도성 유형의 제1 도핑된 영역을 상기 하나의 트렌치(9)의 측벽 표면에 형성하기 위해, 제1 전도성 유형의 도편트가 복수의 트렌치(9) 및 복수의 메사(11)의 미리 선택된 영역의 적어도 하나의 미리 선택된 메사(11) 내로 제1 미리 정해진 주입각  $\Phi$ 으로 주입된다. 도시된 바와 같이, 마지막 트렌치(9)의 외측 측벽 상의 산화물(19)(도 9의 좌측)은 그 표면의 주입을 차단한다.

<22> 도 10은 제2 미리 정해진 각도  $\Phi'$ (즉, 제2 미리 정해진 주입각  $\Phi'$ )로부터 도 9의 구조에서의 이온 주입을 나타낸 것이다. 일반적으로 수직으로부터 약  $-2^\circ$  내지  $-12^\circ$  인 제2 미리 정해진 주입각  $\Phi'$ 도 역시 트렌치(9)의 폭 A 및 깊이 B에 의해 결정된다(즉,  $-(A/B) = \text{주입각 } \Phi'$ 의 탄젠트). 주입은 각각의 트렌치(9)의 밀바닥이 주입되지 않도록 각도  $\Phi'$ 로 행해진다. 유의해야 할 점은 제1 미리 정해진 주입각  $\Phi$  및 제2 미리 정해진 각도  $\Phi'$ 가 거의 같은 크기일 수 있거나 약간 다를 수 있다는 것이다. 주변 영역으로의 주입의 확산이 일어나지 않도록 트렌치의 밀바닥의 주입은 회피된다. 주입은 약  $1E13$  내지  $1E14 \text{ cm}^{-2}$  범위의 도스량에서 약 30 내지 200 KeV의 에너지 레벨로 수행된다. 그 결과, 제1 전도성 유형의 도편트로 주입된 측벽의 반대쪽에 있는 측벽 표면에 제2 전도성 유형의 제2 도핑된 영역을 제공하여 복수의 트렌치(9) 중 적어도 하나의 깊이 방향을 따라 위치한 상기 제1 및 제2 도핑된 영역의 P-N 접합을 형성하고 또 활성 영역의 비주입된 외측 측벽을 제공하기 위해, 제1 전도성 유형의 도편트로 주입된 측벽의 반대쪽에 있는 적어도 하나의 메사(11)의 측벽 표면에서, 복수의 트렌치(9) 및 복수의 메사(11)의 미리 선택된 영역의 적어도 하나의 메사(11) 내로 제2 전도성 유형의 도편트가 제2 미리 정해진 주입각  $\Phi'$ 으로 주입된다. 도시된 바와 같이, 마지막 트렌치(9)의 외측 측벽 상의 산화물(19)(도 10의 우측)은 그 표면의 주입을 차단한다.

<23> 도 11은 산화물(19)이 도 9 및 도 10의 구조에서의 트렌치(9)로부터 제거된 후에 도 10의 구조 상에 형성된 수퍼 접합 장치를 나타낸 것이다. 모든 트렌치(9)는 절연성 물질(28)로 채워지고, 그 표면은 평탄화된다. 그 구조 상에 수퍼 접합 장치를 제조하는 것은 주입(22)를 수행하는 단계, 주입된 영역에 게이트(20)를 증착하는 단계, 및 게이트 도체(26) 및 게이트 산화물(24)를 부가하는 단계를 수반하며, 이들 모두는 기술 분야에 공지된 방법을 사용한다. 따라서, 게이트 전극층(20)은 트렌치(9) 중 적어도 하나에 형성되고 또 제1 주 표면 상에 형성된다. 게이트 전극층(20)은 제1 도핑된 영역과 오옴 접촉하고 있다. 양호하게는, 게이트 전극층(20)은 제1 도핑된 영역과 셀프 접촉하고 있다.

<24> 이 구조 상에 제조 또는 형성된 장치의 성능은 종래의 반도체-트랜지스터 장치와 비교하여 향상된 애벌랜치 항

복 전압( $V_b$ ) 특성을 갖는다. 따라서, 부가적인 주입이 또한 제2 도핑된 영역에 전기적으로 연결되는 제1 및 제2 도핑된 영역의 제1 주 표면에 제2 전도성 유형의 제3 도핑된 영역을 제공하는 것에 의해 또 제1 주 표면 및 하나의 트렌치(9)의 측벽 표면 중 하나 또는 그 둘다에 제1 전도성 유형의 제4 도핑된 영역을, 이 제4 도핑된 영역이 제1 도핑된 영역의 반대쪽에 있고 제3 도핑된 영역이 이들 사이에 배치되도록 제공하는 것에 의해 제공될 수 있다. 게이트 전극층(20)은 제1 도핑된 영역과 제4 도핑된 영역 사이에서 제3 도핑된 영역의 반대쪽에 제공되고, 게이트 절연층(24)은 그들 사이에 배치되어 있다.

<25> 도 12 내지 도 17은 본 발명의 제2 양호한 실시예에 따른 종래의 종단을 갖는 수퍼 접합 장치를 제조하는 프로세스를 전반적으로 나타낸 것이다.

<26> 도 12는 산화물 증착(21) 및 트렌치(9)의 측벽 및 밀바닥의 차후의 예칭 후의 도 2의 구조를 나타낸 것이다.

<27> 도 13은 마스크(도시되어 있지 않지만 도 6의 마스크(15)와 유사함)가 활성 영역의 한쪽 측면(좌측)의 마지막 트렌치 및 인접한 메사 영역의 일부분에만 포토레지스트(23)의 증착을 위해 배치되고 포토레지스트(23)이 증착된 후의 도 12의 구조를 나타낸 것이다. 포토레지스트(23)는 트렌치 측벽의 주입을 차단한다.

<28> 도 14는 제1 미리 정해진 각도  $\Phi$ 로부터 도 13의 구조에서의 이온 주입을 나타낸 것이다. 일반적으로 수직으로부터 약  $2^\circ$  내지  $12^\circ$  인 제1 미리 정해진 각도  $\Phi$ 는 트렌치(9)의 폭 A 및 깊이 B에 의해 결정된다( $A/B = \text{주입각 } \Phi$ 의 탄젠트). 주입은 각각의 트렌치(9)의 밀바닥이 주입되지 않도록 각도  $\Phi$ 로 행해진다. 주변 영역으로의 주입의 확산이 일어나지 않도록 트렌치(9)의 밀바닥의 주입은 회피된다. 주입은 약  $1E13$  내지  $1E14 \text{ cm}^{-2}$  범위의 도스량에서 약 30 내지 200 KeV의 에너지 레벨로 수행된다. 그 결과, 복수의 트렌치(9)의 인접한 쌍에서 하나의 트렌치(9)의 측벽 표면에, 진하게 도핑된 영역의 도핑 농도보다 낮은 도핑 농도를 갖는 제1 전도성 유형의 제1 도핑된 영역을 상기 하나의 트렌치(9)의 측벽 표면에 형성하기 위해, 제1 전도성 유형의 도편트가 복수의 트렌치(9) 및 복수의 메사(11)의 미리 선택된 영역의 적어도 하나의 미리 선택된 메사(11) 내로 제1 미리 정해진 주입각  $\Phi$ 으로 주입된다. 도시된 바와 같이, 마지막 트렌치(9)에서의 포토레지스트(23)(좌측)는 그 트렌치(9)의 주입을 차단한다.

<29> 도 15는 마스크(도시되어 있지 않지만 도 6의 마스크(15)와 유사함)가 도 13에서의 포토레지스트 증착(25)의 위치의 반대쪽에 있는 활성 영역의 측면의 마지막 트렌치(9)(우측) 및 인접한 메사 영역의 일부분에만 포토레지스트(25)의 증착을 위해 배치되고 포토레지스트(25)가 증착된 후의 도 14의 구조를 나타낸 것이다. 포토레지스트(25)는 트렌치 측벽의 주입을 차단한다.

<30> 도 16은 제2 미리 정해진 각도  $\Phi'$ (즉, 제2 미리 정해진 주입각  $\Phi'$ )로부터 도 15의 구조에서의 이온 주입을 나타낸 것이다. 일반적으로 수직으로부터 약  $-2^\circ$  내지  $-12^\circ$  인 제2 미리 정해진 주입각  $\Phi'$ 은 트렌치의 폭 A 및 깊이 B에 의해 결정된다(즉,  $-(A/B) = \text{주입각 } \Phi'$ 의 탄젠트). 주입은 각각의 트렌치(9)의 밀바닥이 주입되지 않도록 각도  $\Phi'$ 로 행해진다. 주변 영역으로의 주입의 확산이 일어나지 않도록 트렌치(9)의 밀바닥의 주입은 회피된다. 주입은 약  $1E13$  내지  $1E14 \text{ cm}^{-2}$  범위의 도스량에서 약 30 내지 200 KeV의 에너지 레벨로 수행된다. 그 결과, 제1 전도성 유형의 도편트로 주입된 측벽의 반대쪽에 있는 측벽 표면에 제2 전도성 유형의 제2 도핑된 영역을 제공하여 복수의 트렌치(9) 중 적어도 하나의 깊이 방향을 따라 위치한 제1 및 제2 도핑된 영역의 P-N 접합을 형성하고 또 활성 영역의 비주입된 외측 측벽을 제공하기 위해, 제1 전도성 유형의 도편트로 주입된 측벽의 반대쪽에 있는 적어도 하나의 메사(11)의 측벽 표면에서, 복수의 트렌치(9) 및 복수의 메사(11)의 미리 선택된 영역의 적어도 하나의 메사(11) 내로 제2 전도성 유형의 도편트가 제2 미리 정해진 주입각  $\Phi'$ 으로 주입된다. 도시된 바와 같이, 마지막 트렌치(9)에서의 포토레지스트(25)(우측)는 그 트렌치(9)의 주입을 차단한다.

<31> 따라서, 제2 양호한 실시예에서, 포토레지스트(23, 25)가 마지막 트렌치(9) 상에 위치하는 경우(각각 도면에서의 우측 또는 좌측), 마지막 트렌치(9)에서의 주입이 차단됨을 알 수 있다. 이 구조의 반대쪽 단부에서의 마지막 트렌치(9)의 주입의 차단은 동일한 방식으로 달성된다. 마지막 트렌치(9)(도면에서 우측 및 좌측)의 주입의 차단은 이러한 기관 상에 형성된 장치의 애벌랜치 항복 전압( $V_b$ )의 열화를 방지한다. 포토레지스트(23, 25)는 주입 후에 트렌치(9) 및 메사(11)로부터 제거된다.

<32> 도 17은 도 14에 나타낸 포토레지스트(23) 및 도 15에 나타낸 포토레지스트(25)가 그 구조로부터 제거되고 트렌치(9)가 절연성 물질(28)로 채워지며 상부 표면이 평탄화된 후의 도 16의 구조를 나타낸 것이다. 이 구조 상의 수퍼 접합 장치의 제조는 주입(22)을 수행하는 단계, 주입된 영역에 게이트(20)를 증착하는 단계, 및 게이트 도체(26) 및 게이트 산화물(24)을 부가하는 단계를 수반하며, 이들 모두는 기술 분야에 공지된 방법을 사용한다.

따라서, 게이트 전극층(20)은 트렌치(9) 중 적어도 하나에 형성되고 또 제1 주 표면 상에 형성된다. 게이트 전극층(20)은 제1 도핑된 영역과 오음 접촉하고 있다. 양호하게는, 게이트 전극층(20)은 제1 도핑된 영역과 쇼트 키 접촉하고 있다. 이 구조 상에 제조 또는 형성된 장치의 성능은 종래의 반도체-트랜지스터 장치와 비교하여 향상된 애벌랜치 항복 전압( $V_b$ ) 특성을 갖는다.

<33> 따라서, 양호한 실시예들 각각이 복수의 트렌치(9)의 깊이 방향을 따라 위치한 제1 및 제2 도핑된 영역의 P-N 접합을 제공함을 알 수 있다. 활성 영역 상에 종래의 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET) 장치(들)를 제조하는 것은 게이트 산화물층(24)을 형성하는 단계, 게이트 도체(26)를 증착 및 정의하는 단계, 및 게이트 전극(20)을 증착하는 단계를 포함하는 공자의 단계들을 사용하여 행해질 수 있다. 부가의 단계들은 제2 전도성 유형의 활성 영역을 선택적으로 주입하는 단계 및 그 다음에 오는 제1 전도성 유형의 영역들을 선택적으로 주입하는 단계에 의해 장치를 완성한다. 전방 표면 상의 영역들 및 후방 표면에 대한 접점도 역시 제조되고, 장치 제조 시퀀스를 완성하기 위해 패시베이션 층이 증착 및 패터닝될 수 있다.

<34> 이상으로부터, 본 발명이 반도체 장치 및 반도체 장치를 제조하는 방법에 관한 것임을 알 수 있다. 당업자라면 본 발명의 광의의 발명 개념을 벗어나지 않고 상기한 실시예들에 변경이 행해질 수 있음을 잘 알 것이다. 따라서, 본 발명은 개시된 특정의 실시예들에 한정되지 않으며 수정들이 본 발명의 정신 및 범위 내에 포함되는 것으로 보아야 함을 잘 알 것이다.

### 도면의 간단한 설명

<35> 도 1은 본 발명의 제1 양호한 실시예에 따른 에피택셜층이 그에 부가되어 있는 반도체 기판의 부분 입단면도이다.

<36> 도 2는 에피택셜층에 트렌치를 에칭한 후에 도 1의 반도체 기판 및 에피택셜층의 부분 입단면도이다.

<37> 도 3은 산화물 증착 단계가 수행된 후에 도 2의 구조의 부분 입단면도이다.

<38> 도 4는 건식 에칭 단계 후에 도 3의 구조의 부분 입단면도이다.

<39> 도 5는 포토레지스트 층의 증착 이후에 도 4의 구조의 부분 입단면도이다.

<40> 도 6은 정위치에 있는 마스크 및 현상 매체가 비보호된 영역에 적용되는 것을 나타낸 도 5의 구조의 부분 입단면도이다.

<41> 도 7은 현상된 포토레지스트가 제거된 후에 도 6의 구조의 부분 입단면도이다.

<42> 도 8은 습식 산화물 에칭이 남아 있는 포토레지스트, 및 활성 영역 내의 마지막 트렌치의 외측 측벽 상의 산화물을 제외한 산화물을 제거한 후에 도 7의 구조의 부분 입단면도이다.

<43> 도 9는 제1 주입각의 이온 주입을 나타낸 도 8의 구조의 부분 입단면도이다.

<44> 도 10은 제2 주입각의 이온 주입을 나타낸 도 8의 구조의 부분 입단면도이다.

<45> 도 11은 도 10의 구조 상에 형성된 수퍼 접합 장치를 나타낸 부분 입단면도이다.

<46> 도 12는 본 발명의 제2 양호한 실시예에 따른 트렌치 측벽 및 밑바닥의 산화물 증착 및 차후의 에칭 후에 도 2의 구조를 나타낸 부분 입단면도이다.

<47> 도 13은 구조의 한쪽 측면의 마지막 트렌치에서의 마스킹 및 포토레지스트의 증착 후에 도 12의 구조를 나타낸 부분 입단면도이다.

<48> 도 14는 어떤 제1 각도로부터의 이온 주입을 나타내는 도 13의 구조의 부분 입단면도이다.

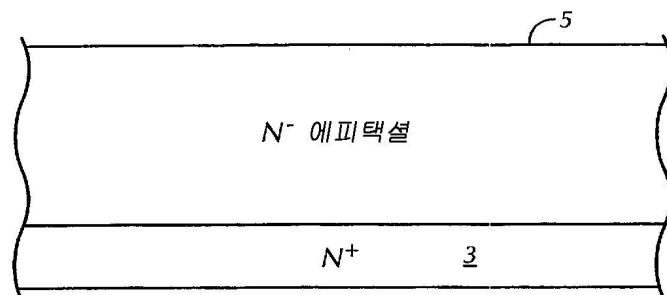
<49> 도 15는 도 13과 반대쪽의 구조의 측면의 마지막 트렌치에서의 마스킹 및 포토레지스트의 증착 후에 도 12의 구조를 나타낸 부분 입단면도이다.

<50> 도 16은 어떤 제2 각도로부터의 이온 주입을 나타내는 도 15의 구조의 부분 입단면도이다.

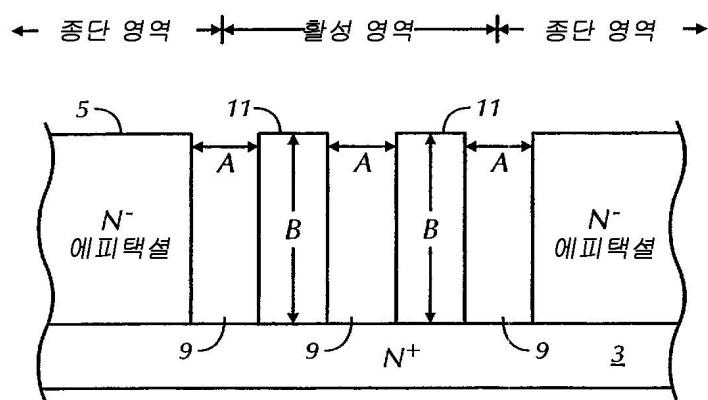
<51> 도 17은 도 16의 구조 상에 형성된 수퍼 접합 장치를 나타낸 부분 입단면도이다.

## 도면

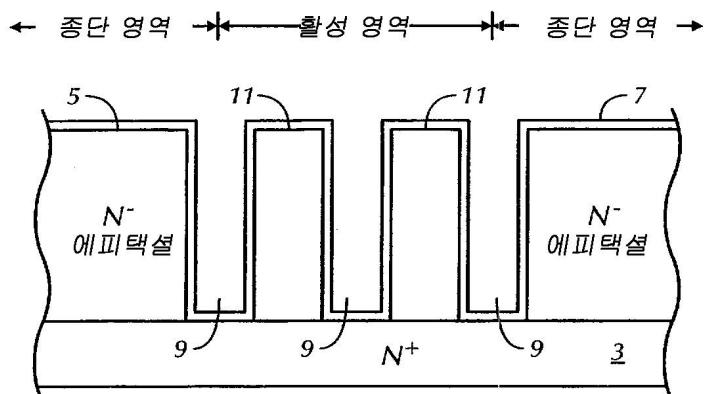
## 도면1



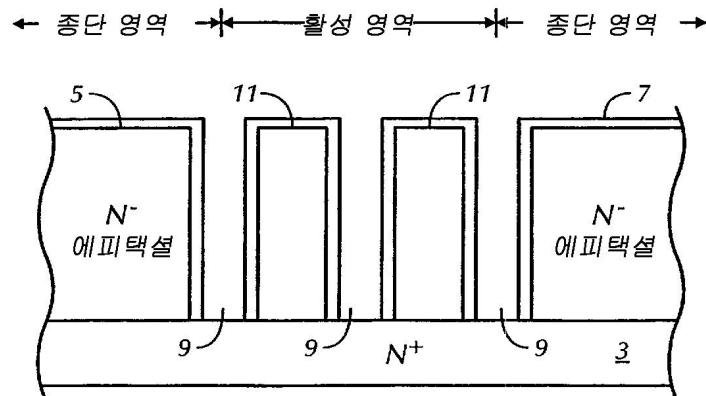
## 도면2



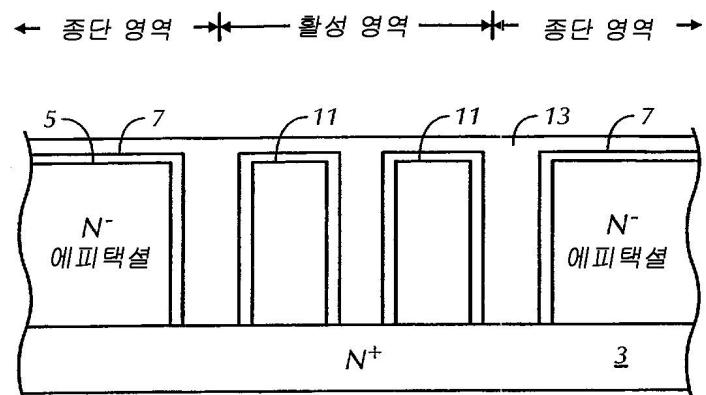
## 도면3



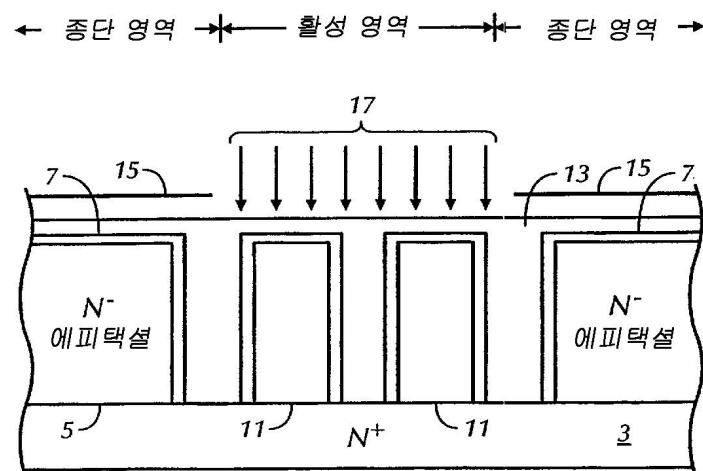
도면4



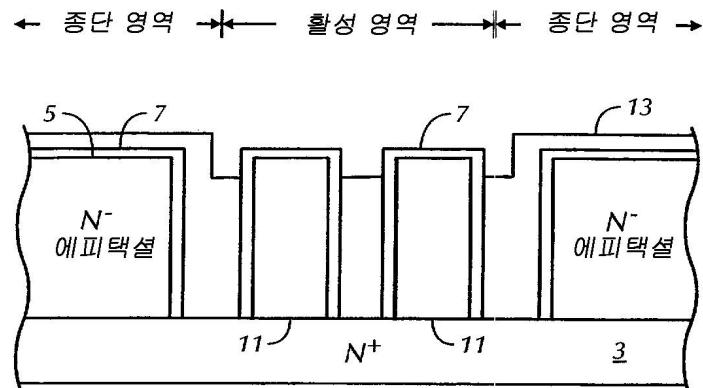
도면5



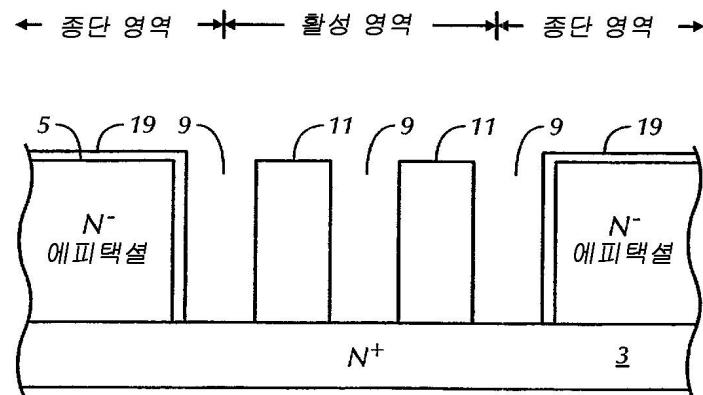
도면6



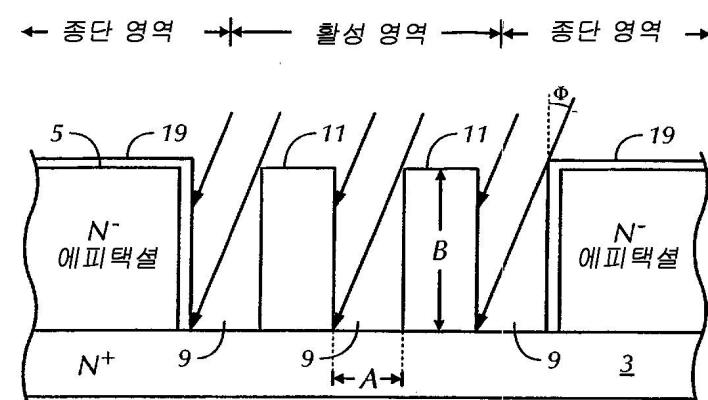
## 도면7



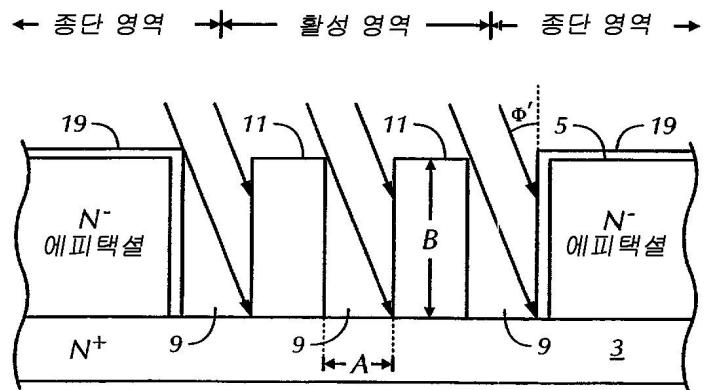
## 도면8



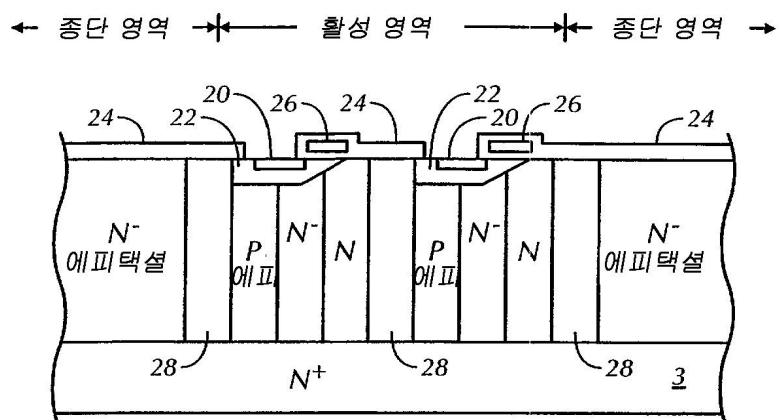
## 도면9



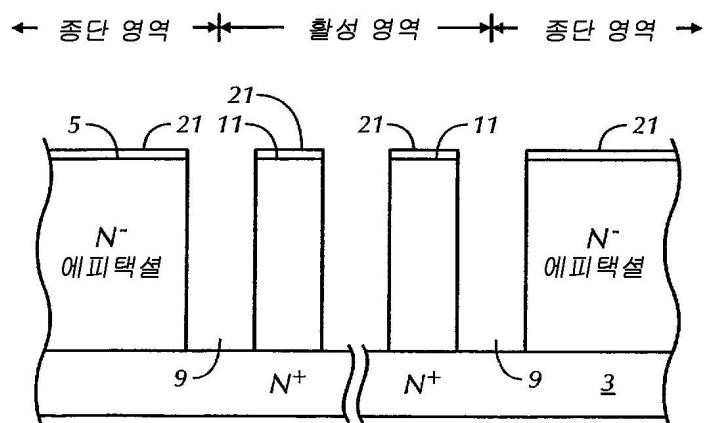
도면10



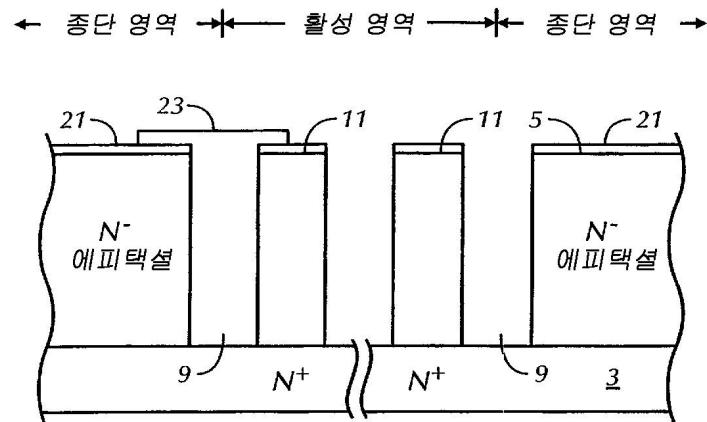
도면11



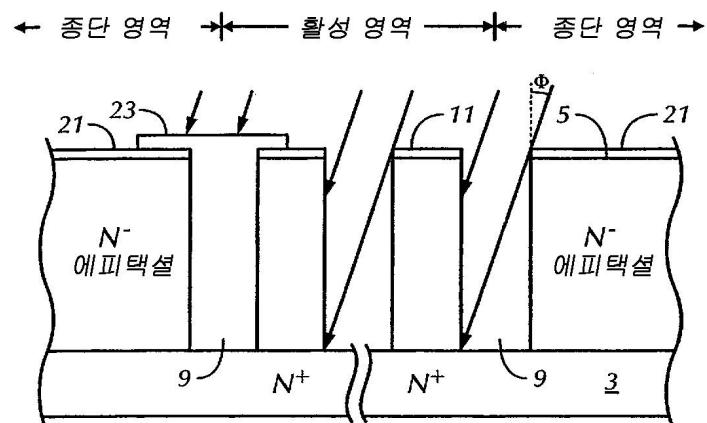
도면12



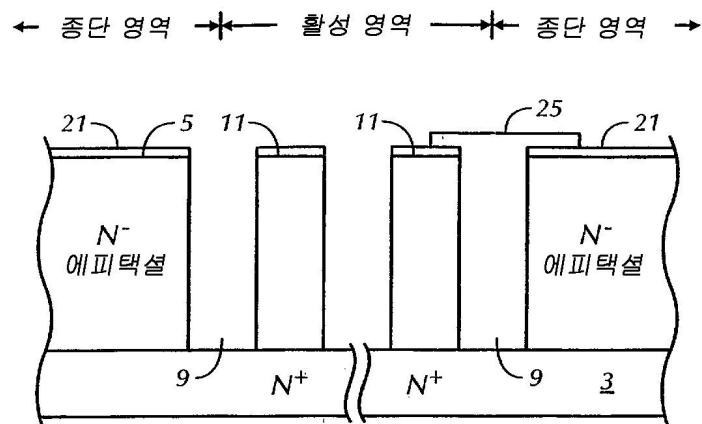
도면13



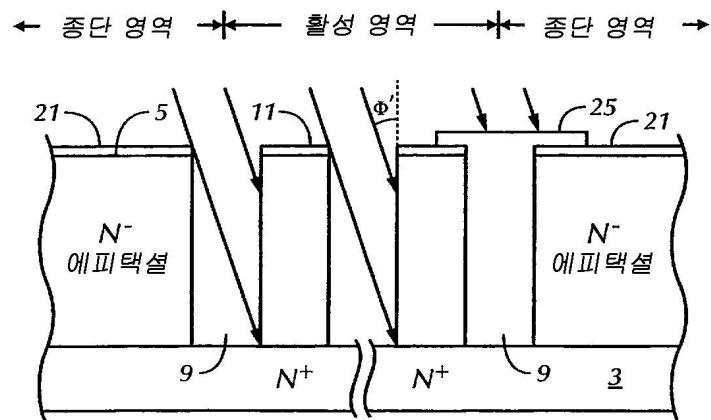
도면14



도면15



도면16



도면17

