



(12) 发明专利

(10) 授权公告号 CN 102473649 B

(45) 授权公告日 2015. 03. 18

(21) 申请号 201080035469. 9

代理人 于静 张亚非

(22) 申请日 2010. 08. 04

(51) Int. Cl.

(30) 优先权数据

H01L 21/44(2006. 01)

12/540, 759 2009. 08. 13 US

审查员 谢正旺

(85) PCT国际申请进入国家阶段日

2012. 02. 10

(86) PCT国际申请的申请数据

PCT/US2010/044326 2010. 08. 04

(87) PCT国际申请的公布数据

W02011/019552 EN 2011. 02. 17

(73) 专利权人 国际商业机器公司

地址 美国纽约

(72) 发明人 S·邦萨伦提普 D·C·埃德尔斯坦

W·D·辛斯伯格 H·C·金

S·克斯特 P·M·索罗曼

(74) 专利代理机构 北京市中咨律师事务所

11247

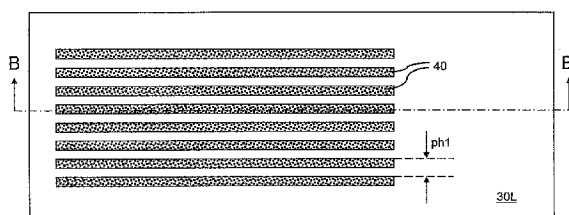
权利要求书4页 说明书11页 附图30页

(54) 发明名称

电接触结构及其形成方法

(57) 摘要

形成了亚光刻间距结构与光刻间距结构之间的互连。具有亚光刻间距的多个导电线可被光刻构图,并沿着与所述多个导电线的长度方向成小于45度的角的直线而被切割。或者,可将与均聚物混合的共聚物置于凹陷区中且使所述共聚物自对准以形成多个导电线,所述多个导电线在恒定宽度区域中具有亚光刻间距且在梯形区域处的相邻线之间具有光刻尺寸。又或者,可在相同或不同的层级(level)形成具有亚光刻间距的第一多个导电线和具有光刻间距的第二多个导电线。



1. 一种电接触结构,包括:

第一多个导电线,其具有第一间距且被掩埋在至少一个介电层中,其中所述第一多个导电线中的每一个具有与第一垂直平面平行的侧壁对和直接邻接所述侧壁对且位于第二垂直平面内的端壁,其中所述第一垂直平面与所述第二垂直平面之间的角小于 45 度;以及

多个导电过孔,其中所述多个导电过孔中的每一个接触所述多个导电线之一的端部且被掩埋在所述至少一个介电层中,且其中所述第二垂直平面与所述多个导电过孔中的每一个相交,且所述多个导电过孔中的每一个的一部分存在于所述第二垂直平面的一侧,而所述多个导电过孔中的每一个的另一部分存在于所述第二垂直平面的另一侧,

所述电接触结构还包括具有所述第一间距的多个介电材料部分,其中所述多个介电材料部分的每个侧壁与第一多个导电线的侧壁的平面重合,且所述多个介电材料部分的每个端壁以恒定的距离从所述第二垂直平面偏移。

2. 根据权利要求 1 的结构,还包括第二多个导电线,所述第二多个导电线具有第二间距且被掩埋在所述至少一个介电层中,其中所述第二多个导电线中的每一个的底面邻接所述多个导电过孔中的一个。

3. 根据权利要求 2 的结构,其中所述第一间距为亚光刻间距,所述第二间距为光刻间距。

4. 根据权利要求 1 的结构,其中所述多个导电过孔中的每一个接触所述第一多个导电线之一的顶面和端壁。

5. 根据权利要求 1 的结构,还包括半导体衬底,所述半导体衬底包括至少一个半导体器件且位于所述至少一个介电层下方。

6. 一种电接触结构,包括:

第一多个导电线,其被掩埋在至少一个介电层中且位于衬底上,且具有恒定宽度区域以及邻接所述恒定宽度区域的至少一个变动间隔区域,其中所述第一多个导电线在所述恒定宽度区域内具有恒定第一间距,且在所述至少一个变动间隔区域内在相邻的所述第一多个导电线的对之间具有变动距离,其中所述变动距离随着与所述恒定宽度区域的端部相距的横向距离而增大;以及

具有第二间距的多个导电过孔,其中所述多个导电过孔中的每一个接触所述第一多个导电线之一的端部且被掩埋在所述至少一个介电层中,其中所述第二间距大于所述第一间距,且所述第一多个导电线被所述衬底、所述至少一个介电层和所述多个导电过孔所包封,

所述电接触结构还包括具有所述第一间距的多个介电材料部分,其中所述多个介电材料部分的每个侧壁与第一多个导电线的侧壁的平面重合。

7. 根据权利要求 6 的结构,还包括第二多个导电线,所述第二多个导电线具有第二间距且被掩埋在所述至少一个介电层中,其中所述第二多个导电线中的每一个的底面邻接所述多个导电过孔中的一个,其中所述第二多个导电线具有与所述第二间距相同的间距。

8. 根据权利要求 7 的结构,其中所述第一间距为亚光刻间距,所述第二间距为光刻间距。

9. 一种电接触结构,包括:

第一多个导电线,其具有第一间距且被掩埋在至少一个介电层中;以及

第二多个导电线,其具有第二间距且被掩埋在所述至少一个介电层中,且具有与所述

第一多个导电线的顶面共面的顶面,其中所述第二间距大于所述第一间距且具有与所述第一间距相同的方向,且所述第二多个导电线中的至少一个被电阻式连接至并横向接触所述第一多个导电线中的至少两个,

所述电接触结构还包括具有所述第一间距的多个介电材料部分,其中所述多个介电材料部分的每个侧壁与第一多个导电线的侧壁的平面重合。

10. 根据权利要求 9 的结构,其中所述第一间距为亚光刻间距,所述第二间距为光刻间距。

11. 根据权利要求 9 的结构,其中所述第一多个导电线与所述第二多个导电线具有彼此共面的顶面。

12. 一种电接触结构,包括:

第一多个导电线,其具有第一间距且被掩埋在至少一个介电层中;以及

第二多个导电线,其具有第二间距且被掩埋在所述至少一个介电层中,其中所述第二间距大于所述第一间距且具有与所述第一间距相同的方向,且所述第二多个导电线中的至少一个被电阻式连接至并横向接触所述第一多个导电线中的至少两个,

其中,所述第一多个导电线的侧壁表面与所述第二多个导电线的侧壁表面彼此平行,所述第一多个导电线与所述第二多个导电线被垂直分开一距离,且所述第二多个导电线中的每一个接触与所述第一多个导电线中的至少一个接触的导电过孔,

所述电接触结构还包括具有所述第一间距的多个介电材料部分,其中所述多个介电材料部分的每个侧壁与第一多个导电线的侧壁的平面重合。

13. 一种形成电接触结构的方法,包括:

在衬底上形成具有第一间距的第一多个导电线,其中所述第一多个导电线中的每一个具有与第一垂直平面平行的侧壁对;

采用光致抗蚀剂对所述第一多个导电线进行构图,所述光致抗蚀剂具有沿着第二垂直平面的侧壁,其中所述构图的第一多个导电线中的每一个的直接邻接所述侧壁对的端壁形成在所述第二垂直平面内,其中所述第一垂直平面与所述第二垂直平面之间的角小于 45 度;

在所述构图的第一多个导电线之上形成介电层;以及

在所述介电层中形成多个导电过孔,其中所述多个导电过孔中的每一个接触所述多个导电线之一的端部,且所述第二垂直平面与所述多个导电过孔中的每一个相交,且所述多个导电过孔中的每一个的一部分存在于所述第二垂直平面的一侧,而所述多个导电过孔中的每一个的另一部分存在于所述第二垂直平面的另一侧,

所述方法还包括:

采用自组装共聚合物层形成具有所述第一间距的多个聚合物嵌段线;

将在所述多个聚合物嵌段线中的图形转移到在所述衬底上的导电材料层中,其中所述导电材料层的在所述转移之后的剩余部分构成所述第一多个导电线;

在所述形成所述多个聚合物嵌段线之前,在所述导电材料层上形成介电材料层,其中在所述图形的所述转移期间所述介电材料层被构图以形成介电材料部分;以及

使所述介电材料部分相对于所述第二垂直平面而横向凹陷。

14. 根据权利要求 13 的方法,还包括在所述介电层中形成具有第二间距的第二多个导

电线,其中所述第二多个导电线中的每一个直接形成于所述多个导电过孔中的一个上。

15. 根据权利要求 13 的方法,还包括通过对所述介电层进行光刻构图而沿着所述第二垂直平面在所述介电层中形成多个过孔,其中在所述多个过孔内暴露所述介电材料部分的侧壁和所述第一多个导电线的顶面。

16. 一种形成电接触结构的方法,包括:

在衬底上形成第一多个导电线,所述第一多个导电线具有恒定宽度区域以及邻接所述恒定宽度区域的至少一个变动间隔区域,其中所述第一多个导电线在所述恒定宽度区域内具有恒定第一间距且在所述至少一个变动间隔区域内具有变动间距,其中所述变动距离随着与所述恒定宽度区域的端部相距的横向距离而增大;

在所述第一多个导电线上形成介电层;以及

在所述介电层内形成具有第二间距的多个导电过孔,其中所述多个导电过孔中的每一个接触所述多个导电线之一的端部,其中所述第二间距大于所述第一间距,且所述第一多个导电线被所述衬底、所述介电层和所述多个导电过孔所包封,

所述方法还包括:

采用包含均聚物的自组装共聚物层形成具有所述第一间距的多个聚合物嵌段线;以及

将在所述多个聚合物嵌段线中的图形转移到在所述衬底上的导电材料层中,其中所述导电材料层的在所述转移之后的剩余部分构成所述第一多个导电线;

在所述形成所述多个聚合物嵌段线之前,在所述导电材料层上形成介电材料层,其中在所述图形的所述转移期间所述介电材料层被构图以形成介电材料部分;以及

使所述介电材料部分相对于所述第二垂直平面而横向凹陷。

17. 根据权利要求 16 的方法,还包括在所述介电层中形成具有所述第二间距的第二多个导电线,其中所述第二多个导电线中的每一个直接形成于所述多个导电过孔中的一个上。

18. 根据权利要求 16 的方法,还包括:

在所述导电材料层上方形成模板层;

在所述模板层中形成凹陷区,其中所述凹陷区包括梯形区域和具有恒定宽度的区域,所述梯形区域邻接所述恒定宽度区域且具有变动宽度,其中所述恒定宽度区域形成于具有所述恒定宽度的所述区域内,且所述至少一个变动间隔区域形成于所述梯形区域内。

19. 一种形成电接触结构的方法,包括:

在至少一个介电层中形成具有第一间距的第一多个导电线;以及

在所述至少一个介电层中形成具有第二间距的第二多个导电线,所述第二多个导电线具有与所述第一多个导电线的顶面共面的顶面,其中所述第二间距大于所述第一间距且具有与所述第一间距相同的方向,且所述第二多个导电线中的至少一个被电阻式连接至并横向接触所述第一多个导电线中的至少两个,

形成从所述至少一个介电层的表面向下延伸的第一多个沟槽,其中所述第一多个沟槽具有所述第一间距。

20. 根据权利要求 19 的方法,其中所述第一间距为亚光刻间距,所述第二间距为光刻间距。

21. 根据权利要求 19 的方法,还包括:

形成从所述至少一个介电层的所述表面向下延伸的第二多个沟槽,其中所述第二多个沟槽具有所述第二间距。

22. 根据权利要求 19 的方法,还包括在所述至少一个介电层内形成具有所述第二间距的多个导电过孔,其中所述多个导电过孔中的至少一个接触所述第一多个导电线中的至少两个。

电接触结构及其形成方法

技术领域

[0001] 本发明涉及包括亚光刻间距结构 (sublithographic-pitched structure) 与光刻间距结构之间的互连的结构及其制造方法。

背景技术

[0002] 可采用自组装共聚物形成亚光刻间距结构,即,具有亚光刻间距的结构。先在适合的溶剂系统中溶解自组装嵌段共聚物以形成嵌段共聚物溶液,然后再将此溶液施加在第一示例性结构的表面上,以形成嵌段共聚物层。用于溶解嵌段共聚物及形成嵌段共聚物溶液的溶剂系统可包含任何适合溶剂,所述溶剂包括但不限于:甲苯、丙二醇单甲醚乙酸酯 (PGMEA)、丙二醇单甲醚 (PGME) 及丙酮。

[0003] 半导体结构的尺寸典型地受到用于对半导体结构的物理特征构图的光刻工具的最小可印刷尺寸的限制。相关技术中,将最小可印刷尺寸称为“临界尺寸”,其被定义为具有采用可得的光刻工具形成的最小可印刷间距的最窄平行线或最窄平行间隔的宽度。

[0004] 尽管“光刻最小尺寸”和“亚光刻尺寸”仅关于可得的光刻工具来定义且通常随着半导体技术世代的不同而改变,但应理解,光刻最小尺寸和亚光刻尺寸应关于半导体制造时可得的光刻工具的最佳性能来定义。在本申请的申请日,光刻最小尺寸为约 35nm,且预期未来还会缩小。

[0005] 将亚光刻间距结构并入半导体结构需要在亚光刻间距结构与光刻间距结构之间的电接触。因此需要用于提供这样的电接触的结构。

发明内容

[0006] 根据本发明的实施例,提供一种第一结构,该第一结构包括:第一多个导电线,其具有第一间距且被掩埋在至少一个介电层中,其中所述第一多个导电线中的每一个具有与第一垂直平面平行的侧壁对和位于第二垂直平面内的端壁,其中所述第一垂直平面与所述第二垂直平面之间的角小于 45 度;以及多个导电过孔,其中所述多个导电过孔中的每一个接触所述多个导电线之一的端部且被掩埋在所述至少一个介电层中,且其中所述第二垂直平面与所述多个导电过孔中的每一个相交。

[0007] 根据本发明的另一方面,提供一种第二结构,该第二结构包括:第一多个导电线,其被掩埋在至少一个介电层中,且具有恒定宽度区域以及邻接所述恒定宽度区域的至少一个变动间隔区域,其中所述第一多个导电线在所述恒定宽度区域内具有恒定第一间距,且在所述至少一个变动间隔区域内在相邻的所述第一多个导电线的对之间具有变动距离,其中所述变动距离随着与所述恒定宽度区域的端部相距的横向距离而增大;以及具有第二间距的多个导电过孔,其中所述多个导电过孔中的每一个接触所述多个导电线之一的端部且被掩埋在所述至少一个介电层中,其中所述第二间距大于所述第一间距。

[0008] 根据本发明的又一方面,提供一种第三结构,该第三结构包括:第一多个导电线,其具有第一间距且被掩埋在至少一个介电层中;以及第二多个导电线,其被掩埋在所述至

少一个介电层中且具有第二间距,其中所述第二间距大于所述第一间距,且所述第二多个导电线中的至少一个被电阻式(resistively)连接至所述第一多个导电线中的至少两个。

[0009] 根据本发明的再一方面,提供一种形成结构的方法,该方法包括:在衬底上形成具有第一间距的第一多个导电线,其中所述第一多个导电线中的每一个具有与第一垂直平面平行的侧壁对;采用光致抗蚀剂对所述第一多个导电线进行构图,所述光致抗蚀剂具有沿着第二垂直平面的侧壁,其中所述构图的第一多个导电线中的每一个的端壁形成在所述第二垂直平面内,其中所述第一垂直平面与所述第二垂直平面之间的角小于45度;在所述构图的第一多个导电线之上形成介电层;以及在所述介电层中形成多个导电过孔,其中所述多个导电过孔中的每一个接触所述多个导电线之一的端部,且所述第二垂直平面与所述多个导电过孔中的每一个相交。

[0010] 根据本发明的再一方面,提供另一种形成结构的方法,该方法包括:形成第一多个导电线,所述第一多个导电线具有恒定宽度区域以及邻接所述恒定宽度区域的至少一个变动间隔区域,其中所述第一多个导电线在所述恒定宽度区域内具有恒定第一间距,且在所述至少一个变动间隔区域内在相邻的所述第一多个导电线的对之间具有变动距离,其中所述变动距离随着与所述恒定宽度区域的端部相距的横向距离而增大;在所述多个导电线上形成介电层;以及在所述介电层内形成具有第二间距的多个导电过孔,其中所述多个导电过孔中的每一个接触所述多个导电线之一的端部,其中所述第二间距大于所述第一间距。

[0011] 根据本发明的再一方面,提供又一种形成结构的方法,该方法包括:在至少一个介电层中形成具有第一间距的第一多个导电线;以及在所述至少一个介电层中形成具有第二间距的第二多个导电线,其中所述第二间距大于所述第一间距,且所述第二多个导电线中的至少一个被电阻式连接至所述第一多个导电线中的至少两个。

附图说明

[0012] 在附图中,具有相同数字标记的图对应于相同的制造阶段;具有后缀“A”的图为自顶向下视图;具有后缀“B”的图为具有相同数字标记和后缀“A”的对应图的沿着平面B-B’的垂直横截面图。

[0013] 图1A-7B为根据本发明的第一实施例的第一示例性结构的按序视图;

[0014] 图8A-10B为根据本发明的第一实施例的第一示例性结构的第一变型例的按序视图;

[0015] 图11A-13B为根据本发明的第一实施例的第一示例性结构的第二变型例的按序视图;

[0016] 图14A-21B为根据本发明的第二实施例的第二示例性结构的按序视图;

[0017] 图22A-24B为根据本发明的第三实施例的第三示例性结构的按序视图;

[0018] 图25A-27B为根据本发明的第三实施例的第三示例性结构的第一变型例的按序视图;以及

[0019] 图28A和28B为根据本发明的第三实施例的第三示例性结构的第二变型例的视图。

具体实施方式

[0020] 如上所述,本发明涉及包括亚光刻间距结构与光刻间距结构之间的互连的结构及其制造方法,现将参考附图来对其进行详细说明。相似的参考数字表示具有相同组成的相似和对应的要素。

[0021] 参考图 1A 和 1B,根据本发明第一实施例的第一示例性结构包括:衬底 10、在其顶面上形成的导电材料层 20L、介电材料层 30L 以及具有第一间距 ph1 的多个聚合物嵌段线 (polymer block line) 40。衬底 10 可以是任何类型的材料,该材料包括但不限于:半导体衬底、绝缘体衬底、导体衬底、或其组合。例如,衬底 10 可以是包括至少一个半导体器件(例如场效应晶体管)的半导体衬底。衬底 10 还可包括一个或多个介电层,所述介电层掩埋被电阻式连接至导电材料层 20L 的至少一个金属互连结构。

[0022] 导电材料层 20L 包括导电材料,例如元素金属、金属合金、导电金属化合物以及电掺杂半导体材料。例如,导电材料层 20L 可包括 W、Cu、Al、TaN、TiN、WN、金属硅化物、金属锗化物、掺杂的晶体半导体材料、掺杂的多晶半导体材料、或其组合。导电材料层 20L 的厚度可以为 5nm 至 200nm,但也可采用更薄和更厚的厚度。

[0023] 介电材料层 30L 包括介电材料,例如氧化硅、氮化硅、氮氧化硅、碳掺杂的氧化物、有机聚合物绝缘体、介电金属氧化物(诸如 HfO_2 、 Al_2O_3)、或其组合。介电材料层 30L 的厚度可以为 5nm 至 200nm,但也可采用更薄和更厚的厚度。

[0024] 多个具有第一间距 ph1 的聚合物嵌段线 40 是通过本领域中已知的方法形成的。具体而言,多个具有第一间距 ph1 的聚合物嵌段线 40 是采用自组装共聚物层形成的。将所述多个聚合物嵌段线中的图形转移到衬底 10 上的导电材料层 20L 中。导电材料层 20L 在转移图形后的剩余部分构成第一多个导电线。

[0025] 例如,将模板层(未示出)沉积在介电材料层 30L 的顶面上。对模板层构图以包括凹陷区,在凹陷区内,暴露介电材料层 30L 的顶面。模板层的凹陷区在长度方向(lengthwise direction)上的具有两个平行边缘。将包括自组装嵌段共聚物的嵌段共聚物层(未示出)施加到凹陷区中。包括两种或更多种不互溶聚合嵌段组分的嵌段共聚物层能够自组织成纳米级图形。在适合的条件下,两种或更多种不互溶聚合嵌段组分按纳米等级分离成两个或更多个不同相,由此形成隔离的纳米尺寸结构单元的有序图形。由自组装嵌段共聚物形成的隔离的纳米尺寸结构单元的这种有序图形可被用于在半导体、光学以及磁器件中制造纳米级结构单元。具体而言,如此形成的结构单元的尺寸典型地在 5 至 30nm 的范围内,这是亚光刻的(即,低于光刻工具的分辨率)。

[0026] 在 2006 年 6 月 19 日提交的共同受让、共同待决的序列号为 11/424,963 的美国专利申请中说明了示例性嵌段共聚物材料,在此以引用方式并入其内容。可用于形成本发明的结构单元的自组装嵌段共聚物的具体实例可包括但不限于:聚苯乙烯-嵌段-聚甲基丙烯酸甲酯(PS-b-PMMA)、聚苯乙烯-嵌段-聚异戊二烯(PS-b-PI)、聚苯乙烯-嵌段-聚丁二烯(PS-b-PBD)、聚苯乙烯-嵌段-聚乙烯吡啶(PS-b-PVP)、聚苯乙烯-嵌段-聚环氧乙烷(PS-b-PEO)、聚苯乙烯-嵌段-聚乙烯(PS-b-PE)、聚苯乙烯-b-聚有机硅酸盐(PS-b-POS)、聚苯乙烯-嵌段-聚二茂铁二甲基硅烷(PS-b-PFS)、聚环氧乙烷-嵌段-聚异戊二烯(PEO-b-PI)、聚环氧乙烷-嵌段-聚丁二烯(PEO-b-PBD)、聚环氧乙烷-嵌段-聚甲基丙烯酸甲酯(PEO-b-PMMA)、聚环氧乙烷-嵌段-聚乙烯基乙烯(polyethylethylene)(PEO-b-PEE)、聚丁二烯-嵌段-聚乙烯吡啶(PBD-b-PVP)以及聚异戊二烯-嵌段-聚甲基丙烯酸甲酯

(PI-b-PMMA)。

[0027] 在升高的温度下对嵌段共聚物层进行退火,以形成多个含有第一聚合嵌段组分的聚合物嵌段线 40 和含有第二聚合嵌段组分的基质(未示出)。基质是通过对嵌段共聚物层的退火而形成的结构内的所述多个聚合物嵌段线 40 的补体(complement)。在 Nealey 等人的“Self-assembling resists for nanolithography”,IEDM Technical Digest, Dec., 2005(数字对象标识符为 10.1109/IEDM.2005.1609349)中说明了对嵌段共聚物层中的自组装嵌段共聚物退火以形成两组聚合物嵌段的示例性工艺,在此以引用方式并入其内容。例如,退火可在 100℃至 300℃的温度下持续 1 小时至 100 小时执行。对所述多个聚合物嵌段线 40 有选择性地去除含有第二聚合嵌段组分的基质,以形成图 1 的结构。选择性去除工艺可以利用化学显影剂或溶剂、或利用选择性反应离子蚀刻(RIE)工艺、或二者的组合。

[0028] 第一间距 ph1 可以是亚光刻间距,即,小于平行线图形的周期性阵列的临界间距的间距。临界间距是可在任何给定时间采用可得的光刻工具印刷的最小间距,在本申请案的申请日,临界间距为约 70nm,但预期该尺寸随着可得的光刻工具的性能改进而缩小。优选地,第一间距 ph1 为 8nm 至 60nm,且更优选地,为 16nm 至 40nm,但第一间距 ph1 也可采用更小和更大的尺寸。

[0029] 参考图 2A 和 2B,例如通过采用所述多个聚合物嵌段线 40 作为蚀刻掩膜的各向异性离子蚀刻,将在多个聚合物嵌段线 40 中的亚光刻图形(即,具有至少一个亚光刻尺寸的图形)转移到介电材料层 30L 和导电材料层 20L 的叠层中。介电材料层 30L 的剩余部分构成多个介电材料部分 30。导电材料层 20L 的剩余部分构成具有第一间距 ph1 的第一多个导电线 20。第一多个导电线 20、多个介电材料部分 30 以及多个聚合物嵌段线 40 的侧壁垂直一致(coincident),即,位于相同的垂直平面中。

[0030] 第一多个导电线 20 中的每一个具有与第一垂直平面 P1 平行的一对侧壁,该第一垂直平面 P1 在第一多个导电线 20 的侧壁之一的平面中。第一多个导电线 20 的每一对侧壁沿着第一多个导电线 20 的长度方向取向。长度方向是具有较大的从一端至另一端的尺寸的方向,且与作为沿着第一间距 ph1 的方向的宽度方向(widthwise direction)垂直。多个介电材料部分 30 具有第一间距 ph1。第一多个导电线 20 也具有第一间距 ph1。对第一多个导电线 20、多个介电材料部分 30 以及衬底 10 有选择性地去除所述多个聚合物嵌段线 40。

[0031] 参考图 3A 和 3B,将光致抗蚀剂层 47 施加到衬底 10 的顶面和第一多个导电线 20 及多个介电材料部分 30 的暴露表面。对光致抗蚀剂层 47 进行光刻构图,以形成覆盖多个介电材料部分 30 的顶面的垂直侧壁。在未被光致抗蚀剂层 47 覆盖的区域中,暴露多个介电材料部分 30 及第一多个导电线 20 及衬底 10 的叠层。优选地,光致抗蚀剂层 47 的垂直侧壁位于垂直平面中,该平面在此称为第二垂直平面 P2。第一垂直平面 P1 与第二垂直平面 P2 之间的角 α 小于 45 度,优选地小于 30 度,更优选地为 5 度至 20 度。

[0032] 参考图 4A 和 4B,通过采用光致抗蚀剂层 47 作为蚀刻掩膜的各向异性蚀刻(例如反应离子蚀刻),去除多个介电材料部分 30 和第一多个导电线 20 的叠层的暴露部分。紧接在各向异性蚀刻之后,多个介电材料部分 30 及第一多个导电线 20 的端壁与第二垂直平面 P2 垂直一致,且相对于多个介电材料部分 30 和第一多个导电线 20 的侧壁(平行于第一垂

直平面 P1) 成角 α 。

[0033] 优选地,相对于在第二垂直平面 P2 内的光致抗蚀剂层 47 的侧壁和第一多个导电线 20 的端壁,多个介电材料部分 30 的端壁以恒定的距离横向凹陷,该恒定的距离在此称为横向凹陷距离 1rd。多个介电材料部分 30 的每个侧壁与第一多个导电线 20 的侧壁的平面重合 (coincide),且多个介电材料部分 30 的每个端壁从第二垂直平面 P2 偏移恒定的距离,即,横向凹陷距离 1rd。优选地,横向凹陷距离 1rd 为亚光刻尺寸,并可以为 2nm 至 20nm,但也可采用更小和更大的尺寸。

[0034] 参考图 5A 和 5B,对多个介电材料部分 30、第一多个导电线 20 以及衬底 10 有选择性地去除光致抗蚀剂层 47。多个介电材料部分 30 的每一者的一个端壁与下伏的 (underlying) 导电线 20 的端壁垂直一致,而多个介电材料部分 30 的每一者的另一个端壁以横向凹陷距离 1rd 从下伏的导电线 20 的另一个端壁横向偏移而暴露下伏的导电线 20 的顶面的一部分。

[0035] 参考图 6A 和 6B,在多个介电材料部分 30、第一多个导电线 20 以及衬底 10 之上形成第一介电层 50,且通过例如化学机械平面化 (CMP) 或自平面化 (self-planarization) 对第一介电层 50 进行平面化。第一介电层 50 包括介电材料,例如氧化硅、掺杂的硅酸盐玻璃、氮化硅、氮氧化硅、具有小于 2.7 的介电常数的自平面化低介电常数 (低 k) 材料、具有小于 2.7 的介电常数的有机硅酸盐玻璃、多孔介电材料、或其组合。

[0036] 沿着第二垂直平面 P2 形成多个过孔,使得每个过孔仅暴露一个导电线 20。具体而言,通过光刻构图第一介电层 50,沿着第二垂直平面 P2 而在第一介电层 50 中形成多个过孔。在所述多个过孔内,暴露多个介电材料部分 30 的侧壁及第一多个导电线 20 的顶面。在多个过孔内填充导电材料,以形成多个导电过孔 60。多个导电过孔 60 中的每一个接触多个导电线 20 之一的端部,且被掩埋在第一介电层 50 中。第二垂直平面 P2 与多个导电过孔 60 中的每一个相交。多个导电过孔 60 具有过孔间距 vph,该过孔间距 vph 为光刻间距,即,等于或大于可通过光刻方法形成的最小间距的间距。例如,该光刻间距可等于或大于 70nm。优选地,连接多个导电过孔 60 中的每一个的中心轴的平面与第二垂直平面 P2 重合,或与第二垂直平面 P2 平行。多个导电过孔 60 中的每一个接触第一多个导电线 20 之一的顶面和端壁。

[0037] 参考图 7A 和 7B,在第一介电层 50 之上形成第二介电层 70。第二介电层 70 包括介电材料,该介电材料可选自可被用作第一介电层 50 的任何材料。在第二介电层 70 中形成具有光刻间距的多个线沟槽。所述多个沟槽的光刻间距在此称为第二间距 ph2。

[0038] 通过沉积导电材料和平面化,在所述多个线沟槽内形成第二多个导电线 80。第二多个导电线 80 可包括可被用作第一多个导电线 20 的任何材料。第二多个导电线 80 具有第二间距 ph2,该第二间距 ph2 为光刻间距。

[0039] 第二多个导电线 80 的长度方向 (即,在包括侧壁的平面内的水平方向) 可平行于第三垂直平面 P3,该第三垂直平面 P3 为第二多个导电线 80 的侧壁之一的平面。第二多个导电线 80 中的每一个具有垂直于第一垂直平面 P1 且平行于第三垂直平面 P3 的一对侧壁。在此例中,第三垂直平面 P3 与第一垂直平面 P1 正交。在此例中,第二间距 ph2 的方向平行于第一垂直平面 P1 的方向。第二多个导电线 80 中的每一个的底面与多个导电过孔 60 之一邻接。

[0040] 或者,第一介电层 50 和第二介电层 70 可在同一沉积步骤中形成为单个介电层,且多个导电过孔 60 和第二多个导电线 80 可通过同一沉积和平面化工艺而整体地形成。

[0041] 参考图 8A 和 8B,通过施加光致抗蚀剂层 47 并光刻构图光致抗蚀剂层 47 以包括平行的与第一平面 P1 成角 α 的垂直侧壁的对,从图 2A 和 2B 的第一示例性结构获得第一示例性结构的第一变型例。该对平行的垂直侧壁相隔一光刻尺寸,即,相隔大于 35nm 的距离,且典型地相隔大于 100nm 的距离。光致抗蚀剂层 47 的垂直侧壁之一是第二垂直平面 P2。第一垂直平面 P1 与第二垂直平面 P2 之间的角 α 小于 45 度,优选地小于 30 度,更优选地为 5 度至 20 度。

[0042] 通过采用光致抗蚀剂层 47 作为蚀刻掩膜的各向异性蚀刻(例如反应离子蚀刻),去除多个介电材料部分 30 和第一多个导电线 20 的叠层的暴露部分。紧接在各向异性蚀刻之后,多个介电材料部分 30 和第一多个导电线 20 的端壁即与光致抗蚀剂层 47 的垂直侧壁垂直一致,且与第一垂直平面 P1(其平行于多个介电材料部分 30 和第一多个导电线 20 的侧壁)成角 α 。优选地,多个介电材料部分 30 的端壁以如上所述相同的方式以恒定的距离横向凹陷。随后,对多个介电材料部分 30、第一多个导电线 20 以及衬底 10 有选择性地去除光致抗蚀剂层 47。

[0043] 参考图 9A 和 9B,在多个介电材料部分 30、第一多个导电线 20 以及衬底 10 之上形成第一介电层 50,且通过例如化学机械平面化(CMP)或自平面化对第一介电层 50 进行平面化,如上所述。沿着多个导电线 20 的端壁形成多个过孔。在所述多个过孔内,暴露多个介电材料部分 30 的侧壁和第一多个导电线 20 的顶面。在多个过孔内填充导电材料,以形成多个导电过孔 60。多个导电过孔 60 中的每一个接触多个导电线 20 之一的端部,且被掩埋在第一介电层 50 中。在图 9A 中以虚线示出多个介电材料部分 30,以示例多个介电材料部分 30 与多个导电过孔 60 之间的空间对准。多个导电过孔 60 被排列成两行,这两行以与光致抗蚀剂层 47 在去除之前的两个侧壁之间的距离(见图 8A 和 8B)相同的距离而被分隔。多个导电过孔 60 在每一行中具有过孔间距 v_{ph} 。

[0044] 参考图 10A 和 10B,在第一介电层 50 之上形成第二介电层 70,如上所述。此外,以上述的相同方式形成第二多个导电线 80。第二多个导电线 80 具有第二间距 ph_2 ,该第二间距 ph_2 为光刻间距。在第一垂直平面 P1、第二垂直平面 P2 以及第三垂直平面 P3 的取向之间的关系与上述的相同。

[0045] 参考图 11A 和 11B,通过施加光致抗蚀剂层 47 并光刻构图光致抗蚀剂层 47 以包括平行的与第一平面 P1 成角 α 的垂直侧壁对,从图 2A 和 2B 的第一示例性结构获得第一示例性结构的第二变型例。该对平行的垂直侧壁相隔一光刻尺寸,即,相隔大于 35nm 的距离,典型地相隔大于 100nm 的距离。光致抗蚀剂层 47 的垂直侧壁之一是第二垂直平面 P2。第一垂直平面 P1 与第二垂直平面 P2 之间的角 α 小于 45 度,且优选地小于 30 度,且更优选地为 5 度至 20 度。

[0046] 通过采用光致抗蚀剂层 47 作为蚀刻掩膜的各向异性蚀刻(例如反应离子蚀刻),去除多个介电材料部分 30 和第一多个导电线 20 的叠层的暴露部分。紧接在各向异性蚀刻之后,多个介电材料部分 30 和第一多个导电线 20 的端壁即与光致抗蚀剂层 47 的垂直侧壁垂直一致,且与第一垂直平面 P1(其平行于多个介电材料部分 30 和第一多个导电线 20 的侧壁)成角 α 。随后去除光致抗蚀剂层 47。

[0047] 参考图 12A 和 12B, 执行倾斜的反应离子蚀刻, 使得冲击离子的方向倾斜离开第二垂直平面 P2。在图 12A 和 12B 中, 以箭头示意性示出冲击离子的方向。因此, 通过冲击离子对多个介电材料部分 30 在第二垂直平面 P2 上的端壁进行蚀刻, 而多个介电材料部分 30 在这样的平面 (在此称为“偏移平面 OP”) 上的端壁则受保护而在倾斜的反应离子蚀刻期间不会遭受冲击离子的影响, 该偏移平面 OP 与第二垂直平面 P2 平行且从第二垂直平面 P2 以光致抗蚀剂层 47 中的开口的宽度而横向偏移。优选地, 倾斜的反应离子蚀刻从多个介电材料部分 30 形成蚀刻残余物, 且第一多个导电线 20 的与偏移平面 OP 重合的端壁被介电残余间隔物 (spacer) 32 覆盖, 该介电残余间隔物 32 包括从多个介电材料部分 30 向下流动的介电材料。因此, 偏移平面 OP 中的多个介电材料部分 30 的端壁和第一多个导电线 20 的端壁被介电残余间隔物 32 所覆盖。

[0048] 参考图 13A 和 13B, 在多个介电材料部分 30、第一多个导电线 20 以及衬底 10 之上形成第一介电层 50, 且对第一介电层 50 进行平面化, 如上所述。沿着多个导电线 20 的端壁形成多个过孔。在第一介电层 50 中形成多个导电过孔 60, 如上所述。介电残余间隔物 32 保护第一多个导电线 20 的具有在偏移平面 OP 上的端壁 (即, 不具有在第二垂直平面 P2 上的端壁) 的子集的侧壁。因此, 由于介电残余间隔物 32 的存在, 避免了第一多个导电线 20 的具有在偏移平面 OP 上的端壁的子集与多个导电过孔 60 之间的不需要的电接触。

[0049] 参考图 14A 和 14B, 根据本发明的第二实施例的第二示例性结构包括: 衬底 10、形成于其顶面上的导电材料层 20L、介电材料层 30L、具有凹陷区的模板层 (template layer) 130 以及填充模板层 130 中的凹陷区的嵌段共聚物层 140。凹陷区包括: 具有恒定宽度的区域 (或“恒定宽度区域 (CWR)”) 以及至少一个与恒定宽度区域邻接且具有变动宽度的梯形区域。至少一个梯形区域中的每一个为宽度在宽度方向上变化的扩口 (flared) 区域。恒定宽度区域具有两个沿长度方向 (其为图 14A 中的平面 B-B' 的方向) 的平行边缘。至少一个梯形区域可包括与恒定宽度区域的一端邻接的第一梯形区域 (“1TZR”) 和与恒定宽度区域的另一端邻接的第二梯形区域 (“2TZR”)。衬底 10、导电材料层 20L 以及介电材料层 30L 的组成可与第一实施例中的相同。在第二实施例中, 介电材料层 30L 是可选的, 且在一些情况下, 在没有介电材料层 30L 时, 模板层 130 可直接形成于导电材料层 20L 上。模板层 130 典型地包括介电材料, 例如氮化硅、氧化硅、氮氧化硅、或半导体制造技术中已知的其它介电材料。

[0050] 包括两种或更多种不互溶聚合嵌段组分的嵌段共聚物层 140 能够自组织成纳米级图形。此外, 嵌段共聚物层 140 包括至少一个“均聚物”, 该均聚物能够在聚合物嵌段线 40 之间形成具有变动距离的亚光刻图形。均聚物是一种化学制品, 其可被加入到两种或更多种不互溶聚合嵌段组分中, 以增强具有非恒定间距的几何形状中的自对准范围。例如, 凹陷中的梯形区域为具有非恒定间距的几何形状。均聚物的非限制性实例包括 PS45K 和 PMMA46.5K。

[0051] 参考图 15A 和 15B, 将嵌段共聚物层 140 置于引起不互溶聚合嵌段组分分离和自组装的条件下。例如, 可在升高的温度下对嵌段共聚物层 140 退火。如此形成的结构单元的尺寸典型地在属于亚光刻的 5 至 30nm 的范围内。

[0052] 在适合的条件下, 嵌段共聚物层 140 分离成含有第一聚合嵌段组分的多个聚合物嵌段线 140A 以及含有第二聚合嵌段组分的嵌段组分基质 140B。多个聚合物嵌段线 140A 在

恒定宽度区域 CWR 内的部分具有属于亚光刻间距的第一间距 $ph1$ 。第一间距 $ph1$ 可以是亚光刻间距,即,小于平行线图形的周期性阵列的临界间距的间距,如上所述。优选地,第一间距 $ph1$ 为 8nm 至 60nm,且更优选地,为 16nm 至 40nm,但第一间距 $ph1$ 也可采用更小和更大的尺寸。多个聚合物嵌段线 140A 在第一和第二梯形区域 (1TZR、2TZR) 内的部分的间距随着与恒定宽度区域 CWR 的距离而增加,直到多个聚合物嵌段线 140A 形成随机图形为止。

[0053] 参考图 16A 和 16B,对多个聚合物嵌段线 140A 和介电材料层 30L 有选择性地去除嵌段组分基质 140B 和模板层 130。多个聚合物嵌段线 140A 在恒定宽度区域 CWR 中具有第一间距 $ph1$,且在第一变动间隔区域 1VSR 和第二变动间隔区域 2VSR 内在相邻的第一多个导电线的对之间具有变动距离。第一变动间隔区域 1VSR 是第一梯形区域 1TZR (见图 15A) 的一部分,在该部分中,多个聚合物嵌段线 140A 在相邻的聚合物嵌段线 140A 的对之间形成具有变动距离的非平行发散线。同样地,第二变动间隔区域 2VSR 是第二梯形区域 2TZR (见图 15A) 的一部分,在该部分中,多个聚合物嵌段线 140A 在相邻的聚合物嵌段线 140A 的对之间形成具有变动距离的非平行发散线。在第一和第二变动间隔区域 (1VSR、2VSR) 中,变动距离随着与恒定宽度区域 CWR 的端部的横向距离而增加。

[0054] 参考图 17A 和 17B,例如通过采用多个聚合物嵌段线 140A 作为蚀刻掩膜的各向异性离子蚀刻,将在多个聚合物嵌段线 140A 中的亚光刻图形 (即,具有至少一个亚光刻尺寸的图形) 转移到介电材料层 30L 和导电材料层 20L 的叠层中。介电材料层 30L 的剩余部分构成多个介电材料部分 30。导电材料层 20L 的剩余部分构成具有第一间距 $ph1$ 的第一多个导电线 20。第一多个导电线 20、多个介电材料部分 30 以及多个聚合物嵌段线 140A 的侧壁垂直一致。

[0055] 参考图 18A 和 18B,将光致抗蚀剂层 147 施加在多个聚合物嵌段线 140A、多个介电材料部分 30 以及第一多个导电线 20 的垂直叠层上以及衬底 10 的暴露部分上。对光致抗蚀剂层 147 进行光刻构图以覆盖所有恒定宽度区域 CWR 以及第一和第二变动间隔区域 (1VSR、2VSR) 的实质 (substantial) 部分。优选地,第一和第二变动间隔区域 (1VSR、2VSR) 中的每一个的至少 50%、优选 80% 的区域被光致抗蚀剂层 147 所覆盖。在对光致抗蚀剂层 147 光刻构图之后,多个聚合物嵌段线 140A 在第一和第二变动间隔区域 (1VSR、2VSR) 中在光致抗蚀剂层的每个侧壁处具有光刻间距。多个聚合物嵌段线 140A 的具有随机图形且位于第一和第二变动间隔区域 (1VSR、2VSR) 之外的部分位于被光致抗蚀剂层 147 覆盖的区域之外。

[0056] 参考图 19A 和 19B,例如通过采用光致抗蚀剂层 147 作为蚀刻掩膜的各向异性蚀刻,去除多个聚合物嵌段线 140A、多个介电材料部分 30 以及第一多个导电线 20 的叠层的暴露部分。随后,对多个介电材料部分 30、第一多个导电线 20 以及衬底 10 有选择性地去除光致抗蚀剂层 147 以及多个聚合物嵌段线 140A 的在光致抗蚀剂层 147 的区域内的剩余部分。

[0057] 多个介电材料部分 30 和第一多个导电线 20 的垂直叠层包括恒定宽度区域 CWR、第一变动间隔区域 1VSR 以及第二变动间隔区域 2VSR。第一多个导电线 20 在恒定宽度区域 CWR 内具有恒定第一间距 $ph1$,且在第一变动间隔区域 1VSR 和第二变动间隔区域 2VSR 内在相邻的第一多个导电线 20 的对之间具有变动距离 vd 。变动距离 vd 随着与恒定宽度区域 CWR 的端部的横向距离 ld 而增加。

[0058] 参考图 20A 和 20B,在多个介电材料部分 30、第一多个导电线 20 以及衬底 10 之上形成第一介电层 50,且通过例如化学机械平面化 (CMP) 或自平面化而对第一介电层 50 进行

平面化。第一介电层 50 可包含与本发明第一实施例中相同的材料。

[0059] 以第二间距 ph2 形成多个过孔,使得在每个过孔内暴露多个导电线 20 之一的顶面和侧壁表面。多个过孔可在第一变动间隔区域 1VSR 和第二变动间隔区域 2VSR 中的每一个中形成,或仅在第一变动间隔区域 1VSR 和第二变动间隔区域 2VSR 中的一者中形成。在多个过孔内填充导电材料,以形成多个导电过孔 60,所述多个导电过孔 60 可按直线对准且具有第二间距 ph2 的周期性。多个导电过孔 60 中的每一个接触多个导电线 20 之一的端部,且被掩埋在第一介电层 50 中。第二间距 ph2 为光刻间距,即,等于或大于可通过光刻方法形成的最小间距的间距。例如,此光刻间距可等于或大于 70nm。在图 20A 中,以虚线示出多个介电材料部分 30,以示例在多个介电材料部分 30 与多个导电过孔 60 之间的空间对准。

[0060] 参考图 21A 和 21B,以与第一实施例中相同的方式,在第一介电层 50 之上形成第二介电层 70。在第二介电层 70 中形成具有光刻间距的多个线沟槽。优选地,多个沟槽的光刻间距与第二间距 ph2 相同。通过沉积导电材料并进行平面化,在多个线沟槽内形成第二多个导电线 72。第二多个导电线 72 可包括可被用作第一多个导电线 20 的任何材料。优选地,第二多个导电线 72 具有第二间距 ph2。

[0061] 第二多个导电线 80 的长度方向,即,在包括侧壁的平面中的水平方向,可与第一多个导电线 20 的长度方向相同。第二多个导电线 80 中的每一个的底面邻接多个导电过孔 60 之一。

[0062] 或者,第一介电层 50 和第二介电层 70 可在同一沉积步骤中形成为单个介电层,且多个导电过孔 60 和第二多个导电线 80 可通过同一沉积和平面化工艺而整体地形成。

[0063] 参考图 22A 和 22B,根据本发明的第三实施例的第三示例性结构包括:衬底 10 以及介电层 210,其中介电层 210 包括具有第一间距 ph1 的第一多个线沟槽 212。衬底 10 可与第一和第二实施例中的相同。介电层 210 可包括可在第一和第二实施例中被用作第一介电层 50 的相同材料。

[0064] 可采用自组装嵌段共聚物形成第一多个线沟槽 212。通过各向异性蚀刻将多个聚合物嵌段线中的图形转移到介电层 210 中。例如,将模板层(未示出)沉积在介电层 210 的顶面上。对模板层构图以包括凹陷区,在该凹陷区内,暴露介电层 210 的顶面。模板层的凹陷区在长度方向上具有两个平行边缘。将包括自组装嵌段共聚物的嵌段共聚物层(未示出)施加到凹陷区中,并诱使嵌段共聚物层自组装,如在第一和第二实施例中一样。一旦嵌段共聚物层转变成含有第一聚合嵌段组分的多个聚合物嵌段线(未示出)和含有第二聚合嵌段组分的聚合嵌段基质(未示出)的组合,则对聚合嵌段基质和模板层有选择性地去除多个聚合物嵌段线。将在聚合嵌段基质内的开口的图形转变到介电层 210 中,以形成第一多个线沟槽 212。对介电层 210 有选择性地去除聚合嵌段基质和模板层,以提供图 22A 和 22B 的第三示例性结构。

[0065] 第一间距 ph1 可以是亚光刻间距。优选地,第一间距 ph1 为 8nm 至 60nm,且更优选地为 16nm 至 40nm,但第一间距 ph1 也可采用更小和更大的尺寸。

[0066] 参考图 23A 和 23B,通过光刻手段,在第一多个线沟槽 212 的端部上形成第二多个线沟槽 214。例如,可施加光致抗蚀剂层(未示出)并对其进行光刻构图,以在光致抗蚀剂层中形成开口。将光致抗蚀剂层中的开口的图形转移到介电层 210 中,以形成第二多个线沟槽 214。第二多个线沟槽 214 具有第二间距 ph2,该第二间距 ph2 为光刻间距。第二多个

线沟槽 214 中的每一个横向邻接且连接至第一多个线沟槽 212 中的至少一个。第二多个线沟槽 214 中的至少一个横向邻接且连接至第一多个线沟槽 212 中的至少两个。

[0067] 参考图 24A 和 24B, 同时在第一多个线沟槽 212 和第二多个线沟槽 214 内沉积导电材料。该导电材料可以是如第一和第二实施例中被用作第一多个导电线 20 的任何材料。通过平面化, 从介电层 210 的顶面上方去除过量的导电材料。导电材料的在第一多个线沟槽 212 内的剩余部分构成第一多个导电线 222, 且导电材料的在第二多个线沟槽 214 内的剩余部分构成第二多个导电线 224。

[0068] 第一多个导电线 222 被掩埋在介电层 210 中且具有第一间距 $ph1$, 第二多个导电线 224 被掩埋在介电层 210 中且具有第二间距 $ph2$ 。第二间距 $ph2$ 为光刻间距且大于第一间距 $ph1$, 第一间距 $ph1$ 为亚光刻间距。第一多个导电线 222 中的每一个通过整体构造 (即, 由于形成成为单个连续件) 而被电阻式连接至第二多个导电线 224 中的至少一个。第二多个导电线 224 中的至少一个通过整体构造而被电阻式连接至第一多个导电线 222 中的至少两个。第一多个导电线 222 和第二多个导电线 224 具有相同的导电材料。第一多个导电线 222 和第二多个导电线 224 具有彼此共面的顶面。第一多个导电线 222 的侧壁表面与第二多个导电线 224 的侧壁表面彼此平行。在第一多个导电线 222 的侧壁表面和第二多个导电线 224 的侧壁表面中的水平方向是第一多个导电线 222 和第二多个导电线 224 的侧壁表面的长度方向。

[0069] 参考图 25A 和 25B, 通过在第一多个线沟槽 212 内沉积第一导电材料且通过平面化从介电层 210 的顶面之上去除过量的第一导电材料, 从图 22A 和 22B 中的第三示例性结构获得第三示例性结构的第一变型例。第一导电材料的在第一多个线沟槽 212 内的剩余部分构成第一多个导电线 222。第一多个导电线 222 被掩埋在介电层 210 中, 且具有第一间距 $ph1$, 该第一间距 $ph1$ 为亚光刻间距。

[0070] 参考图 26A 和 26B, 通过光刻手段, 在第一多个导电线 222 的端部上形成第二多个线沟槽 214。例如, 可施加光致抗蚀剂层 (未示出) 并对其进行光刻构图, 以在光致抗蚀剂层中形成开口。将光致抗蚀剂层中的开口的图形转移到介电层 210 中, 以形成第二多个线沟槽 214。第二多个线沟槽 214 具有第二间距 $ph2$, 该第二间距 $ph2$ 为光刻间距。在第二多个线沟槽 214 的每一个内暴露第一多个导电线 222 的至少一个端壁。第二多个线沟槽 214 中的至少一个横向邻接且连接至第一多个线沟槽 212 中的至少两个。

[0071] 参考图 27A 和 27B, 在第二多个线沟槽 214 内沉积第二导电材料。通过平面化, 从介电层 210 的顶面上方去除过量的第二导电材料。第二导电材料的在第二多个线沟槽 214 内的剩余部分构成第二多个导电线 224。第二多个导电线 224 被掩埋在介电层 210 中且具有第二间距 $ph2$ 。第二间距 $ph2$ 为光刻间距且大于第一间距 $ph1$, 第一间距 $ph1$ 为亚光刻间距。第一多个导电线 222 中的每一个通过直接接触而被电阻式连接至第二多个导电线 224 中的至少一个。第二多个导电线 224 中的至少一个通过直接接触而被电阻式连接至第一多个导电线 222 中的至少两个。第一多个导电线 222 和第二多个导电线 224 可具有相同的导电材料, 或可具有不同的导电材料。第一和第二导电材料中的每一者可以是可在第一和第二实施例中被用作第一多个导电线 20 的任何材料。第一多个导电线 222 和第二多个导电线 224 具有彼此共面的顶面。第一多个导电线 222 的侧壁表面与第二多个导电线 224 的侧壁表面彼此平行。在第一多个导电线 222 的侧壁表面和第二多个导电线 224 的侧壁表面中

的水平方向是第一多个导电线 222 和第二多个导电线 224 的侧壁表面的长度方向。

[0072] 参考图 28A 和 28B, 通过在介电层 210 之上形成第一介电层 50, 从图 25A 和 25B 的第三示例性结构的第一变型例获得第三示例性结构的第二变型例。以第二间距 ph_2 在第一介电层 50 内以及可选地在介电层 210 的下伏部分中形成多个过孔, 使得在每个过孔内暴露第一多个导电线 222 中的至少一个的顶面。可选地, 可去除第一介电层 210 的下伏区域, 以便还暴露第一多个导电线 222 的侧壁。在多个过孔内填充导电材料以形成多个导电过孔 60, 所述多个导电过孔 60 可按直线对准且具有第二间距 ph_2 的周期性。第二间距 ph_2 为光刻间距, 即, 等于或大于可通过光刻方法形成的最小间距的间距。例如, 此光刻间距可等于或大于 70nm。

[0073] 以与本发明第一实施例中相同的方式, 在第一介电层 50 之上沉积第二介电层 70。通过光刻手段, 在第二介电层 70 中形成第二多个线沟槽。例如, 可施加光致抗蚀剂层 (未示出) 并对其进行光刻构图, 以在光致抗蚀剂层中形成开口。将光致抗蚀剂层中的开口的图形转移至第二介电层 70 中, 以形成第二多个线沟槽。用第二导电材料填充第二多个线沟槽并进行平面化, 以形成具有第二间距 ph_2 的第二多个导电线 224。

[0074] 第一多个导电线 222 中的每一个通过直接接触而被电阻式连接至第二多个导电线 224 中的至少一个。第二多个导电线 224 中的至少一个通过多个导电过孔 60 的一个而被电阻式连接至第一多个导电线 222 中的至少两个。第一和第二导电材料中的每一者可以是可在第一和第二实施例中被用于第一多个导电线 20 的任何材料。第一多个导电线 222 与第二多个导电线 224 以距离 d 垂直分隔, 且第二多个导电线 224 中的每一个接触与第一多个导电线 222 中的至少一个接触的导电过孔 60。多个导电过孔 60 中的至少一个接触第一多个导电线 222 中的至少两个。第一多个导电线 222 中的一些可被电阻式连接至多个导电过孔 60 中的仅一个和第二多个导电线 224 中的仅一个。多个导电过孔 60 中的至少一个被电阻式连接至第一多个导电线 222 中的至少两个。多个导电过孔 60 中的每一个可被电阻式连接至第二多个导电线 224 中的仅一个。第一多个导电线 222 的侧壁表面与第二多个导电线 224 的侧壁表面彼此平行。在第一多个导电线 222 的侧壁表面和第二多个导电线 224 的侧壁表面中的水平方向是第一多个导电线 222 和第二多个导电线 224 的侧壁表面的长度方向。

[0075] 虽然已针对特定实施例说明了本发明, 但很明显, 本领域技术人员从上述说明应明白可进行许多替代、修改和变化。因此, 本发明旨在涵盖落在本发明的范围和精神以及以下权利要求内的所有这些替代、修改和变化。

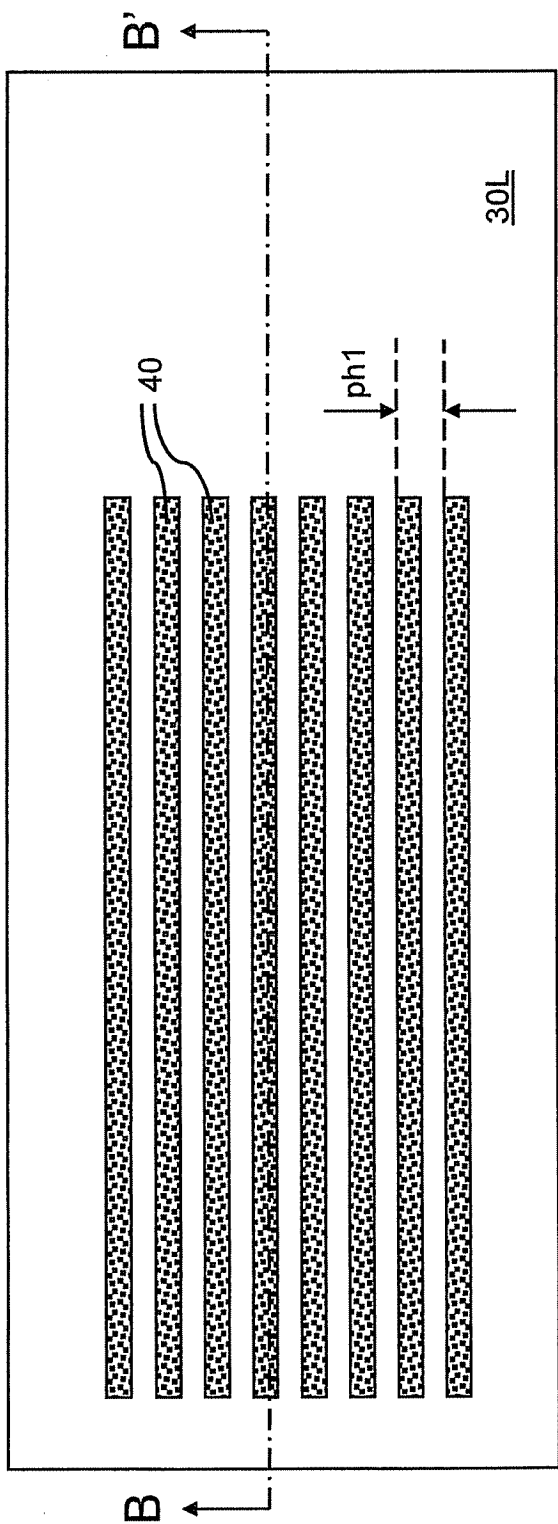


图 1A

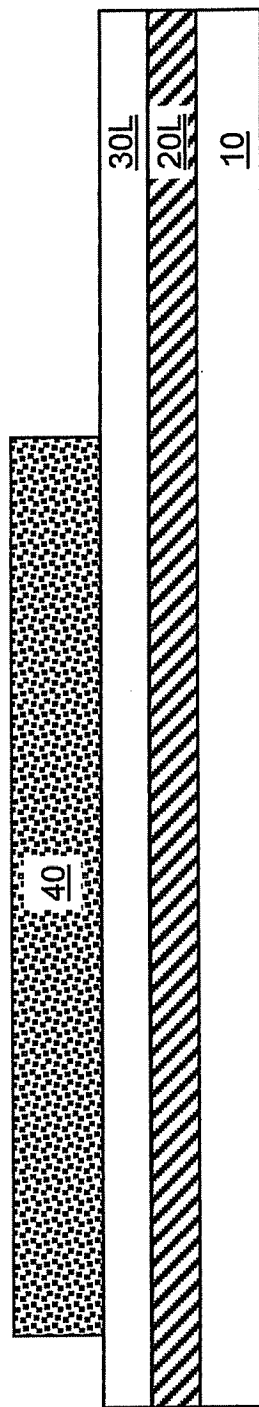


图 1B

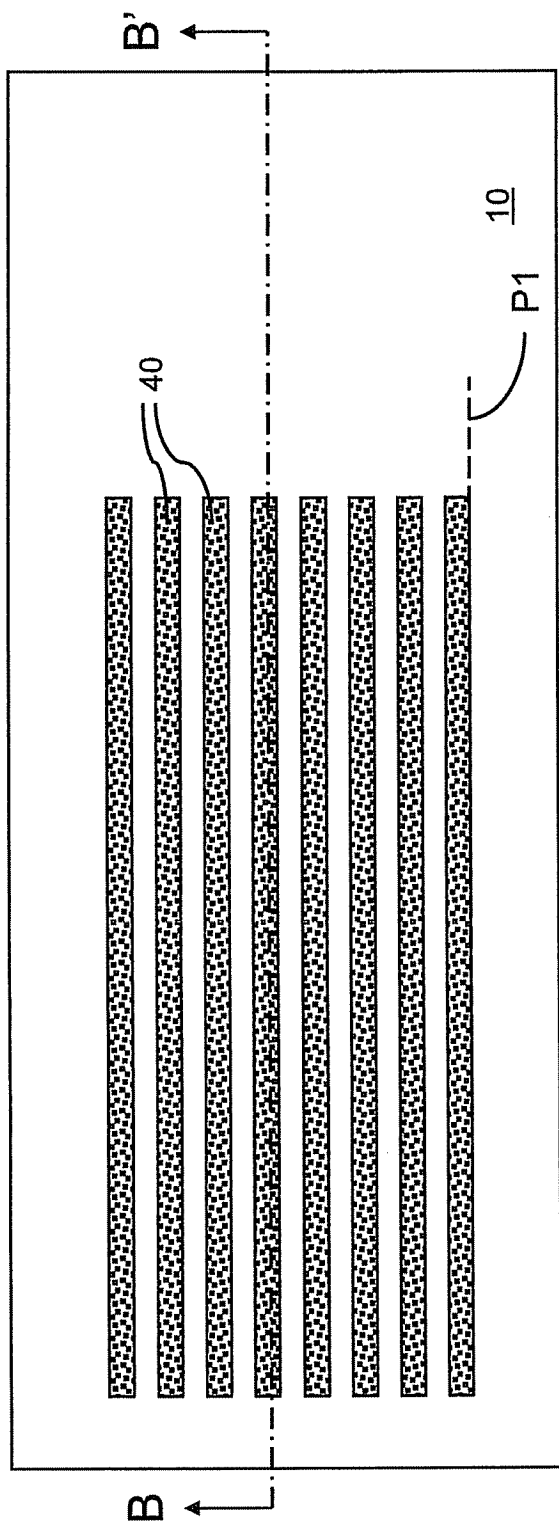


图 2A

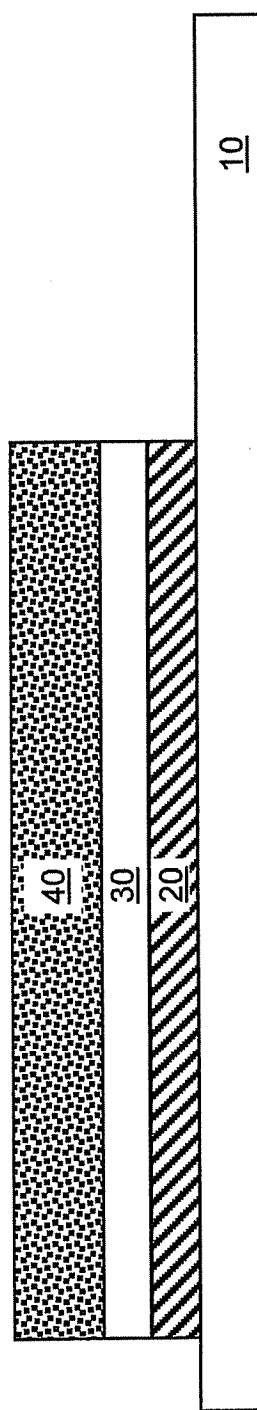


图 2B

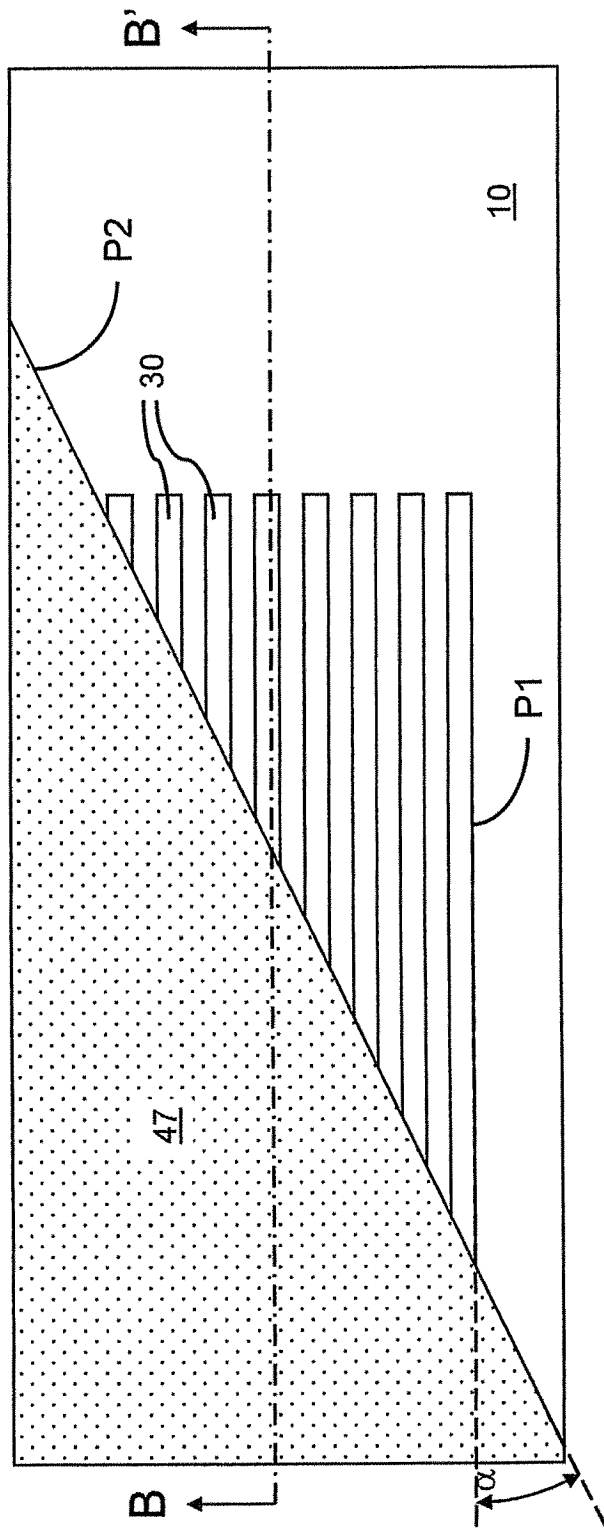


图 3A

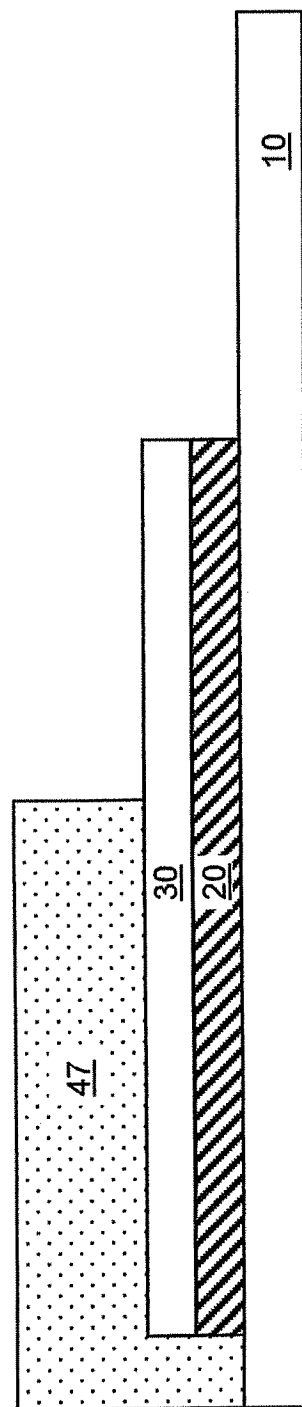


图 3B

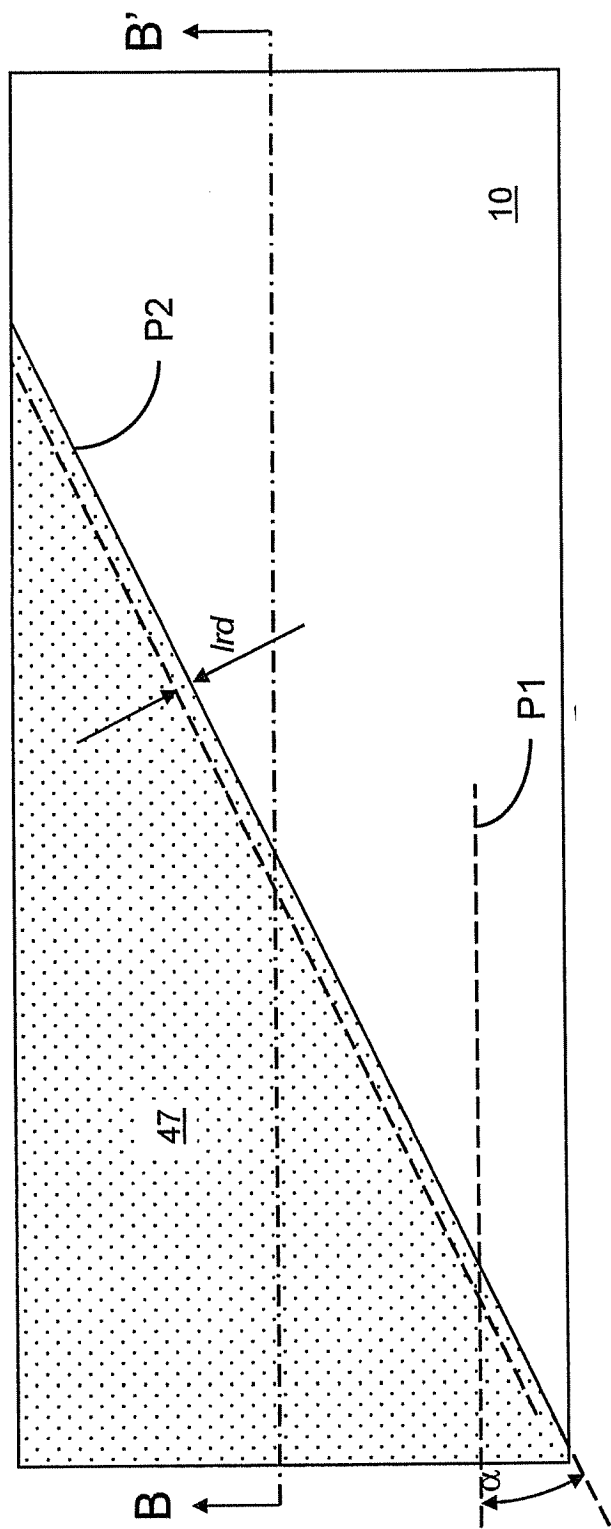


图 4A

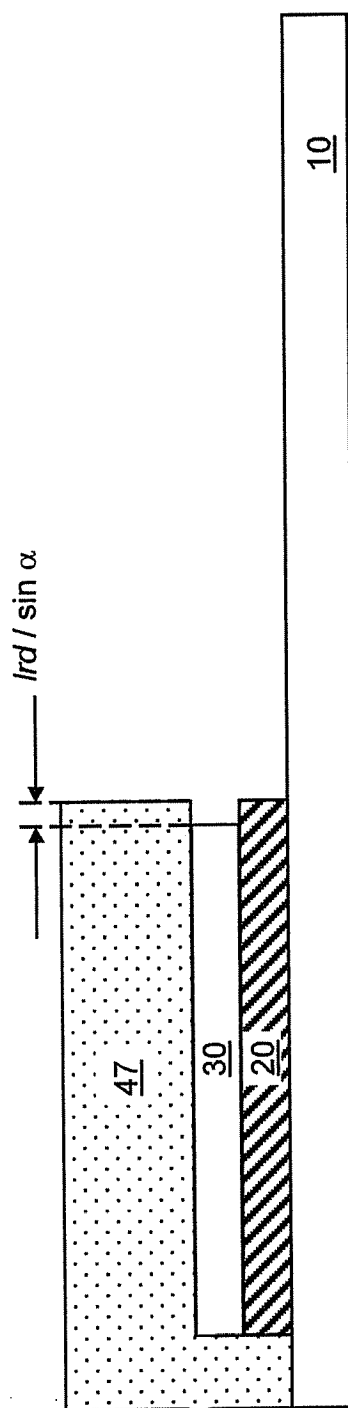


图 4B

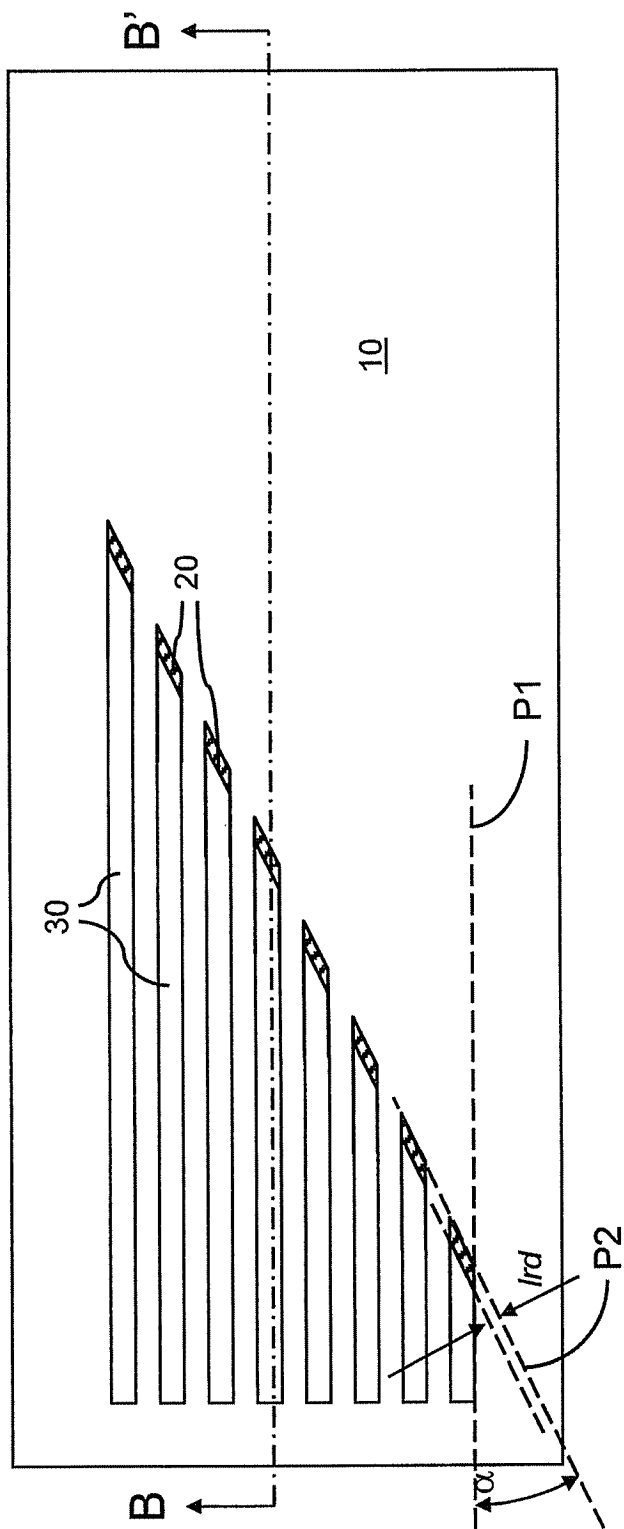


图 5A

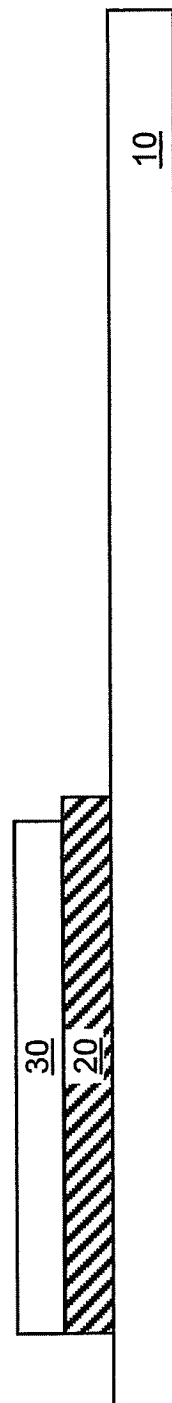


图 5B

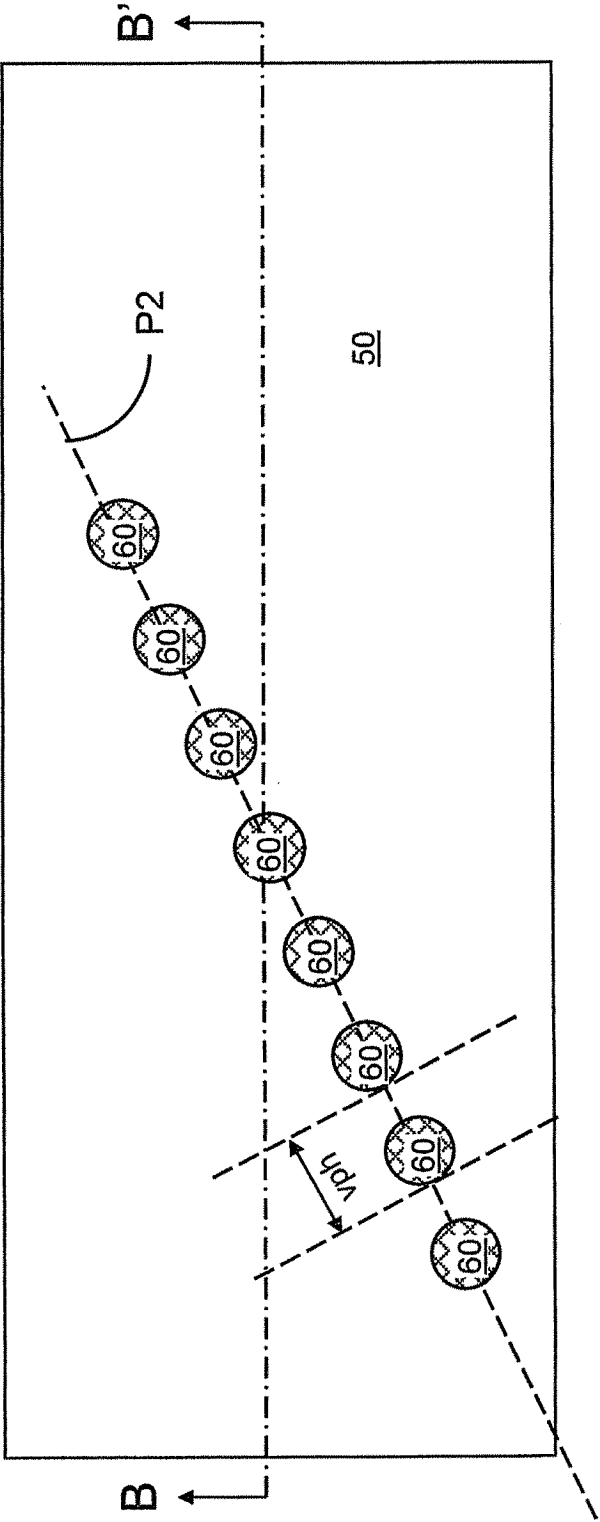


图 6A

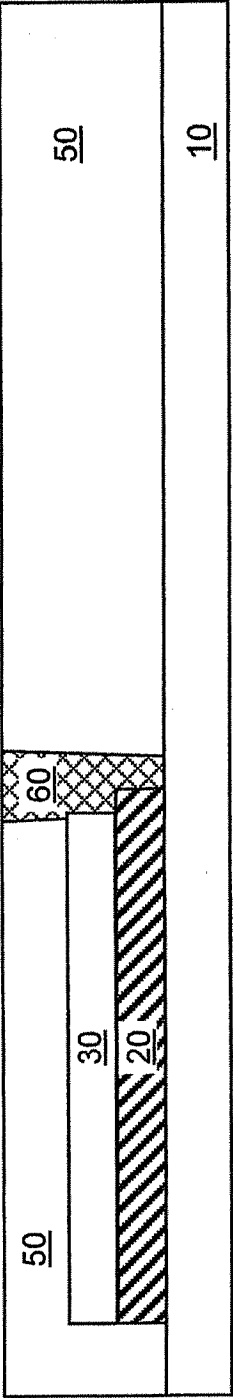


图 6B

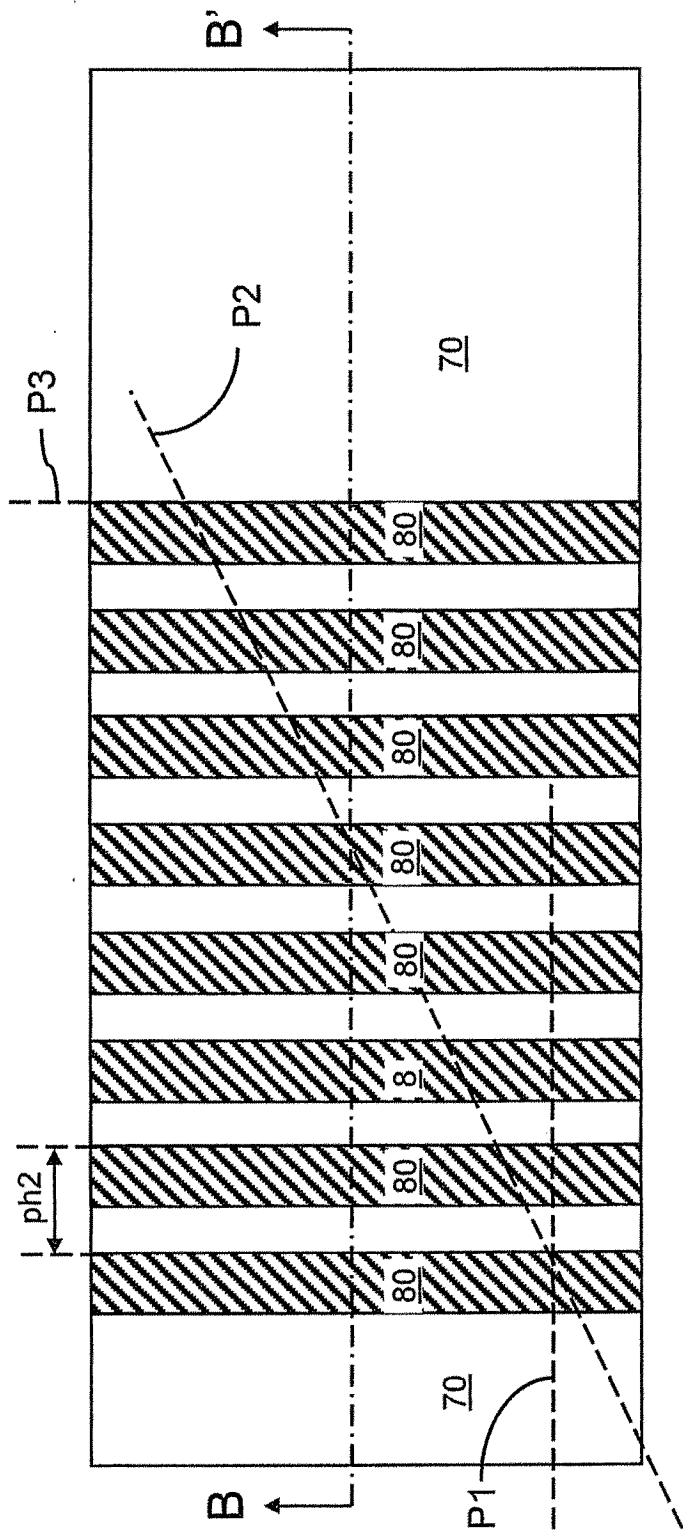


图 7A

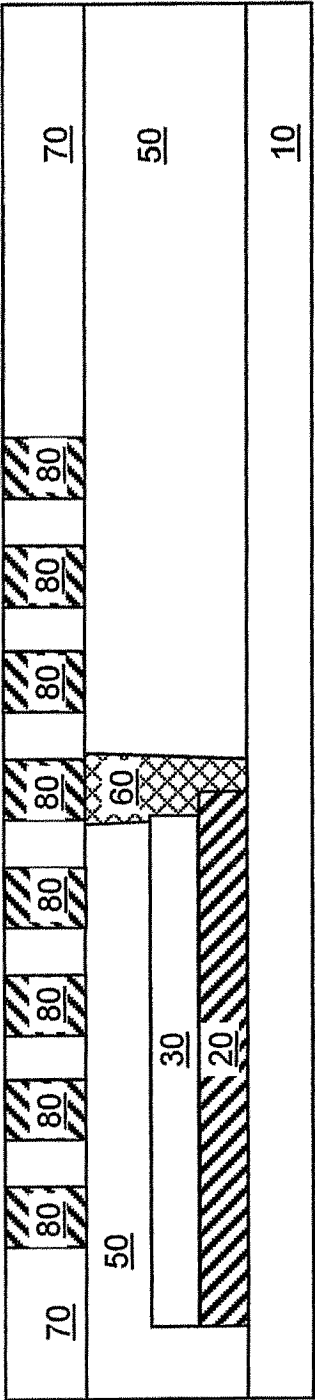


图 7B

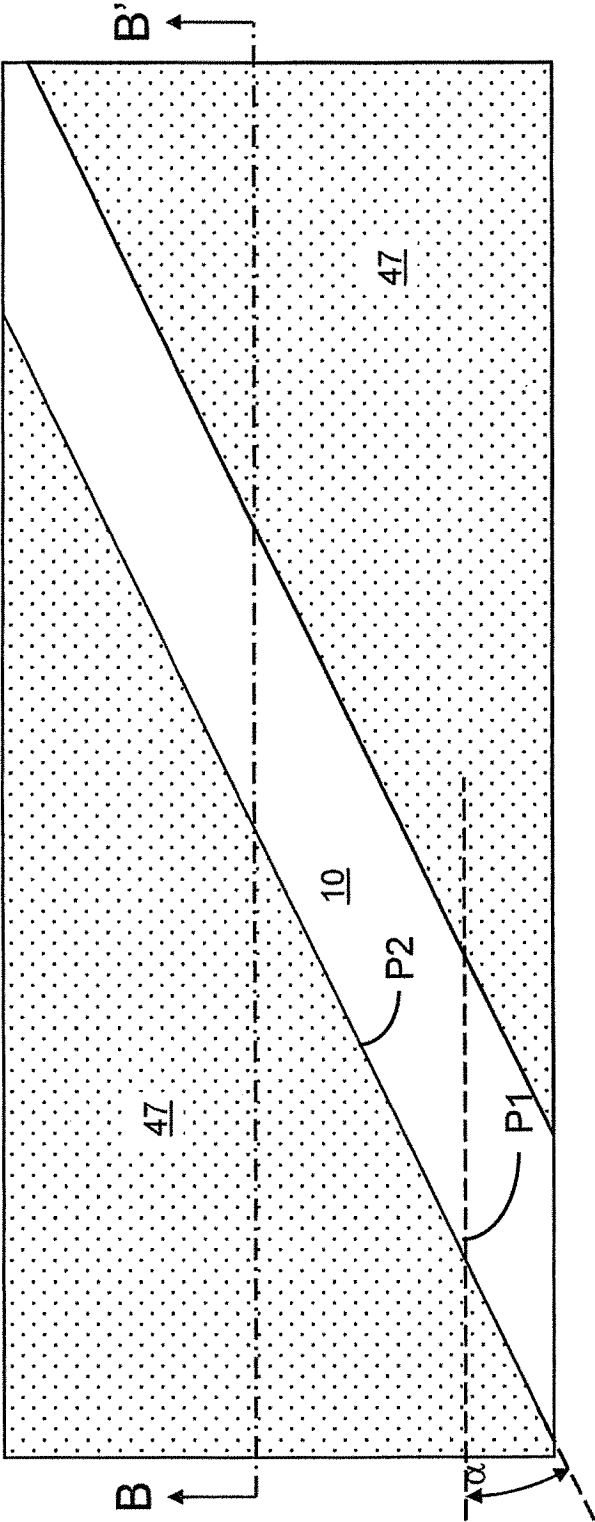


图 8A

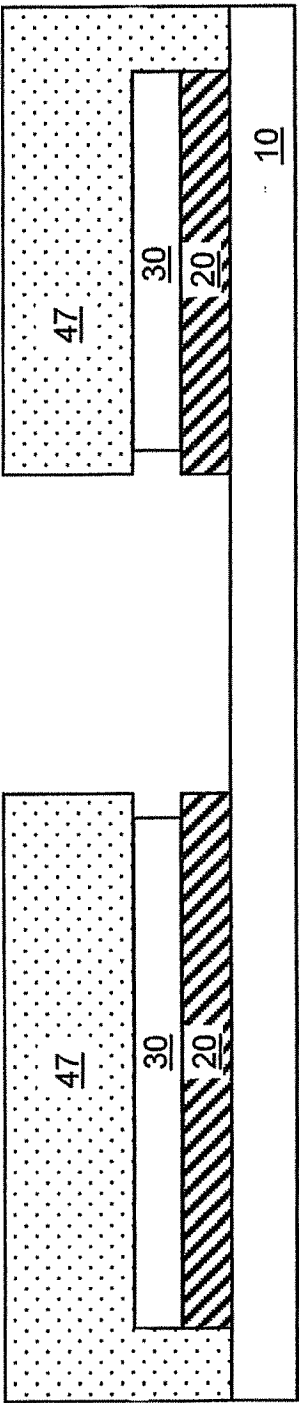


图 8B

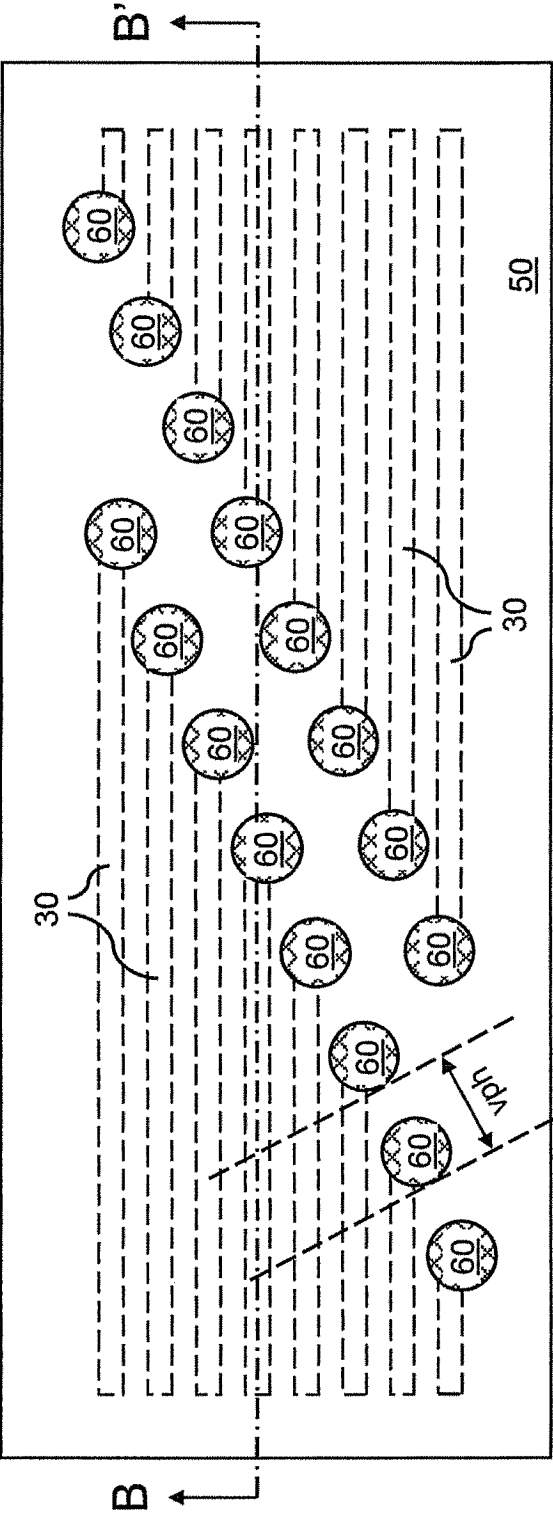


图 9A

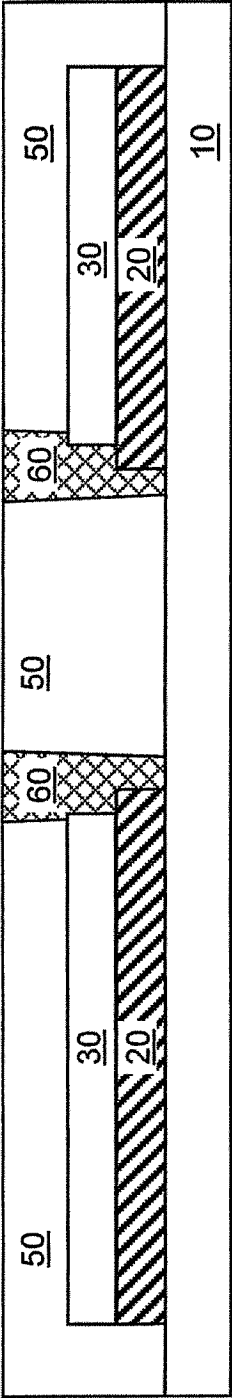


图 9B

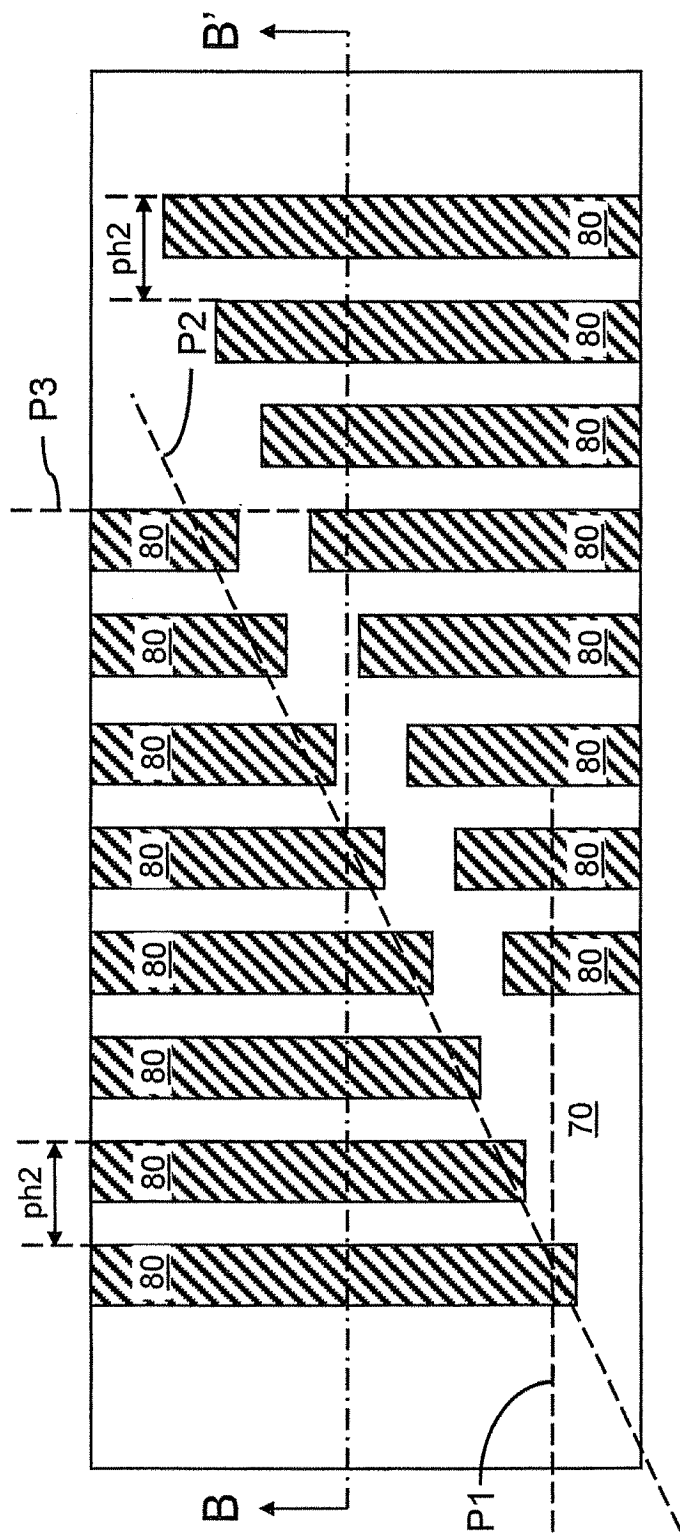


图 10A

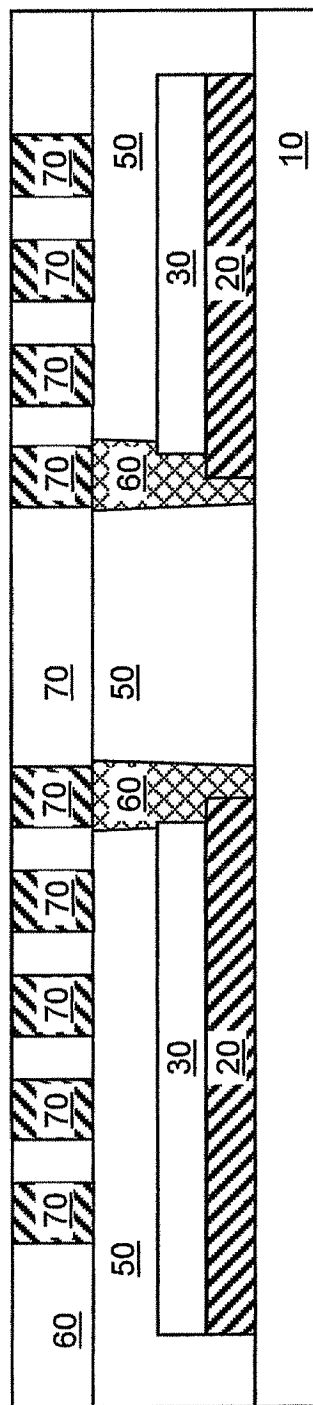


图 10B

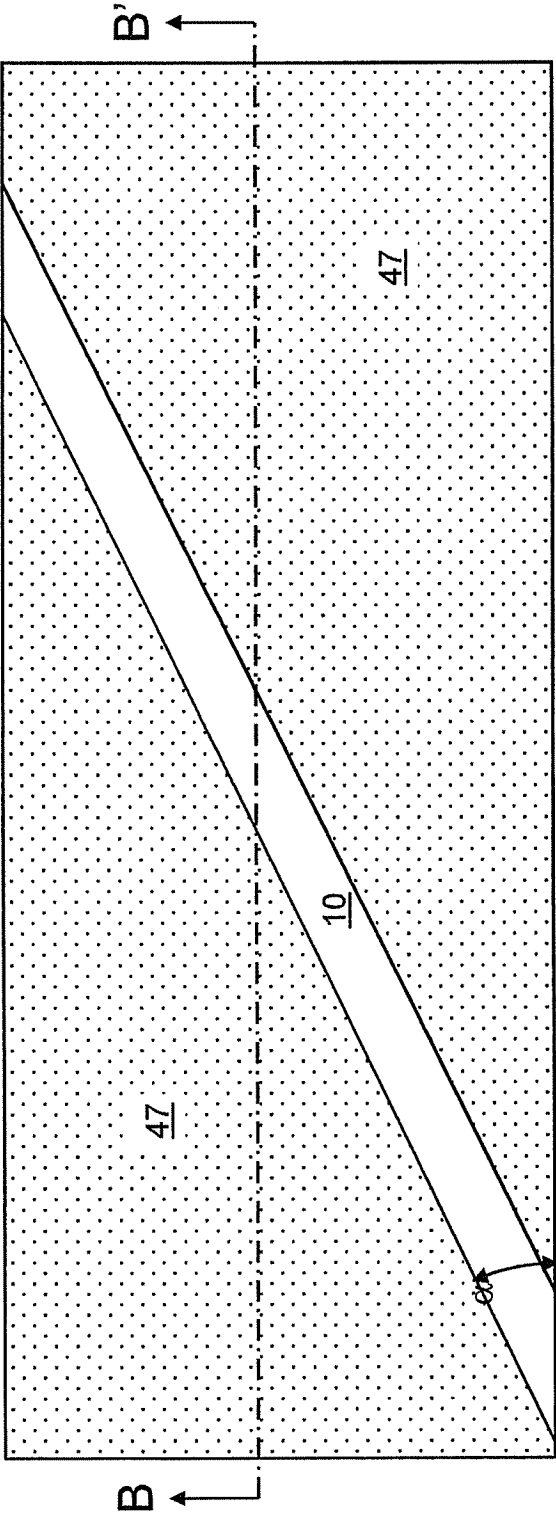


图 11A

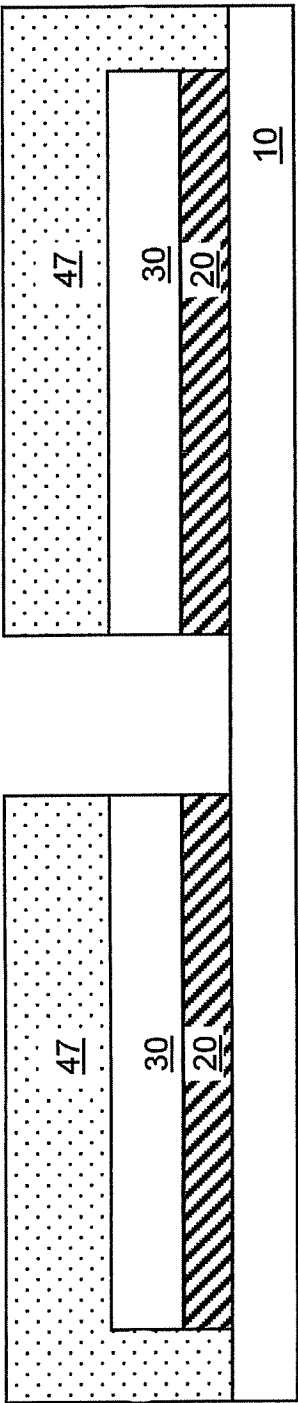


图 11B

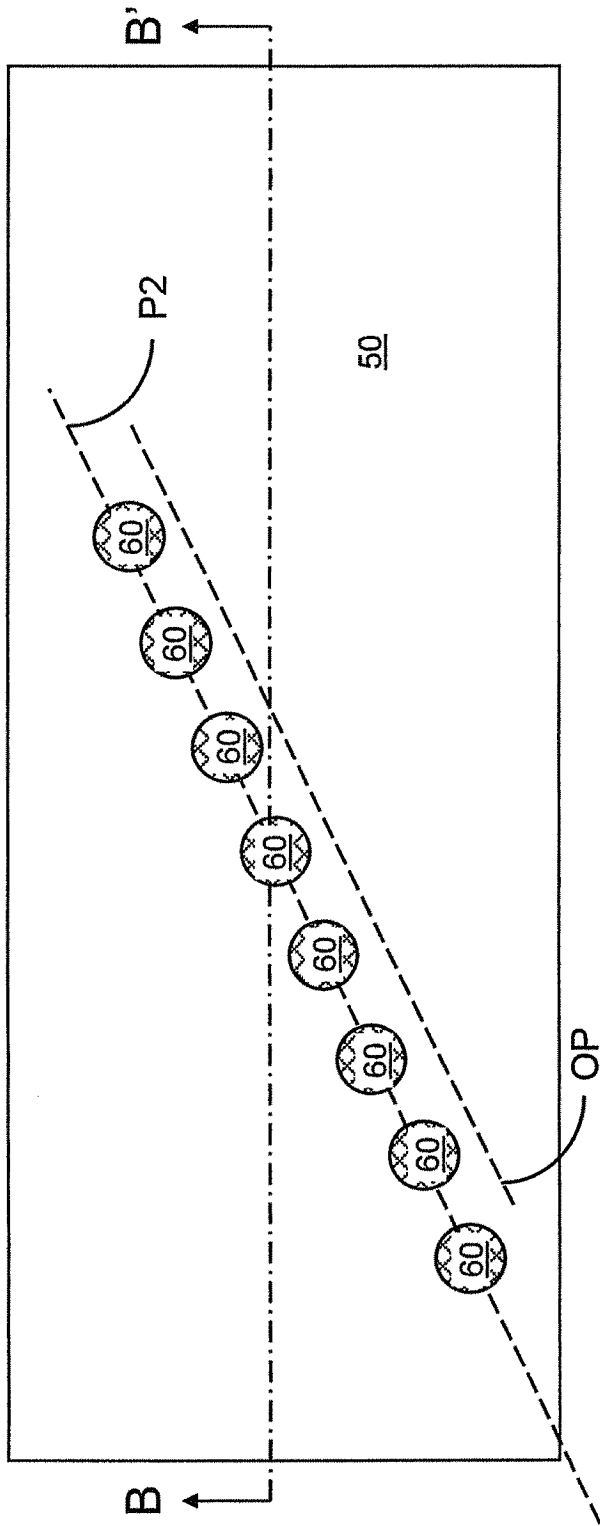


图 13A

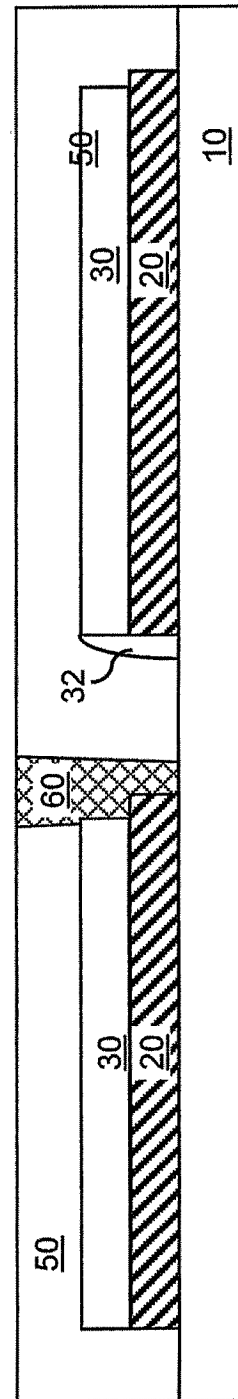


图 13B

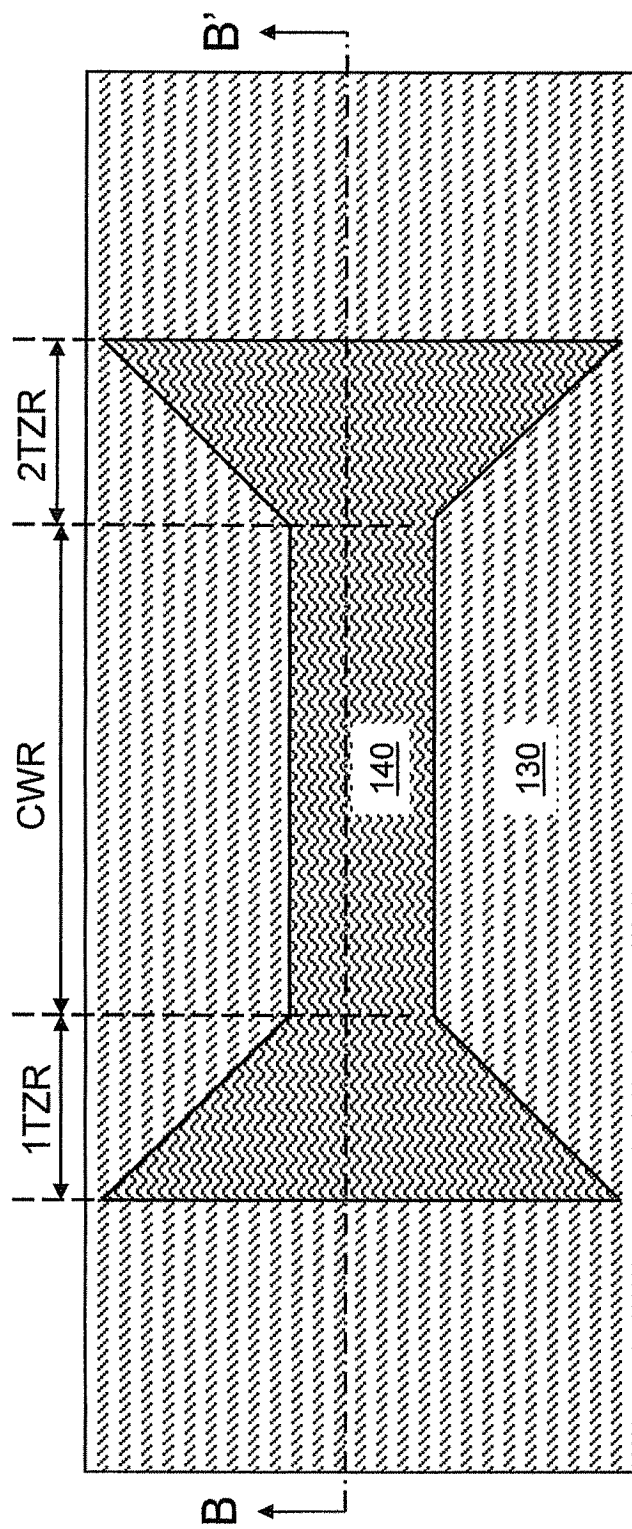


图 14A

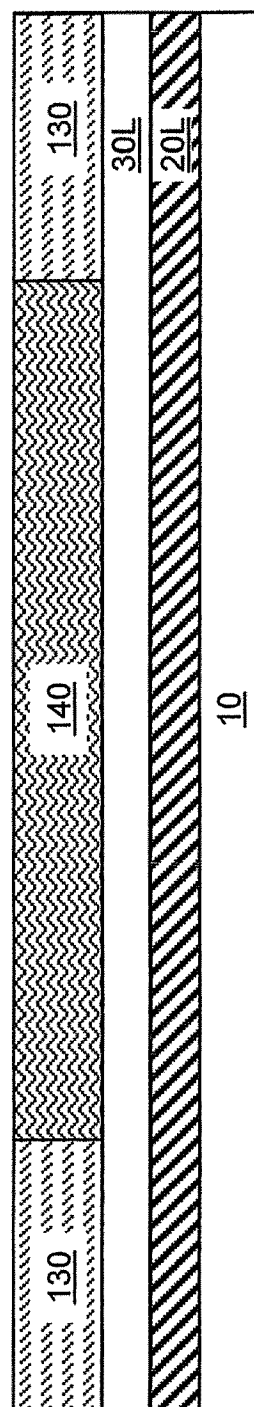


图 14B

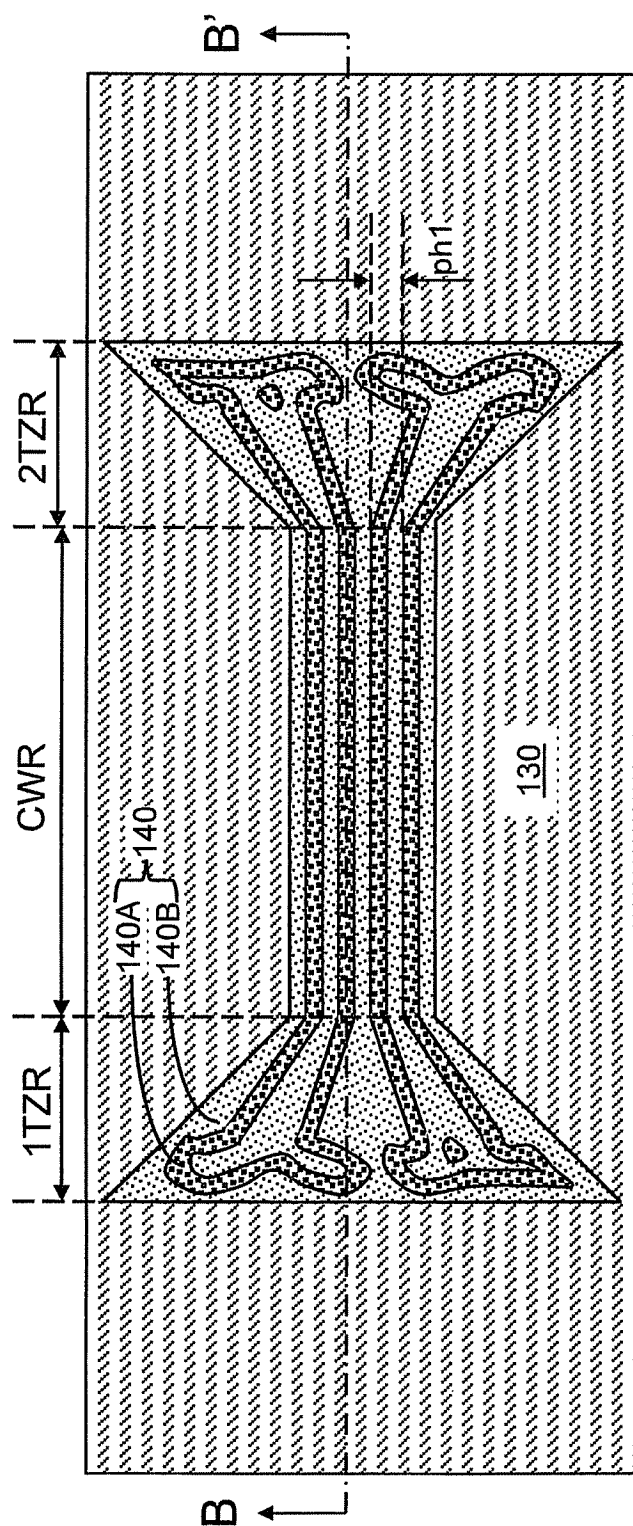


图 15A

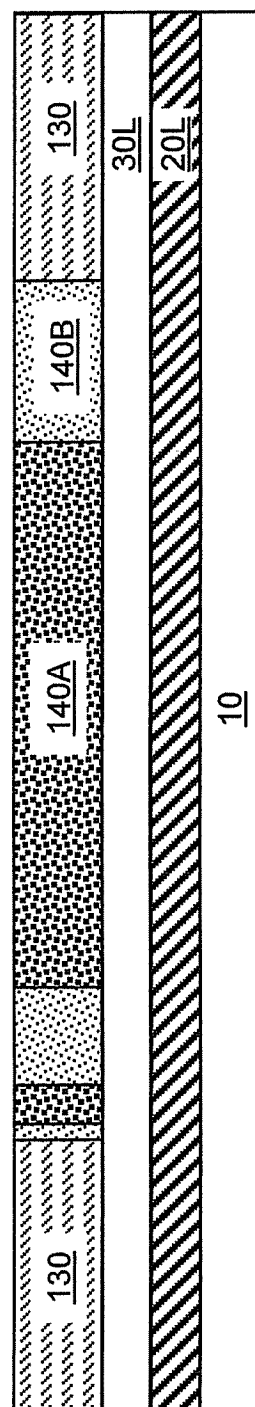


图 15B

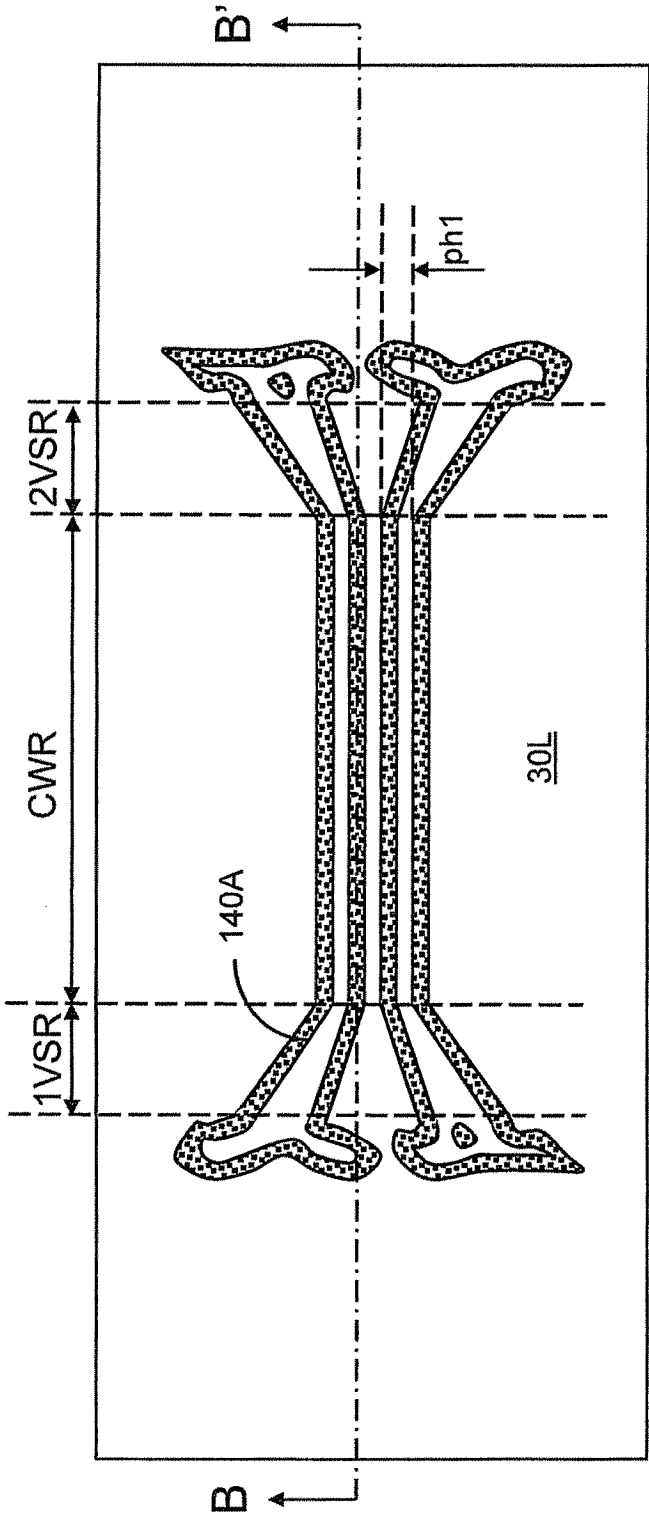


图 16A

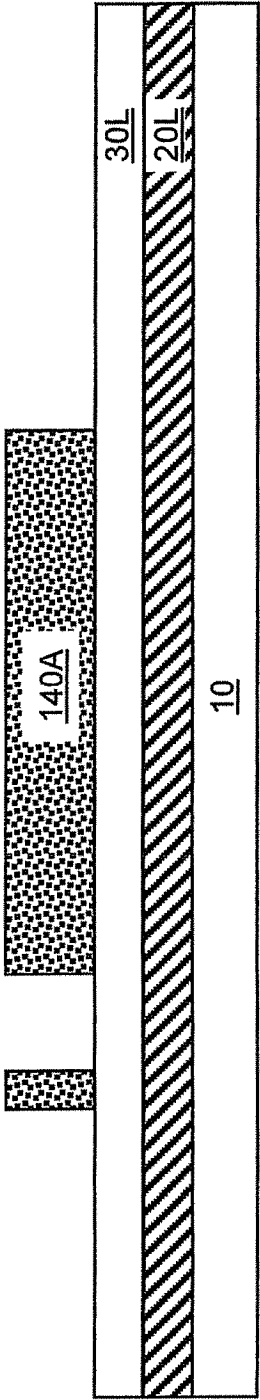


图 16B

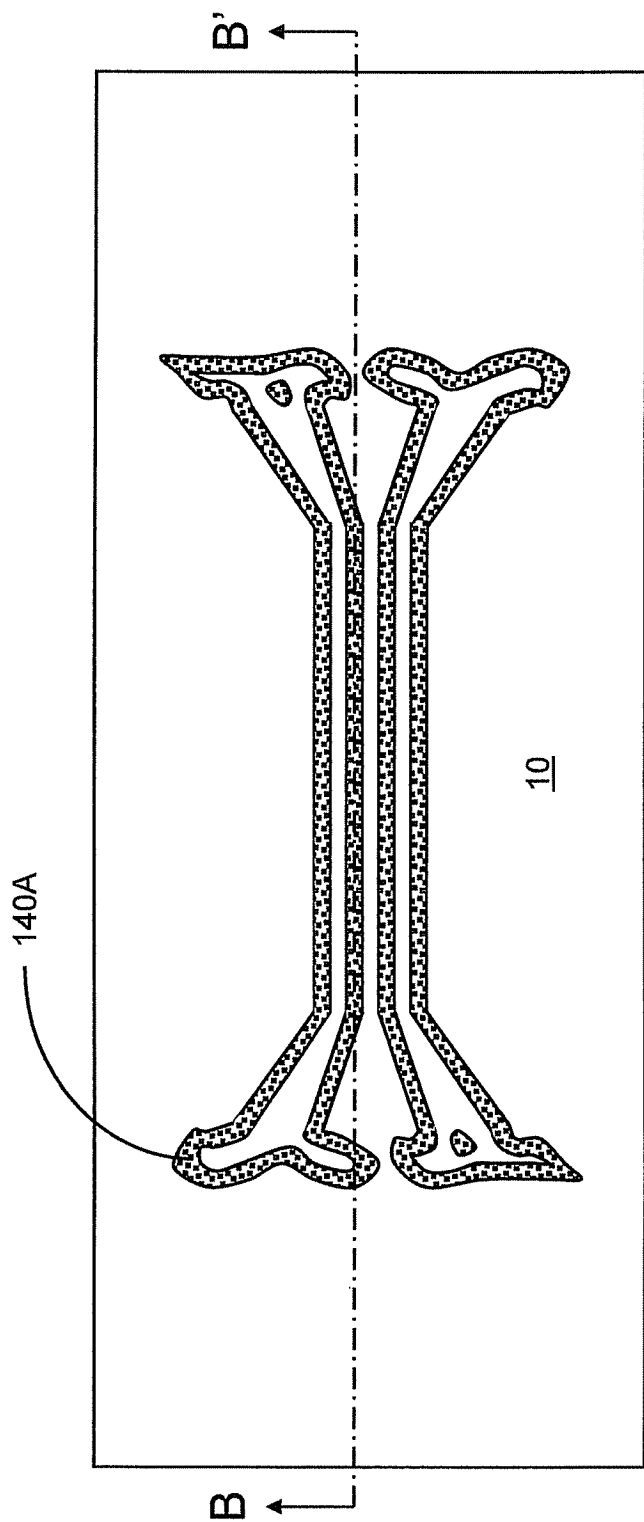


图 17A

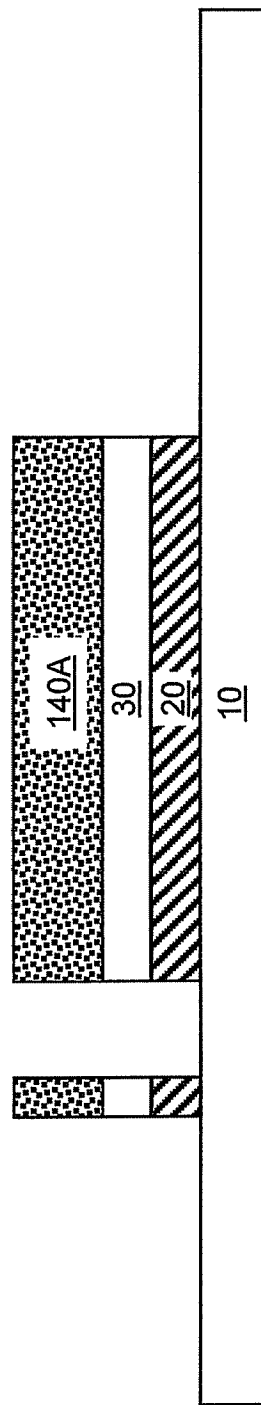


图 17B

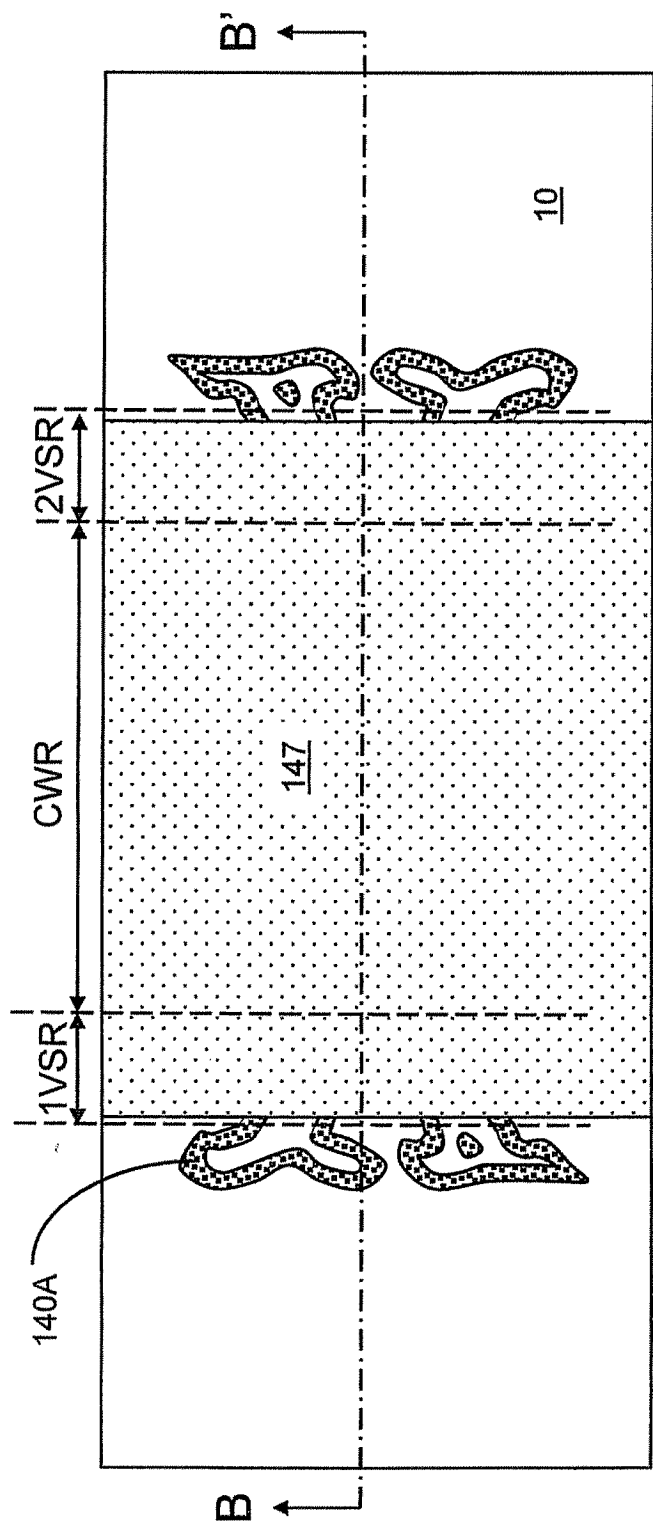


图 18A

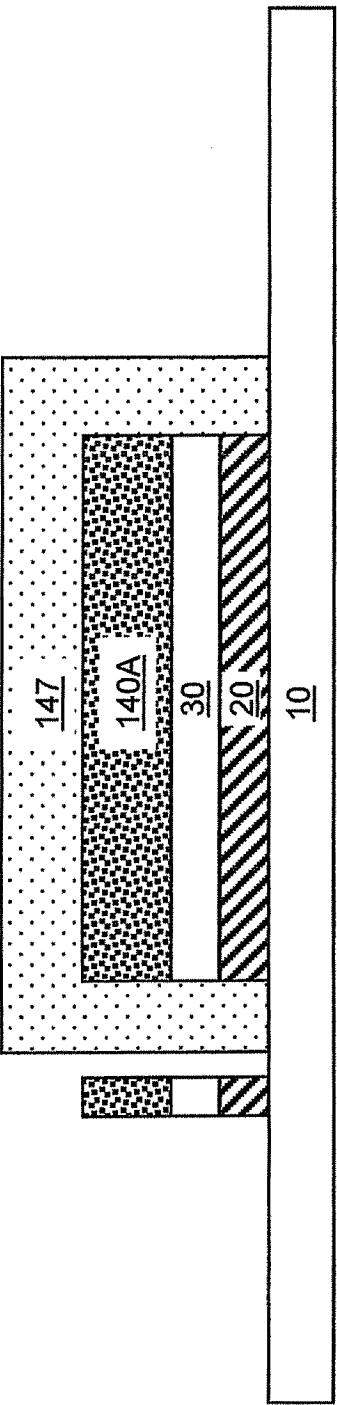


图 18B

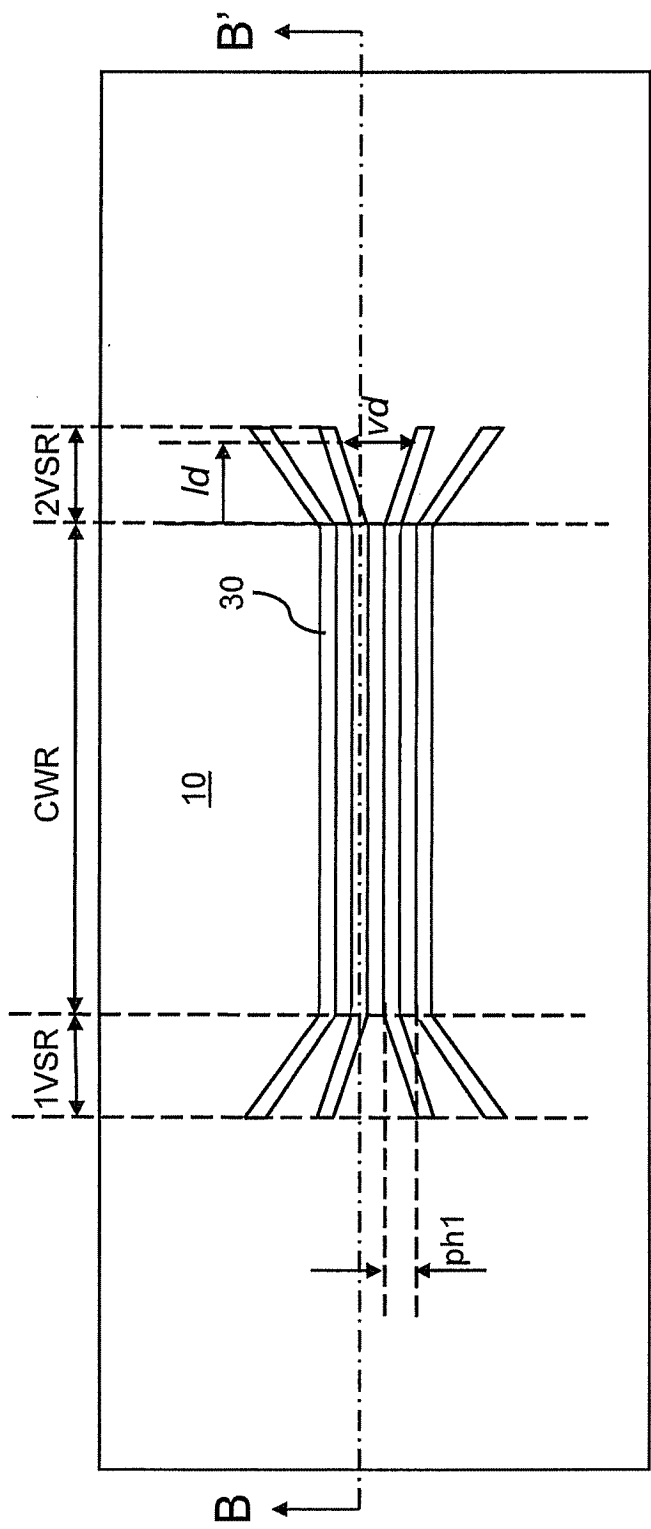


图 19A

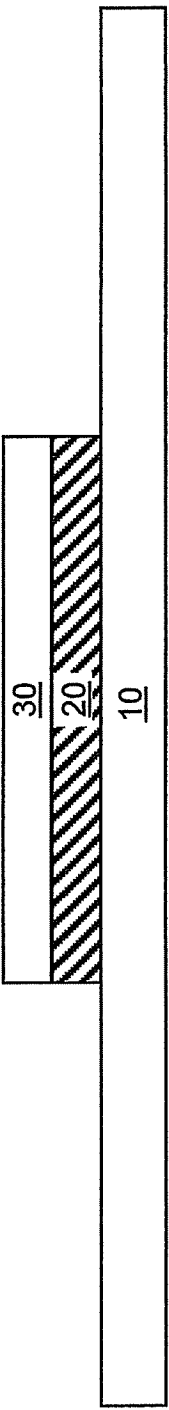


图 19B

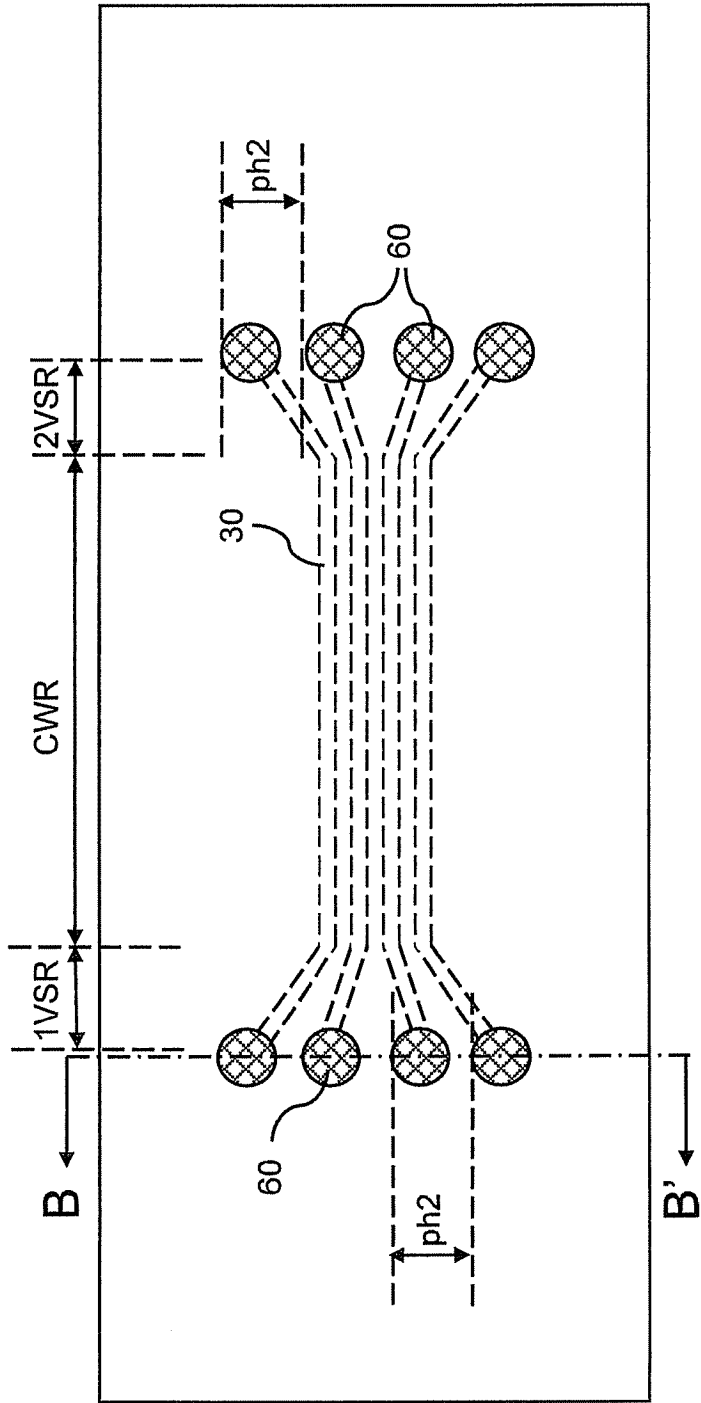


图 20A

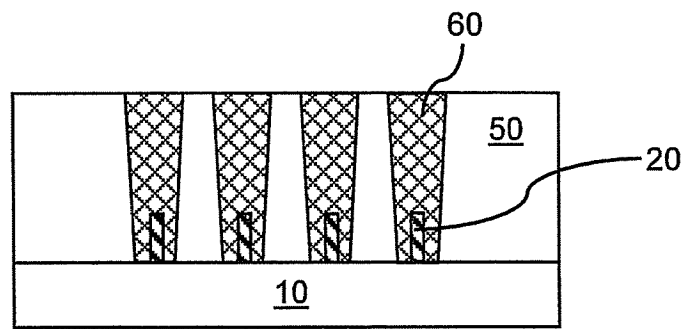


图 20B

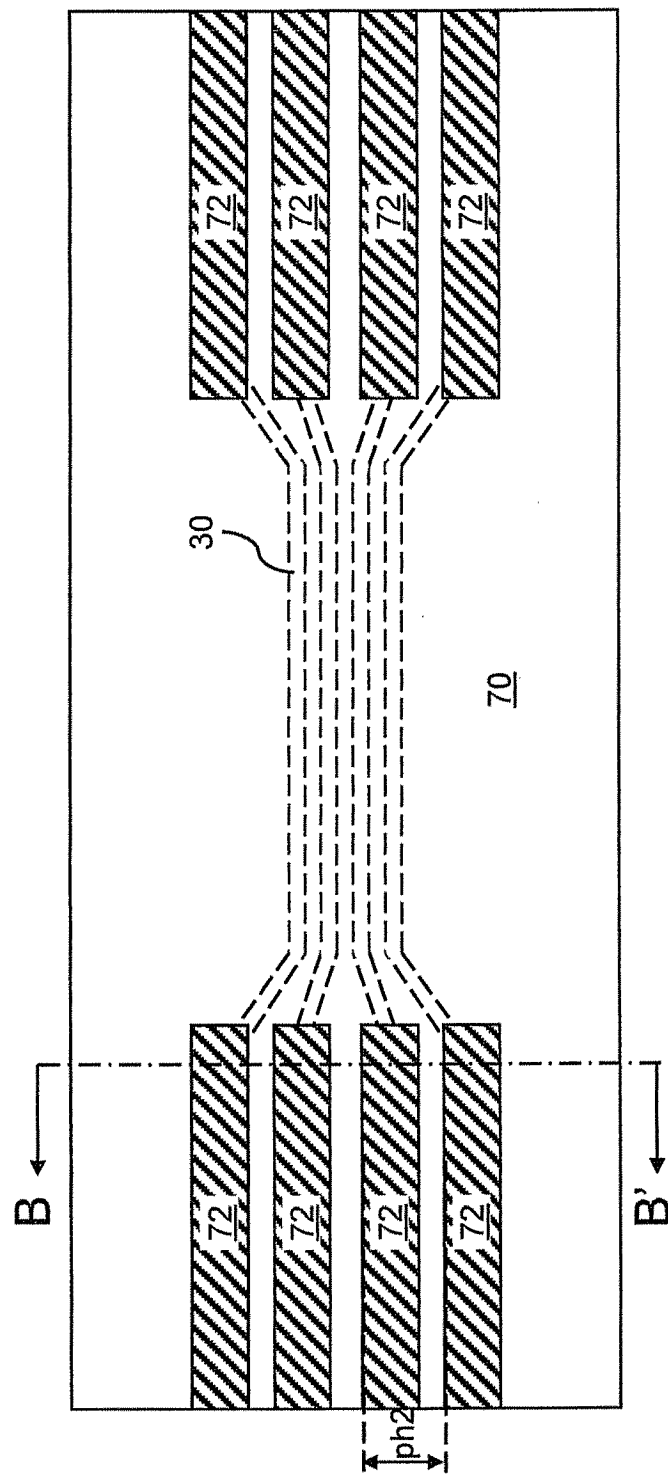


图 21A

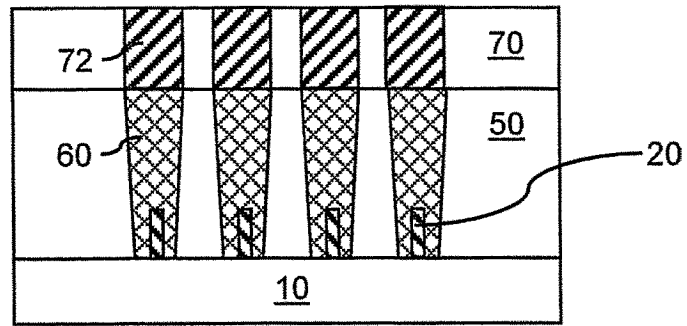


图 21B

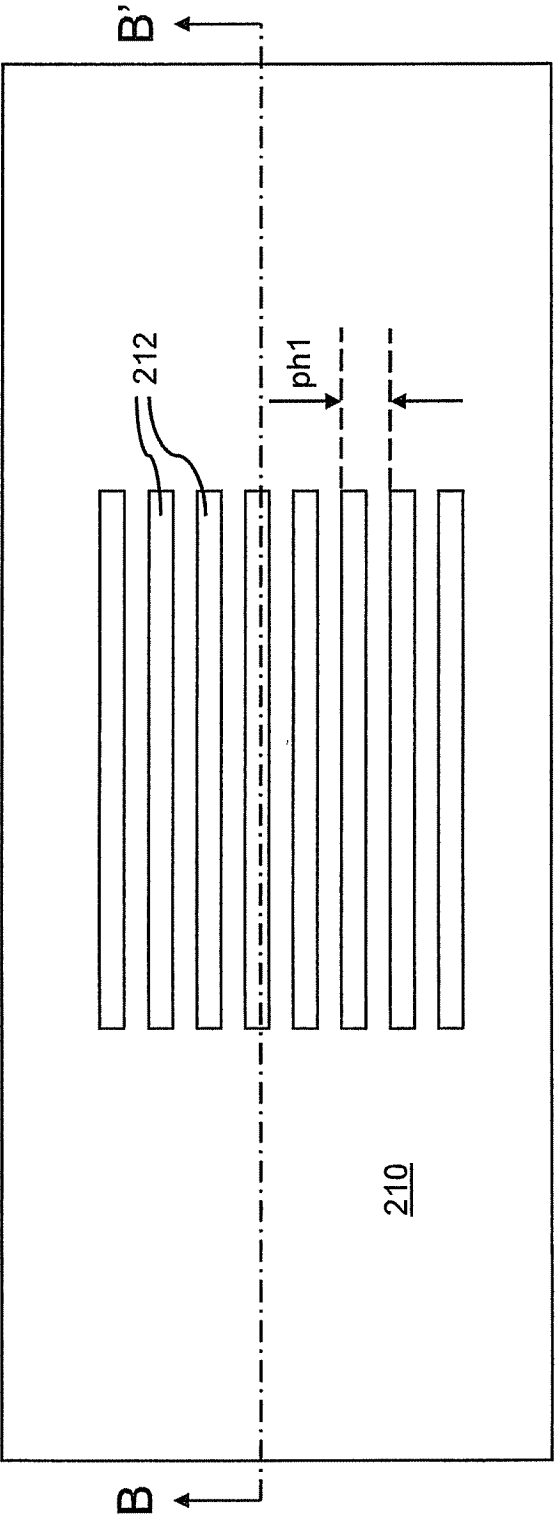


图 22A

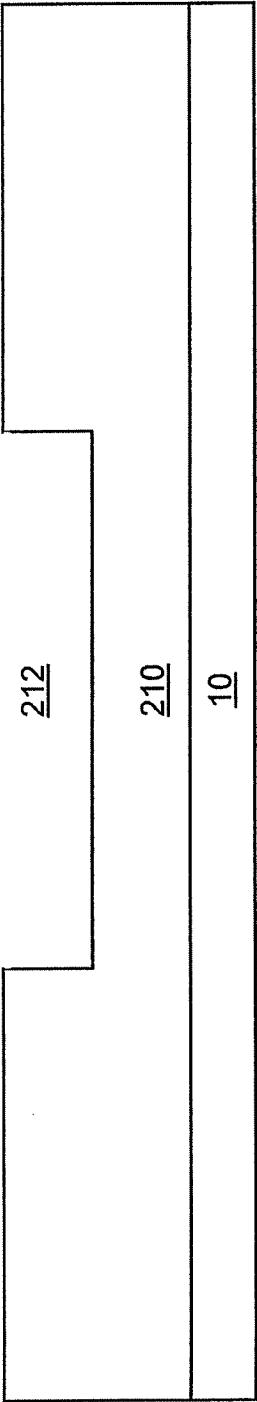


图 22B

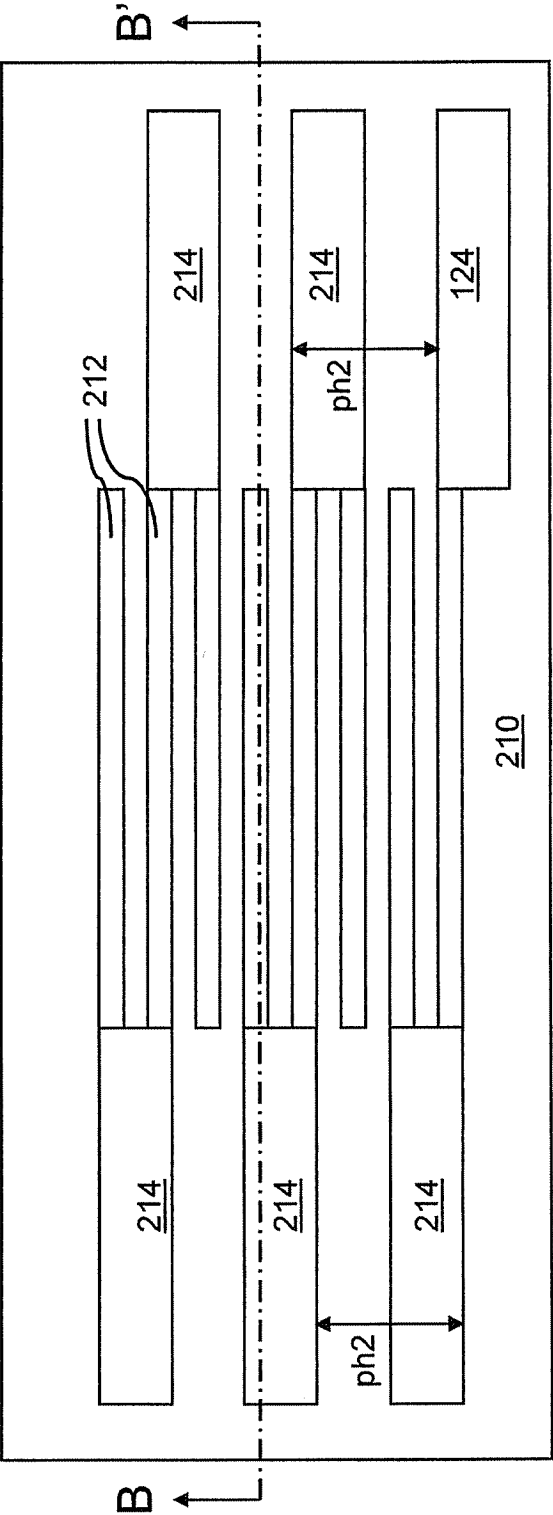


图 23A

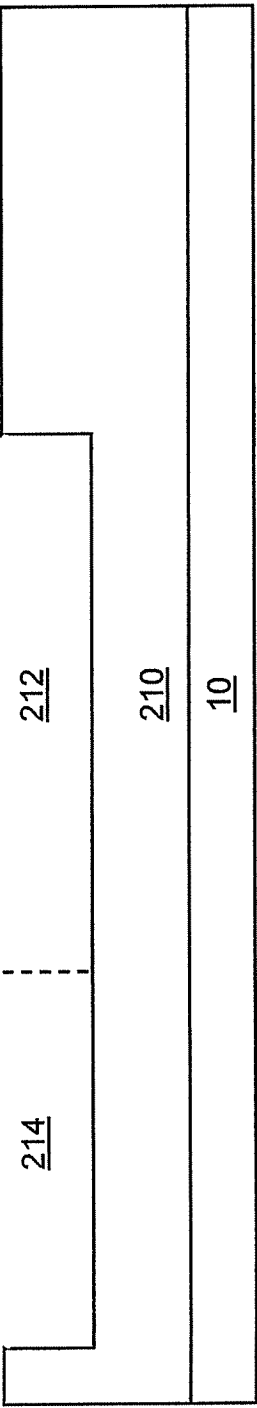


图 23B

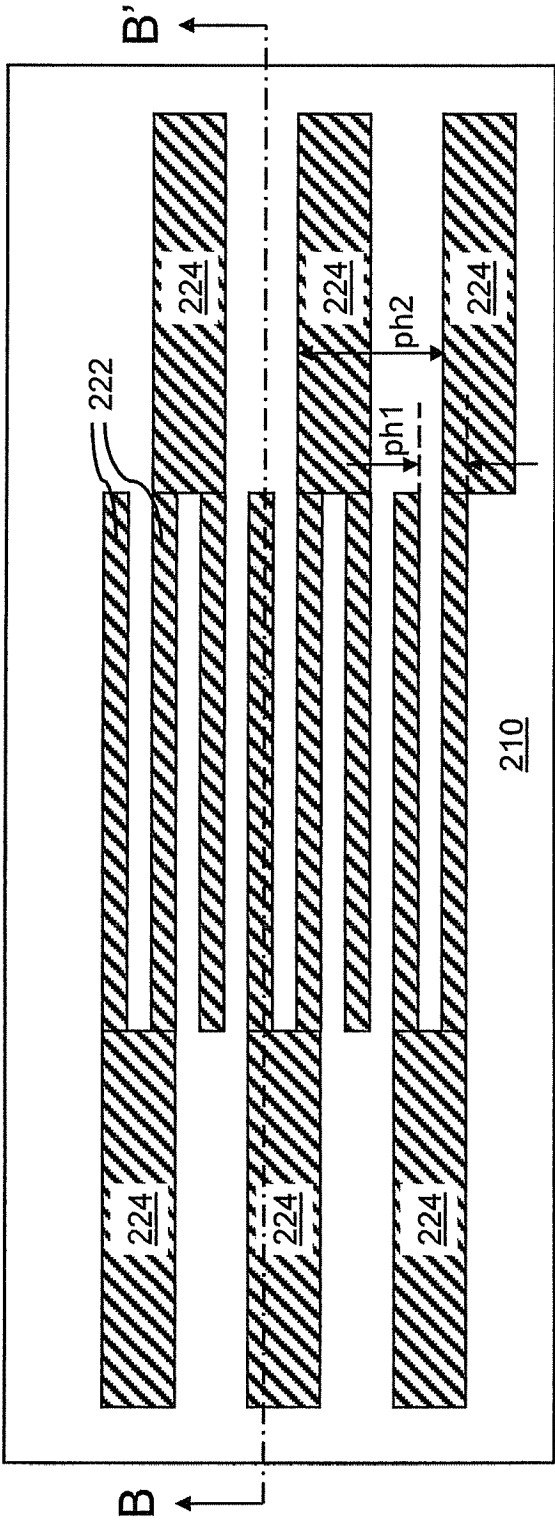


图 24A

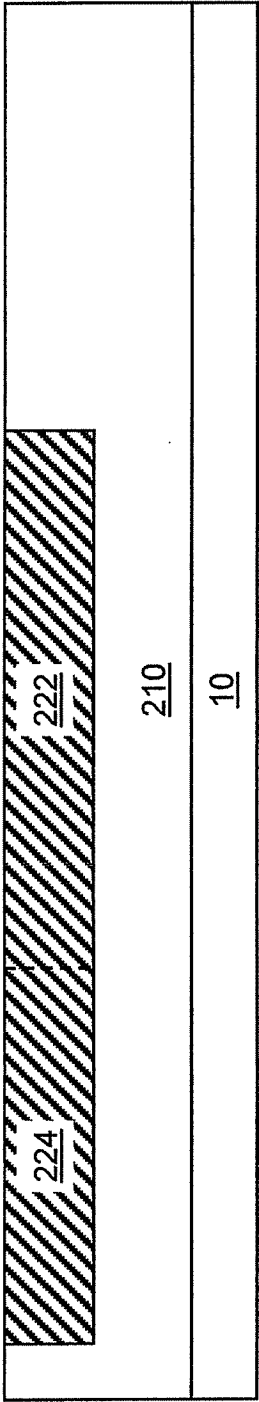


图 24B

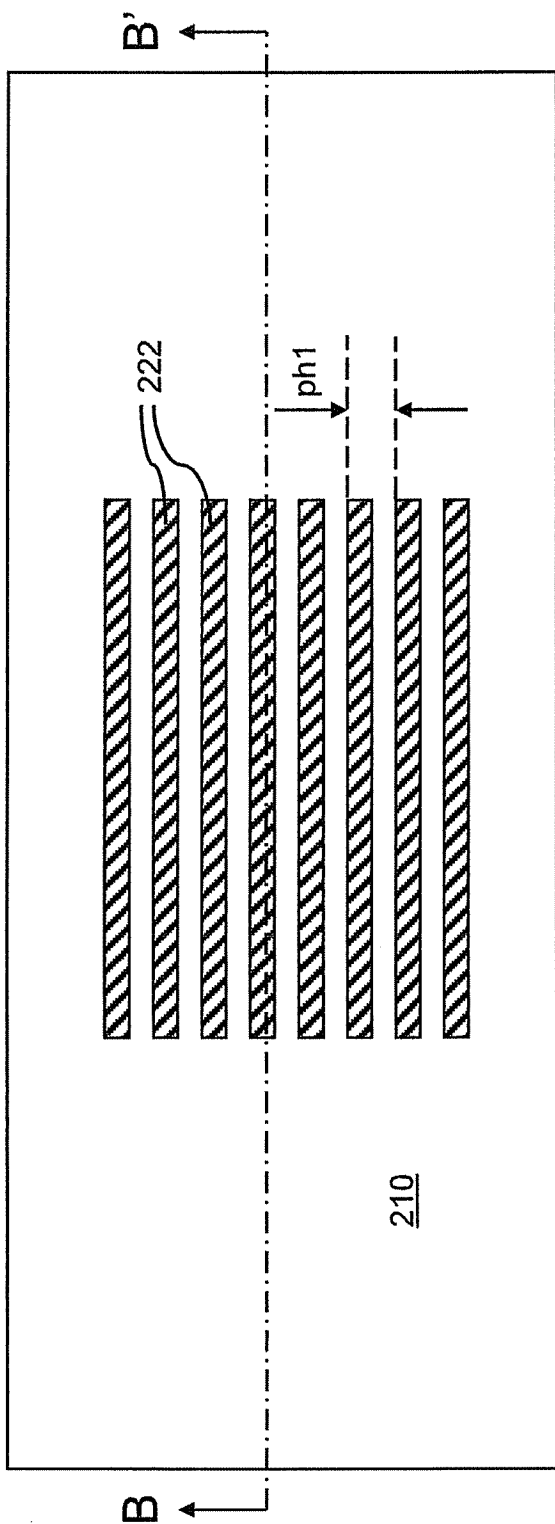


图 25A

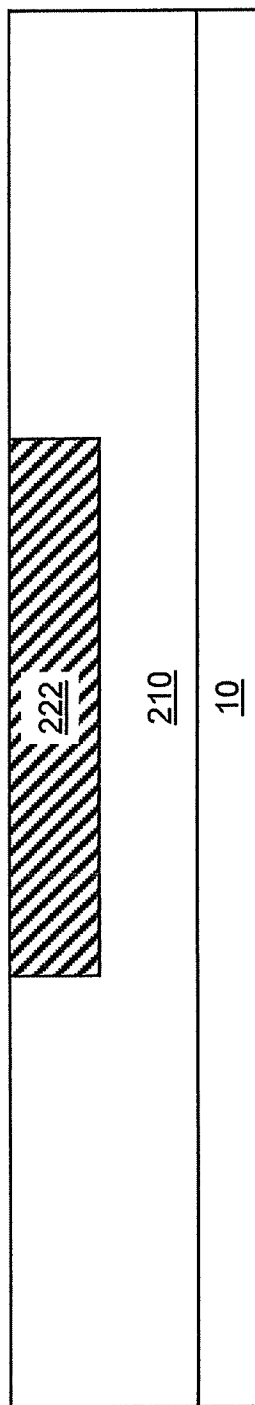


图 25B

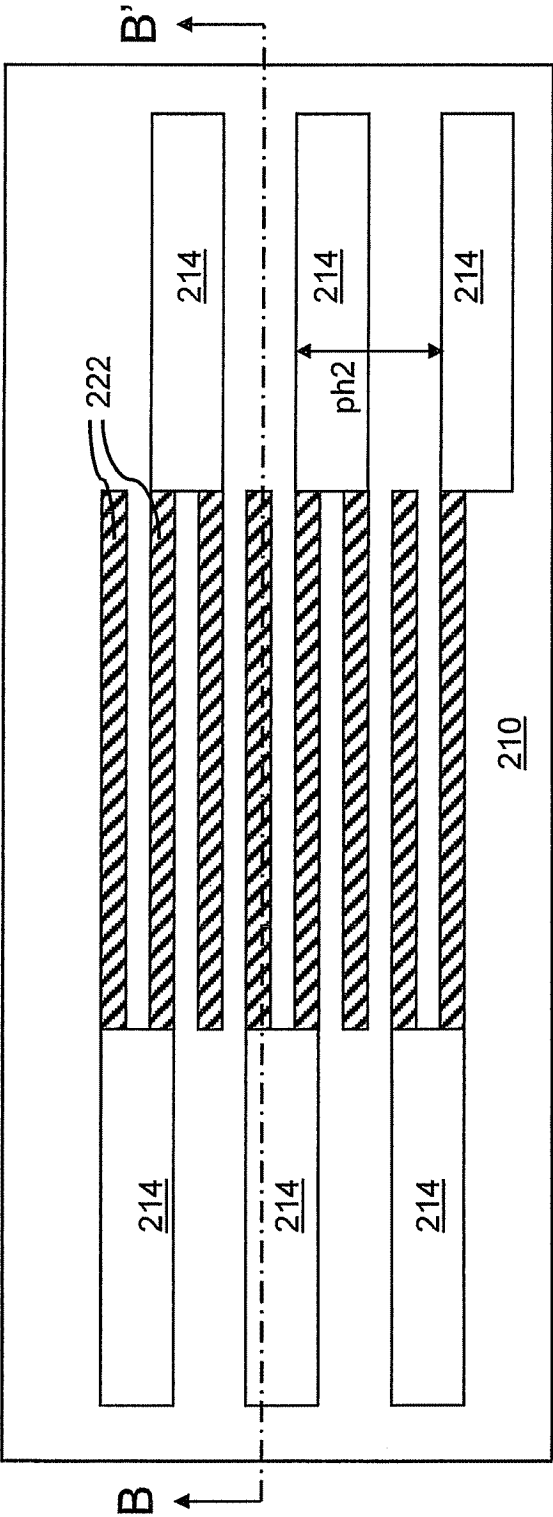


图 26A

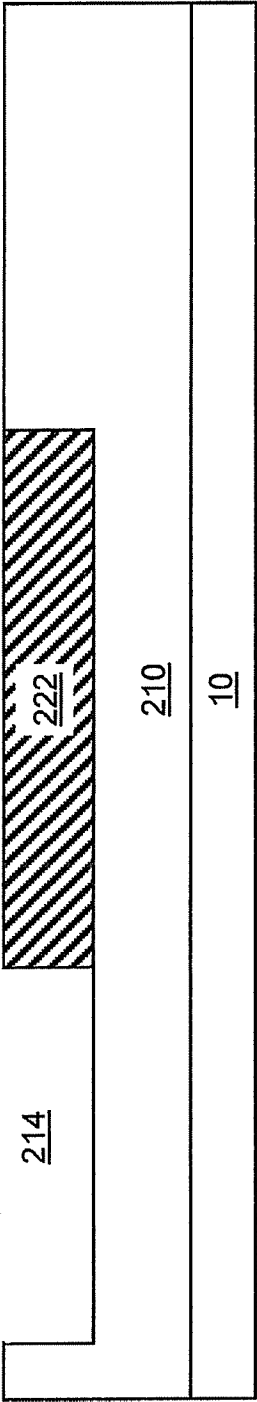


图 26B

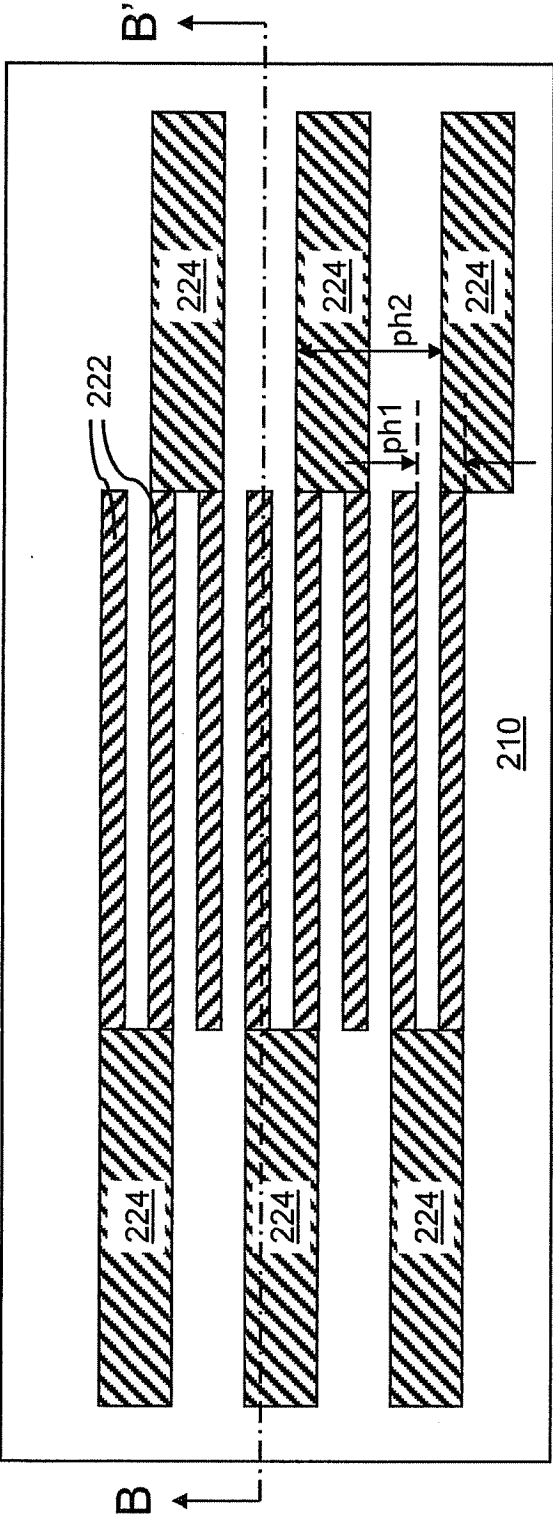


图 27A

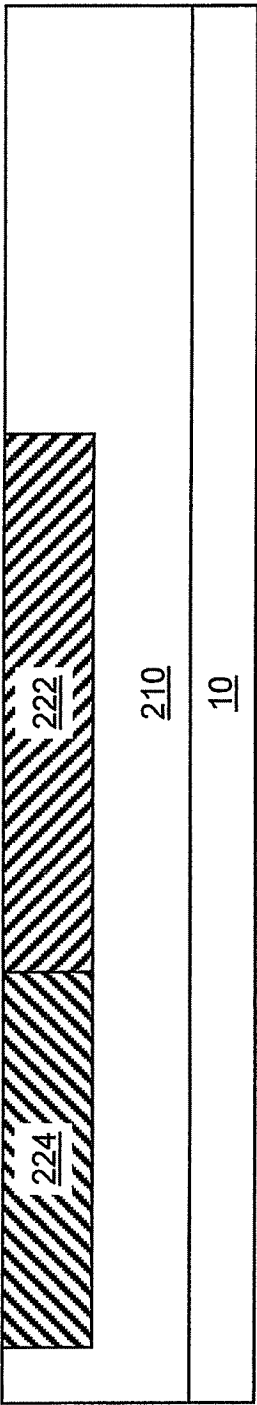


图 27B

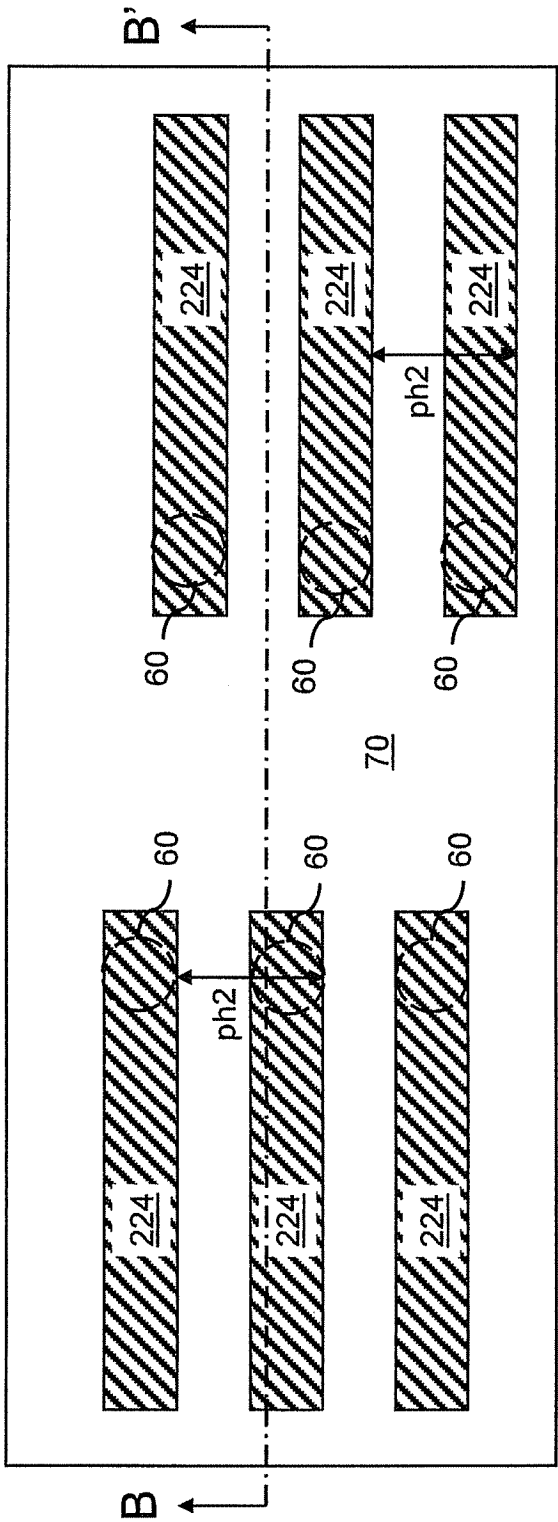


图 28A

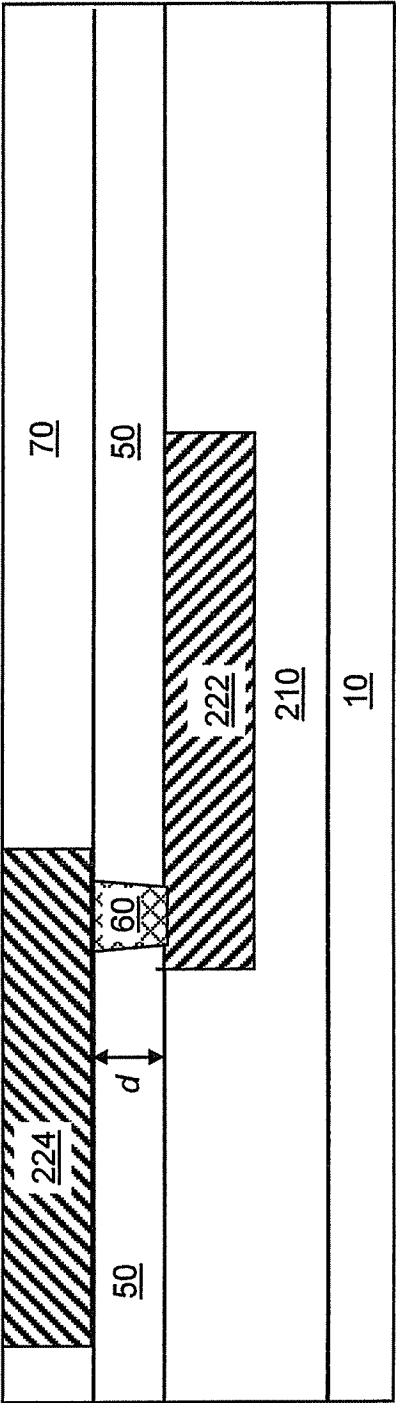


图 28B