(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3623664号
(P3623664)
(45)発行日　平成17年2月23日(2005.2.23)　(24)登録日　平成16年12月3日(2004.12.3)

(51)Int.Cl.[7]	F I		
H04L 12/56	H04L	12/56	F
H04J 3/00	H04J	3/00	U
H04J 3/06	H04J	3/06	Z
H04Q 3/00	H04L	12/56	G
H04Q 11/04	H04Q	3/00	

請求項の数 10　(全 22 頁)　最終頁に続く

(21)出願番号　特願平10-240950
(22)出願日　平成10年8月27日(1998.8.27)
(65)公開番号　特開平11-177632
(43)公開日　平成11年7月2日(1999.7.2)
審査請求日　平成11年11月29日(1999.11.29)
審判番号　不服2002-20019(P2002-20019/J1)
審判請求日　平成14年10月15日(2002.10.15)
(31)優先権主張番号　08/922271
(32)優先日　平成9年8月29日(1997.8.29)
(33)優先権主張国　米国(US)

(73)特許権者　596092698
ルーセント　テクノロジーズ　インコーポレーテッド
アメリカ合衆国．０７９７４－０６３６　ニュージャーシィ，マレイ　ヒル，マウンテン　アヴェニュー　６００
(74)代理人　100064447
弁理士　岡部　正夫
(74)代理人　100085176
弁理士　加藤　伸晃
(74)代理人　100106703
弁理士　産形　和央
(74)代理人　100096943
弁理士　臼井　伸一

最終頁に続く

(54)【発明の名称】ポートユニットによって制御されるビットスライスデジタル交差接続交換システム

(57)【特許請求の範囲】

【請求項１】

複数の第１のユニットのセットを選択して、その各々が複数の外部リンクの個々の一つに接続されている複数の第２のユニットによって受信されるデータ流を交換する装置であって、

複数の外部リンクの接続された一つからのデータ流に応答して、複数の第２のユニットの各々は、複数の外部リンクの接続された一つからのデータ流を個々の各ビット位置に対する個々のデータ流に分離し、個々の各ビット位置に対して、あるセットの複数の第１のユニットの個々の一つを決定するものであり、

複数の第２のユニットの各々はさらに、複数の外部リンクの接続された一つからのデータ流に応答して、個々の各ビット位置の各データ流を、個々の各ビット位置に対して決定された該複数の第１のユニットのセットの一つに送信するものであり、

複数の第１のユニットの各々は、個々の各ビット位置のデータ流に応答して、個々の各ビット位置のデータ流を交換し、グループの交換されたデータを複数の第２のユニットの一つに送信するものであり、

複数の第２のユニットの各々は、第１のユニットの全てのものから受信される個々のビット位置の交換されたデータの全てのグループに応答して、個々のビット位置の交換されたデータのグループを個々の正しいビット位置にアセンブルし、アセンブルされたデータのグループとして、複数の外部リンクの接続された一つに送信することを特徴とする装置。

【請求項２】

請求項１に記載の装置において、さらに、制御情報を、複数の第１のユニットを介して複数の第２のユニットに送信する制御ユニットを含み、
第２の複数のユニットの各々が、送信された制御情報に応答して、個々の各ビット位置の各データ流の送信のためのセットの複数の第１のユニットの一つの決定を制御することを特徴とする装置。
【請求項３】
請求項２に記載の装置において、セットの複数の第１のユニットの各々が、制御情報を受信するために、制御ユニットに個々の制御経路を介して接続され、
セットの複数の第２のユニットの各々が、セットの複数の第１のユニットの一つへの個々の制御経路を持つことを特徴とする装置。
【請求項４】
請求項３に記載の装置において、さらに、複数の第３のユニットを含み、あるセットの複数の第３のユニットの各々が、セットの複数の第１のユニットの個々の一つに接続され、
複数の第２のユニットの各々が、複数の外部リンクの接続された一つからのデータ流に応答して、個々の各ビット位置の各データ流を、セットの複数の第１のユニットの個々の各ビット位置に対して決定された一つに接続されたセットの複数の第３のユニットの一つに送信し、
セットの複数の第３のユニットの各々が、個々のビット位置のデータ流に応答して、セットの複数の第１のユニットの接続された一つに再送し、これによって、個々のビット位置のデータ流がセットの複数の第１のユニットの接続された一つに送信されることを特徴とする装置。
【請求項５】
請求項４に記載の装置において、さらに、あるセットの複数の第２のユニットと関連する、セットの複数の第２のユニットに接続された複数の第３のユニットの大多数からのものと同一であるセットの制御情報を決定する手段を含み、
セットの複数の第２のユニットの各々が、決定された制御情報に応答して、セットの複数の第２のユニットの各々を制御することを特徴とする装置。
【請求項６】
請求項１に記載の装置において、複数の第１のユニットの数の方が個々のビット位置の数より大きく、セットの複数の第１のユニットのみがアクティブに個々のビット位置のデータを交換し、
複数の第１のユニットのアイドルな一つが、セットの複数の第１のユニットの一つが故障した際に、セットの複数の第１のユニットの故障した一つの個々のビット位置のデータを交換するために用いられることを特徴とする装置。
【請求項７】
請求項６に記載の装置において、複数の第３のユニットの数の方が個々のビット位置の数より大きく、セットの複数の第３のユニットのみがアクティブに個々のビット位置のデータを送信し、
複数の第３のユニットのアイドルな一つが、セットの複数の第１のユニットの接続された一つが故障した際、セットの複数の第１のユニットの故障した一つの個々のビット位置のデータを、複数の第１のユニットのそれまでアイドルであった一つに送信するために用いられることを特徴とする装置。
【請求項８】
複数の第１のユニットのセットを選択して、その各々が複数の外部リンクの個々の一つに接続されている複数の第２のユニットによって受信されるデータ流を交換する方法であって、
複数の外部リンクの接続された一つからのデータ流に応答して、複数の第２のユニットの各々によって、複数の外部リンクの接続された一つからのデータ流を個々の各ビット位置に対する個々のデータ流に分離し、個々の各ビット位置に対して、あるセットの複数の第１のユニットの個々の一つを決定する段階と、

複数の第２のユニットの各々によって、さらに、複数の外部リンクの接続された一つからのデータ流に応答して、個々の各ビット位置の各データ流を、個々の各ビット位置に対して決定された該複数の第１のユニットのセットの一つに送信する段階と、
複数の第１のユニットの各々によって、個々の各ビット位置のデータ流に応答して、個々の各ビット位置のデータ流を交換し、グループの交換されたデータを複数の第２のユニットの一つに送信する段階と、そして、
複数の第２のユニットの各々によって、第１のユニットの全てのものから受信される個々のビット位置の交換されたデータの全てのグループに応答して、個々のビット位置の交換されたデータのグループを個々の正しいビット位置にアセンブルし、アセンブルされたデータのグループとして、複数の外部リンクの接続された一つに送信する段階を含むことを特徴とする方法。

【請求項９】
請求項８に記載の方法において、交換システムがさらに制御ユニットを含み、この方法がさらに、
制御ユニットによって、制御情報を複数の第１のユニットを介して複数の第２のユニットに送信する段階、および
第２の複数のユニットの各々によって、送信された制御情報に応答して、個々の各ビット位置の各データ流の送信のためのセットの複数の第１のユニットの一つの決定を制御する段階を含むことを特徴とする方法。

【請求項１０】
請求項９に記載の方法において、交換システムが、さらに、複数の第３のユニットを含み、あるセットの複数の第３のユニットの各々がセットの複数の第１のユニットの個々の一つに接続され、この方法がさらに、
複数の第２のユニットの各々によって、複数の外部リンクの接続された一つからのデータ流に応答して、個々の各ビット位置の各データ流を、セットの複数の第１のユニットの個々の各ビット位置に対して決定された一つに接続されたセットの複数の第３のユニットの一つに送信する段階、および
セットの複数の第３のユニットの各々によって、個々のビット位置のデータ流に応答して、セットの複数の第１のユニットの接続された一つに再送する段階を含み、これによって、個々のビット位置のデータ流がセットの複数の第１のユニットの接続された一つに送信されることを特徴とする方法。

【発明の詳細な説明】
【０００１】
【発明の分野】
本発明は、通信の交換、より詳細には、高い信頼性を持つ交換網に関する。

【０００２】
【発明の背景】
多数の呼を通信する従来の技術による交換システムにおいては、電気通信交換システムの信頼性が常に重要な問題であった。従来の技術によるこの信頼性に対する解決策は、システムを完全に二重化し、アクティブな交換システムと、待機用の交換システムとを用意するのが一般的であり、アクティブな電気通信交換システムに故障が発生した場合は、待機用の電気通信システムが、アクティブな呼の通信を行なった。通常、待機用の電気通信システムは、この動作をアクティブな呼の妨害が最小限に押さえられるような方法にて行なう。

【０００３】
従来の技術による電気通信交換システムも、解決策を提供するが、ただし、この解決策は多くの問題を持つ。第１の問題は、スイッチ組織を完全に二重化するために、結果としてのシステムのコストと複雑さが増加することである。第２の問題は、システムを完全に二重化することによって達成されるこの追加の信頼性は、必ずしも、要望されるレベルの信頼度を達成できないことである。この理由は、一つの故障が発生するとアクティブな交換

網が不能となり、続いて、第２の故障が発生すると、待機用の第２の交換システムも不能となり、このため、たった２つの故障で電気通信交換システム全体が故障してしまうためである。第３の問題として、従来の技術による電気通信システムは、一つの中央コントローラを用いて、どの交換網がアクティブであるべきかを直接に制御し、このために、信頼性がさらに低下する。

【０００４】

【発明の概要】

上記の問題の解決および技術上の進歩が本発明による装置および方法によって達成される。本発明による交換網は、複数の独立したスイッチンググループを含み、各スイッチンググループは、外部データリンクからの各グループのデータの１個のビットを電気通信交換システムを通じて交換する能力を持つ。この交換網は、さらに、複数のデータリンクとインタフェースする複数のポートユニットを持つが、これらポートユニットが、どのスイッチンググループがアクティブであるかを直接に制御する。この方法では、万一、入りデータのビットをアクティブに交換しているあるスイッチンググループが故障した場合、残りのスイッチンググループを、交替スイッチンググループとして利用することが可能となる。さらに、この方法では、あるポートユニットの故障は、そのポートユニットに接続されている外部データリンクのみに影響を与え、このため、電気通信交換システムの全体としての信頼性が増加する。加えて、この方法では、複数のスイッチングユニットに、どのスイッチングユニットがアクティブとなるべきか、および、ある与えられたスイッチングユニットがどのビットを通信すべきかを通知するために必要となる、これらスイッチングユニットに対する複雑な中央化されたコントロールが不要となる。

【０００５】

本発明のこの他の特徴が以下の説明を図面と照らして読む過程で明らかとなるものである。

【０００６】

【発明の詳細な記述】

図１は、本発明による電気通信交換システムをブロック図の形式にて示す。スイッチコントローラ１０１は、主コントローラ１００から受信される情報に応答して、図１に示す交換システム全体を制御する。データの交換は、ビットスライススイッチングユニット（Ｂｉｔ　Ｓｓｌｉｃｅｄ　Ｓｗｉｔｃｈｉｎｇ　Ｕｎｉｔ：ＢＳＳＵ）１２０～１２９によって遂行される。一例として、１０個のＢＳＳＵが示される。各アクティブなＢＳＳＵは、外部リンク、例えば、図１の交換システムに接続された複数の外部リンク１０３の各々からの各バイトの１ビットを交換する。好ましくは、リンク１０３および他の外部リンクは、ＳＴＭ－１リンクとされる。双向性光ファイバリンク、例えば、リンク１０８は、３２個のＳＴＭ－１リンクの各々からの１ビットのデータをビットスライススイッチングユニット（ＢＳＳＵ）とビットスライスインタフェースユニット（Ｂｉｔ　Ｓｌｉｃｅｄ　Ｉｎｔｅｒｆａｃｅ　Ｕｎｉｔ：ＢＳＩＵ）との間で通信する能力を持つ一つの光ファイバから成る。各ＢＳＳＵは、８個の入力を持ち、このため、ＢＳＳＵ１２０～１２９は、図１に示す交換システムに終端する２５６個のＳＴＭ－１を扱うことができる。ある任意の与えられた時間において、これら１０個のＢＳＳＵ１２０～１２９の内の８個のみが使用される。後にＢＳＩＵ１１１～１３５との関連で説明するように、ある任意の与えられた時間において、これら１０個のＢＳＳＵの内の８個のみが交換すべきデータを受信する。各ＢＳＳＵは、合衆国特許第５，４１６，７７２号において開示される８ビットフルスイッチングユニットに対して規定される交換機能を遂行するために要求されるフルタイムスロットエクスチェンジャと全ての必要な制御メモリを含む自己充足型（ｓｅｌｆ－ｃｏｎｔａｉｎｅｄ）の交換システムである。これらの詳細については、この特許を参照されたい。加えて、各ＢＳＳＵは、これと関連する複数のサブラックの各々からの一つのＢＳＩＵを持つ。各ＢＳＳＵ、それと関連するＢＳＩＵ、および相互接続光ファイバリンクによって、一つの交換グループが構成される。後に詳細に説明するように、ポートコントローラ、例えば、ポートコントローラ１１６は、どのＳＴＭ－１リンクからのビットを、ど

のＢＳＳＵに送るべきかを、スイッチコントローラ１０１から受信される制御情報に基づいて決定する。好ましい実施例においては、フルタイムスロットインタチェンジャを用いて、図１の交換システムに、フルブロードキャスト交換（ｆｕｌｌ　ｂｒｏａｄｃａｓｔ　ｓｗｉｔｃｈｉｎｇ）を遂行する能力が与えられる。当業者においては容易に理解できるように、タイムスロットインタチェンジャの代わりに、他のタイプのスイッチを用いることも可能である。フルブロードキャスト交換においては、一つの外部リンク、例えば、リンク１０３上に受信される情報が、同時に、他の外部リンク上の全ての出通信路上に交換される。各ＢＳＳＵにフルタイムスロットインタチェンジャをどのうよに設置するかについての詳細に関しては、後にＢＳＳＵ１２０について詳細に説明する段落において説明する。長所として、各ＢＳＳＵが接続されたＳＴＭ－１リンクの各々から１ビットのみを交換することで、このようなフルタイムスロットインタチェンジが経済的に実現可能となる。

【０００７】

次に、図１のサブラック１１０のＢＳＩＵ、例えば、ＢＳＩＵ１１１について説明する。ＢＳＩＵ１１１は、双向性光ファイバリンク１０８によって、ＢＳＳＵ１２０と相互接続される。同様に、ＢＳＩＵ１１２は、双向性光ファイバによって、ＢＳＳＵ１２１と相互接続される。ＢＳＩＵ１１１は、ＢＳＳＵ１２０とのみ通信する。つまり、ＢＳＩＵ１１１、１１２に対する２つの光ファイバの各々は、サブラック１１０に接続された３２個のＳＴＭ－１の各々からの異なる１ビットを運ぶことに注意する。サブラック１１０は、一例として、３２個のポートユニットを持ち、各ポートユニットは、好ましくは、１つのＳＴＭ－１リンクを終端する。このため、１個のサブラック当たり、３２個のＳＴＭ－１リンクが存在することとなる。当業者においては容易に理解できるように、各ポートユニットが、１つではなく、複数のＳＴＭ－１リンクを終端するようにすることも可能である。各ポートユニットは、各ＢＳＩＵに向う１つの送信電気リンク上にデータを送信し、各ＢＳＩＵからの１つの受信電気リンク上にデータを受信する。各ＴＳＭ－１リンクに対して、１つの電気リンク対が存在する。例えば、ポートユニット１１７は、ＢＳＩＵ１１１～１１５に向う一つの送信および受信リンクを持つ。このため、各方向において、サブラック１１０の３２個のポートユニットを１０個のＢＳＩＵと相互接続する３２０個の電気リンクが存在する。内部的には、各ポートユニットは、受信されたＳＴＭ－１ビット流の各バイトの任意のビットを、ＢＳＩＵと接続された送信電気リンクの任意の一つに送信することができる。これら電気リンクは互いに独立であり、このため、各ポートユニットは、個々の任意のビットを、１０個のＢＳＩＵの任意の一つに分配することができる。ＢＳＩＵ１１１は、各ポートユニットから受信されるビット流に応答して、ビット流を結合し、これらを光ファイバリンク１０８を通じて、ＢＳＳＵ１２０に出力する。ポートユニットは、入りバイトの任意のビットをＢＳＩＵ１１１に送信することが可能であり、このため、ＢＳＳＵ１２０は、入りＳＴＭ－１リンクの８個のデータビットの任意の一つを交換することができる。全てのポートユニットが、入りバイトの同一ビット位置のデータを、ＢＳＳＵ１２０に送信する必要があることに注意する。これは、ＢＳＳＵ１２０がこの情報を交換した後に、このビットを、ポートユニットがこの情報を相互接続されたＳＴＭ－１リンク上に送出できるようにポートユニットに送り返すために必要となる。サブラック１１０のポートユニットによって特定のＢＳＩＵに向けて送信あるいはこれから受信されるビットの選択は、ポートコントローラ１１６によってスイッチコントローラ１０１から受信される情報に基づいて制御される。

【０００８】

これらポートユニットは、これらバイトの任意のビットを、これらＢＳＳＵの任意の一つに交換することができ、このため、万一、ＢＳＳＵ１２０が故障した場合、それまでＢＳＳＵ１２０によって交換されていたビットを、（それまでアクティブでなかった）ＢＳＳＵ１２９あるいは１２８に送ることが可能である。ＢＳＳＵ１２０～１２９およびこれらと関連するＢＳＩＵ（つまり各交換グループ）は、電気的および光的に互いに隔離されている。このため、図１の交換システムは、３つの交換グループの全てが故障したとき、は

じめて、ＳＴＭ－１リンク上の入りバイトの交換の遂行が不可能となる。さらに、各々が１ビットのみを交換するＢＳＩＵが、全部で１０個存在し、このため、あるサブラック内の３個のＢＳＩＵが故障したとき、はじめて、そのサブラックは、情報の交換ができなくる。ただし、この場合でも、他のサブラックは、使用可能であることに注意する。図１に示す交換システム内の通信を不能にし得る唯一のユニットは、ポートユニットである。ただし、一つのポートユニットの故障は、単に一つのＳＴＭ－１リンクが図１に示す交換システムによって通信することが不可能となることを意味する。当業者においては容易に理解できるように、予備のポートを用いることで、信頼性をさらに向上させることも可能である。

【０００９】

従来のシステムにおけるもう一つのシステムの故障源は、制御情報を通信することが不可能となる故障であった。図１の交換システムでは、スイッチコントローラ１０１は、制御情報を、ＢＳＳＵ１２０～１２９に、双向性光ファイバリンク、例えば、リンク１０４を介して送る。各ＢＳＳＵは、制御情報を交換されるべきデータと共に接続されたＢＳＩＵに送信あるいはこれから受信する。各ＢＳＩＵは、各サブラック内のポートコントローラに制御情報を送る。ポートコントローラ１１６は、制御情報を、ＢＳＩＵ１１１～１１５を介して送受する。ポートコントローラ１１６は、受信された制御情報をポートユニット１１７～１１８に送信する。制御情報をスイッチコントローラ１０１との間で送受するために用いることできる１０個の経路が存在し、このため、ポートコントローラは、常に正当な制御通信路を持つことを保証される。各ＢＳＳＵは、スイッチコントローラ１０１からの自身の動作に関する制御情報を自身の光ファイバリンクを通じて受信し、このため、この光ファイバの故障は、単一のＢＳＳＵのみに影響を与えることに注意する。

【００１０】

制御情報がスイッチコントローラ１０１とＢＳＳＵ１２０～１２９とを相互接続する光ファイバの各々を用いて通信されるのに加えて、タイミング情報が同様な方法にて通信される。こうして、各ＢＳＳＵが、自身のタイミング情報を、他のＢＳＳＵとは別個に受信することが確保される。加えて、各ポートコントローラは、全ての光ファイバリンク、例えば、リンク１０８の上に、各ＢＳＳＵからこれを各ポートコントローラと相互接続するＢＳＩＵを介して受信されるタイミング情報を利用して、サブラック内のタイミングが、サブラックコントローラ１０１のタイミングと一致することを確保する。こうして、各ポートコントローラは、複数のタイミング情報を受信するための経路を持つ。

【００１１】

図２は、ＢＳＳＵ１２０をより詳細に示す。各ＳＴＭ－１リンクは、データをＳＤＨフレームとして通信するが、各ＳＤＨフレームは、９列のデータを持つ。ＢＳＳＵ１２０～１２９は、一度に、１列のデータを交換する。当業者においては容易に理解できるように、一度に一列のデータの一部のみを交換するようにすることも可能である。ＢＳＳＵ１２０は、図１に示すＳＴＭ－１リンクの各々のバイトの１ビット流（以降１ビット位置とも呼ばれる）に対するフルＳＤＨ交換を遂行する。ＢＳＳＵ１２０とサブラックのＢＳＩＵとの接続は、双向性光ファイバを介して行なわれ、この光リンクは、光トランシーバ２０１～２０４に終端する。例えば、光トランシーバ２０１は、サブラック１１０のＢＳＩＵ１１１からの光ファイバリンク１０８に接続される。ＢＳＩＵからの光ファイバリンクの各々は、あるサブラックに接続された３２個のＳＴＭ－１リンクに対する１ビットのデータ流を運ぶ。データの各列は、各ＳＴＭ－１リンクからの１ビットを含む。あるサブラック、例えば、サブラック１１０内で、ポートユニット１１７は、接続されたＳＴＭ－１リンクからの一列の１ビットをＢＳＩＵ１１１に送る。各サブラックは、全部で３２個のポートユニットを含む。ＢＳＩＵ１１１は、３２個のＳＴＭ－１リンクの各々からのこれらビットに応答し、これらビットを、単一ビット流に編成し、これをＢＳＳＵ１２０に向うリンク１０８上に送信する。

【００１２】

制御とタイミング情報については、ＢＳＳＵ１２０とスイッチコントローラ１０１との間

で光ファイバリンク１０４を介して通信されるが、これは、光トランシーバ／タイミング回路２１７に終端する。回路２１７は、この制御情報を、制御バス２２３上に送信する。

【００１３】

光トランシーバ２０１～２０４を介してサブラックから受信されるデータの交換は、ＴＳＩ２０６～２１４によって遂行される。各ＢＳＳＵ内には全部で１６個のＴＳＩが存在し、これによって、ＢＳＳＵがフルブロードキャスト交換を遂行することが可能となる。これらＴＳＩは、グループ化し、ペアにされる。例えば、ＴＳＩ２０６と２０７、ＴＳＩ２０８と２０９、ＴＳＩ２１１と２１２、ＴＳＩ２１３と２１４のペアに形成される。あるＴＳＩのペア内において、一方のタイプのＴＳＩは、光ファイバリンクからのデータを受信し、他方のタイプのＴＳＩは、光ファイバリンク上にデータを送信する。あるＴＳＩペア内において、各ＴＳＩは、相互接続光ファイバリンクへのデータの交換を遂行する。命名を簡単にするために、ＴＳＩのこれら２つのタイプは、以降、送信ＴＳＩおよび受信ＴＳＩと呼ばれる。これらＴＳＩの各ペアは、他のＴＳＩのペアによって受信される全てのビットへのアクセスを持つ。これは、ＴＳＩ間のパスリンクを利用することによって達成され、このパスリンクは、サブラック１１０～１３０とＢＳＳＵ１２０とを相互接続する８個の光ファイバリンクから受信されるデータビットを循環させることを可能にする。パスリンクグループ２１８は、１６個のパスリンク、つまり、パスリンク２１９～２２１から構成される。各パスリンクは、４ビットから構成される。各ＴＳＩのペアは、相互接続された光ファイバリンクから受信されるデータを２個のパスリンクに送信する。例えば、ＴＳＩ２０６は、光トランシーバ２０１から受信されるデータを、パスリンク２１９と２２０に送信する。ＴＳＩ２０６と２０７のペアは、光トランシーバ２０２～２０４に終端する他の光ファイバと関連するデータを、パスリンクグループ２１８の残りの１４個のパスリンク上に受信する。図３との関連で後に述べるように、このＴＳＩペアの内の受信ＴＳＩは、光トランシーバからの入りデータを、８ビットデータ流に編成する。例えば、ＴＳＩ２０６は、光トランシーバ２０１から受信されるデータに応答して、これらデータを、８個のデータビット流に編成し、これらを、ＴＳＩ２０６によってパスリンク２１９と２２０に送信する。これら８個のデータビット流の各々は、４個のＳＴＭ－１リンクからのデータを含む。ＴＳＩ２０６は各データビット流のこれら８ビットを、これらがＴＳＩ２０７～２１４を通過した後に、再び受信する。ＴＳＩ２０６は、このデータビット流の循環をこの時点で止める。

【００１４】

各ＴＳＩは、ＢＳＳＵ１２０に向う全ての入りデータビット流から４個のデータビット流を抽出する。受信ＴＳＩは、この抽出の結果を送信ＴＳＩに送信する。各ＴＳＩは、各データビット流に関してフルＳＤＨ交換を遂行するが、ここで、各データビット流は、４個のＳＴＭ－１リンクからのデータを含む。例えば、ＴＳＩ２０６は、入りデータビットから交換したビットを、ペアリンク２２２を介して、ＴＳＩ２０７に送信する。ＴＳＩ２０７は、ペアリンク２２２上にこうして受信される４個のビットと、各クロックサイクルにおいて自身が交換した４個のビットから、単一のビット流を形成し、これを光トランシーバ２０１に送信する。光トランシーバ２０１は、このデータビット流をリンク１０８上に送信する。

【００１５】

ＰＬＬ２２４は、光ファイバリンク１０４上の入り情報から必要なタイミング情報を取出し、ＢＳＳＵ１２０内のタイミングを生成する。回路２１６は、光ファイバリンク１０４から受信される制御情報を、ポートコントローラに送られるべき情報と、ＢＳＳＵ１２０の動作を制御するために用いるための情報とに分離する。これら両方のタイプの情報が、制御バス２２３の異なるビット位置に置かれる。同様に、ＴＳＩによってポートコントローラから相互接続された光ファイバリンクを介して受信される制御情報が、制御バス２２３上に置かれる。回路２１６は、こうして受信された制御情報を制御バス２２３から抽出し、これを、光ファイバリンク１０４を用いてスイッチコントローラ１０１に送られるＳＤＨの列に結合する。

【００１６】
次に、図３に示す受信ＴＳＩ２０６について説明する。他の受信ＴＳＩの設計もこれと同一である。データ回路３０１は、光トランシーバ２０１から情報を受信し、受信されたデータのタイミングとＴＳＩ２０６の内のタイミングとを一致させるために必要な弾性メモリ機能とタイミングの回復を提供する。当業者においては、データ回路３０１のこれら機能をどのように提供するかは容易に理解できるものである。データ回路３０１は、直列ビット流を受信し、これらを８個のより低速のビット流に編成し、これらを、バス３００を用いてセレクタ３０３～３０７に向けて送信する。全部で１６個のセレクタが存在する。これら８個の低速ビット流の各々は、４個のＳＴＭ－１リンクからのデータを含む。各セレクタは、バス３００からの４個のビットか、あるいはパスリンクグループ２１８のパスリンクからの４個のビットを選択する。これらセレクタは、バス３０８上に受信されるＴＳＩアドレスに応答するセレクタコントロール３０９によって制御される。このＴＳＩアドレスは、各ＴＳＩに対して永久的なものである。ある受信ＴＳＩ内では、任意の時間において、たった２個のセレクタのみが、データ回路からのビットを選択する。ＴＳＩ２０６についてのこの例においては、セレクタコントロール３０９は、データ回路３０１から８個のビットを選択し、セレクタ３０３と３０４に出力する。残りのセレクタは各々、パスリンクグループ２１８からの４個のビットを選択する。例えば、セレクタ３０７は、パスリンク２２１上の送られる４個のビットを受信する。セレクタ３０３～３０７の出力は、パスフォワード出力回路３１１～３１４と、遅延回路３１６～３１９に送られる。パスフォワード出力回路３１１～３１４の出力は、パスリンクに送られ、これらによってＴＳＩ２０７に向うパスリンクグループ３０２が構成される。ＴＳＩ２０７は、パスフォワード出力回路３１２から受信されるこれら４個のビットに応答して、ＴＳＩ２０６の遅延回路３１６に対して後に説明されるのと同一の遅延機能を遂行する。データ回路３０１は、また、ポートコントローラから光ファイバリンク１０４を用いてスイッチコントローラ１０１に送信されることを意図される制御情報を抽出する。この制御情報は、制御バス２２３に挿入され、図２の回路２１６によって、光ファイバリンク１０４上に伝送されている情報内に適当に結合される。

【００１７】
遅延回路３１６～３１９の機能は、データ回路３０１から受信される８個のビットと、パスリンクグループ２１８からの受信される残りの５６個のビットとを正しく整合させることにある。これは、図２のＴＳＩ２０８によって受信され、その後、ＴＳＩ２０９～２１４を介してＴＳＩ２０６に送られる８個のビットが、データ回路３０１がセレクタ３０３と３０４に送信しているデータに対して１５回の内部クロックサイクルだけ遅れるために必要となる。各遅延ブロックに必要な遅延の量は、図２における特定のＴＳＩの他のＴＳＩに対する位置に依存するために、ＴＳＩアドレスが遅延回路３１６～３１９を制御するためにも用いられる。

【００１８】
遅延回路３１６～３１９の出力は、ＴＳＩブロック３１２～３２４から構成されるＴＳＩグループ３２０に供給される。図３では、図面を簡素化するために、各遅延回路から来る４個のビットの各々が、ＴＳＩグループ３２０を構成するＴＳＩブロック３２１～３２４の各々に接続されることは示されていない。ＴＳＩブロック３２１～３２４の各々は、これら６４個の入りビットに応答して、タイムスロットインタチェンジ機能を遂行し、１ビットを、出力回路３２６～３２９の内の関連する出力回路に出力する。例えば、ＴＳＩブロック３２１は、交換したビットを、出力回路３２６に出力する。出力回路３２６～３２９は、これらの４個のビットを、ペアリング２２２を介して、ＴＳＩ２０７に送信する。これら４個のビットは、ＴＳＩ２０７の交換出力である４個のビットと結合される。ＴＳＩ２０７は、こうして結合されたビットを、光トランシーバ２０１を介してリンク１０８に送信する。

【００１９】
図４は、ＴＳＩ２０７を示す。遅延ボックス４０２～４０６は、図３の遅延ブロック３１

６～３１９と同一の機能を遂行する。ＴＳＩブロック４１１～４１４は、図３のＴＳＩブロック３２１～３２４と同一の機能を遂行する。パスフォワードブロック４０７～４１０は、図３のパスフォワードブロック３１１～３１４と同一の機能を遂行する。当業者においては容易に理解できるように、図３と図４のＴＳＩは、一つの共通の集積回路として、単に、その回路が受信ＴＳＩとして用いられるか、送信ＴＳＩとして用いられるか応じて不要な部分を不能にすることも可能である。この選択は、ＴＳＩアドレス内の情報に基づいて行なうことも可能である。データ回路４０１は、ＴＳＩブロック４１１～４１４からの出力と、ＴＳＩ２０６からペアリンク２２２を介して受信される４個のビットとに応答して、適切なフレーム編成を遂行し、これを光ファイバリンク１０８上に送信する。加えて、データ回路４０１は、図２の回路２１６によって分離され、制御バス２２３上に置かれた制御情報を、当分野において周知の方法を用いて、光ファイバリンク１０８上をＢＳＩＵ１１１に向けて送信されている情報に結合する。

【００２０】

図５は、図３のＴＳＩブロック３２１をブロック形式にて示す。図３のＴＳＩブロック３２２～３２４と、ＴＳＩブロック４１１～４１４は同一の設計を持つ。各クロックサイクルにおいて、遅延ブロック３１６～３１９によって生成された６４個の情報のビットが、タイムスロットカウンタ５０１のアドレス制御下でジュアルポートメモリ５０２にロードされる。４回のクロックサイクルで、図１の２５６個の全てのＳＴＭ－１リンクからの１ビットのデータが、ジュアルポートメモリ５０２にロードされる。タイムスロットカウンタ５０１は、各タイムスロットにおいて、０に戻るまで増分し、その後、上に向けて増分を継続する。カウンタ５０１は、ＢＳＳＵ１２０によって受信される各マルチフレームに対して１回サイクルする。タイムスロットＲＡＭ５０３の内容は、スイッチコントローラ１０１から光ファイバリンク１０４を介してＢＳＳＵ１２０に送られ、制御バス２２３から受信される情報によってセットされる。この情報をＴＳＩ　ＲＡＭ５０３にロードする方法は当分野において周知である。ＴＳＩ　ＲＡＭ５０３内の各ワードは、各タイムスロットにおいて、ジュアルポートメモリ５０２に格納された６４個の入力ビットのワードのどれを選択すべきか定義する。ＴＳＩ　ＲＡＭ５０３の制御下で、ＲＯＭ５０６は、固定パターン信号生成動作を遂行する。ＴＳＩ　ＲＡＭ５０３とＲＯＭ５０６の内容によってフルＳＤＨ交換機能が実現される。ジュアルポートメモリ５０２からの選択された６４個のビットと、セレクタ５０８からの１個のビットがセレクタ５０４に送られる。セレクタ５０４は、ＴＳＩ　ＲＡＭ５０３からのワードの一部分の制御下で、これら６５個のビットの中から、１個のビットを選択し、１個のビットを、図３の出力回路３２６に向うリンク３３０に送信する。ＲＯＭ５０６は、８個のビットを、ケーブル５０７上にセレクタ５０８に向けて出力する。セレクタ５０８は、ＲＯＭ５０６がデータ源である場合は、バス２２３上の制御ビットに応答して、これら８個のビットの一つを選択して、セレクタ５０４に送信する。

【００２１】

任意の時点において、図２のＴＳＩ２０６～２１４の各々ＴＳＩブロックが同一の情報を持ち、任意の特定のＳＴＭ－１リンクからの出力情報を全てのＳＴＭ－１リンクに出力できるために、ＢＳＳＵ１２０内でフルブロードキャスト交換能力が実現される。こうして、ＢＳＳＵ１２０～１２９は、一体となって、これらＳＴＭ－１リンクの全てのビットのフルブロードキャスト能力を提供する。さらに、任意の個数のＳＴＭ－１リンクから残りのＳＴＭ－１へのフルブロードキャストから部分的ブロードキャスト能力に至るまでの任意の組合せを提供することが可能である。長所として、この能力が、ＢＳＳＵ１２０～１２９によって遂行される機能を個々のビットスライスにビットスライシングすることによって可能とされる。

【００２２】

ブロードキャスト能力との関連で、各ＳＴＭ－１リンクによって６３個のＥｌトランクに相当するものが運ばれることに注意する。ＳＤＨ交換プロトコルによって交換することが可能なデータの最小の単位は、Ｅｌトランクであるが、これは、１つの入りＥ１トランク

を、全ての他の出Ｅ１トランクに交換できることを意味する。１つのＥ１トランクは、１６，１２７個の他のＥ１トランクに交換することができるために、これは、大きなブロードキャスト能力を提供する。

【００２３】

当業者においては容易に理解できるように、この実施例は、ＳＤＨスイッチング機能を遂行するための交換について開示するが、入りリンクに関して他のプロトコルスイッチングを遂行することも可能である。

【００２４】

次に、タイミング情報を、スイッチコントローラ１０１からポートコントローラに運ぶ方法について説明する。各ポートコントローラは、スイッチコントローラ１０１からのタイミング情報を受信するために用いることができる１０個の経路を持つ。図６は、これら経路をポートコントローラ１１６に関して示す。図６は、スイッチコントローラ１０１のビットスライスコントロール（ＢＳＣ）６０２からサブラック１１０内のポートコントローラ１１６のデジタルタイミングユニット（ＤＴＵ）６０３に向うタイミング路を示す。他のサブラックも類似するＤＴＵを含む。ＢＳＣ６０２は、システムタイミングユニット（ＳＴＵ）６０１からタイミング情報を受信する。ＢＳＣ６０２は、このタイミング情報を、制御情報に埋め込んで、リンク、例えば、リンク１０４を介してＢＳＳＵ送信する。デジタル位相ループ（ＤＰＬＬ）コントローラ６０８は、ＢＳＩＵ、例えば、ＢＳＩＵ１１１と協力して、ＢＳＩＵ１１１～ＢＳＩＵ１１５に接続されたリンクから回復されるこのタイミング情報に応答して、周知の方法を用いて、ローカル発振器６０５に対する調節信号を生成する。この調節によって、ローカル発振器６０５の出力は、システム周波数を定義するサブラックコントローラ１０１のＳＴＵ６０１に位相および周波数を同期される。

【００２５】

この動作を遂行するために、デジタル位相ループ（ＤＰＬＬ）コントローラ６０８は、ＢＳＩＵ１１１～１１５によって受信される位相および周波数の情報の差を平均化する。ＤＰＬＬコントローラは、この差の平均に関する情報を発振器調節回路６０６に供給し、発振器調節回路６０６は、この情報を用いてローカル発振器６０５の出力を制御する。後に説明するように、ＢＳＣ６０２とＢＳＳＵ１２０～１２９との間の伝送は共通の時間ベースに基づいて行なわれるが、それでも、位相および周波数の情報がＢＳＩＵによって抽出されるまでの間に、ＤＴＵ６０３に向う経路の各々において一連のＰＬＬが用いられるために、これら経路上に位相ノイズが発生する。

【００２６】

図６に示すように、ＢＳＳＵ１２０は、リンク１０４上に送信される制御情報に応答して、最初に、ＲＰＬＬ６２３を用いて、リンク１０４上に送信される周波数を回復し、この情報を、弾性メモリに格納する。ＢＳＳＵ１２０は、内部タイミングの目的で、ＰＬＬ２２４を用いて、タイミング情報を生成する。このデータは、データ回路４０１に出力を供給するＴＰＬＬ６２１によって生成されるタイミングを利用してリンク１０８に出力される。このように、ＢＳＳＵ１２０は、３個のＰＬＬを直列に用るために、基本システムタイミングに幾らかのジッタが導入される。

【００２７】

リンク１０８上に送信されたデータは、次に、ＲＰＬＬ６２３と類似するＲＰＬＬを用いるフレーマ６１１によってフレーム化される。フレーマ６１１は、リンク１０８上に送信されるデータを回復し、これを、弾性メモリ書込みカウンタ６１２によって生成されるアドレスを利用して、弾性メモリ６１４に書き込む。ここで、フレーマ６１１は、リンク１０８上に送信される単一のビット流を、８個のより低速な並列のビット流に変換し、これを弾性メモリ６１４に格納することに注意する。弾性メモリ６１４に格納されたビット流の各々からグループのデータが形成され、これらが、サブラック１１０に相互接続された４個のＳＴＭ－１リンク上に送信される。読出しにおいては、スイッチ６１６は、弾性メモリ６１４に格納されたデータ流の各々から、個々のＳＴＭ－１リンクに向けられるべきデータを分離し、この情報を、適当なポートユニット、例えば、サブラック１１０内のポ

ートユニット１１７に送信する。これらデータ流は、ケーブル６２６を介して、個々のポートユニットに送信される。この情報は、弾性メモリ６１４から、弾性メモリ読出しカウンタ６１７の制御下で読み出される。

【００２８】

送信機６１５は、データを送信する点が異なることを除いて、上述の要素６１２～６１７によって遂行されるのと類似の動作を遂行する。送信機６１５は、ポートユニット、例えば、図１のポートユニット１１７から受信される個々のＳＴＭ－１リンクからの出力に応答する。図８に示すように、スイッチ８１７は、ＳＴＭ－１リンクから受信フレーマ８０３を介して受信された情報を、対応する個々のデータビット流に分離した後に、ＢＳＩＵの各々に向けて送信する。例えば、送信器６１５は、１個のこのようなデータビット流を、リード８１７を介して受信するが、このリード８１７は、ケーブル６２７の一部分である。送信機６１５は、ケーブル６２７から受信されるこのビット流に応答して、これらを、各々のビット流が４個のＳＴＭ－１リンクからのデータを含む８個のビット流に編成する。この情報が、ケーブル６２８を介してフレーマ６１１に送られる。フレーマ６１１はこれに応答して、この情報を、タイミング信号発生器６０４から受信されるシステムＭＦＳ信号およびクロック信号を利用して、双向性光リンク１０８上に送信する。送信器６１５は、この情報を、フレーマ６１１に、タイミング信号発生器６０４から受信されるタイミング情報を利用して送信する。フレーマ６１１は、この情報を、光ファイバリンク１０８を介して、ＢＳＳＵ１２０のデータ回路４０１に中継する。データ回路４０１は、弾性メモリ６１４と類似する弾性メモリを利用して、送信器６１５から受信されたこの情報を、ＰＬＬ２２４によって生成されるタイミング情報と同期して送信する。後に説明するように、各ポートユニットは、ＢＳＣ６０２の制御下で、ＳＴＭ－１リンク上の入りビット位置の各々がどのＢＳＩＵに向けて送信されるべきかの決定を行なう。

【００２９】

ＢＳＣ６０２からＢＳＳＵを介して送信される制御情報は、ＢＳＩＵのフレーマ、例えば、フレーマ６１１によって分離された後に、ＤＴＵ６０３の制御情報受信機６３１に送信される。制御情報受信機６３１は、ＢＳＩＵ１１１～１１５の大多数からの同一の制御情報を選択する。制御情報受信機６３１は、ＤＰＬＬコントローラ６０８に向けられた制御情報を分離して、この情報を、ＤＰＬＬコントローラ６０８に向うケーブル６３２上に出力する。制御情報受信機６３１は、接続されたＳＴＭ－１リンクのどのビット位置が個々のポートユニットによってＢＳＩＵ１１１～１１５に送信されるべきかの指定を制御する制御情報を抽出し、この制御情報が、ケーブル６３３を介して各ポートユニットに送信される。長所として、複数の制御情報路が用いられるために、制御情報受信機６３１のような単純なハードウエア回路を用いて最終的な制御情報を決定することが可能となり、これは新たな制御情報に対する迅速な応答を可能にする。

【００３０】

弾性メモリ６１４の目的は、リンク１０８から受信されるデータを緩衝し、このデータを弾性メモリ６１４からサブラック内の他のＢＳＩＵ内の対応する要素と同期して読出し、これを適当なポートユニットに送信できるようにすることにある。弾性メモリ書込みカウンタ６１２は、フレーマ６１１からリード６１８上に受信されるクロック信号、およびリード６１９上に送信されるシステムのマルチフレーミングストローブ（ＭＦＳ）信号によって生成される周波数によって制御される。フレーマ６１１は、これら２つの信号を、リンク１０８上に送信されるデータ内に埋め込まれたタイミング情報から回復する。システムのＭＦＳ信号は、リンク１０８上を送信されるデータの各マルチフレームの開始を定義し、クロック信号は、フレーマ６１１の速度を定義する。つまり、フレーマ６１１は、この速度にて、弾性メモリ６１４に書込まれる８個の並列なデータ流の各々に対する新たなビットを供給する。リンク１０８からのシステムのＭＦＳ信号は、弾性メモリ書込みカウンタ６１２がいつ零になるべきかを定義する。同様に、弾性メモリ読出しカウンタ６１７は、ＤＴＵ６０３のタイミング信号発生器６０４からリード６３８上に送信されるＭＦＳ信号、およびリード６３９上に送信されるクロック信号によって制御される。タイミング

信号発生器６０４は、ローカル発振器６０５の出力によって制御される。ローカル発振器６０５によって生成される周波数および位相と、スイッチコントローラ１０１のＢＳＣ６０２によって利用される発振器の周波数および位相が長期間に渡って同一である場合は、弾性メモリ書込みカウンタ６１２の内容は、一例として、リード６３８上のＭＦＳ信号によって弾性メモリ読出しカウンタ６１７が零にセットされたとき、最大カウント値の半分となる。この機能は、ＤＰＬＬコントローラ６０８によって遂行される。弾性メモリ書込みカウンタ６１２と、弾性メモリ読出しカウンタ６１７の内容のこの差は、ＤＴＵ６０３によって利用される周波数と、スイッチコントローラ１０１のＢＳＣ６０２によって利用されるシステム周波数との間の変動を許容するように設計される。

【００３１】

次に、ＤＰＬＬコントローラ６０８によって、ローカル発振器６０５の周波数がどのように調節されるかをより詳細に説明する。サブラックのＭＦＳ信号が発生した瞬間に、弾性書込みカウンタ６１２の内容が、差ラッチ６１３内に格納される。ＢＳＩＵ１１２～１１５は、各々、差ラッチ６１３に類似するラッチを持つ。ＤＰＬＬコントローラ６０８は、サブラックのＭＦＳ信号に応答して、これら各ラッチの内容を読み出す。ＤＰＬＬコントローラ６０８は、次に、各ラッチの内容から、一例として、弾性書込みカウンタ６１２に格納することが可能な最大値の半分を減ずる。結果としてのＢＳＩＵ１１１～１１５の各々に対する数値によって、ローカル発振器６０５の位相と、個々のＢＳＩＵによって関連するＢＳＳＵからの入りリンクを介して回復されるシステム周波数の位相との差が定義される。ＤＰＬＬコントローラ６０８は、こうして得られる結果としての数値に応答して、図７に示す動作を遂行する。

【００３２】

図７は、図６に示すＤＴＵ６０３のＤＰＬＬコントローラ６０８によって、ローカル発振器６０５の周波数を調節するために遂行されるステップを流れ図にて示す。動作は、開始ブロック７０１から開始され、判定ブロック７０２において、ローカル発振器６０５の周波数を調節するための計算を遂行するための時間期間が経過したか否か決定する。好ましくは、この時間期間は、１ミリ秒とされる。答えが否定である場合は、判定ブロック７０２が反復される。判定ブロック７０２における答えが肯定である場合は、ブロック７０３において、有効リスト内にリストされている最初のＢＳＩＵを選択する。この有効リストは、前にタイミングが正しいと決定されたＢＳＩＵを定義する。次に、ブロック７０４において、選択されたＢＳＩＵと関連するエラー情報を読み出す。このエラー情報は選択されたＢＳＩＵのフレーマ、例えば、ＢＳＩＵ１１１のフレーマ６１１から得られる。次に、判定ブロック７０６において、選択されたＢＳＩＵと関連するＢＳＳＵとを相互接続するリンク上にリンクエラーが検出されたか決定する。答えが肯定である場合、つまり、リンクエラーが検出された場合は、制御は、ブロック７０９に渡され、ここで、選択されたＢＳＩＵを有効リストから削除する。ブロック７０９の実行の後、制御は、判定ブロック７１２に渡されるが、この動作については、この段落の後の箇所で説明する。判定ブロック７０６に戻り、答えが否定である場合は、判定ブロック７０８において、関連するＢＳＳＵからの情報が関連するＢＳＳＵの内部エラーを示すか否か決定する。このエラー情報もフレーマ６１１から得られる。判定ブロック７０８における答えが肯定である場合は、制御はブロック７０９に渡されるが、この動作については上で説明した通りである。判定ブロック７０８における答えが否定である場合は、ブロック７１１において、選択されたＢＳＩＵの差ラッチ、例えば、差ラッチ６１３からの数値を、この値から弾性メモリ書込みカウンタの最大カウンタの半分を減じた後に、合計に加え、これを後の使用のために維持する。ブロック７１１の実行の後に、判定ブロック７１２において、有効リストに別のＢＳＩＵが存在するか否か決定する。答えが肯定である場合は、そのＢＳＩＵを選択し、制御は、判定ブロック７１２からブロック７０４に渡される。

【００３３】

判定ブロック７１２に戻り、答えが否定である場合は、判定ブロック７１３において、計算された合計を、検証されたＢＳＩＵの数で割ることで、検証された複数のＢＳＩＵの複

数のラッチからの情報の平均を計算する。上の数値は両者ともブロック７１１において計算されたものである。この平均値の使用は、無相関ノイズが使用可能なソースの数が増加すると減少するという事実を利用するものである。次に、ブロック７１４において、この平均値を利用して、当分野において周知の方法を用いて調節値を計算し、この調節値を発振器調節回路、例えば、発振器調節回路６０６に送信する。制御は、次に、判定ブロック７１６に渡される。

【００３４】

判定ブロック７１６において、有効リスト内のＢＳＩＵに関する統計的スクリーニングテストを遂行するための時間が経過したか否か決定する。答えが否定である場合は、制御は、判定ブロック７０２に戻される。この統計的スクリーニングは、好ましくは、１０ミリ秒毎に遂行される。ただし、当業者においては容易に理解できるように、この統計的スクリーニングは、これとは異なる間隔にて遂行することも可能である。判定ブロック７１６における答えが肯定である場合、ブロック７１７において、最初のＢＳＩＵを選択する。これは、好ましくは、ＢＳＩＵ１１１とされる。次に判定ブロック７１８において、平均の標準偏差を計算し、選択したＢＳＩＵの差ラッチから読み出された値が、ブロック７１３において計算した平均値からの標準偏差以内であるか否か決定する。判定ブロック７１８における答えが否定である場合は、選択したＢＳＩＵを有効リストから削除し、その後、制御は、判定ブロック７２２に渡される。判定ブロック７１８に戻り、答えが肯定である場合は、判定ブロック７１９において、選択したＢＳＩＵを有効リストに追加し、その後、制御は、判定ブロック７２２に渡される。判定ブロック７２２において、統計的にスクリーニングされるべき別のＢＳＩＵが存在するか否か決定する。説明中の例では、スクリーニングされるべき最後のＢＳＩＵは、ＢＳＩＵ１１５である。判定ブロック７２２における答えが肯定である場合は、ブロック７２３において次のＢＳＩＵを選択し、その後、制御は、判定ブロック７１８に戻される。判定ブロック７２２の答えが否定である場合は、制御は判定ブロック７０２に戻される。

【００３５】

図７の説明は、関連するＢＳＳＵからの光ファイバリンクから、ローカル発振器６０５に対する調節値を計算するために利用できる十分に安定な周波数を回復するＢＳＩＵを選択することとの関連で行なわれた。ただし、当業者においては、実際に選択されるのは、例えば、ＢＳＩＵ１１１との関連で述べると、ＢＳＳＵ１２０、光ファイバリンク１０８、およびポートユニット１１７から構成される経路であることを理解できるものである。つまり、選択され、検証されるのは、ＢＳＩＵ１１１からＢＳＣ６０２に至るこの経路である。

【００３６】

図８は、ポートユニット１１７を示す。他のポートユニットも類似する設計を持つ。データは、ＳＴＭ－１リンク１０３上に、ＰＬＬ８０２のタイミングの制御下で、ＤＴＵ６０３のタイミング信号発生器６０４からリード８１３上に送信されるＳＴＭ－１クロック信号を利用して送信される。図８には、トランシーバは示されないが、これは、当業者においては周知である。また、この送信は、周知の方法を用いて行なわれる。ＳＴＭ－１リンク１０３からの入りデータについては、受信機フレーマ８０３によってフレーム化される。

【００３７】

図８での関心事は、ポートユニット１１７を用いて、どのようにして、遠隔位相検出を遂行し、ＳＴＵ６０１を、位相および周波数において、ＳＴＭ－１リンク１０３にロックするかの方法である。リンク周波数が、受信フレーマ８０３によって回復され、アンチエイリアシングＰＬＬ（ａｎｔｉ－ａｌｉａｓｉｎｇ　ＰＬＬ）８０４に送信される。ＰＬＬ８０４は、５０Ｈｚのローパス位相伝達関数を持ち、結果としてのろ波された信号を、デジタルクロック信号として、カウンタ８０５に送信する。加えて、ＰＬＬ８０４は、ケーブル８１１を介して、遠隔位相コントローラ８０９に向けて入りリンク上に過剰なジッタあるいはクロックの損失が存在するか否かの情報を送信する。カウンタ８０５は、フリー

ラニングカウンタであり、単に、カウントアップした後に、零に戻る。カウンタ８０５の出力は、タイミング信号発生器６０４からリード６３８を介して受信されるＭＦＳ信号の制御下で、ラッチ８０６内に格納される。このＭＦＳ信号は、５００ミリ秒間隔で発生し、図６のリード６３８上に送信される。ＳＵＢ－ＭＦＳ信号は、１７の倍数を減じた信号であり、リード８１２上に送信される。先にラッチ８０６に格納されたデータが、ＭＦＳ信号によるクロックによって、ラッチ８０７に格納される。減算器８０８は、ラッチ８０６とラッチ８０７の内容間の差を計算する。ラッチ８０６とラッチ８０７との間のこの差は、この最後のＭＦＳ間隔において発生した入力クロック期間の数を表す。次に、期待される差値が、遠隔位相コントローラ８０９によって送信されるべきビットの数から減じられる。この期待される差値は、ＳＴＵ６０１と、ＳＴＵ６０１がそれに対して同期を試みているＳＴＭ－１リンクとが、完全に同期している場合に期待されるクロック期間の数である。次に、この期待される差値が、減算器８０８によって、ラッチ８０６とラット８０７の内容の差値から引かれ、結果として、最終的な差値が得られる。次に、この最終的な差値を用いて、リンク周波数と図６のローカル発振器６０５によって生成される周波数との間の５００マイクロ秒間隔における位相の増分差が表される。ローカル発振器６０５の周波数は、基本的には、ＳＴＵ６０１によって生成されるシステム周波数であって、このシステム周波数が図１のシステムのタイミングを取るために利用されるために、この最終的な差値は、１ＭＦＳ間隔におけるリンク周波数とシステム周波数との間の差を表す。この最終的な差値が、ＳＴＵ６０１に送られ、ＳＴＵ６０１は、この差値を用いて、システム周波数を、システム周波数がリンク周波数と位相および周波数において一致するまで調節する。

【００３８】

遠隔位相コントローラ８０９は、各ＭＦＳ信号が発生する度に遠隔位相メッセージを編成する。この遠隔位相メッセージは、減算器８０８から送られる現在の差値と、最後の１６回の計算において発生した差値の合計（差値の総和とも呼ばれる）とから成る。当業者においては容易に理解できるように、この差値の合計を、最後の１６回の計算の総和とは異なる方法で計算することも可能である。例えば、２回の計算を表す差値の合計を用いることも可能である。さらに、当業者においては容易に理解できるように、各ＭＦＳ信号が発生するに度に、複数の差値の合計を遠隔位相メッセージに入れて送信することも可能である。さらに、このメッセージに、ＰＬＬ８０４からケーブル８１１を介して送信される情報、並びに、カウンタ８１０の内容を付加することも考えられる。カウンタ８１０は、１６までカウントした後に零にリセットされる単純な二進カウンタであり、カウンタ８１０の内容は、遠隔位相コントローラ８０９によって生成された遠隔位相メッセージのシーケンスを定義する。この遠隔位相メッセージは、図６のＤＴＵ６０３のＤＰＬＬコントローラ６０８に送信される。各ポートユニットは、別個の類似する遠隔位相メッセージを、ＤＰＬＬコントローラ６０８に送信する。ＤＰＬＬコントローラ６０８は、ＳＴＵ６０１から前に受信したメッセージの制御下で、一例として、０、１あるいは２個のこれら遠隔位相メッセージを選択し、こうして選択した遠隔位相メッセージを、ＢＳＩＵ１１１～１１５およびＢＳＳＵ１２０～１２９の各々を介してＳＴＵ６０１に送信する。ある任意の時間において、ＳＴＵ６０１は、一つのポートユニットからの遠隔位相メッセージのみを用いる。長所として、ＳＴＵ６０１は、任意の時間において、各サブラックから２個の遠隔位相メッセージを選択することができ、全体しては、最大で、１６個までの遠隔位相メッセージを選択することができる。当業者においては容易に理解できるように、この能力は、ＳＴＵ６０１が多くのタイプの同期動作を遂行することを可能にする。ＳＴＵ６０１は、最も正確な周波数の精度を持つことが示されたＳＴＭ－１リンクに基づいて基準の選択を行なう。この柔軟性は、ＳＴＵ６０１が、図１に示すシステム上に終端する２５６個のＳＴＭ－１リンクの任意の一つをそれに対してシステム周波数を同期するためのリンクとして選択することを可能にする。

【００３９】

ポートユニット１１７によってＳＴＭ－１リンク１０３から受信されるデータは、最初、

受信フレーマ８０３によってフレーム化される。受信フレーマ８０３は、弾性メモリ６１４の機能およびこれと関連する書込みおよび読出しカウンタの機能を含むことに注意する。この情報は、フレーマ８０３の弾性メモリからが読み出され、８個のビットが並列にスイッチ８１４に送信される。スイッチ８１４は、ケーブル６３３上に受信される制御情報受信機６３１からのビットスライス制御情報に応答して、ビット流を編成し、これを、ＢＳＩＵ１１１～１１５に向うケーブル上に送信する。例えば、ＢＳＩＵ１１１がデータを交換するために用いられている場合は、１個のビット流を、導線８１７を介して、ＢＳＩＵ１１１に送信する。

【００４０】

ＳＴＭ－１リンク１０３上に送信されるべきデータは、スイッチ８１６によって、アクティブにデータを交換しているＢＳＩＵ１１１～１１５の各々から受信される。例えば、スイッチ８１６は、スイッチ６１６から導線６２９を介して、ＳＴＭ－１リンクの１個のビット位置に対するビットを受信する。制御情報受信機６３１　からケーブル６３３を介して受信される制御情報に応答して、スイッチ８１６　は、入りコネクタ上に受信されるビット位置を適当なビット位置に配列し、これによって、これらビットが、ケーブル８１８を介して並列に送信フレーマ８０１に送信されるビット上の適当な位置を取るようにする。ケーブル８１８は、８個のビットを、並列に運ぶ。送信フレーマ８０１は、各サイクルにおいて受信される８個の入りビットに応答して、これらビットを一つの直列ビット流に編成し、ＳＴＭ－１リンク１０３上に送信する。

【００４１】

図９は、図６のＳＴＵ６０１をより詳細に示す。遠隔位相コントローラ、例えば、図８の遠隔位相コントローラ８０９によって送信された遠隔位相メッセージは、最初、図６のＢＳＣ６０２によって受信され、次に、ＳＴＵ６０１に送信される。ＤＰＬＬコントローラ９０１は、選択されたポートユニットからの遠隔位相メッセージに応答して、発振器調節回路９０３を介して、ローカル発振器９０４の位相を制御する。ローカル発振器９０４は、精密発振器９０５および選択されたＳＴＭ－１リンクに合わせて調節される。ＤＰＰＬコントローラ９０１によってローカル発振器９０４を調節を遂行するために利用されるアルゴリズムは、当業者においては周知であり、例えば、合衆国特許第５，４８３，２０１号において開示されている。このため、詳細についてはこれを参照されたい。ローカル発振器９０４の出力を利用して、タイミング信号発生器９０６が駆動され、タイミング信号発生器９０６は、システムタイミングを、ＢＳＣ６０２に供給する。

【００４２】

図１０は、ＳＴＵ６０１の代替実施例を示す。この実施例においては、要素１００１～１００５は、タイミング信号発生器１００６にシステム周波数を供給する点では、図９の要素９０１～９０５と同一に機能する。図９のＳＴＵ６０１の第１の実施例と同様に、ＤＰＬＬコントローラ１００１は、選択されたポートユニットからの遠隔位相メッセージに応答して、ローカル発振器１００４を制御する。ただし、ここでは、加えて、図１に示すシステムと共にもう一つの外部交換システムが設置され、この交換システムは、システム周波数を、ＳＴＭ－１リンクの別の一つから派生する。タイミング信号発生器１００６の周波数および位相は、下部の各ポートユニット、例えば、ポートユニット１１７の所では正確である。このため、ＳＴＵ６０１は、図１０のデジタルシンセサイザ１０１２を利用し、遠隔位相コントローラ、例えば、図８の遠隔位相コントローラ８０９によって生成された遠隔位相メッセージを用いて、任意の与えられたＳＴＭ－１　リンクの周波数を再生することが可能である。つまり、ＤＰＬＬコントローラ１００１は、遠隔位相コントローラからの遠隔位相メッセージに応答して、ケーブル１０１１を介して、デジタルシンセサイザ１０１２を制御し、これによって、タイミング信号発生器１００６からアナログＰＬＬ１００８に送信することが許されるパルスの数を制御する。アナログＰＬＬ１００８は、この入りパルスに応答して、選択されたＳＴＭ－１リンクの周波数および位相を表すフィルタリングされた高度に正確な信号であるアナログ信号を再生する。次に、このアナログ信号が外部交換システムに送信される。

【００４３】
図１１は、図１０の要素によって生成される信号を示す。ライン１１０１は、タイミング信号発生器１００６によってリード１００７上に出力される周波数信号を示す。ライン周波数信号の周波数および位相と、タイミング信号発生器１００６によってリード１００７上に出力される周波数信号とが長期間に渡って一致する場合は、デジタルシンセサイザ１０１２は、図１１のライン１１０３上に示すようなパルスを継続的に出力する。この結果、デジタルシンセサイザ１０１２は、タイミング信号発生器１００６からリード１００７上に受信される６個のパルスに応答して、リード１００７上に受信される６個のパルスに対して４個のパルスを、リード１００９を介して、アナログＰＬＬ１００８に送信することとなる。アナログＰＬＬ１００８は、これらパルスに応答して、好ましくは、一つの２０４８ｋＨｚ信号を生成し、これを外部交換システムに送信する。ＳＴＴ－１リンクのライン周波数の方が、タイミング信号発生器１００６の周波数より低い場合は、デジタルシンセサイザ１０１２は、ＤＰＬＬコントローラ１００１の制御下で、ライン１１０２に示すように、６個のパルスに対して３個のパルスを生成することでこの周波数の差を、アナログＰＬＬ１００８の出力がＳＴＭ－１リンクの周波数および位相に一致するまで調節する。反対に、ＡＴＭ－１リンクの周波数信号の方が、タイミング発生器１００６の周波数より高い場合は、デジタルシンセサイザ１０１２は、ＤＰＬＬコントローラ１００１の制御下で、リード１００７上に受信される入りパルスに応答して、ライン１１０４に示すように６個のパルスに対して５個のパルスを送信する。アナログＰＬＬ１００８は、こうして増加された数のパルスに応答して、外部交換システムに送信される信号の周波数を増加させる。入力上に受信されるデジタルパルスに応答して滑らかで安定したアナログ信号を生成するためにアナログＰＬＬ１００８をどのように設計すれば良いかは当業者においては周知である。

【００４４】
図１２は、図１０のデジタルシンセサイザ１０１２を詳細に示す。要素１２０１～１２０５は、リード１００７上にタイミング信号発生器１００６からのクロックパルスを６個受信した後、再びサイクルを開始するモジュロ６カウンタを形成する。これらモジュロ６カウンタの設計および動作は、当業者においては周知であり、これらの詳細についてはここでは割愛する。図１２に示す論理回路の全体的な動作を説明すると、フリップフロップ１２１４がセットされている場合は、図１１のライン１１０４によって示されるように、モジュロ６カウンタの各サイクルにおいて、リード１００７上に受信される６個のパルスに対して５個のパルスがゲート１２２１と１２２２を介してリード１００９上に送信される。フリップフロップ１２１３がセットされており、フリップフロップ１２１４がセットされてない場合は、図１１のライン１１０２によって示されるように、モジュロ６カウンタの各サイクルにおいて、６個のパルスに対して３個のパルスが、ライン１００７から、ゲート１２２１と１２２２によってリード１００９に送信される。フリップフロップ１２１４と１２１３の両方ともセットされてない場合は、モジュロ６カウンタの各サイクルにおいて、４個のパルスが、リード１００７からリード１００９にゲート１２２１と１２２２によって送信される。ゲート１２１６～１２１９は、モジュロ６カウンタの状態（フリップフロップ１２０１～１２０３の出力）に応答して、フリップフロップ１２２０を制御する。一方、フリップフロップ１２２０は、ゲート１２２１を制御することで、フリップフロップ１２１３と１２１４との関連で上に説明した動作を達成する。当業者においては容易に理解できるように、要素１２１３～１２２２の動作と、これと関連してのフリップフロップ１２０１～１２０３の動作によってこれら動作が遂行される。

【００４５】
モジュロ６カウンタの各サイクルにおいて、フリップフロップ１２１４の状態はシフトレジスタ１２１１の出力によって決定され、フリップフロップ１２１３の状態はシフトレジスタ１２１２の出力によって決定される。シフトレジスタ１２１１および１２１２は、各々８個のビットを含む。これら８個のビットは、ＤＰＬＬコントローラ１００１からケーブル１０１１を介して受信されるデータ／ストロボ信号を介して、これらシフトレジスタ

に挿入される。シフトレジスタ１２１１にロードされるデータは、サブケーブル１２２５を介して受信され、リード１２２３および１２２４上のストロボ信号の制御下でロードされる。同様に、シフトレジスタ１２１２にロードされるデータは、サブケーブル１２２６を介して受信され、リード１２２３および１２２７上に受信されるストロボ信号の制御下でシフトレジスタ１２１２にロードされる。シフトレジスタ１２１１および１２１２は、モジュロ６カウンタの各サイクルにおいて、１度のみシフトされる。これらシフトレジスタ内部のビットのシフトは、ゲート１２０６およびフリップフロップ１２０７によって制御され、これにより、リード１００７上のクロック信号が、これらシフトレジスタを、モジュロ６カウンタのサイクルの開始において、シフトすることが可能となる。

【００４６】

図１３は、ＤＰＬＬコントローラ１００１によってデジタルシンセサイザ１０１２を制御する際に遂行されるステップを流れ図にて示す。判定ブロック１３０１において、デジタルシンセサイザ１０１２に送信する調節値の計算を遂行する時間であるか否か決定する。この計算は、好ましくは、８ミリ秒毎に遂行される。前述のように、遠隔位相コントローラ、例えば、図８の遠隔位相コントローラ８０９は、システム周波数とリンク周波数との間の差を、１ミリ秒毎に計算するが、これと共に、８ミリ秒期間に渡っての差の総和を維持する。デジタルシンセサイザ１０１２の調節には、この差の総和が利用される。判定ブロック１３０１における答えが肯定である場合は、制御は、判定ブロック１３０２に渡され、ここで、遠隔位相メッセージにエラーの発生が示されるか否か決定する。判定ブロック１３０２における答えが肯定である場合は、制御は、エラーを回復するためにブロック１３０３に渡される。判定ブロック１３０２における答えが否定である場合は、制御は、判定ブロック１３０４に渡され、ここで、差の総和が“－７”より大きく、“７”より小さいか否か決定する。判定ブロック１３０４における答えが否定である場合は、制御は、エラーを回復するためにブロック１３０３に渡される。判定ブロック１３０４における答えが肯定である場合は、判定ブロック１３０６において、差の総和が零より小さいか否か決定する。判定ブロック１３０６における答えが肯定である場合は、制御はブロック１３０７に渡され、ここで、差の総和の絶対値が、バイトにおいて等価の個数のビットに変換される。例えば、差の総和が“－４”である場合は、ブロック１３０７において、４個の１および４個の０を持つバイトが形成される。ブロック１３０７においてこうしてバイトを形成した後に、制御は、ブロック１３０８に渡される。ここで、シフトレジスタ１２１２には、こうして形成されたバイトがロードされ、シフトレジスタ１２１１には、零が挿入される。

【００４７】

判定ブロック１３０６に戻り、答えが否定である場合は、判定ブロック１３０９において、差の総和が０より大きいか否か決定される。答えが肯定である場合は、ブロック１３１２において、差の総和の絶対値に等しい等価の個数のビットを含むバイトが形成される。次に、ブロック１３１３において、こうして形成されたバイトがシフトレジスタ１２１１にロードされ、シフトレジスタ１２１２には複数の零が挿入され、その後、制御は判定ブロック１３０１に戻る。判定ブロック１３０９における答えが否定である場合は、制御は、ブロック１３１１に渡され、ここで、シフトレジスタ１２１１と１２１２に複数の零が挿入され、その後、制御は、判定ブロック１３０１に戻る。

【図面の簡単な説明】

【図１】図１は本発明による電気通信交換システムをブロック図の形式にて示す図である。

【図２】ビットスライススイッチングユニットをブロック図の形式にて示す図である。

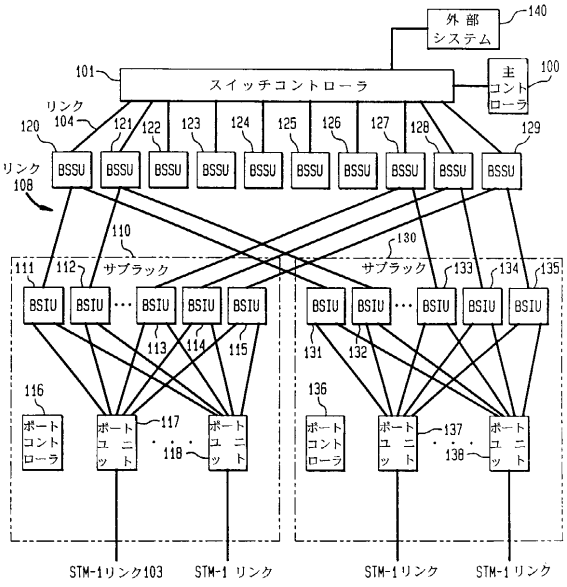
【図３】第１のタイプのタイムスロットインタチェンジ（ＴＳＩ）ユニットをブロック図の形式にて示す図である。

【図４】第２のタイプのＴＳＩユニットをブロック図の形式にて示す図である。

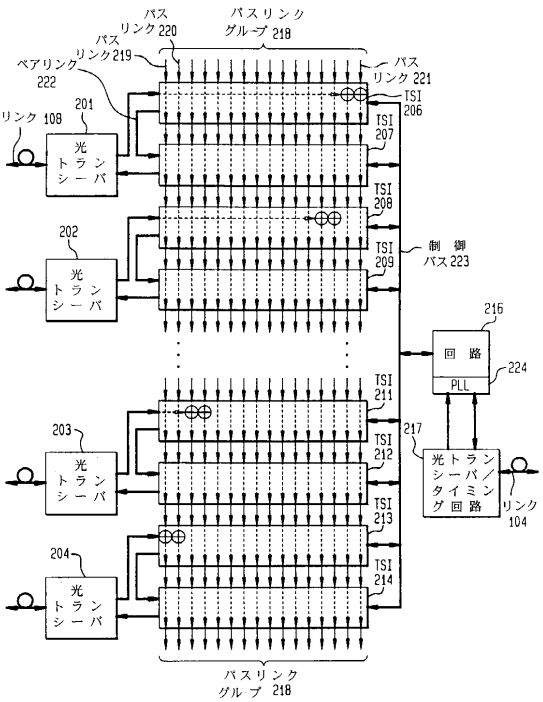
【図５】第１あるいは第２のタイプのＴＳＩユニットのＴＳＩブロックをブロック図の形式にて示す図である。

【図６】ビットスライスインタフェースユニットおよびポートコントローラをブロック図の形式にてより詳細に示す図である。
【図７】図７は、図７Ａと図７Ｂの関係を示す図である。
【図７Ａ】ポートコントローラのＤＰＬＬコントローラによってローカル発振器の周波数を調節するために遂行される動作を流れ図の形式にて示す、図７の上半分の図である。
【図７Ｂ】ポートコントローラのＤＰＬＬコントローラによってローカル発振器の周波数を調節するために遂行される動作を流れ図の形式にて示す、図７の下半分の図である。
【図８】ポートユニットをブロック図の形式にて示す図である。
【図９】システムのタイミングユニットをブロック図の形式にて示す図である。
【図１０】システムのタイミングユニットのもう一つの実施例をブロック図にて示す図である。
【図１１】タイミング図を示す図である。
【図１２】デジタルシンセサイザの論理ダイアグラムを示す図である。
【図１３】システムのタイミングユニットによって外部周波数を別の交換システムに供給するために遂行される動作を流れ図の形式にて示す図である。
【符号の説明】
１００　主コントローラ
１０１　スイッチコントローラ
１０３　外部リンク
１０４　双向性光ファイバリンク
１０８　双向性光ファイバリンク
１１０　ＢＳＩＵのサブラック
１１６　ポートコントローラ
１２０～１２９　ビットスライススイッチングユニット（ＢＳＳＵ）

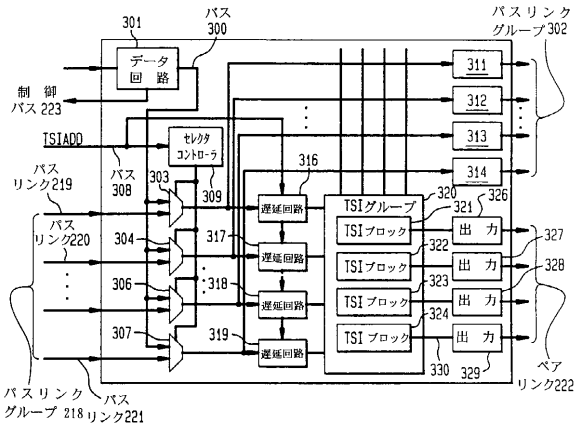
【図１】



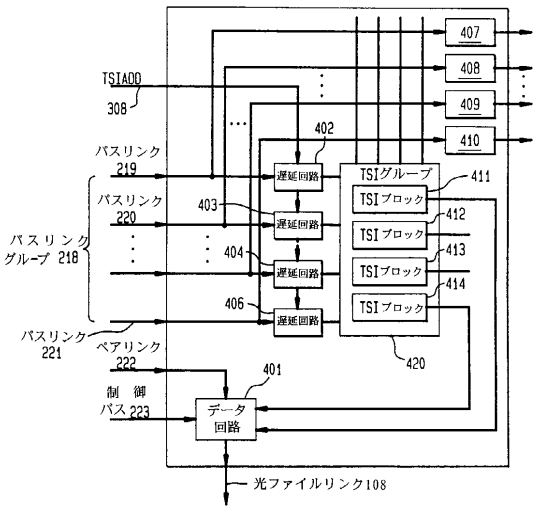
【図２】



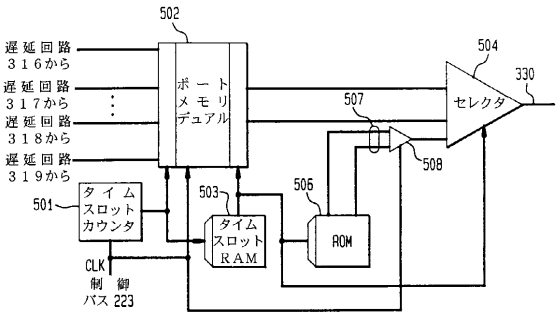
【図３】



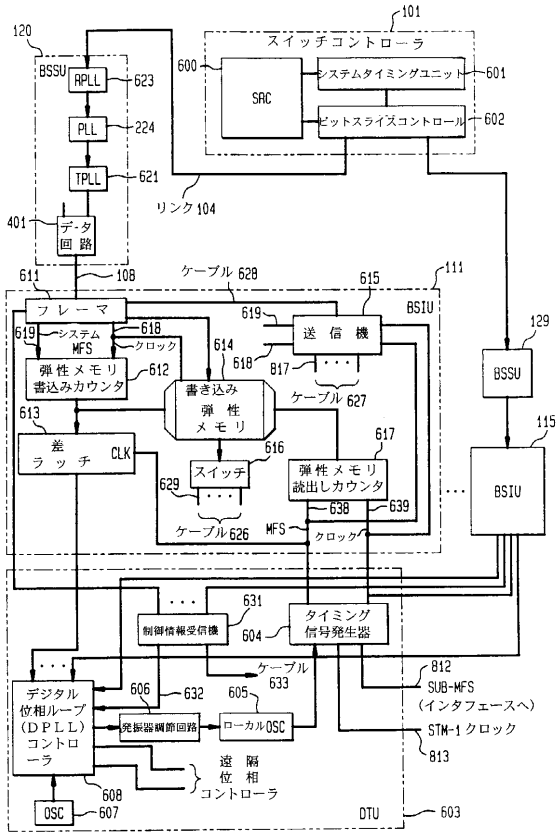
【図４】



【図５】



【図６】

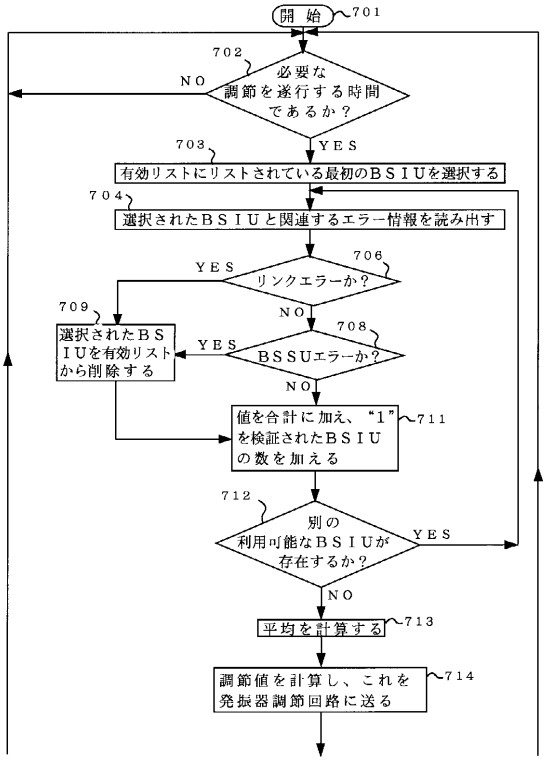


【図７】

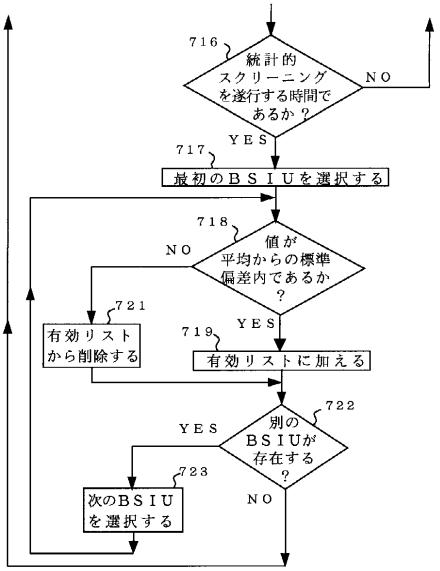
図７Ａ

図７Ｂ

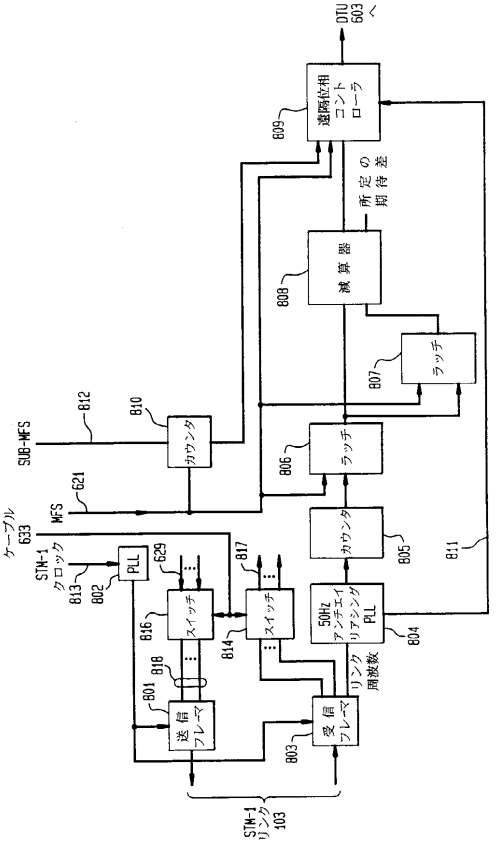
【図７Ａ】



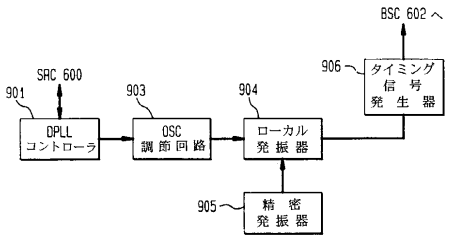
【図７Ｂ】



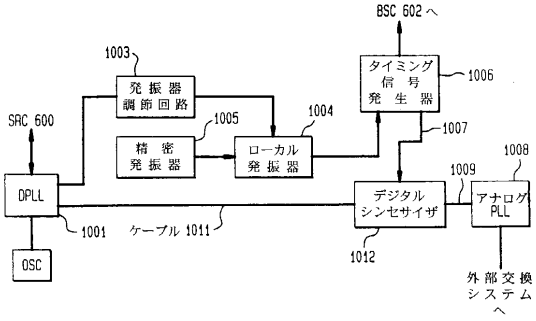
【図８】



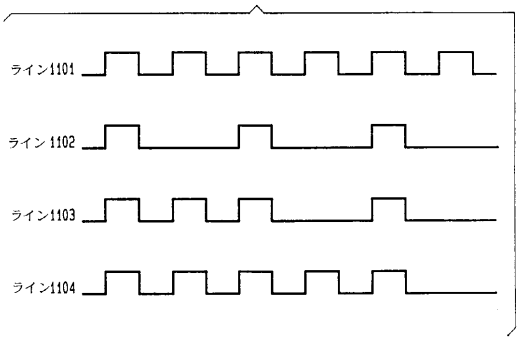
【図９】



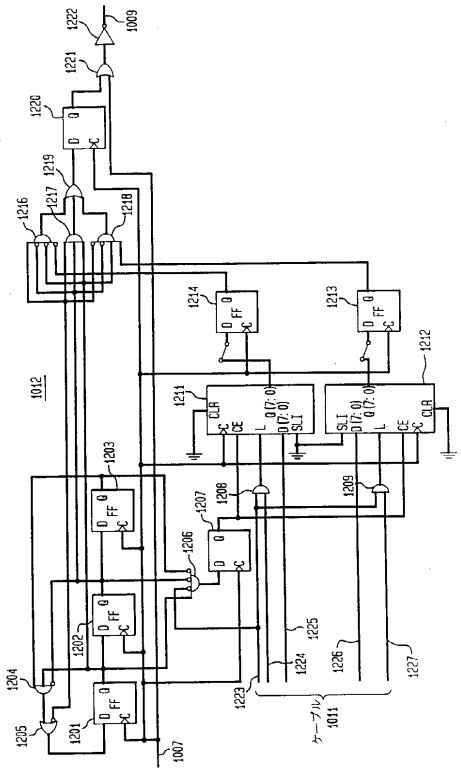
【図１０】



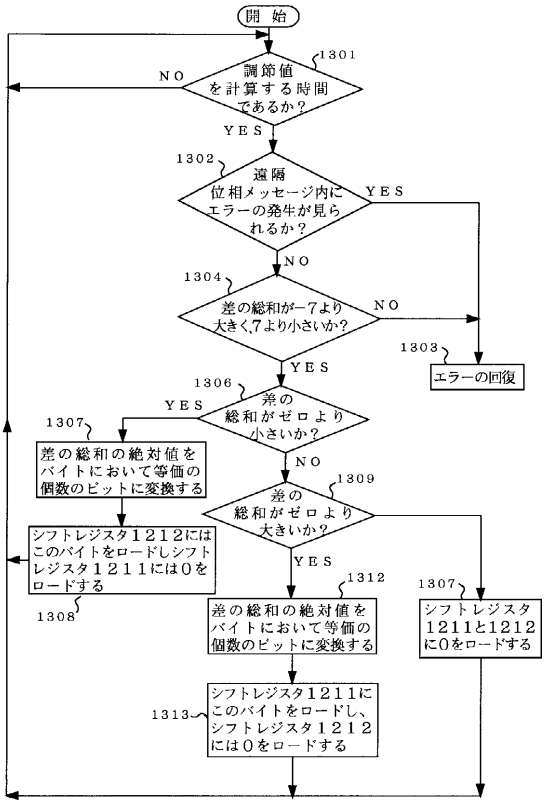
【図１１】


ライン1101
ライン1102
ライン1103
ライン1104

【図１２】


1222
1009
1221
1220
1219
1217
1218
1216
1214
1213
1212
1012
1211
CLR
CE
L
D(7..0)
Q(7..0)
SLI
1203
1209
1208
1207
1206
1202
1225
1224
1226
1227
1204
1223
ケーブル
1011
1205
1201
1007

【図１３】


開 始
1301
調節値を計算する時間であるか？
NO
YES
1302
遠隔位相メッセージ内にエラーの発生が見られるか？
YES
NO
1304
差の総和が−7より大きく7より小さいか？
NO
YES
1303
エラーの回復
1306
差の総和がゼロより小さいか？
YES
NO
1307
差の総和の絶対値をバイトにおいて等価の個数のビットに変換する
1309
差の総和がゼロより大きいか？
YES
シフトレジスタ１２１２にはこのバイトをロードしシフトレジスタ１２１１には０をロードする
1308
1312
差の総和の絶対値をバイトにおいて等価の個数のビットに変換する
1307
シフトレジスタ1211と1212に0をロードする
1313
シフトレジスタ１２１１にこのバイトをロードし、シフトレジスタ１２１２には０をロードする

フロントページの続き

(51)Int.Cl.[7] F I
H０４Q 11/04 M

(74)代理人 100091889
弁理士 藤野 育男
(74)代理人 100101498
弁理士 越智 隆夫
(74)代理人 100096688
弁理士 本宮 照久
(74)代理人 100102808
弁理士 高梨 憲通
(74)代理人 100104352
弁理士 朝日 伸光
(74)代理人 100107401
弁理士 高橋 誠一郎
(74)代理人 100106183
弁理士 吉澤 弘司
(72)発明者 エドワード ジェー. ボートリニ
アメリカ合衆国 ８０４６６ コロラド, ネダーランド, シャディ ホロー １８
(72)発明者 ジェームス アール. ボートリニ
アメリカ合衆国 ８００２０ コロラド, ブルームフィールド, クリーク ドライヴ ４１３１

合議体
審判長 武井 袈裟彦
審判官 望月 章俊
審判官 衣鳩 文彦

(56)参考文献 特開平２－６７０４５（ＪＰ, Ａ）
特開平７－１１５４１６（ＪＰ, Ａ）

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H04L 12/56
H04J 3/00
H04J 3/06
H04Q 3/52
H04Q 11/00 - 04