

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6588878号
(P6588878)

(45) 発行日 令和1年10月9日 (2019. 10. 9)

(24) 登録日 令和1年9月20日 (2019. 9. 20)

(51) Int. Cl.	F 1
H03F 1/22 (2006.01)	H03F 1/22
H03F 3/195 (2006.01)	H03F 3/195
H03F 1/02 (2006.01)	H03F 1/02

請求項の数 5 (全 25 頁)

(21) 出願番号	特願2016-168465 (P2016-168465)	(73) 特許権者	000003078
(22) 出願日	平成28年8月30日 (2016. 8. 30)		株式会社東芝
(65) 公開番号	特開2018-37801 (P2018-37801A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成30年3月8日 (2018. 3. 8)	(73) 特許権者	317011920
審査請求日	平成30年8月31日 (2018. 8. 31)		東芝デバイス&ストレージ株式会社
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100091982
			弁理士 永井 浩之
		(74) 代理人	100091487
			弁理士 中村 行孝
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100105153
			弁理士 朝倉 悟

最終頁に続く

(54) 【発明の名称】 高周波半導体増幅回路

(57) 【特許請求の範囲】

【請求項 1】

S O I (Silicon On Insulator) 基板上に配置され、ソース接地の第1トランジスタと

、

前記 S O I 基板上に配置され、前記第1トランジスタにカスコード接続される第2トランジスタと、

前記 S O I 基板上に配置され、前記第1トランジスタのゲート電圧、前記第2トランジスタのゲート電圧、および前記第2トランジスタのドレイン用の第1電圧を生成するバイアス生成回路と、を備え、

前記バイアス生成回路は、前記第1トランジスタの閾値電圧を第2電圧とし、前記第1トランジスタのゲート - ソース間電圧に対するドレイン電流の平方根の変化を表す曲線を前記ゲート - ソース間電圧で二階微分した曲線の最大値に対応するゲート - ソース間電圧を第3電圧としたときに、前記第1トランジスタのゲート電圧を前記第2電圧と前記第3電圧との間の電圧であって、前記第1トランジスタのドレイン - ソース間電圧より小さい電圧に設定する、高周波半導体増幅回路。

【請求項 2】

前記第1トランジスタのドレイン - ソース間電圧は、インパクトイオン化により正孔が前記第1トランジスタのボディ領域に蓄積される現象が生じる電圧よりも低くなるように設定される、請求項1に記載の高周波半導体増幅回路。

【請求項 3】

10

20

前記第 1 トランジスタおよび前記第 2 トランジスタのボディはフローティング状態である、請求項 1 または 2 に記載の高周波半導体増幅回路。

【請求項 4】

前記第 1 トランジスタのボディはフローティング状態であり、

前記第 2 トランジスタのボディは、前記第 2 トランジスタのソースに接続されている、請求項 1 または 2 に記載の高周波半導体増幅回路。

【請求項 5】

前記バイアス生成回路は、前記第 1 トランジスタのドレイン - ソース間電圧と前記第 2 トランジスタのドレイン - ソース間電圧とが等しくなるように前記第 1 トランジスタのゲート電圧と前記第 2 トランジスタのゲート電圧とを制御する、請求項 1 乃至 4 のいずれか一項に記載の高周波半導体増幅回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、高周波半導体増幅回路に関する。

【背景技術】

【0002】

近年、高周波低雑音増幅器を SiGe バイポーラプロセス（以下、SiGe プロセス）から SOI（Silicon On Insulator）CMOS プロセス（以下、SOI プロセス）に置換する検討が進められている。SOI プロセスは SiGe プロセスよりも低コストであり、また SOI プロセスで形成した MOS トランジスタの寄生容量は小さいことから、高周波信号の電力損失が小さくなる。よって、SOI プロセスを用いれば、電気的特性を劣化させずに、高周波スイッチと高周波低雑音増幅器とを同一の SOI 基板上に形成できる。

【0003】

しかしながら、SOI プロセスで作製した高周波低雑音増幅器の電気的特性（特に、ノイズ指数 NF）を SiGe プロセス並に優れたものにするのは容易ではない。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 105810 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の一実施形態は、ノイズ指数等の電気的特性に優れた高周波半導体増幅回路を提供するものである。

【課題を解決するための手段】

【0006】

本実施形態では、SOI（Silicon On Insulator）基板上に配置され、ソース接地の第 1 トランジスタと、

前記 SOI 基板上に配置され、前記第 1 トランジスタにカスコード接続される第 2 トランジスタと、

前記 SOI 基板上に配置され、前記第 1 トランジスタのゲート電圧、前記第 2 トランジスタのゲート電圧、および前記第 2 トランジスタのドレイン用の第 1 電圧を生成するバイアス生成回路と、を備え、

前記バイアス生成回路は、前記第 1 トランジスタの閾値電圧を第 2 電圧とし、前記第 1 トランジスタのゲート - ソース間電圧に対するドレイン電流の平方根の変化を表す曲線を前記ゲート - ソース間電圧で二階微分した曲線の最大値に対応するゲート - ソース間電圧を第 3 電圧としたときに、前記第 1 トランジスタのゲート電圧を前記第 2 電圧と前記第 3 電圧との間の電圧であって、前記第 1 トランジスタのドレイン - ソース間電圧より小さい電圧に設定する、高周波半導体増幅回路が提供される。

【図面の簡単な説明】

【0007】

【図1】第1の実施形態による高周波半導体増幅回路のブロック図。

【図2】理想的なMOSFETモデル(LEVEL1)の G_m/I_{dd} 対 V_{gs} 特性を示すグラフ。【図3】FET1Aの $sqr(t(I_{ds}))$ 対 V_{gs} 特性を示すグラフ。【図4】 $sqr(t(I_{ds}))$ の V_{gs} に対する二階微分関数を示すグラフ。【図5A】一般的なバルクシリコンの $I_{ds}-V_{ds}$ 特性の一例を示すグラフ。【図5B】 I_{ds} 一定条件($50\mu A$)下での G_m-V_{ds} 特性を示すグラフ。【図6A】SOI上のNMOSトランジスタの $I_{ds}-V_{ds}$ 特性の一例を示すグラフ。【図6B】図5Aと同じNMOSトランジスタの G_m-V_{ds} 特性の一例を示すグラフ。

【図7】MOSトランジスタのドレイン-ソース間電圧とソース接地のMOSトランジスタのノイズ指数の最小値との関係を示すグラフ。

【図8】一比較例によるカスコード増幅回路とバイアス生成回路の回路図。

【図9】図1のバイアス生成回路の内部構成の一例を示す回路図。

【図10】図9のバイアス生成回路の一具体例を示す回路図。

【図11A】抵抗とキャパシタを設けない場合のFET2Aの V_{gs2} 、 V_{ds2} の電圧波形図。【図11B】抵抗とキャパシタを設けない場合のFET1Aの V_{gs1} 、 V_{ds1} の電圧波形図。【図11C】抵抗とキャパシタを設けた場合のFET2Aのゲート-ソース間電圧 V_{gs2} 、ドレイン-ソース間電圧 V_{ds2} の電圧波形図。【図11D】抵抗とキャパシタを設けた場合のFET1Aのゲート-ソース間電圧 V_{gs1} 、ドレイン-ソース間電圧 V_{ds1} の電圧波形図。

【図12】第2の実施形態による高周波LNAのブロック図。

【図13】図9のバイアス生成回路の内部構成の一例を示す回路図。

【図14】図10のバイアス生成回路の一具体例を示す回路図。

【図15】第2の実施形態によるFET2Aのレイアウト図。

【図16】第2の実施形態によるFET1Aのレイアウト図。

【図17】第3の実施形態による高周波LNA1のブロック図。

【図18】図14のバイアス生成回路の内部構成の一例を示す回路図。

【図19】図15のバイアス生成回路の一具体例を示す回路図。

【図20】図15および図16のバイアス生成回路の要部を示す回路図。

【図21】第4の実施形態による高周波半導体増幅回路1のブロック図。

【図22】第4の実施形態によるバイアス生成回路3の内部構成の一例を示す回路図。

【図23】図19のバイアス生成回路3の一具体例を示す回路図。

【図24】第1～第4の実施形態をまとめた図。

【発明を実施するための形態】

【0008】

以下、図面を参照しながら、本発明の実施形態を説明する。具体的な実施形態を説明する前に、SiGeプロセスで作製したMOSトランジスタと、SOIプロセスで作製したMOSトランジスタとの電気的特性について説明する。

【0009】

トランジスタのノイズ指数NFや利得に直接関係する指標として、トランスコンダクタンス G_m がある。消費電流を I_{dd} とすると、バイポーラトランジスタの G_m/I_{dd} は、動作点によらず一定になる。一般に、MOSFETの G_m/I_{dd} は、SiGeプロセスで作製したトランジスタの G_m/I_{dd} よりも低く、かつその値はゲート電圧に応じて大きく変化する。

【0010】

バイポーラトランジスタの G_m は次式で与えられる。

【0011】

10

20

30

40

50

$$G_m = (k T / q) I_{dd} \quad \dots (1)$$

【0012】

ここで、 k はボルツマン定数、 T は絶対温度、 q は素電荷である。

【0013】

一方、理想的なMOSFETモデル(LEVEL1)を想定すると、その飽和領域における G_m は次式で与えられる。

【0014】

$$G_m = (2 I_{dd} \cdot \mu \cdot C_{ox} \cdot W_g / L_g) \quad \dots (2)$$

【0015】

ここで、 μ は電子移動度、 C_{ox} はゲート容量、 W_g はゲート幅、 L_g はゲート長である。

10

【0016】

(2)式からわかるように、MOSFETにおける G_m を所望の値にするには、ゲート容量、ゲート幅およびゲート長などの素子定数と、ゲート-ソース間電圧 V_{gs} やドレイン-ソース間電圧 V_{ds} 等のバイアス条件とをともに最適化する必要がある。そこで、本実施形態は、素子定数とバイアス条件の最適化を行うものである。

【0017】

(第1の実施形態)

図1は第1の実施形態による高周波半導体増幅回路1のブロック図である。図1の高周波半導体増幅回路1は、高周波LNA(Low Noise Amplifier)1とも呼ばれる。図1の高周波LNA1は、共通のSOI基板上にCMOSプロセスで作製されるものである。図1の高周波LNA1は、カスコード増幅回路2と、バイアス生成回路3とを備えている。

20

【0018】

カスコード増幅回路2は、N型トランジスタFET1A(第1トランジスタ)と、N型トランジスタ(第2トランジスタ)FET2Aと、インダクタL1、L2と、抵抗R1と、キャパシタC1、C2、C3とを有する。FET1AとFET2Aはカスコード接続されている。

【0019】

なお、本明細書では、N型またはP型のMOSトランジスタをFET、NMOS、PMOSなどと表記するが、いずれもCMOSプロセスで形成されるトランジスタであり、ゲート長やゲート酸化膜厚に違いはあるものの、構造上の本質的な違いはない。

30

【0020】

FET1Aのゲートには、キャパシタC1と外付けのインダクタLinを介して高周波入力信号を入力する入力端子RFinが接続されている。キャパシタC1は直流成分カット用のために設けられている。また、FET1Aのゲートには、バイアス生成回路3で生成されたバイアス電圧VB1が入力されている。FET1Aのソースは、インダクタL1を介して接地されており、FET1Aはソース接地回路である。

【0021】

FET2Aのゲートには、バイアス生成回路3で生成されたバイアス電圧VB2が入力されている。FET2AのソースはFET1Aのドレインに接続されている。FET2Aのドレインには、キャパシタC3を介して、高周波入力信号を増幅した高周波信号を出力する出力端子RFoutが接続されている。FET2Aのドレインには、並列接続された抵抗R1とインダクタL2を介して、バイアス生成回路3からの内部電圧Vdd_intが供給されている。抵抗R1は安定化のために設けられている。インダクタL2とキャパシタC3は出力端子RFoutの特性インピーダンスの調整のために設けられている。

40

【0022】

バイアス生成回路3には、イネーブル信号ENを入力する端子と外部電源電圧Vddを入力する端子とが設けられている。バイアス生成回路3に外部電源電圧Vddが入力され、かつイネーブル信号ENが例えばハイのときに、バイアス生成回路3は、バイアス電圧VB1、VB2と内部電圧Vdd_intとを生成する。

【0023】

50

図1の高周波LNA1内のカスコード増幅回路2とバイアス生成回路3は、同一のSOI基板上に作製されてワンチップ化されており、このチップに外付けされるインダクタ L_{in} と、キャパシタ C_2 と、インダクタ L_1 とによって、入力整合とノイズ整合が取られている。

【0024】

高周波LNA1の重要な特性指標は利得とノイズ指数NFである。一般にバイアス電流 I_{dd} を大きくすれば、利得とNFは改善する。また利得が増大するほどNFは減少する。例えば利得に関しては、利得/ I_{dd} が大きいことが求められる。一般には、利得/ I_{dd} が良好(大きい)ほど、NF/ I_{dd} も良好(小さく)になる。

【0025】

図2は理想的なMOSFETモデル(LEVEL1)の G_m/I_{ds} 対 V_{gs} 特性である。 G_m は利得に直接影響を与えるパラメータであるので、利得/ I_{dd} を大きくするためには、図2から分かるように V_{gs} 値はなるべく低い方が良い。ところが、図2では、サブスレッショルド特性は考慮されていないため、 V_{gs} 値がサブスレッショルド領域に設定されると、実際のMOSFETはB級動作に近くなり、線形性において劣化する。

【0026】

更に、バイアス回路による電流制御が困難になる、具体的にはバイアス電流のばらつきが大きくなるという問題が生じる。なぜならば、サブスレッショルド領域では、 I_{dd} は V_{gs} の指数関数となり、僅かな V_{B1} の変動が I_{dd} を大きく変えてしまうからである。

【0027】

そこで、 V_{gs} は V_{th} よりは高く、しかし、より低い値に設定するのが望ましい。具体的には以下のように設定すればよい。

【0028】

まず、 V_{th} の定義を説明する。図3はFET1Aの $sqr t(I_{ds})$ 対 V_{gs} 特性を示している。図3中の V_{gs1} は $sqr t(I_{ds})$ の V_{gs} に対する一階微分が最大となる V_{gs} の値である。 V_{gs1} における接線のx切片が V_{th} と定義される。図3からわかるように、 $V_{th} = 0.34V$ である。FET1Aのゲート電圧 V_{B1} は、閾値電圧 V_{th} よりも高い電圧に設定されるべきであるが、ドレイン電流 I_{ds} の平方根の値の変化が線形となる手前に設定するのが望ましい。 I_{ds} の平方根の値の変化が線形となる領域は、 G_m/I_{ds} が小さいからである。

【0029】

図4は $sqr t(I_{ds})$ の V_{gs} に対する二階微分関数である。その最大値を与える V_{gs} を V_{gs2} と定義する。

【0030】

本実施形態は、 $V_{th} < V_{B1} < V_{gs2}$ に設定することを第1の特徴とする。これにより、低消費電流でありながら利得が高く、NFの低い高周波LNA1を実現することができる。また、線形性に優れ、バイアス電流のばらつきも小さくできる。

【0031】

第2の特徴は、FET1Aのドレイン-ソース間電圧 V_{ds1} に対する要件である。一般のバルクシリコンであれば、電源電圧や素子耐圧の範囲内で V_{ds} を高くすることが望ましい。しかしながら、SOI上のMOSトランジスタの場合にはそうはならないことを発明者らは見出した。以下、そのことについて説明する。

【0032】

まず、バルクシリコン上に形成されたNMOSトランジスタの直流特性について説明する。図5Aは一般的なバルクシリコンの $I_{ds} - V_{ds}$ 特性の一例を示すグラフである。図5Aは、線形領域と飽和領域を有する一般的な特性を示している。図5Bは、図5Aと同じNMOSトランジスタの I_{ds} 一定条件($50\mu A$)下での $G_m - V_{ds}$ 特性を示すグラフである。飽和領域におけるドレインコンダクタンス G_d が仮にゼロであったとすれば、飽和領域での G_m は一定になる。しかしながら、図5Aから明らかなように、実際には有限の G_d が存在するため、飽和領域においても、 G_m は若干の V_{ds} 依存性を有し、 V_{ds} が大きい

10

20

30

40

50

ほど G_m が大きくなる。

【 0 0 3 3 】

次に、SOI 上の NMOS トランジスタの特性について説明する。図 6 A は SOI 上の NMOS トランジスタの $I_{ds} - V_{ds}$ 特性の一例を示すグラフである。ここでは、ゲート酸化膜厚 = 2.5 nm、ゲート長 = 0.14 μm 、ゲート幅 = 5 μm としている。図 6 A からわかるように、ドレイン電流 I_{ds} が急激に増大するキックが発生している。キックは、ドレイン近傍の強い電界により電子が高いエネルギーを得てインパクトイオン化を引き起こし、ホットキャリアとして発生したホールがボディ領域に蓄積して、基板浮遊効果が起こることにより生じる。

【 0 0 3 4 】

10

図 6 B は図 6 A と同じ NMOS トランジスタの $G_m - V_{ds}$ 特性の一例を示すグラフである。ここでは、 I_{ds} は一定 (50 μA) としている。図 5 B と異なり図 6 B では、 $V_{ds} = 0.8\text{ V}$ 付近で G_m 値がピークを持った特性になっている。このピークはノイズ指数 NF の観点からは重要な意味を持つ、すなわちホットキャリアが発生すると、NF が劣化してしまうことを示している。

【 0 0 3 5 】

このように、図 6 B に示す G_m のピーク特性は、ホットキャリア発生によることは明らかである。また、ホットキャリア発生有無の境界は、 G_m が最大となる V_{ds} と考えることができる。

【 0 0 3 6 】

20

図 7 は、MOS トランジスタのドレイン - ソース間電圧 V_{ds1} と、ソース接地の MOS トランジスタの最小雑音指数 N_{Fmin} との関係を示すグラフである。ここで、 N_{Fmin} とは、ノイズ整合したときのノイズ指数 NF の値である。図 7 の MOS トランジスタのゲート幅 W_g は、図 5 B のゲート幅 W_g の 40 倍の 2 mm であり、 $I_{ds} = 2\text{ mA}$ である。すなわち、単位ゲート幅のドレイン電流は、図 5 B と同じである。

【 0 0 3 7 】

図 7 からわかるように、ドレイン - ソース間電圧 $V_{ds1} = 0.8\text{ V}$ 程度のときに最小雑音指数 N_{Fmin} が最小になっている。。 $V_{ds1} = 0.8\text{ V}$ のときの V_{gs} は 0.346 V である。

【 0 0 3 8 】

30

以上のことから、所定の消費電流において G_m が最大となる V_{ds1} に設定することで、ノイズ指数 NF を最小化できることがわかる。

【 0 0 3 9 】

上述した第 1 および第 2 の特徴は、高周波 LNA 1 の本体であるカスコード増幅回路 2 のソース接地の FET 1 A のバイアス点に関するものである。本実施形態は、第 1 と第 2 の特徴を実現するバイアス生成回路 3 をも提供する。以下、バイアス生成回路 3 の回路構成について説明する。

【 0 0 4 0 】

まずは、一比較例によるバイアス生成回路 3 a を説明する。図 8 は一比較例によるカスコード増幅回路 2 a とバイアス生成回路 3 a の回路図である。図 8 では、FET 1 A と、FET 1 A のレプリカ FET である FET 1 B とによるカレントミラー回路にて、バイアス生成回路 3 が構成されている。FET 1 B は、FET 1 A とゲート幅 W_g のみが異なり、FET 1 A の W_g は FET 1 B の W_g の K 倍 (K は例えば 100) に設定されている。FET 1 B のドレイン電流は電流源 7 a から供給される電流 I_b であり、FET 1 A のドレイン電流は $K \cdot I_b$ となる。よって、K を調整するだけでカスコード増幅回路 2 a のバイアス電流を設定可能となる。

40

【 0 0 4 1 】

しかしながら、上記のカレントミラー動作が成立するのは FET 1 A と FET 1 B のドレインコンダクタンスが十分小さい必要がある。

【 0 0 4 2 】

50

本実施形態は、高い利得と低いNFを実現するため、FET1AとFET1Bには微細MOSFETを用いることを前提としている。一般に、微細MOSFETのドレインコンダクタンスは大きい。すなわち、Vgsが同じでもVdsが異なればドレイン電流が異なってしまう。

【0043】

図8のようなカレントミラー回路ではFET1AのVdsとFET1BのVdsが一致する保証はないので、電流比は1:Kにはならない。すなわち、カスコード増幅回路2aのバイアス電流IddをKで設定することが出来ない。言うまでもなく、Iddは重要な指標であり、正確に設定できないことは問題である。

【0044】

また、上述のように、図8のカレントミラー回路ではFET1BのVdsを所望の値（例えば0.8V）に設定することは出来ない、すなわち第2の特徴を実現できない。

【0045】

さらに、第1の特徴を実現するのも困難である。なぜならば、図8において、FET1BのVgsをVthと前記Vgs2の間に設定したとしても、FET1AのVgsがVthとVgs2の間に設定される保証はないからである。その理由は、図3と図4の特性はVdsによって変わるためである。

【0046】

そこで、本実施形態では、バイアス生成回路3の第1の実施形態として図9と図10を提供する。図9と図10のバイアス生成回路3であれば、FET1AとFET1BのVdsは一致するので、理想的なカレントミラーが実現され、Iddを正確に設定することができる。それに伴い、第1の特徴を実現できる。また、Vref2がFET1AのVdsとなるので第2の特徴を実現することができる。

【0047】

以下、本実施形態のバイアス生成回路3を具体的に説明する。図9は図1のバイアス生成回路3の内部構成の一例を示す回路図である。図9のバイアス生成回路3は、電源回路4と、イネーブル制御回路5と、ソフトスタート回路6と、電流源7と、第1レプリカ回路8と、第2レプリカ回路9とを有する。

【0048】

電源回路4は、外部電源電圧から2種類の内部電圧Vdd_int、Vdd_int/2を生成する。内部電圧Vdd_int/2は、内部電圧Vdd_intの半分の電圧レベルを有する。

【0049】

イネーブル制御回路5は、インバータ11と、N型トランジスタNMOS1とを有する。インバータ11は、イネーブル信号ENがハイになると、ロウを出力する。このとき、NMOS1はオフする。すなわち、NMOS1は、イネーブル信号ENがロウのときにオンする。バイアス生成回路3の出力電圧は、NMOS1がオンすると接地電位（0V）になり、NMOS1がオフすると、電源回路4で生成された内部電圧Vdd_intになる。

【0050】

ソフトスタート回路6は、P型トランジスタ（第5トランジスタ）PMOS1と、抵抗R2とキャパシタC4とを有する。PMOS1のゲートに、抵抗R2とキャパシタC4の各一端が接続されている。抵抗R2の他端は、イネーブル制御回路5内のインバータ11の出力ノードに接続されている。キャパシタC4の他端は接地されている。PMOS1のソースには外部電源電圧Vddが入力され、ドレインは電源回路4の電源電圧ノードに接続されている。イネーブル信号ENがロウからハイに遷移した際、PMOS1が急峻にオン状態に遷移してしまうと、FET1AとFET2Aのドレイン-ソース電圧Vds1、Vds2が一時的に大きくなる。このため、ソフトスタート回路6では、PMOS1のゲートに抵抗R2とキャパシタC4を接続することで、イネーブル信号ENの立ち上がり波形を鈍らせている。このように、ソフトスタート回路6を設けることで、イネーブル信号ENがイネーブル状態になった直後の過渡応答期間において、FET1AとFET2Aのドレイン-ソース電圧Vds1、Vds2が一時的に大きくなることが抑制される。

10

20

30

40

50

【 0 0 5 1 】

電流源 7 は、イネーブル信号 $E N$ がハイのときに、電源回路 4 で生成された内部電圧 V_{dd_int} を用いて、第 1 レプリカ回路 8 に供給される電流 I_{b1} と、第 2 レプリカ回路 9 に供給される電流 I_{b3} とを生成する。電流 I_{b3} は、第 2 レプリカ回路 9 内のカレントミラー回路で折り返されて、 $F E T 2 B$ に供給される電流 I_{b2} となる。電流源 7 は、イネーブル信号 $E N$ がロウのときには、電流 I_{b1} 、 I_{b3} の生成を停止する。

【 0 0 5 2 】

第 1 レプリカ回路 8 は、 $F E T 1 A$ とカレントミラー回路を構成する N 型トランジスタ (第 3 トランジスタ) $F E T 1 B$ と、第 1 差動増幅回路 1 2 と、キャパシタ $C B 1$ と、抵抗 $R B 1$ とを有する。 $F E T 1 B$ のドレインには、電流源 7 からの電流 I_{b1} が供給される。 $F E T 1 B$ のソースは接地されている。 $F E T 1 B$ のゲートには、第 1 差動増幅回路 1 2 の出力ノードが接続されている。第 1 差動増幅回路 1 2 の正側入力端子には $F E T 1 B$ のドレイン電圧が入力され、負側入力端子には内部電圧 $V_{dd_int} / 2$ が入力されている。第 1 差動増幅回路 1 2 は、 $F E T 1 B$ のドレイン電圧が内部電圧 $V_{dd_int} / 2$ に一致するように負帰還制御を行う。第 1 差動増幅回路 1 2 の出力電圧は、 $F E T 1 B$ のゲートに供給されるとともに、抵抗 $R B 1$ を介して、バイアス電圧 $V B 1$ として $F E T 1 A$ のゲートにも供給される。 $F E T 1 B$ のボディは、 $F E T 1 A$ と同様にフローティング状態である。

【 0 0 5 3 】

第 2 レプリカ回路 9 は、 $F E T 2 A$ とカレントミラー回路を構成する N 型トランジスタ (第 4 トランジスタ) $F E T 2 B$ と、第 2 差動増幅回路 1 3 と、 $F E T 2 B$ にカスコード接続された N 型トランジスタ $N M O S 2$ と、この $N M O S 2$ とカレントミラー回路を構成する N 型トランジスタ $N M O S 3$ とを有する。 $F E T 2 B$ のボディは、 $F E T 2 A$ と同様にフローティング状態である。

【 0 0 5 4 】

$F E T 2 B$ のドレインには、内部電圧 V_{dd_int} (第 1 電圧) が供給されている。 $F E T 2 B$ のソースは $N M O S 2$ のドレインに接続されている。 $N M O S 2$ のソースは接地されている。 $N M O S 3$ のドレインには、電流源 7 からの電流 I_{b3} が供給されており、 $N M O S 3$ とカレントミラー回路を構成する $N M O S 2$ のドレインには電流 I_{b2} が流れる。また、 $N M O S 2$ とカスコード接続されている $F E T 2 B$ のドレインにも同じ電流 I_{b2} が流れる。

【 0 0 5 5 】

第 2 差動増幅回路 1 3 の正側入力端子には内部電圧 $V_{dd_int} / 2$ (第 2 電圧) が入力され、負側入力端子には $F E T 2 B$ のソース電圧が入力されている。第 2 差動増幅回路 1 3 は、 $F E T 2 B$ のソース電圧が内部電圧 $V_{dd_int} / 2$ に一致するように負帰還制御を行う。第 2 差動増幅回路 1 3 の出力電圧は、 $F E T 2 B$ のゲートに供給されるとともに、抵抗 $R B 3$ を介して、バイアス電圧 $V B 2$ として $F E T 2 A$ のゲートにも供給される。

【 0 0 5 6 】

抵抗 $R B 1$ 、 $R B 3$ とキャパシタ $C B 1$ 、 $C B 3$ は、高周波信号がバイアス生成回路 3 に入り込まないようにするためのものである。

【 0 0 5 7 】

電流 I_{b1} は、電流 I_{b2} と等しくなるように、すなわち電流 $I_{b1} = I_{b2} = I_b$ となるように設定されている。上記の構成により、 $F E T 1 B$ と $F E T 2 B$ のドレイン - ソース間電圧は $V_{dd_int} / 2$ となり、ドレイン電流は I_b となる。

【 0 0 5 8 】

上述したように、 $F E T 1 A$ と $F E T 1 B$ はカレントミラー回路を構成し、 $F E T 2 A$ と $F E T 2 B$ もカレントミラー回路を構成している。よって、以下の (3) 式が成り立つ。

【 0 0 5 9 】

$$\begin{aligned} & F E T 1 B \text{ のゲート幅} / F E T 1 A \text{ のゲート幅} \\ & = F E T 2 B \text{ のゲート幅} / F E T 2 A \text{ のゲート幅} \quad \dots (3) \end{aligned}$$

10

20

30

40

50

【 0 0 6 0 】

上述したように、F E T 1 B のドレイン電圧が $V_{dd_int} / 2$ であることから、F E T 1 A のドレイン - ソース間電圧 $V_{ds1} = V_{dd_int} / 2$ である。なお、F E T 1 B のドレイン電圧である $V_{dd_int} / 2$ は、F E T 1 A のゲート電圧よりも大きい固定電圧である。また、F E T 2 B のドレイン電圧が $V_{dd_int} / 2$ であることから、F E T 2 A のドレイン - ソース間電圧 $V_{ds2} = V_{dd_int} - V_{dd_int} / 2 = V_{dd_int} / 2$ となる。これらの関係から、以下の (4) 式が得られる。

【 0 0 6 1 】

$$V_{ds1} = V_{ds2} \quad \dots (4)$$

【 0 0 6 2 】

図 1 0 は図 9 のバイアス生成回路 3 の一具体例を示す回路図である。図 1 0 の電流源 7 は、スタートアップ回路 1 4 と、一対の P 型トランジスタ P M O S 2、P M O S 3 と、一対の N 型トランジスタ N M O S 4、N M O S 5 と、抵抗 R_s と、P 型トランジスタ P M O S 4 と、N 型トランジスタ N M O S 6 とを有する。

【 0 0 6 3 】

N M O S 4 のドレインは P M O S 2 のドレインに接続され、N M O S 5 のドレインは P M O S 3 のドレインに接続されている。N M O S 5 のソースと接地ノードとの間に抵抗 R_s が接続されている。P M O S 3 のドレインと N M O S 5 のドレインは、P M O S 4 のゲートに接続されている。N M O S 6 のドレインとゲートは接続されており、ダイオードとして機能する。

【 0 0 6 4 】

スタートアップ回路 1 4 は、イネーブル信号 E N がハイのときに、ハイ電圧 (内部電圧 V_{dd_int}) を出力する。スタートアップ回路 1 4 がハイ電圧を出力すると、N M O S 4 と N M O S 5 がオンし、P M O S 3 のドレインと N M O S 5 のドレインとの接続ノードの電圧が下がり、F E T 1 B に電流 I_{b1} が供給され、かつ N M O S 3 に電流 I_{b3} が供給される。

【 0 0 6 5 】

ここで、N M O S 4 と N M O S 5 は、サブスレッショルド領域で動作するように抵抗 R_s が設定されている。サブスレッショルド領域とは、ゲート電圧が閾値電圧以下または閾値電圧近辺であり、チャネル領域が弱反転状態の場合を示している。この場合の P M O S 3 のドレイン電流 I_{bias} は、近似的に以下の (5) 式で表される。

【 0 0 6 6 】

$$I_{bias} = (k T / q) L n (n) / R_s \quad \dots (5)$$

【 0 0 6 7 】

ここで、 k はボルツマン定数、 q は素電荷、 T は絶対温度、 $L n$ は自然対数であり、 n は例えば 4 に設定される。

【 0 0 6 8 】

図 1 0 の電源回路 4 は、バンドギャブリファレンス回路 1 5 と、第 3 差動増幅回路 1 6 と、P 型トランジスタ P M O S 5 と、抵抗 R_{x1} 、 R_{x2} 、 R_{x3} と、キャパシタ C_{f1} 、 C_s とを有する。P M O S 5 のソースは P M O S 1 のドレインに接続され、P M O S 5 のドレインと接地ノードとの間には、抵抗 R_{x1} 、 R_{x2} 、 R_{x3} が直列接続されている。P M O S 5 のドレイン電圧は内部電圧 V_{dd_int} である。キャパシタ C_s は、P M O S 5 のドレインと接地ノードとの間に接続される出力対地容量である。キャパシタ C_{f1} は、第 3 差動増幅回路 1 6 の出力ノードと P M O S 5 のドレインとの間に接続される安定化容量である。

【 0 0 6 9 】

第 3 差動増幅回路 1 6 の正側入力端子には、内部電圧 V_{dd_int} を抵抗 R_{x1} 、 R_{x2} 、 R_{x3} で分圧した電圧が入力される。第 3 差動増幅回路 1 6 の負側入力端子には、バンドギャブリファレンス回路 1 5 で生成された基準電圧 V_{ref} が入力されている。これにより、内部電圧 V_{dd_int} は、以下の (6) 式を満たすように、第 3 差動増幅回路 1 6 にて負帰還制御される。

10

20

30

40

50

【 0 0 7 0 】

$$V_{dd_int} = V_{ref} \times (R_{x1} + R_{x2} + R_{x3}) / (R_{x1} + R_{x2}) \quad \dots (6)$$

【 0 0 7 1 】

内部電圧 V_{dd_int} は、例えば 1 . 6 V に設定される。

【 0 0 7 2 】

また、本実施形態では、 $R_{x1} = R_{x2} + R_{x3}$ としており、 R_{x1} と R_{x2} の接続点の電圧は、 $V_{dd_int} / 2$ になる。

【 0 0 7 3 】

本実施形態における F E T 1 A、F E T 2 A、F E T 2 A、F E T 2 B のボディ (ボディ) は、電氣的にフローティング状態である。以下では、ボディがフローティング状態の M O S トランジスタを F タイプと呼ぶ。F E T 1 A、F E T 2 A、F E T 2 A、F E T 2 B 以外の M O S トランジスタのボディは、ソースに接続されている。以下では、ボディがソースに接続された M O S トランジスタは B - S 接続タイプと呼ぶ。

10

【 0 0 7 4 】

本実施形態では、F E T 1 A、F E T 1 B、F E T 2 A、F E T 2 B のゲート酸化膜厚 T_{ox} を等しくし、かつゲート長 L_g も等しくしている。これらゲート酸化膜厚 T_{ox} とゲート長 L_g は、製造プロセスの限界値に設定されており、例えば、 $T_{ox} = 2 . 5 \text{ nm}$ 、 $L_g = 0 . 14 \text{ } \mu\text{m}$ である。

【 0 0 7 5 】

このように、F E T 1 A、F E T 1 B、F E T 2 A、F E T 2 B に微細 MOSFET を用いることで、良好なノイズ指数 NF を実現することができる。一方、本実施形態では、その他の M O S トランジスタのゲート酸化膜厚 T_{ox_dc} をすべて等しくし、かつ P M O S トランジスタのゲート長 L_{g_p} をすべて等しくし、かつ N M O S トランジスタのゲート長 L_{g_n} をすべて等しくしている。これら T_{ox_dc} 、 L_{g_p} 、 L_{g_n} は例えば、 $T_{ox_dc} = 9 \text{ nm}$ 、 $L_{g_p} = 0 . 35 \text{ nm}$ 、 $L_{g_n} = 1 \text{ } \mu\text{m}$ である。

20

【 0 0 7 6 】

F E T 1 A、F E T 1 B、F E T 2 A、F E T 2 B 以外の M O S トランジスタのゲート酸化膜厚とゲート長を大きくし、かつ B - S 接続タイプにすることで、ゲート - ソース間電圧 V_{gs} やドレイン - ソース間電圧 V_{ds} の最大許容電圧は大きくなる。よって、電源電圧 V_{dd} の最大許容電圧を例えば 3 . 5 V にまで大きく設定できる。

30

【 0 0 7 7 】

F E T 1 A、F E T 1 B、F E T 2 A、F E T 2 B のゲート酸化膜厚 T_{ox} とゲート長 L_g を製造プロセスにおける最小値に設定しても、それだけでは良好な NF を実現することはできない。適切なバイアス電圧を供給する必要がある。

【 0 0 7 8 】

次に、ソフトスタート回路 6 内の P M O S 1 のゲートに接続された抵抗 R_2 とキャパシタ C_4 を設けた意義についてシミュレーション結果を用いて説明する。図 1 1 A は抵抗 R_2 とキャパシタ C_4 を設けない場合の F E T 2 A の V_{gs2} 、 V_{ds2} の電圧波形図、図 1 1 B は抵抗 R_2 とキャパシタ C_4 を設けない場合の F E T 1 A の V_{gs1} 、 V_{ds1} の電圧波形図である。一方、図 1 1 C は抵抗 R_2 とキャパシタ C_4 を設けた場合の F E T 2 A のゲート - ソース間電圧 V_{gs2} 、ドレイン - ソース間電圧 V_{ds2} の電圧波形図、図 1 1 D は抵抗 R_2 とキャパシタ C_4 を設けた場合の F E T 1 A のゲート - ソース間電圧 V_{gs1} 、ドレイン - ソース間電圧 V_{ds1} の電圧波形図である。図 1 1 C と図 1 1 D では、抵抗 $R_2 = 115 \text{ k}$ 、キャパシタ $C_4 = 1 . 5 \text{ pF}$ とした。

40

【 0 0 7 9 】

図 1 1 A ~ 図 1 1 D では、ブレイクダウンしない F E T モデルを用いた。また、電源電圧 V_{dd} は 3 . 5 V とした。図 1 1 A と図 1 1 B に示すように、抵抗 R_2 とキャパシタ C_4 を設けない場合には、 V_{ds1} と V_{ds2} のピーク電圧が 2 V を超えてしまう。例えば、 V_{ds2} のピーク電圧は 2 . 32 V になる。一方、図 1 1 C と図 1 1 D に示すように、抵抗 R_2 とキャパシタ C_4 を設ける場合には、ピーク電圧は 2 V 以下になる。

50

【0080】

本実施形態では、ノイズNFを小さくするために、ゲート長 $0.14\mu\text{m}$ の微細構造のFET1AとFET2Aを用いているが、ドレイン耐圧は2V程度と低くなってしまう。しかしながら、上述したように、ソフトスタート回路6内に抵抗R2とキャパシタC4を設けることで、イネーブル状態に変化する直後の過渡応答期間においても、 V_{ds} は2Vを超えなくなる。

【0081】

このように、本実施形態では、SOI上に形成される微細構造のFET1AとFET2Aをカスコード接続して高周波LNA1を構成し、FET1Aの G_m/I_{ds} ができるだけ大きくなるように、FET1Aを $V_{th} < V_{B1} < V_{gs2}$ で動作させている。また、本実施形態では、FET1AとFET1Bのドレイン電圧を、FET1Aのゲート電圧よりも大きい固定電圧にしている。これにより、NFに優れた高周波LNA1が得られる。また、本実施形態によれば、高周波スイッチと高周波LNA1を共通のSOI基板上に形成でき、ワンチップ化が可能となる。

10

【0082】

さらに、ソフトスタート回路6内に抵抗R2とキャパシタC4を設けることで、FET1AとFET2Aのドレイン - ソース間電圧 V_{ds1} 、 V_{ds2} のピーク電圧を抑制でき、FET1AとFET2Aを微細構造にしたとしても、 V_{ds1} 、 V_{ds2} のピーク電圧をドレイン耐圧以下に抑制できる。

20

【0083】

(第2の実施形態)

第2の実施形態は、FET2Aのボディをソースに接続したものである。

【0084】

図12は第2の実施形態による高周波LNA1のブロック図である。図12の高周波LNA1は、以下の4つの点で、図1とは異なっている。

【0085】

- 1) FET2Aのボディはソースに接続されている。
- 2) FET2Aのゲート酸化膜厚 T_{ox2} はFET1Aのゲート酸化膜厚 T_{ox1} より大きい。

。

- 3) FET2Aのゲート長 L_{g2} はFET1Aのゲート長 L_{g1} より大きい。

30

- 4) FET2Aのドレイン - ソース間電圧 V_{ds2} はFET1Aのドレイン - ソース間電圧 V_{ds1} より大きい。

【0086】

なお、図12のFET1Aの V_{ds1} は、FET1Aのゲート電圧 V_{B1} より大きい点では図1と共通する。

【0087】

図12の高周波LNA1は、上記4)のように $V_{ds2} > V_{ds1}$ とすることで、図1の高周波LNA1よりも線形性を改善できる。また、 V_{ds2} を大きくしても、上記1)～3)の相違点により、FET2Aがブレイクダウンするおそれはなくなる。

40

【0088】

なお、ゲート接地となるFET2Aのノイズ指数NFは、FET1Aのノイズ指数NFより大きいが、高周波LNA1のNFはほぼ初段のNFで決まるため、図1の高周波LNA1に対するノイズ指数NFの劣化は僅かである。このように、第2の実施形態による高周波LNA1は、ノイズ指数NFの僅かな劣化を許容することによって、線形性を改善することができる。

【0089】

図13は図12のバイアス生成回路3の内部構成の一例を示す回路図である。図13のバイアス生成回路3は、以下の2つの点で、図2とは異なっている。

【0090】

- 5) FET2Bのボディはソースに接続されている。

50

6) 電源回路4は、内部電圧 V_{dd_int} の他に、電流源7用の電源電圧 V_{dd_bias} と、基準電圧 V_{ref2} とを生成する。基準電圧 V_{ref2} は、 $V_{dd_int} / 2$ より小さい電圧である。この基準電圧 V_{ref2} は、第1差動増幅回路12と第2差動増幅回路13の基準電圧として用いられる。

【0091】

電源回路4は、外部電源電圧 V_{dd} が高い場合には、内部電圧 V_{dd_int} を高くする。より詳細には、例えば、 $V_{dd} = 2.8V$ の場合には $V_{dd_int} = V_{dd}$ とし、 $V_{dd} > 2.8V$ の場合には $V_{dd_int} = 2.8V$ とする。

【0092】

電源回路4で生成された内部電圧 V_{dd_int} を電流源7の電源電圧として使用すると、電流 I_{b1} 、 I_{b2} の V_{dd} 依存性が生じてしまう。そこで、図13では、電源回路4で生成された電圧 V_{dd_bias} を電流源7の電源電圧として使用する。この電圧 V_{dd_bias} は、 $1.8V$ 程度に制限される電圧である。これにより、少なくとも外部電源電圧 V_{dd} が $1.8V$ 以上では、電流 I_b の V_{dd} 依存性がなくなる。

【0093】

図14は図13のバイアス生成回路3の一具体例を示す回路図である。図14のバイアス生成回路3は、図10の構成に加えて、第4差動増幅回路17と、キャパシタ C_{f2} と、P型トランジスタPMOS6と、抵抗 R_3 、 R_4 とを備えている。

【0094】

図10と同様に、第3差動増幅回路16は、PMOS5のドレイン電圧を、抵抗 R_{x1} 、 R_{x2} 、 R_{x3} で抵抗分圧した電圧を負帰還制御しているが、PMOS5のドレイン電圧は V_{dd_bias} として、電流源7、第1差動増幅回路12および第2差動増幅回路13の電源電圧として用いられる。また、抵抗 R_{x1} と抵抗 R_{x2} の接続ノードの電圧は、図10と同様に、第1差動増幅回路12の負側入力端子と第2差動増幅回路13の正側入力端子に入力される基準電圧 V_{ref2} として用いられる。

【0095】

PMOS6は、PMOS1にカスコード接続されている。PMOS6のドレインと接地ノードとの間には、抵抗 R_3 と R_4 が直列接続されている。第4差動増幅回路17の負側入力端子にはバンドギャップリファレンス回路15から出力された基準電圧 V_{ref} が入力され、正側入力端子には抵抗 R_3 と R_4 の接続ノードの電圧が入力される。第4差動増幅回路17の出力信号は、PMOS6のゲートに入力される。また、第4差動増幅回路17の出力信号は、安定化容量であるキャパシタ C_{f2} を介して内部電圧 V_{dd_int} として出力される。

【0096】

図15は第2の実施形態によるFET2Aのレイアウト図である。図15のFET2Aは、マルチフィンガ型のポリシリコンゲート21を有する。図15はフィンガ数が6の例を示しているが、フィンガ数やフィンガ長は任意である。例えば、フィンガ長は $5\mu m$ 、フィンガ数は40に設定される。ポリシリコンゲート21の配置に合わせて、ドレイン配線22とソース配線23は楕円形状に配置されている。

【0097】

ポリシリコンゲート21の上には、ゲート配線24が配置され、ポリシリコンゲート21とゲート配線24とは複数のコンタクト25で導通が取られている。また、ドレイン配線22は、その下方のドレイン領域と複数のコンタクト25で導通が取られている。同様に、ソース配線23は、その下方のソース領域と複数のコンタクト25で導通が取られている。図15の破線は、ドレイン領域、チャネル領域およびソース領域の下方に配置されるボディ領域26を示している。ボディ領域26とソース配線23とはコンタクト25で導通が取られており、これにより、FET2Aは、B-S接続タイプになる。

【0098】

図16は第2の実施形態によるFET1Aのレイアウト図である。図15と同様に、図16のFET1Aは、マルチフィンガ型のポリシリコンゲート21を有する。ポリシリコ

10

20

30

40

50

ンゲート 21 は、各フィンガの長手方向の両側で各フィンガを支持する H 型のゲート構造である。これにより、ゲート抵抗がより低減し、ノイズ指数 NF を低減できる。図 16 の FET 1A のボディはフローティング状態である点で図 15 の FET 2A とは異なっている。

【0099】

なお、図 16 の FET 1A のレイアウトは、第 1 の実施形態による FET 1A と FET 2A にも適用可能である。

【0100】

このように、第 2 の実施形態では、FET 2A のボディをソースに接続している。これにより、FET 2A のボディの寄生容量が増加し、利得帯域幅積 f_T が低下するとともに、ノイズ指数 NF が増大する。その一方で、ドレイン耐圧は高くなる。また、本実施形態では、FET 2A のゲート酸化膜厚 T_{ox2} を FET 1A のゲート酸化膜厚 T_{ox1} より大きくし、かつ FET 2A のゲート長 L_{g2} を FET 1A のゲート長 L_{g1} より大きくしている。 L_{g2} を大きくすることで、よりドレイン耐圧が高くなり、 T_{ox2} を高くすることで、よりゲート耐圧も高くなる。例えば、F タイプの FET 2A が $L_g = 0.14 \mu m$ 、 $T_{ox} = 2.5 nm$ である場合、 V_{ds} と V_{gs} がともに許容される V_{dd_int} の最大値は $1.6 V$ 程度であるのに対して、B-S タイプの FET 2A が $L_g = 0.25 \mu m$ 、 $T_{ox} = 6 nm$ である場合、 V_{dd_int} の最大値は $3 V$ 程度になる。これにより、高周波 LNA 1 の電圧振幅をより大きくすることができる。

【0101】

(第 3 の実施形態)

第 3 の実施形態は、第 2 の実施形態よりもバイアス生成回路 3 の内部構成を簡略化したものである。

【0102】

図 17 は第 3 の実施形態による高周波 LNA 1 のブロック図である。図 17 の高周波 LNA 1 は、図 12 と比べて、バイアス生成回路 3 の内部構成が異なる他は共通する。

【0103】

図 18 は図 17 のバイアス生成回路 3 の内部構成の一例を示す回路図である。図 18 のバイアス生成回路 3 内の第 2 レプリカ回路 9 は、FET 2B と、抵抗 R_{B3} と、キャパシタ C_{B3} とを有し、図 13 の第 2 差動増幅回路 13、NMOS 2 および NMOS 3 は省略されている。

【0104】

FET 2B のソースは、FET 1B のドレインに接続されている。FET 2B のドレインには、電流源 7 からの電流 I_b が供給される。この電流 I_b は、FET 2B のドレイン - ソース間を通過して、FET 1B のドレイン - ソース間に流れる。

【0105】

FET 1A と FET 1B のゲート幅の比は、FET 2A と FET 2B のゲート幅の比と等しく設定されている。

【0106】

図 19 は図 18 のバイアス生成回路 3 の一具体例を示す回路図である。図 19 のバイアス生成回路 3 は、PMOS 5 のドレインと接地ノードとの間にカスコード接続される P 型トランジスタ PMOS 7、FET 2B および FET 1B を有する。PMOS 5 のドレイン電圧 V_{dd_bias} に応じた電流 I_b が、PMOS 7 のドレイン - ソース間、FET 2B のドレイン - ソース間、および FET 1B のドレイン - ソース間に流れる。

【0107】

図 18 および図 19 において、ソース接地の FET 1B と FET 1A は、ゲート幅以外は同一の素子定数を有し、かつ FET 1B のゲートは FET 1A のゲートに接続されており、カレントミラー回路を構成している。FET 1B と FET 1A のゲート幅比は、 $1 : K$ (K は例えば 100) である。また、FET 1B のゲートには、第 1 差動増幅回路 12 の出力信号が入力されている。

10

20

30

40

50

【 0 1 0 8 】

第 1 差動増幅回路 1 2 の正側入力端子は F E T 1 B のドレインに接続され、負側入力端子には電源回路 4 から出力される基準電圧 V_{ref2} が入力されている。以下では、 $V_{ref2} = 0.8V$ とする。第 1 差動増幅回路 1 2 と F E T 1 B は負帰還回路を構成しており、F E T 1 B のドレイン - ソース間電圧は $0.8V$ になる。

【 0 1 0 9 】

F E T 2 B はダイオード接続されており、そのソースは F E T 1 B のドレインに接続されている。F E T 2 B のドレイン電圧とゲート電圧はともに V_{B2} である。

【 0 1 1 0 】

F E T 2 B と F E T 2 A はゲート幅以外は同一の素子定数を有し、F E T 2 B のゲート幅と F E T 2 A のゲート幅の比は、 $1 : K$ である。F E T 2 B のドレインには、電流源 7 から電流 I_b が供給されている。F E T 2 B と F E T 2 A のゲート長は、F E T 1 A のゲート長よりも大きく、F E T 2 B と F E T 2 A の飽和特性は良好である (G_d が小さい)。

10

【 0 1 1 1 】

図 2 0 は図 1 8 および図 1 9 のバイアス生成回路 3 の要部を示す回路図である。図 2 0 では、F E T 1 B、F E T 2 B、F E T 1 A、F E T 2 A のドレイン電流をそれぞれ、 I_{ds1B} 、 I_{ds2B} 、 I_{ds1A} 、 I_{ds2A} としている。ドレイン電流 I_{ds1B} は、以下の (8) 式に示すように、ゲート - ソース間電圧とドレイン - ソース間電圧の関数 F で表すことができる。

20

【 0 1 1 2 】

$$I_{ds1B} = F(V_{gs1}, 0.8) = I_b \quad \dots (8)$$

【 0 1 1 3 】

I_{ds2B} は、 $G_d = 0$ を仮定しているため、以下の (9) 式に示すように、ゲート - ソース間電圧のみの関数 G で表すことができる。

【 0 1 1 4 】

$$I_{ds2B} = G(V_{gs2B}) = I_b \quad \dots (9)$$

【 0 1 1 5 】

ここで、関数 F と G の括弧内は引数を表している。

【 0 1 1 6 】

同様に、 I_{ds1A} と I_{ds2A} はそれぞれ、以下の (1 0) 式と (1 1) 式で表される。

30

【 0 1 1 7 】

$$I_{ds1A} = K \cdot F(V_{gs1}, V_{ds1}) \quad \dots (10)$$

$$I_{ds2A} = K \cdot G(V_{gs2}) \quad \dots (11)$$

【 0 1 1 8 】

上記の (9) 式を変形すると、以下の (1 2) 式が得られる。

【 0 1 1 9 】

$$V_{gs2B} = G^{-1}(I_b) \quad \dots (12)$$

【 0 1 2 0 】

ここで、 G^{-1} は関数 G の逆関数である。

40

【 0 1 2 1 】

また、以下の (1 3) 式が成り立つ。

【 0 1 2 2 】

$$V_{gs2} = 0.8 + V_{gs2B} - V_{ds1} \quad \dots (13)$$

【 0 1 2 3 】

(1 3) 式に (1 2) 式を代入すると、以下の (1 4) 式が得られる。

【 0 1 2 4 】

$$V_{gs2} = G^{-1}(I_b) + 0.8 - V_{ds1} \quad \dots (14)$$

【 0 1 2 5 】

(1 4) 式を (1 1) 式に代入すると、以下の (1 5) 式が得られる。

50

【 0 1 2 6 】

$$I_{ds2A} = K \cdot G (G^{-1}(I_b) + 0.8 - V_{ds1}) \quad \dots (15)$$

【 0 1 2 7 】

$I_{ds1A} = I_{ds2A}$ であるため、以下の (1 6) 式が成り立つ。

【 0 1 2 8 】

$$K \cdot F(V_{gs1}, V_{ds1}) = K \cdot G(G^{-1}(I_b) + 0.8 - V_{ds1}) \quad \dots (16)$$

【 0 1 2 9 】

ここで、 I_b は設計上与えられる定数である。また、 V_{gs1} は、(8) 式からわかるように、関数 F と I_b で一意に決定される。

【 0 1 3 0 】

よって、(1 6) 式は V_{ds1} を変数とする方程式である。

【 0 1 3 1 】

ここで、(1 6) 式の解を $V_{ds1} = 0.8$ と仮定すると、(1 6) 式の左辺 = $F(V_{gs1}, 0.8)$ となり、(8) 式より、(1 6) 式の左辺 = I_b となる。

【 0 1 3 2 】

また、(1 0) 式の右辺 = $G(G^{-1}(I_b)) = I_b$ となる。

【 0 1 3 3 】

このことから、上記の仮定は正しいことがわかる。すなわち、 $V_{ds1} = 0.8$ となる。

【 0 1 3 4 】

$FET1B$ と $FET1A$ では、ゲート - ソース間電圧とドレイン - ソース間電圧がともに等しいため、以下の (1 7) 式が成り立つ。

【 0 1 3 5 】

$$I_{ds1A} = K \cdot I_b \quad \dots (17)$$

【 0 1 3 6 】

(1 7) 式から、カスコード接続された $FET1A$ と $FET2A$ のドレイン - ソース間の電流は、 V_{dd} に依存せず、 I_b と K のみに依存する。

【 0 1 3 7 】

このように、第 3 の実施形態は、第 2 の実施形態よりも第 2 レプリカ回路 9 の内部構成を簡略化したため、バイアス生成回路 3 の回路規模を縮小できる。

【 0 1 3 8 】

(第 4 の実施形態)

第 4 の実施形態は、第 1 の実施形態によるバイアス生成回路 3 内の第 2 レプリカ回路 9 を、第 3 の実施形態と同様に簡略化したものである。

【 0 1 3 9 】

図 2 1 は第 4 の実施形態による高周波半導体増幅回路 1 のブロック図である。図 2 1 の高周波半導体増幅回路 1 は、バイアス生成回路 3 の内部構成が異なる他は、図 1 と同様である。

【 0 1 4 0 】

図 2 2 は第 4 の実施形態によるバイアス生成回路 3 の内部構成の一例を示す回路図である。図 2 2 のバイアス生成回路 3 は、図 9 と比べて、第 2 レプリカ回路 9 の内部構成が異なっている。図 2 2 の第 2 レプリカ回路 9 は、図 1 8 と同様に、 $FET2B$ と、抵抗 $RB3$ と、キャパシタ $CB3$ とを有し、図 9 の第 2 差動増幅回路 1 3、 $NMOS2$ および $NMOS3$ は省略されている。図 2 2 の第 2 レプリカ回路 9 の動作は、図 1 8 の第 2 レプリカ回路 9 と同様である。

【 0 1 4 1 】

$FET1A$ の V_{ds1} と $FET2A$ の V_{ds2} とは等しく、かつ $V_{dd_int} = 1.6V$ 一定である。このため、電流源 7 の電源電圧は V_{dd_int} としている。

【 0 1 4 2 】

図 2 3 は図 2 2 のバイアス生成回路 3 の一具体例を示す回路図である。図 2 3 のバイアス生成回路 3 は、上述したように、電流源 7 の電源電圧を V_{dd_int} とするため、図 2 0 の

10

20

30

40

50

バイアス生成回路 3 内の V_{dd_bias} を生成する回路部分が不要となり、図 20 のバイアス生成回路 3 よりも簡略化できる。

【0143】

このように、第 4 の実施形態によれば、第 1 の実施形態よりも、バイアス生成回路 3 の回路規模を縮小できる。

【0144】

上述した第 1 ~ 第 4 の実施形態をまとめると、図 24 のようになる。図 24 では、第 1 および第 2 の実施形態が採用する第 2 レプリカ回路 9 を Type-A と表記し、第 3 および第 4 の実施形態が採用する簡略化された第 2 レプリカ回路 9 を Type-B と表記している。図 24 中の「-」は、任意 (don't care) であることを示している。

10

【0145】

第 1 ~ 第 4 の実施形態に共通の特徴は、FET1A のゲート電圧 V_{B1} が FET1A のドレイン - ソース間電圧 V_{ds1} より小さいことである。これは、 $V_{th} < V_{B1} < V_{gs2}$ の範囲で動作させることを意味する。これにより、 G_m / I_{ds} を大きく設定できる。

【0146】

第 1 の実施形態と第 4 の実施形態は、FET1A と FET2A がともに F タイプである。第 2 の実施形態と第 3 の実施形態は、FET1A が F タイプで、FET2A が B - S 接続タイプである。

【0147】

第 1 の実施形態と第 2 の実施形態は、第 2 レプリカ回路 9 が簡略化されていない Type-A である。第 3 の実施形態と第 4 の実施形態は、第 2 レプリカ回路 9 が簡略化されている Type-B である。

20

【0148】

図 24 に示すように、第 1 の実施形態の主要な変形例として Main1 が、それ以外の変形例として sub1-1、sub1-2、sub1-3 がある。Main1 は、FET1A と FET2A のゲート酸化膜厚とゲート長は任意であり、FET1A のドレイン - ソース間電圧 V_{ds1} も任意であり、ソフトスタート回路 6 内の抵抗 R2 と C4 を付加するかどうかも任意であり、電源回路 4 から $V_{dd_int} / 2$ を出力するかどうかも任意である。sub1-1 は、Main1 に対して、 G_m が最大になるように V_{ds1} を設定したものである。sub1-2 は、sub1-1 に対して、 $T_{ox1} = T_{ox2}$ かつ $L_{g1} = L_{g2}$ の条件と、 $V_{ds1} = V_{ds2}$ の条件とを付加したものである。sub1-3 は、Main1 に対して、ソフトスタート回路 6 内に抵抗 R2 と C4 を付加したものである。

30

【0149】

第 1 の実施形態におけるすべての変形例において、FET1A と FET2A は微細構造であるため、ノイズ NF が良好になり、FET1A と FET2A のドレインコンダクタンス G_d が大きくても、FET1A のドレイン - ソース間電圧 V_{ds1} を最適化できる。

【0150】

図 24 に示すように、第 2 の実施形態の主要な変形例として Main2 が、それ以外の変形例として sub2-1、sub2-2 がある。Main2 は、FET1A と FET2A のゲート酸化膜厚とゲート長は任意であるが、 $T_{ox1} < T_{ox2}$ かつ $L_{g1} < L_{g2}$ であり、FET1A のドレイン - ソース間電圧 V_{ds1} も任意であるが、 $V_{ds1} < V_{ds2}$ であり、ソフトスタート回路 6 内の抵抗 R2 と C4 を付加するかどうかも任意であり、電源回路 4 から $V_{ref2} (= 0.8V)$ を出力するかどうかも任意である。sub2-1 は、Main2 に対して、 G_m が最大になるように V_{ds1} を設定したものである。sub2-2 は、Main2 に対して、ソフトスタート回路 6 内に抵抗 R2 とキャパシタ C4 を付加したものである。

40

【0151】

第 2 の実施形態におけるすべての変形例において、ノイズ指数 NF は第 1 の実施形態よりも若干劣化するおそれはあるが、 V_{ds2} が大きくなるため、線形性は改善する。

【0152】

図 24 に示すように、第 3 の実施形態の主要な変形例として Main3 が、それ以外の変形例として

50

変形例として $sub3-1$ 、 $sub3-2$ がある。 $Main3$ は、 $FET1A$ と $FET2A$ のゲート酸化膜厚とゲート長は任意であるが、 $T_{ox1} < T_{ox2}$ かつ $L_{g1} < L_{g2}$ であり、 $FET1A$ のドレイン - ソース間電圧 V_{ds1} も任意であるが、 $V_{ds1} < V_{ds2}$ であり、ソフトスタート回路 6 内の抵抗 $R2$ と $C4$ を付加するか否かも任意であり、電源回路 4 から $V_{ref2} (= 0.8V)$ を出力するか否かも任意である。 $sub3-1$ は、 $Main3$ に対して、 G_m が最大になるように V_{ds1} を設定したものである。 $sub3-2$ は、 $Main3$ に対して、ソフトスタート回路 6 内に抵抗 $R2$ とキャパシタ $C4$ を付加したものである。

【0153】

第 3 の実施形態におけるすべての変形例において、ノイズ指数 NF は第 1 の実施形態よりも若干劣化するおそれはあるが、 V_{ds2} が大きくなるため、線形性は改善する。また、第 2 レプリカ回路 9 を簡略化するため、回路規模を縮小できる。

10

【0154】

図 24 に示すように、第 4 の実施形態の主要な変形例として $Main4$ が、それ以外の変形例として $sub4-1$ 、 $sub4-2$ 、 $sub4-3$ がある。 $Main4$ は、 $FET1A$ と $FET2A$ のゲート酸化膜厚とゲート長は任意であるが、 $T_{ox1} = T_{ox2}$ かつ $L_{g1} = L_{g2}$ であり、 $FET1A$ のドレイン - ソース間電圧 V_{ds1} も任意であり、ソフトスタート回路 6 内の抵抗 $R2$ と $C4$ を付加するか否かも任意であり、電源回路 4 から $V_{dd_int} / 2$ を出力するか否かも任意である。 $sub4-1$ は、 $Main4$ に対して、 G_m が最大になるように V_{ds1} を設定したものである。 $sub4-2$ は、 $Main4$ に対して、ソフトスタート回路 6 内に抵抗 $R2$ と $C4$ を付加したものである。 $sub4-3$ は、 $Main4$ に対して、 $FET1A$ と $FET2A$ のゲート酸化膜厚とゲート長の大小関係を任意とし、 V_{ds1} と V_{ds2} の大小関係も任意とし、ソフトスタート回路 6 内に抵抗 $R2$ と $C4$ を付加したものである。

20

【0155】

第 4 の実施形態におけるすべての変形例において、 $FET1A$ と $FET2A$ は微細構造であるため、ノイズ NF が良好になり、 $FET1A$ と $FET2A$ のドレインコンダクタンス G_d が大きくても、 $FET1A$ のドレイン - ソース間電圧 V_{ds1} を最適化できる。また、第 2 レプリカ回路 9 を簡略化するため、回路規模を縮小できる。

【0156】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

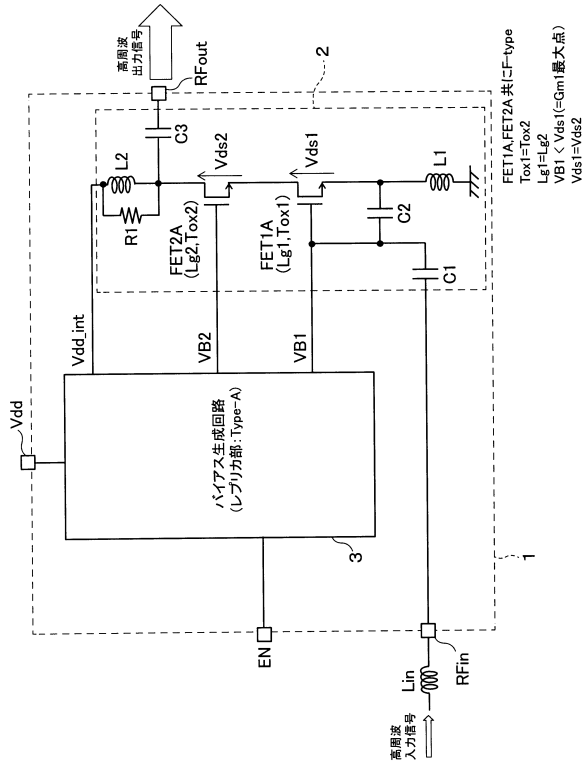
【符号の説明】

【0157】

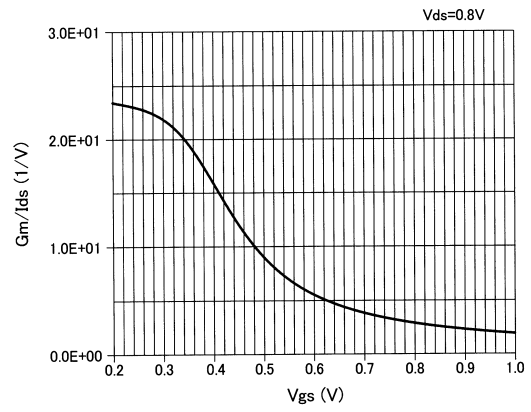
1 高周波半導体増幅回路、2 カスコード増幅回路、3 バイアス生成回路、4 電源回路、5 イネーブル制御回路、6 ソフトスタート回路、7 電流源、8 第 1 レプリカ回路、9 第 2 レプリカ回路、11 インバータ、12 第 1 差動増幅回路、13 第 2 差動増幅回路、14 スタートアップ回路、15 バンドギャップリファレンス回路、16 第 3 差動増幅回路、17 第 4 差動増幅回路、21 ポリシリコンゲート、22 ドレイン配線、23 ソース配線、24 ゲート配線、25 コンタクト

40

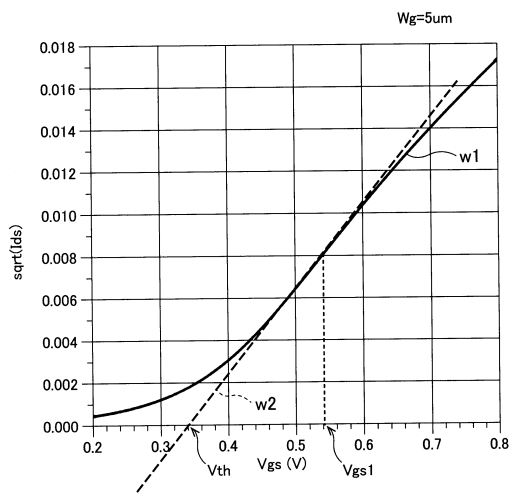
【図 1】



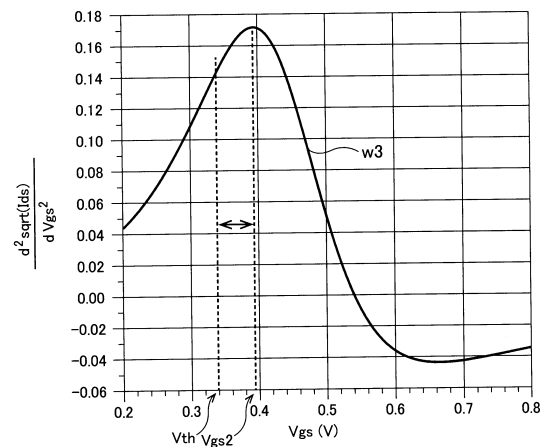
【図 2】



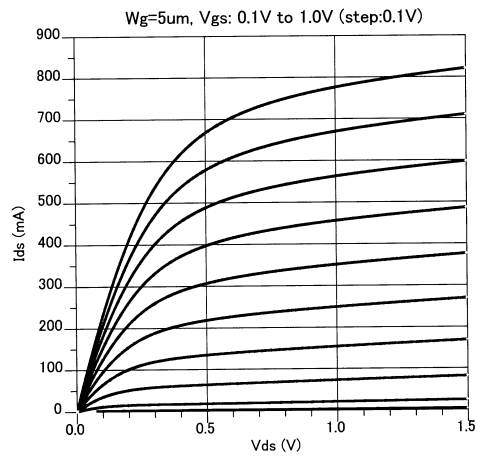
【図 3】



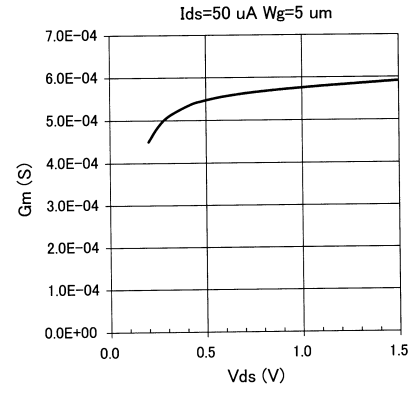
【図 4】



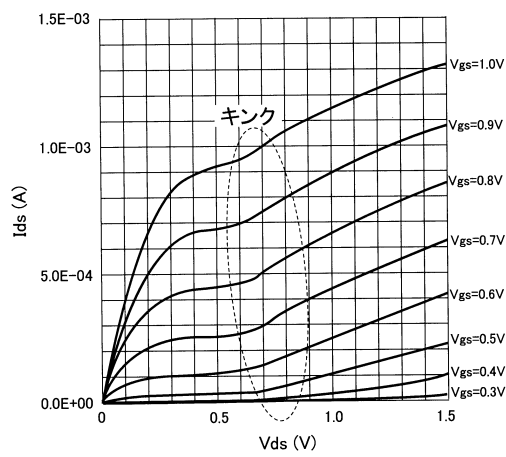
【図 5 A】



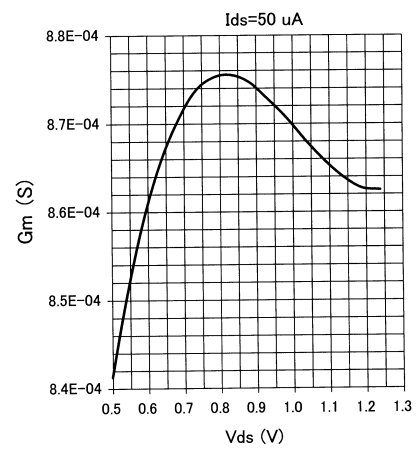
【図 5 B】



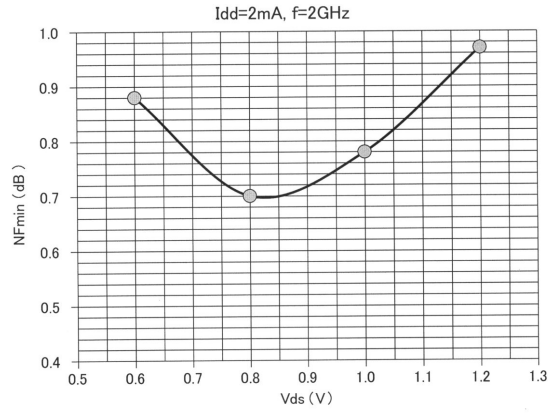
【図 6 A】



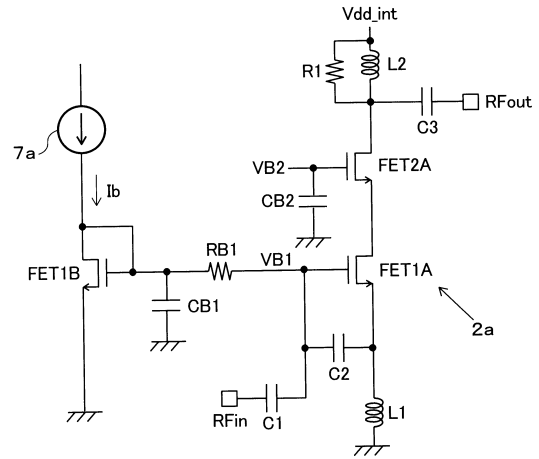
【図 6 B】



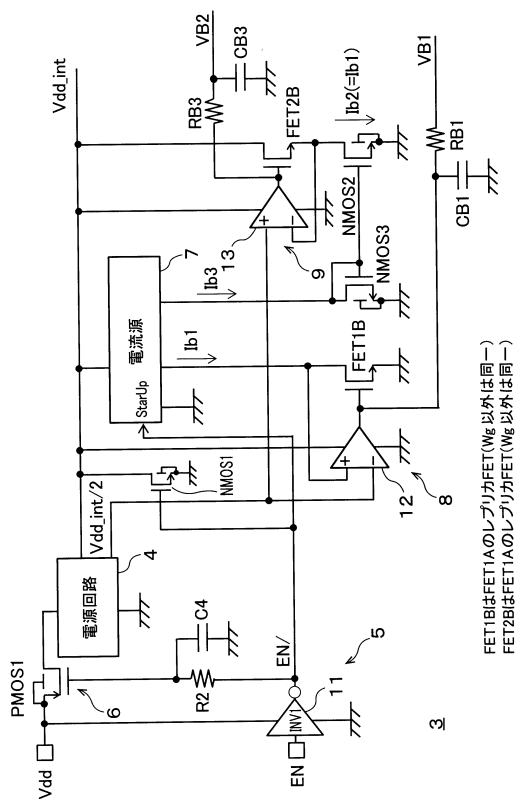
【図 7】



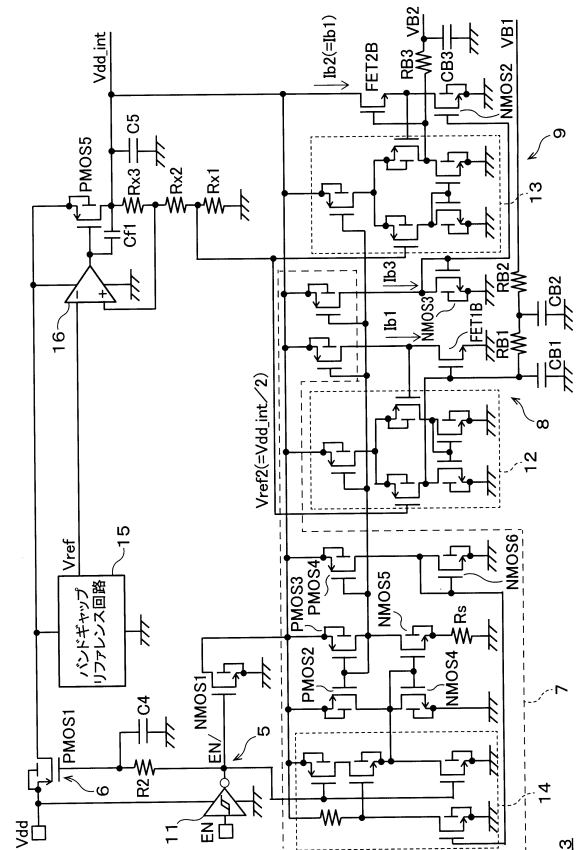
【図 8】



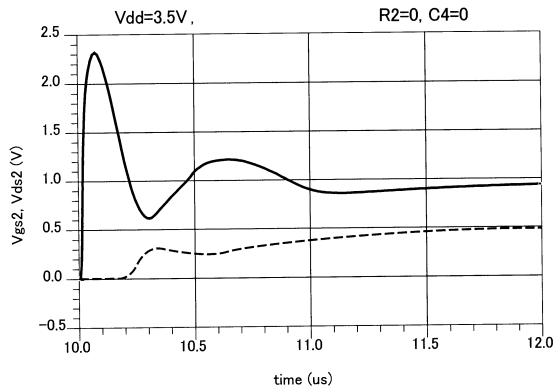
【図 9】



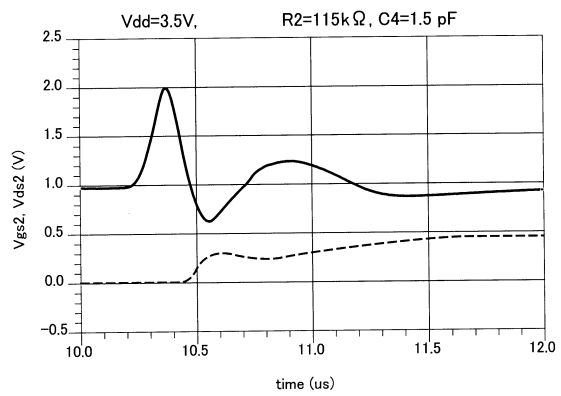
【図 10】



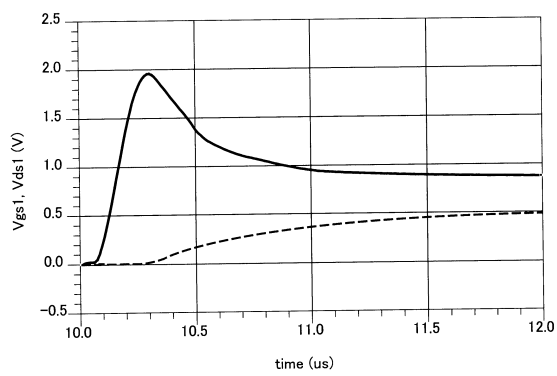
【図 1 1 A】



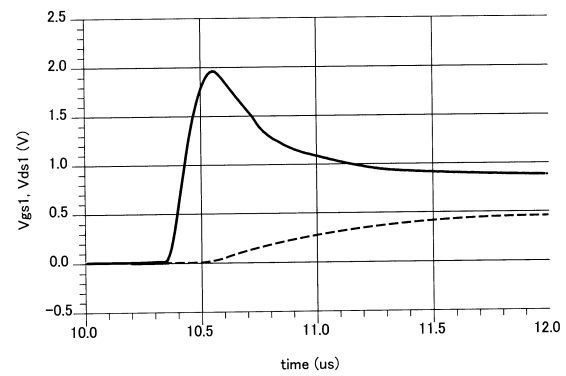
【図 1 1 C】



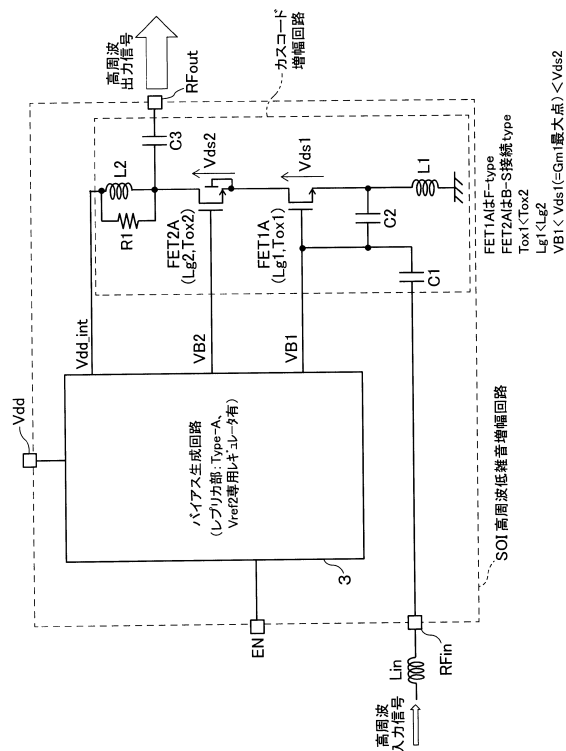
【図 1 1 B】



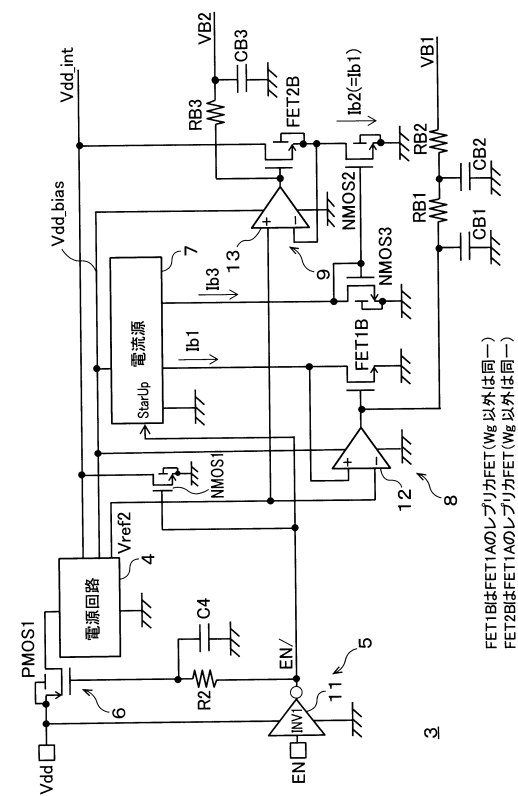
【図 1 1 D】



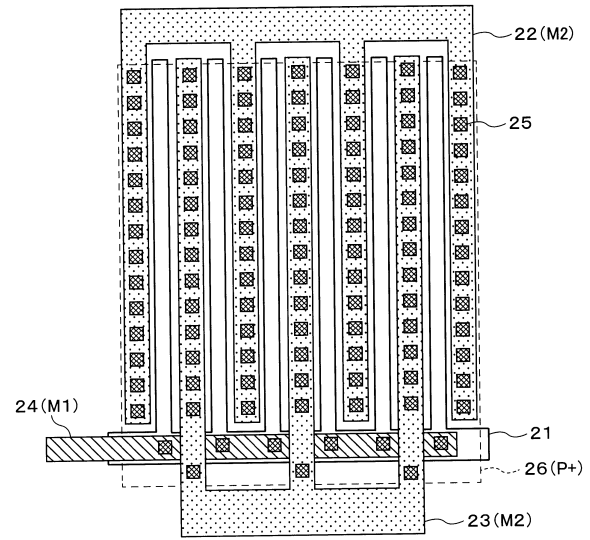
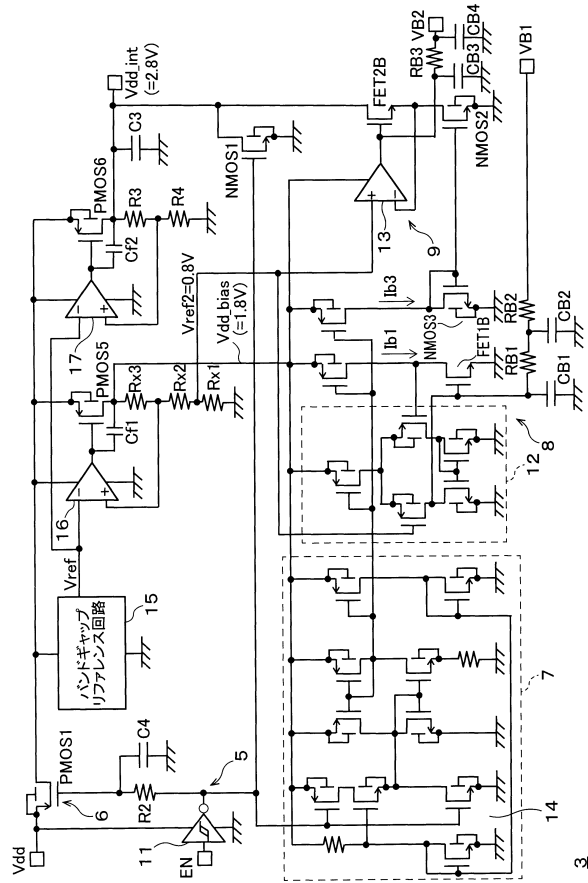
【図 1 2】



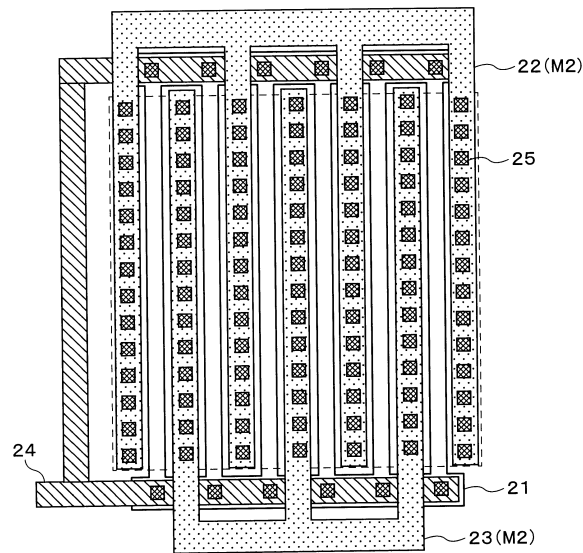
【図 1 3】



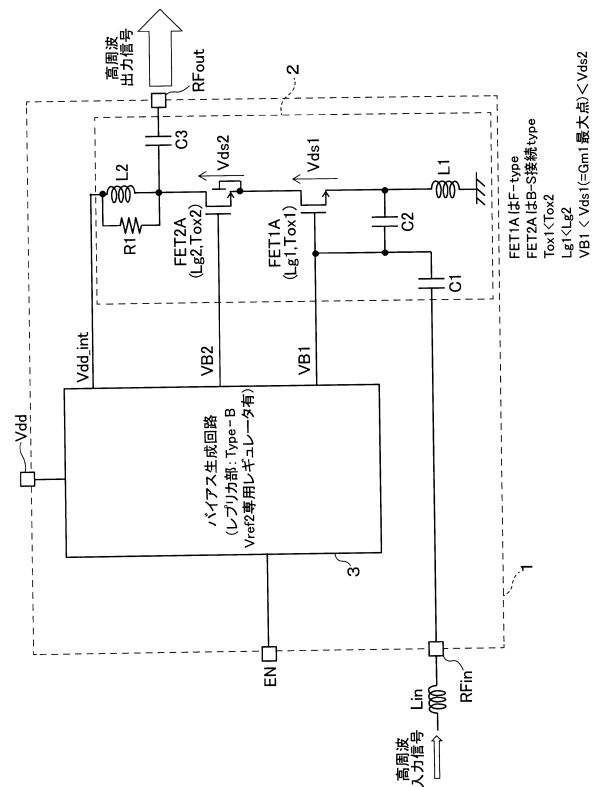
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

- (74)代理人 100107582
弁理士 関根 毅
- (74)代理人 100118843
弁理士 赤岡 明
- (74)代理人 100103263
弁理士 川崎 康
- (72)発明者 瀬下 敏樹
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 栗山 保彦
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 及川 尚人

- (56)参考文献 特開平11-145736(JP,A)
特開2013-081200(JP,A)
特開2013-098260(JP,A)
特開2009-207030(JP,A)
特開2006-270466(JP,A)
特開2015-061294(JP,A)
特開2012-099915(JP,A)
米国特許出願公開第2002/0113650(US,A1)

- (58)調査した分野(Int.Cl., DB名)
H03F 1/00-3/72