

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6588878号
(P6588878)

(45) 発行日 令和1年10月9日(2019.10.9)

(24) 登録日 令和1年9月20日(2019.9.20)

(51) Int.Cl.

F 1

H03F 1/22 (2006.01)

H03F 1/22

H03F 3/195 (2006.01)

H03F 3/195

H03F 1/02 (2006.01)

H03F 1/02

請求項の数 5 (全 25 頁)

(21) 出願番号 特願2016-168465 (P2016-168465)
 (22) 出願日 平成28年8月30日 (2016.8.30)
 (65) 公開番号 特開2018-37801 (P2018-37801A)
 (43) 公開日 平成30年3月8日 (2018.3.8)
 審査請求日 平成30年8月31日 (2018.8.31)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (73) 特許権者 317011920
 東芝デバイス&ストレージ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100091982
 弁理士 永井 浩之
 (74) 代理人 100091487
 弁理士 中村 行孝
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100105153
 弁理士 朝倉 悟

最終頁に続く

(54) 【発明の名称】高周波半導体增幅回路

(57) 【特許請求の範囲】

【請求項1】

S O I (Silicon On Insulator) 基板上に配置され、ソース接地の第1トランジスタと、前記S O I基板上に配置され、前記第1トランジスタにカスコード接続される第2トランジスタと、

前記S O I基板上に配置され、前記第1トランジスタのゲート電圧、前記第2トランジスタのゲート電圧、および前記第2トランジスタのドレイン用の第1電圧を生成するバイアス生成回路と、を備え、

前記バイアス生成回路は、前記第1トランジスタの閾値電圧を第2電圧とし、前記第1トランジスタのゲート-ソース間電圧に対するドレイン電流の平方根の変化を表す曲線を前記ゲート-ソース間電圧で二階微分した曲線の最大値に対応するゲート-ソース間電圧を第3電圧としたときに、前記第1トランジスタのゲート電圧を前記第2電圧と前記第3電圧との間の電圧であって、前記第1トランジスタのドレイン-ソース間電圧より小さい電圧に設定する、高周波半導体增幅回路。

【請求項2】

前記第1トランジスタのドレイン-ソース間電圧は、インパクトイオン化により正孔が前記第1トランジスタのボディ領域に蓄積される現象が生じる電圧よりも低くなるように設定される、請求項1に記載の高周波半導体增幅回路。

【請求項3】

10

20

前記第1トランジスタおよび前記第2トランジスタのボディはフローティング状態である、請求項1または2に記載の高周波半導体增幅回路。

【請求項4】

前記第1トランジスタのボディはフローティング状態であり、

前記第2トランジスタのボディは、前記第2トランジスタのソースに接続されている、請求項1または2に記載の高周波半導体增幅回路。

【請求項5】

前記バイアス生成回路は、前記第1トランジスタのドレイン-ソース間電圧と前記第2トランジスタのドレイン-ソース間電圧とが等しくなるように前記第1トランジスタのゲート電圧と前記第2トランジスタのゲート電圧とを制御する、請求項1乃至4のいずれか一項に記載の高周波半導体增幅回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、高周波半導体增幅回路に関する。

【背景技術】

【0002】

近年、高周波低雑音増幅器をSiGeバイポーラプロセス（以下、SiGeプロセス）からSOI（Silicon On Insulator）CMOSプロセス（以下、SOIプロセス）に置換する検討が進められている。SOIプロセスはSiGeプロセスよりも低コストであり、またSOIプロセスで形成したMOSトランジスタの寄生容量は小さいことから、高周波信号の電力損失が小さくなる。よって、SOIプロセスを用いれば、電気的特性を劣化させずに、高周波スイッチと高周波低雑音増幅器とを同一のSOI基板上に形成できる。

20

【0003】

しかしながら、SOIプロセスで作製した高周波低雑音増幅器の電気的特性（特に、ノイズ指数NF）をSiGeプロセス並に優れたものにするのは容易ではない。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-105810号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の一実施形態は、ノイズ指数等の電気的特性に優れた高周波半導体增幅回路を提供するものである。

【課題を解決するための手段】

【0006】

本実施形態では、SOI（Silicon On Insulator）基板上に配置され、ソース接地の第1トランジスタと、

前記SOI基板上に配置され、前記第1トランジスタにカスコード接続される第2トランジスタと、

40

前記SOI基板上に配置され、前記第1トランジスタのゲート電圧、前記第2トランジスタのゲート電圧、および前記第2トランジスタのドレイン用の第1電圧を生成するバイアス生成回路と、を備え、

前記バイアス生成回路は、前記第1トランジスタの閾値電圧を第2電圧とし、前記第1トランジスタのゲート-ソース間電圧に対するドレイン電流の平方根の変化を表す曲線を前記ゲート-ソース間電圧で二階微分した曲線の最大値に対応するゲート-ソース間電圧を第3電圧としたときに、前記第1トランジスタのゲート電圧を前記第2電圧と前記第3電圧との間の電圧であって、前記第1トランジスタのドレイン-ソース間電圧より小さい電圧に設定する、高周波半導体增幅回路が提供される。

50

【図面の簡単な説明】

【0007】

【図1】第1の実施形態による高周波半導体増幅回路のブロック図。

【図2】理想的なMOSFETモデル (LEVEL1) の G_m / I_{dd} 対 V_{gs} 特性を示すグラフ。

【図3】FET1Aの $sqr t(I_{ds})$ 対 V_{gs} 特性を示すグラフ。

【図4】 $sqr t(I_{ds})$ の V_{gs} に対する二階微分関数を示すグラフ。

【図5A】一般的なバルクシリコンの $I_{ds} - V_{ds}$ 特性の一例を示すグラフ。

【図5B】 I_{ds} 一定条件 ($50 \mu A$) 下での $G_m - V_{ds}$ 特性を示すグラフ。

【図6A】SOI上のNMOSトランジスタの $I_{ds} - V_{ds}$ 特性の一例を示すグラフ。

【図6B】図5Aと同じNMOSトランジスタの $G_m - V_{ds}$ 特性の一例を示すグラフ。

10

【図7】MOSトランジスタのドレイン - ソース間電圧とソース接地のMOSトランジスタのノイズ指数の最小値との関係を示すグラフ。

【図8】一比較例によるカスコード増幅回路とバイアス生成回路の回路図。

【図9】図1のバイアス生成回路の内部構成の一例を示す回路図。

【図10】図9のバイアス生成回路の一具体例を示す回路図。

【図11A】抵抗とキャパシタを設けない場合のFET2Aの V_{gs2} 、 V_{ds2} の電圧波形図。

【図11B】抵抗とキャパシタを設けない場合のFET1Aの V_{gs1} 、 V_{ds1} の電圧波形図。

【図11C】抵抗とキャパシタを設けた場合のFET2Aのゲート - ソース間電圧 V_{gs2} 、ドレイン - ソース間電圧 V_{ds2} の電圧波形図。

【図11D】抵抗とキャパシタを設けた場合のFET1Aのゲート - ソース間電圧 V_{gs1} 、ドレイン - ソース間電圧 V_{ds1} の電圧波形図。

【図12】第2の実施形態による高周波LNAのブロック図。

【図13】図9のバイアス生成回路の内部構成の一例を示す回路図。

【図14】図10のバイアス生成回路の一具体例を示す回路図。

【図15】第2の実施形態によるFET2Aのレイアウト図。

【図16】第2の実施形態によるFET1Aのレイアウト図。

【図17】第3の実施形態による高周波LNA1のブロック図。

【図18】図14のバイアス生成回路の内部構成の一例を示す回路図。

30

【図19】図15のバイアス生成回路の一具体例を示す回路図。

【図20】図15および図16のバイアス生成回路の要部を示す回路図。

【図21】第4の実施形態による高周波半導体増幅回路1のブロック図。

【図22】第4の実施形態によるバイアス生成回路3の内部構成の一例を示す回路図。

【図23】図19のバイアス生成回路3の一具体例を示す回路図。

【図24】第1～第4の実施形態をまとめた図。

【発明を実施するための形態】

【0008】

以下、図面を参照しながら、本発明の実施形態を説明する。具体的な実施形態を説明する前に、SiGeプロセスで作製したMOSトランジスタと、SOIプロセスで作製したMOSトランジスタとの電気的特性について説明する。

【0009】

トランジスタのノイズ指数 N_F や利得に直接関係する指標として、トランスクンダクタンス G_m がある。消費電流を I_{dd} とすると、バイポーラトランジスタの G_m / I_{dd} は、動作点によらず一定になる。一般に、MOSFETの G_m / I_{dd} は、SiGeプロセスで作製したトランジスタの G_m / I_{dd} よりも低く、かつその値はゲート電圧に応じて大きく変化する。

【0010】

バイポーラトランジスタの G_m は次式で与えられる。

【0011】

40

50

$$G_m = (k T / q) I_{dd} \quad \dots (1)$$

【0012】

ここで、 k はボルツマン定数、 T は絶対温度、 q は素電荷である。

【0013】

一方、理想的なMOSFETモデル (LEVEL1) を想定すると、その飽和領域における G_m は次式で与えられる。

【0014】

$$G_m = (2 I_{dd} \cdot \mu \cdot C_{ox} \cdot Wg / Lg) \quad \dots (2)$$

【0015】

ここで、 μ は電子移動度、 C_{ox} はゲート容量、 Wg はゲート幅、 Lg はゲート長である。

10

【0016】

(2) 式からわかるように、MOSFET における G_m を所望の値にするには、ゲート容量、ゲート幅およびゲート長などの素子定数と、ゲート - ソース間電圧 V_{gs} やドレイン - ソース間電圧 V_{ds} 等のバイアス条件とをともに最適化する必要がある。そこで、本実施形態は、素子定数とバイアス条件の最適化を行うものである。

【0017】

(第1の実施形態)

図1は第1の実施形態による高周波半導体增幅回路1のブロック図である。図1の高周波半導体增幅回路1は、高周波LNA (Low Noise Amplifier) 1とも呼ばれる。図1の高周波LNA1は、共通のSOI基板上にCMOSプロセスで作製されるものである。図1の高周波LNA1は、カスコード增幅回路2と、バイアス生成回路3とを備えている。

20

【0018】

カスコード增幅回路2は、N型トランジスタFET1A (第1トランジスタ) と、N型トランジスタ (第2トランジスタ) FET2Aと、インダクタL1, L2と、抵抗R1と、キャパシタC1, C2, C3とを有する。FET1AとFET2Aはカスコード接続されている。

【0019】

なお、本明細書では、N型またはP型のMOSトランジスタをFET、NMOS、PMOSなどと表記するが、いずれもCMOSプロセスで形成されるトランジスタであり、ゲート長やゲート酸化膜厚に違いはあるものの、構造上の本質的な違いはない。

30

【0020】

FET1Aのゲートには、キャパシタC1と外付けのインダクタLinを介して高周波入力信号を入力する入力端子RFinが接続されている。キャパシタC1は直流成分カット用のために設けられている。また、FET1Aのゲートには、バイアス生成回路3で生成されたバイアス電圧VB1が入力されている。FET1Aのソースは、インダクタL1を介して接地されており、FET1Aはソース接地回路である。

【0021】

FET2Aのゲートには、バイアス生成回路3で生成されたバイアス電圧VB2が入力されている。FET2AのソースはFET1Aのドレインに接続されている。FET2Aのドレインには、キャパシタC3を介して、高周波入力信号を増幅した高周波信号を出力する出力端子RFoutが接続されている。FET2Aのドレインには、並列接続された抵抗R1とインダクタL2を介して、バイアス生成回路3からの内部電圧Vdd_intが供給されている。抵抗R1は安定化のために設けられている。インダクタL2とキャパシタC3は出力端子RFoutの特性インピーダンスの調整のために設けられている。

40

【0022】

バイアス生成回路3には、イネーブル信号ENを入力する端子と外部電源電圧Vddを入力する端子とが設けられている。バイアス生成回路3に外部電源電圧Vddが入力され、かつイネーブル信号ENが例えばハイのときに、バイアス生成回路3は、バイアス電圧VB1、VB2と内部電圧Vdd_intとを生成する。

【0023】

50

図1の高周波LNA1内のカスコード増幅回路2とバイアス生成回路3は、同一のSOI基板上に作製されてワンチップ化されており、このチップに外付けされるインダクタL_{in}と、キャパシタC₂と、インダクタL₁とによって、入力整合とノイズ整合が取られている。

【0024】

高周波LNA1の重要な特性指標は利得とノイズ指数N_Fである。一般にバイアス電流I_{dd}を大きくすれば、利得とN_Fは改善する。また利得が増大するほどN_Fは減少する。例えば利得に関しては、利得/I_{dd}が大きいことが求められる。一般には、利得/I_{dd}が良好(大きい)ほど、N_F/I_{dd}も良好(小さく)になる。

【0025】

図2は理想的なMOSFETモデル(LEVEL1)のG_m/I_{ds}対V_{gs}特性である。G_mは利得に直接影響を与えるパラメータであるので、利得/I_{dd}を大きくするためには、図2から分かるようにV_{gs}値はなるべく低い方が良い。ところが、図2では、サブスレッショルド特性は考慮されていないため、V_{gs}値がサブスレッショルド領域に設定されると、実際のMOSFETはB級動作に近くなり、線形性において劣化する。

【0026】

更に、バイアス回路による電流制御が困難になる、具体的にはバイアス電流のばらつきが大きくなるという問題が生じる。なぜならば、サブスレッショルド領域では、I_{dd}はV_{gs}の指數関数となり、僅かなV_{B1}の変動がI_{dd}を大きく変えてしまうからである。

【0027】

そこで、V_{gs}はV_{th}よりは高く、しかし、より低い値に設定するのが望ましい。具体的には以下のように設定すればよい。

【0028】

まず、V_{th}の定義を説明する。図3はFET1Aのsqrt(I_{ds})対V_{gs}特性を示している。図3中のV_{gs1}はsqrt(I_{ds})のV_{gs}に対する一階微分が最大となるV_{gs}の値である。V_{gs1}における接線のx切片がV_{th}と定義される。図3からわかるように、V_{th}=0.34Vである。FET1Aのゲート電圧V_{B1}は、閾値電圧V_{th}よりも高い電圧に設定されるべきであるが、ドレイン電流I_{ds}の平方根の値の変化が線形となる手前で設定するのが望ましい。I_{ds}の平方根の値の変化が線形となる領域は、G_m/I_{ds}が小さいからである。

【0029】

図4はsqrt(I_{ds})のV_{gs}に対する二階微分関数である。その最大値を与えるV_{gs}をV_{gs2}と定義する。

【0030】

本実施形態は、V_{th}<V_{B1}<V_{gs2}に設定することを第1の特徴とする。これにより、低消費電流でありながら利得が高く、N_Fの低い高周波LNA1を実現することができる。また、線形性に優れ、バイアス電流のばらつきも小さくできる。

【0031】

第2の特徴は、FET1Aのドレイン-ソース間電圧V_{ds1}に対する要件である。一般的のバルクシリコンであれば、電源電圧や素子耐圧の範囲内でV_{ds}を高くすることが望ましい。しかしながら、SOI上のMOSトランジスタの場合にはそうはならないことを発明者らは見出した。以下、そのことについて説明する。

【0032】

まず、バルクシリコン上に形成されたNMOSトランジスタの直流特性について説明する。図5Aは一般的なバルクシリコンのI_{ds}-V_{ds}特性の一例を示すグラフである。図5Aは、線形領域と飽和領域を有する一般的な特性を示している。図5Bは、図5Aと同じNMOSトランジスタのI_{ds}一定条件(50μA)下でのG_m-V_{ds}特性を示すグラフである。飽和領域におけるドレインコンダクタンスG_dが仮にゼロであったとすれば、飽和領域でのG_mは一定になる。しかしながら、図5Aから明らかなように、実際には有限のG_dが存在するため、飽和領域においても、G_mは若干のV_{ds}依存性を有し、V_{ds}が大きい

10

20

30

40

50

ほど G_m が大きくなる。

【0033】

次に、SOI 上の NMOS ドランジスタの特性について説明する。図 6A は SOI 上の NMOS ドランジスタの I_{ds} - V_{ds} 特性の一例を示すグラフである。ここでは、ゲート酸化膜厚 = 2.5 nm、ゲート長 = 0.14 μ m、ゲート幅 = 5 μ m としている。図 6A からわかるように、ドレイン電流 I_{ds} が急激に増大するキンクが発生している。キンクは、ドレイン近傍の強い電界により電子が高いエネルギーを得てインパクトイオン化を引き起こし、ホットキャリアとして発生したホールがボディ領域に蓄積して、基板浮遊効果が起ることにより生じる。

【0034】

図 6B は図 6A と同じ NMOS ドランジスタの G_m - V_{ds} 特性の一例を示すグラフである。ここでは、 I_{ds} は一定 (50 μ A) としている。図 5B と異なり図 6B では、 V_{ds} = 0.8 V 付近で G_m 値がピークを持った特性になっている。このピークはノイズ指数 NF の観点からは重要な意味を持つ、すなわちホットキャリアが発生すると、 NF が劣化してしまうことを示している。

【0035】

このように、図 6B に示す G_m のピーク特性は、ホットキャリア発生によることは明らかである。また、ホットキャリア発生有無の境界は、 G_m が最大となる V_{ds} と考えることができる。

【0036】

図 7 は、MOS ドランジスタのドレイン - ソース間電圧 V_{ds1} と、ソース接地の MOS ドランジスタの最小雑音指数 NF_{min} との関係を示すグラフである。ここで、 NF_{min} とは、ノイズ整合したときのノイズ指数 NF の値である。図 7 の MOS ドランジスタのゲート幅 W_g は、図 5B のゲート幅 W_g の 40 倍の 2 mm であり、 I_{ds} = 2 mA である。すなわち、単位ゲート幅のドレイン電流は、図 5B と同じである。

【0037】

図 7 からわかるように、ドレイン - ソース間電圧 V_{ds1} = 0.8 V 程度のときに最小雑音指数 NF_{min} が最小になっている。。 V_{ds1} = 0.8 V のときの V_{gs} は 0.346 V である。

【0038】

以上のことから、所定の消費電流において G_m が最大となる V_{ds1} に設定することで、ノイズ指数 NF を最小化できることがわかる。

【0039】

上述した第 1 および第 2 の特徴は、高周波 LNA 1 の本体であるカスコード增幅回路 2 のソース接地の FET 1A のバイアス点に関するものである。本実施形態は、第 1 と第 2 の特徴を実現するバイアス生成回路 3 をも提供する。以下、バイアス生成回路 3 の回路構成について説明する。

【0040】

まずは、一比較例によるバイアス生成回路 3a を説明する。図 8 は一比較例によるカスコード增幅回路 2a とバイアス生成回路 3a の回路図である。図 8 では、FET 1A と、FET 1A のレプリカ FET である FET 1B とによるカレントミラー回路にて、バイアス生成回路 3 が構成されている。FET 1B は、FET 1A とゲート幅 W_g のみが異なり、FET 1A の W_g は FET 1B の W_g の K 倍 (K は例えば 100) に設定されている。FET 1B のドレイン電流は電流源 7a から供給される電流 I_b であり、FET 1A のドレイン電流は $K \cdot I_b$ となる。よって、 K を調整するだけでカスコード增幅回路 2a のバイアス電流を設定可能となる。

【0041】

しかしながら、上記のカレントミラー動作が成立するのは FET 1A と FET 1B のドレインコンダクタンスが十分小さい必要がある。

【0042】

10

20

30

40

50

本実施形態は、高い利得と低いN Fを実現するため、F E T 1 AとF E T 1 Bには微細M O S F E Tを用いることを前提としている。一般に、微細M O S F E Tのドレインコンダクタンスは大きい。すなわち、V_{gs}が同じでもV_{ds}が異なればドレイン電流が異なってしまう。

【0043】

図8のようなカレントミラー回路ではF E T 1 AのV_{ds}とF E T 1 BのV_{ds}が一致する保証はないので、電流比は1 : Kにはならない。すなわち、カスコード增幅回路2 aのバイアス電流I_{dd}をKで設定することが出来ない。言うまでもなく、I_{dd}は重要な指標であり、正確に設定できないことは問題である。

【0044】

また、上述のように、図8のカレントミラー回路ではF E T 1 BのV_{ds}を所望の値（例えば0.8V）に設定することは出来ない、すなわち第2の特徴を実現できない。

【0045】

さらに、第1の特徴を実現するのも困難である。なぜならば、図8において、F E T 1 BのV_{gs}をV_{th}と前記V_{gs2}の間に設定したとしても、F E T 1 AのV_{gs}がV_{th}とV_{gs2}の間に設定される保証はないからである。その理由は、図3と図4の特性はV_{ds}によって変わるものである。

【0046】

そこで、本実施形態では、バイアス生成回路3の第1の実施形態として図9と図10を提供する。図9と図10のバイアス生成回路3であれば、F E T 1 AとF E T 1 BのV_{ds}は一致するので、理想的なカレントミラーが実現され、I_{dd}を正確に設定することができる。それに伴い、第1の特徴を実現できる。また、V_{ref2}がF E T 1 AのV_{ds}となるので第2の特徴を実現することができる。

【0047】

以下、本実施形態のバイアス生成回路3を具体的に説明する。図9は図1のバイアス生成回路3の内部構成の一例を示す回路図である。図9のバイアス生成回路3は、電源回路4と、イネーブル制御回路5と、ソフトスタート回路6と、電流源7と、第1レプリカ回路8と、第2レプリカ回路9とを有する。

【0048】

電源回路4は、外部電源電圧から2種類の内部電圧V_{dd_int}、V_{dd_int}/2を生成する。内部電圧V_{dd_int}/2は、内部電圧V_{dd_int}の半分の電圧レベルを有する。

【0049】

イネーブル制御回路5は、インバータ11と、N型トランジスタN M O S 1とを有する。インバータ11は、イネーブル信号E Nがハイになると、ロウを出力する。このとき、N M O S 1はオフする。すなわち、N M O S 1は、イネーブル信号E Nがロウのときにオンする。バイアス生成回路3の出力電圧は、N M O S 1がオンすると接地電位(0V)になり、N M O S 1がオフすると、電源回路4で生成された内部電圧V_{dd_int}になる。

【0050】

ソフトスタート回路6は、P型トランジスタ（第5トランジスタ）P M O S 1と、抵抗R 2とキャパシタC 4とを有する。P M O S 1のゲートに、抵抗R 2とキャパシタC 4の各一端が接続されている。抵抗R 2の他端は、イネーブル制御回路5内のインバータ11の出力ノードに接続されている。キャパシタC 4の他端は接地されている。P M O S 1のソースには外部電源電圧V_{dd}が入力され、ドレインは電源回路4の電源電圧ノードに接続されている。イネーブル信号E Nがロウからハイに遷移した際、P M O S 1が急峻にオン状態に遷移してしまうと、F E T 1 AとF E T 2 Aのドレイン-ソース電圧V_{ds1}、V_{ds2}が一時的に大きくなる。このため、ソフトスタート回路6では、P M O S 1のゲートに抵抗R 2とキャパシタC 4を接続することで、イネーブル信号E Nの立ち下がり波形を鈍らせている。このように、ソフトスタート回路6を設けることで、イネーブル信号E Nがイネーブル状態になった直後の過渡応答期間において、F E T 1 AとF E T 2 Aのドレイン-ソース電圧V_{ds1}、V_{ds2}が一時的に大きくなることが抑制される。

10

20

30

40

50

【0051】

電流源7は、イネーブル信号ENがハイのときに、電源回路4で生成された内部電圧Vdd_intを用いて、第1レプリカ回路8に供給される電流Ib1と、第2レプリカ回路9に供給される電流Ib3とを生成する。電流Ib3は、第2レプリカ回路9内のカレントミラー回路で折り返されて、FET2Bに供給される電流Ib2となる。電流源7は、イネーブル信号ENがロウのときには、電流Ib1、Ib3の生成を停止する。

【0052】

第1レプリカ回路8は、FET1Aとカレントミラー回路を構成するN型トランジスタ(第3トランジスタ)FET1Bと、第1差動增幅回路12と、キャパシタCB1と、抵抗RB1とを有する。FET1Bのドレインには、電流源7からの電流Ib1が供給される。FET1Bのソースは接地されている。FET1Bのゲートには、第1差動增幅回路12の出力ノードが接続されている。第1差動增幅回路12の正側入力端子にはFET1Bのドレイン電圧が入力され、負側入力端子には内部電圧Vdd_int/2が入力されている。第1差動增幅回路12は、FET1Bのドレイン電圧が内部電圧Vdd_int/2に一致するように負帰還制御を行う。第1差動增幅回路12の出力電圧は、FET1Bのゲートに供給されるとともに、抵抗RB1を介して、バイアス電圧VB1としてFET1Aのゲートにも供給される。FET1Bのボディは、FET1Aと同様にフローティング状態である。

【0053】

第2レプリカ回路9は、FET2Aとカレントミラー回路を構成するN型トランジスタ(第4トランジスタ)FET2Bと、第2差動增幅回路13と、FET2Bにカスコード接続されたN型トランジスタNMOS2と、このNMOS2とカレントミラー回路を構成するN型トランジスタNMOS3とを有する。FET2Bのボディは、FET2Aと同様にフローティング状態である。

【0054】

FET2Bのドレインには、内部電圧Vdd_int(第1電圧)が供給されている。FET2BのソースはNMOS2のドレインに接続されている。NMOS2のソースは接地されている。NMOS3のドレインには、電流源7からの電流Ib3が供給されており、NMOS3とカレントミラー回路を構成するNMOS2のドレインには電流Ib2が流れる。また、NMOS2とカスコード接続されているFET2Bのドレインにも同じ電流Ib2が流れれる。

【0055】

第2差動增幅回路13の正側入力端子には内部電圧Vdd_int/2(第2電圧)が入力され、負側入力端子にはFET2Bのソース電圧が入力されている。第2差動增幅回路13は、FET2Bのソース電圧が内部電圧Vdd_int/2に一致するように負帰還制御を行う。第2差動增幅回路13の出力電圧は、FET2Bのゲートに供給されるとともに、抵抗RB3を介して、バイアス電圧VB2としてFET2Aのゲートにも供給される。

【0056】

抵抗RB1、RB3とキャパシタCB1、CB3は、高周波信号がバイアス生成回路3に入り込まないようにするためのものである。

【0057】

電流Ib1は、電流Ib2と等しくなるように、すなわち電流Ib1 = Ib2 = Ibとなるように設定されている。上記の構成により、FET1BとFET2Bのドレイン-ソース間電圧はVdd_int/2となり、ドレイン電流はIbとなる。

【0058】

上述したように、FET1AとFET1Bはカレントミラー回路を構成し、FET2AとFET2Bもカレントミラー回路を構成している。よって、以下の(3)式が成り立つ。

【0059】

FET1Bのゲート幅 / FET1Aのゲート幅
= FET2Bのゲート幅 / FET2Aのゲート幅 ... (3)

10

20

30

40

50

【0060】

上述したように、FET1Bのドレイン電圧が $V_{dd_int}/2$ であることから、FET1Aのドレイン-ソース間電圧 $V_{ds1} = V_{dd_int}/2$ である。なお、FET1Bのドレイン電圧である $V_{dd_int}/2$ は、FET1Aのゲート電圧よりも大きい固定電圧である。また、FET2Bのドレイン電圧が $V_{dd_int}/2$ であることから、FET2Aのドレイン-ソース間電圧 $V_{ds2} = V_{dd_int} - V_{dd_int}/2 = V_{dd_int}/2$ となる。これらの関係から、以下の(4)式が得られる。

【0061】

$$V_{ds1} = V_{ds2} \quad \dots (4)$$

【0062】

10

図10は図9のバイアス生成回路3の一具体例を示す回路図である。図10の電流源7は、スタートアップ回路14と、一対のP型トランジスタPMOS2、PMOS3と、一対のN型トランジスタNMOS4、NMOS5と、抵抗Rsと、P型トランジスタPMOS4と、N型トランジスタNMOS6とを有する。

【0063】

NMOS4のドレインはPMOS2のドレインに接続され、NMOS5のドレインはPMOS3のドレインに接続されている。NMOS5のソースと接地ノードとの間に抵抗Rsが接続されている。PMOS3のドレインとNMOS5のドレインは、PMOS4のゲートに接続されている。NMOS6のドレインとゲートは接続されており、ダイオードとして機能する。

20

【0064】

スタートアップ回路14は、イネーブル信号ENがハイのときに、ハイ電圧(内部電圧 V_{dd_int})を出力する。スタートアップ回路14がハイ電圧を出力すると、NMOS4とNMOS5がオンし、PMOS3のドレインとNMOS5のドレインとの接続ノードの電圧が下がり、FET1Bに電流 I_{b1} が供給され、かつNMOS3に電流 I_{b3} が供給される。

【0065】

ここで、NMOS4とNMOS5は、サブスレッショルド領域で動作するように抵抗Rsが設定されている。サブスレッショルド領域とは、ゲート電圧が閾値電圧以下または閾値電圧近辺であり、チャネル領域が弱反転状態の場合を示している。この場合のPMOS3のドレイン電流 I_{bias} は、近似的に以下の(5)式で表される。

30

【0066】

$$I_{bias} = (kT/q) \ln(n) / R_s \quad \dots (5)$$

【0067】

ここで、kはボルツマン定数、qは素電荷、Tは絶対温度、 \ln は自然対数であり、nは例えば4に設定される。

【0068】

図10の電源回路4は、バンドギャップリファレンス回路15と、第3差動增幅回路16と、P型トランジスタPMOS5と、抵抗Rx1、Rx2、Rx3と、キャパシタCf1、Csとを有する。PMOS5のソースはPMOS1のドレインに接続され、PMOS5のドレインと接地ノードとの間には、抵抗Rx1、Rx2、Rx3が直列接続されている。PMOS5のドレイン電圧は内部電圧 V_{dd_int} である。キャパシタCsは、PMOS5のドレインと接地ノードとの間に接続される出力対地容量である。キャパシタCf1は、第3差動增幅回路16の出力ノードとPMOS5のドレインとの間に接続される安定化容量である。

40

【0069】

第3差動增幅回路16の正側入力端子には、内部電圧 V_{dd_int} を抵抗Rx1、Rx2、Rx3で分圧した電圧が入力される。第3差動增幅回路16の負側入力端子には、バンドギャップリファレンス回路15で生成された基準電圧 V_{ref} が入力されている。これにより、内部電圧 V_{dd_int} は、以下の(6)式を満たすように、第3差動增幅回路16にて負帰還制御される。

50

【0070】

$$V_{dd_int} = V_{ref} \times (R_{x1} + R_{x2} + R_{x3}) / (R_{x1} + R_{x2}) \quad \dots (6)$$

【0071】

内部電圧 V_{dd_int} は、例えば 1.6 V に設定される。

【0072】

また、本実施形態では、 $R_{x1} = R_{x2} + R_{x3}$ としており、 R_{x1} と R_{x2} の接続点の電圧は、 $V_{dd_int} / 2$ になる。

【0073】

本実施形態における FET1A、FET1B、FET2A、FET2B のボディ（ボディ）は、電気的にフローティング状態である。以下では、ボディがフローティング状態の MOS トランジスタを F タイプと呼ぶ。FET1A、FET1B、FET2A、FET2B 以外の MOS トランジスタのボディは、ソースに接続されている。以下では、ボディがソースに接続された MOS トランジスタは B-S 接続タイプと呼ぶ。10

【0074】

本実施形態では、FET1A、FET1B、FET2A、FET2B のゲート酸化膜厚 T_{ox} を等しくし、かつゲート長 L_g も等しくしている。これらゲート酸化膜厚 T_{ox} とゲート長 L_g は、製造プロセスの限界値に設定されており、例えば、 $T_{ox} = 2.5 \text{ nm}$ 、 $L_g = 0.14 \mu\text{m}$ である。

【0075】

このように、FET1A、FET1B、FET2A、FET2B に微細 MOSFET を用いることで、良好なノイズ指数 N_F を実現することができる。一方、本実施形態では、他の MOS トランジスタのゲート酸化膜厚 T_{ox_dc} をすべて等しくし、かつ PMOS トランジスタのゲート長 L_{g_p} をすべて等しくし、かつ NMOS トランジスタのゲート長 L_{g_n} をすべて等しくしている。これら T_{ox_dc} 、 L_{g_p} 、 L_{g_n} は例えば、 $T_{ox_dc} = 9 \text{ nm}$ 、 $L_{g_p} = 0.35 \text{ nm}$ 、 $L_{g_n} = 1 \mu\text{m}$ である。20

【0076】

FET1A、FET1B、FET2A、FET2B 以外の MOS トランジスタのゲート酸化膜厚とゲート長を大きくし、かつ B-S 接続タイプにすることで、ゲート-ソース間電圧 V_{gs} やドレイン-ソース間電圧 V_{ds} の最大許容電圧は大きくなる。よって、電源電圧 V_{dd} の最大許容電圧を例えば 3.5 V にまで大きく設定できる。30

【0077】

FET1A、FET1B、FET2A、FET2B のゲート酸化膜厚 T_{ox} とゲート長 L_g を製造プロセスにおける最小値に設定しても、それだけでは良好な N_F を実現することはできない。適切なバイアス電圧を供給する必要がある。

【0078】

次に、ソフトスタート回路 6 内の PMOS 1 のゲートに接続された抵抗 R_2 とキャパシタ C_4 を設けた意義についてシミュレーション結果を用いて説明する。図 11A は抵抗 R_2 とキャパシタ C_4 を設けない場合の FET2A の V_{gs2} 、 V_{ds2} の電圧波形図、図 11B は抵抗 R_2 とキャパシタ C_4 を設けない場合の FET1A の V_{gs1} 、 V_{ds1} の電圧波形図である。一方、図 11C は抵抗 R_2 とキャパシタ C_4 を設けた場合の FET2A のゲート-ソース間電圧 V_{gs2} 、ドレイン-ソース間電圧 V_{ds2} の電圧波形図、図 11D は抵抗 R_2 とキャパシタ C_4 を設けた場合の FET1A のゲート-ソース間電圧 V_{gs1} 、ドレイン-ソース間電圧 V_{ds1} の電圧波形図である。図 11C と図 11D では、抵抗 $R_2 = 115 \text{ k}$ 、キャパシタ $C_4 = 1.5 \text{ pF}$ とした。40

【0079】

図 11A～図 11D では、ブレークダウンしない FET モデルを用いた。また、電源電圧 V_{dd} は 3.5 V とした。図 11A と図 11B に示すように、抵抗 R_2 とキャパシタ C_4 を設けない場合には、 V_{ds1} と V_{ds2} のピーク電圧が 2 V を超えてしまう。例えば、 V_{ds2} のピーク電圧は 2.32 V になる。一方、図 11C と図 11D に示すように、抵抗 R_2 とキャパシタ C_4 を設ける場合には、ピーク電圧は 2 V 以下になる。50

【0080】

本実施形態では、ノイズNFを小さくするために、ゲート長 $0.14\mu\text{m}$ の微細構造のFET1AとFET2Aを用いているが、ドレイン耐圧は2V程度と低くなってしまう。しかしながら、上述したように、ソフトスタート回路6内に抵抗R2とキャパシタC4を設けることで、イネーブル状態に変化する直後の過渡応答期間においても、Vdsは2Vを超えるなくなる。

【0081】

このように、本実施形態では、SOI上に形成される微細構造のFET1AとFET2Aをカスコード接続して高周波LNA1を構成し、FET1AのGm/Idsができるだけ大きくなるように、FET1Aを $V_{th} < VB1 < V_{gs2}$ で動作させている。また、本実施形態では、FET1AとFET1Bのドレイン電圧を、FET1Aのゲート電圧よりも大きい固定電圧にしている。これにより、NFに優れた高周波LNA1が得られる。また、本実施形態によれば、高周波スイッチと高周波LNA1を共通のSOI基板上に形成でき、ワンチップ化が可能となる。

10

【0082】

さらに、ソフトスタート回路6内に抵抗R2とキャパシタC4を設けることで、FET1AとFET2Aのドレイン-ソース間電圧Vds1、Vds2のピーク電圧を抑制でき、FET1AとFET2Aを微細構造にしたとしても、Vds1、Vds2のピーク電圧をドレイン耐圧以下に抑制できる。

【0083】

20

(第2の実施形態)

第2の実施形態は、FET2Aのボディをソースに接続したものである。

【0084】

図12は第2の実施形態による高周波LNA1のブロック図である。図12の高周波LNA1は、以下の4つの点で、図1とは異なっている。

【0085】

1) FET2Aのボディはソースに接続されている。

2) FET2Aのゲート酸化膜厚 T_{ox2} はFET1Aのゲート酸化膜厚 T_{ox1} より大きい。

3) FET2Aのゲート長 L_{g2} はFET1Aのゲート長 L_{g1} より大きい。

30

4) FET2Aのドレイン-ソース間電圧 V_{ds2} はFET1Aのドレイン-ソース間電圧 V_{ds1} より大きい。

【0086】

なお、図12のFET1Aの V_{ds1} は、FET1Aのゲート電圧 $VB1$ より大きい点では図1と共通する。

【0087】

図12の高周波LNA1は、上記4)のように $V_{ds2} > V_{ds1}$ とすることで、図1の高周波LNA1よりも線形性を改善できる。また、 V_{ds2} を大きくしても、上記1)~3)の相違点により、FET2Aがブレークダウンするおそれはなくなる。

【0088】

40

なお、ゲート接地となるFET2Aのノイズ指数NFは、FET1Aのノイズ指数NFより大きいが、高周波LNA1のNFはほぼ初段のNFで決まるため、図1の高周波LNA1に対するノイズ指数NFの劣化は僅かである。このように、第2の実施形態による高周波LNA1は、ノイズ指数NFの僅かな劣化を許容することによって、線形性を改善することができる。

【0089】

図13は図12のバイアス生成回路3の内部構成の一例を示す回路図である。図13のバイアス生成回路3は、以下の2つの点で、図2とは異なっている。

【0090】

5) FET2Bのボディはソースに接続されている。

50

6) 電源回路 4 は、内部電圧 V_{dd_int} の他に、電流源 7 用の電源電圧 V_{dd_bias} と、基準電圧 V_{ref2} を生成する。基準電圧 V_{ref2} は、 $V_{dd_int} / 2$ より小さい電圧である。この基準電圧 V_{ref2} は、第 1 差動增幅回路 1 2 と第 2 差動增幅回路 1 3 の基準電圧として用いられる。

【 0 0 9 1 】

電源回路 4 は、外部電源電圧 V_{dd} が高い場合には、内部電圧 V_{dd_int} を高くする。より詳細には、例えば、 $V_{dd} = 2.8\text{ V}$ の場合には $V_{dd_int} = V_{dd}$ とし、 $V_{dd} > 2.8\text{ V}$ の場合には $V_{dd_int} = 2.8\text{ V}$ とする。

【 0 0 9 2 】

電源回路 4 で生成された内部電圧 V_{dd_int} を電流源 7 の電源電圧として使用すると、電流 I_{b1} 、 I_{b2} の V_{dd} 依存性が生じてしまう。そこで、図 1 3 では、電源回路 4 で生成された電圧 V_{dd_bias} を電流源 7 の電源電圧として使用する。この電圧 V_{dd_bias} は、 1.8 V 程度に制限される電圧である。これにより、少なくとも外部電源電圧 V_{dd} が 1.8 V 以上では、電流 I_b の V_{dd} 依存性がなくなる。

10

【 0 0 9 3 】

図 1 4 は図 1 3 のバイアス生成回路 3 の一具体例を示す回路図である。図 1 4 のバイアス生成回路 3 は、図 1 0 の構成に加えて、第 4 差動增幅回路 1 7 と、キャパシタ C_{f2} と、P 型トランジスタ PMOS 6 と、抵抗 R_3 、 R_4 とを備えている。

【 0 0 9 4 】

図 1 0 と同様に、第 3 差動增幅回路 1 6 は、PMOS 5 のドレイン電圧を、抵抗 R_{x1} 、 R_{x2} 、 R_{x3} で抵抗分圧した電圧を負帰還制御しているが、PMOS 5 のドレイン電圧は V_{dd_bias} として、電流源 7、第 1 差動增幅回路 1 2 および第 2 差動增幅回路 1 3 の電源電圧として用いられる。また、抵抗 R_{x1} と抵抗 R_{x2} の接続ノードの電圧は、図 1 0 と同様に、第 1 差動增幅回路 1 2 の負側入力端子と第 2 差動增幅回路 1 3 の正側入力端子に入力される基準電圧 V_{ref2} として用いられる。

20

【 0 0 9 5 】

PMOS 6 は、PMOS 1 にカスコード接続されている。PMOS 6 のドレインと接地ノードとの間には、抵抗 R_3 と R_4 が直列接続されている。第 4 差動增幅回路 1 7 の負側入力端子にはバンドギャップリファレンス回路 1 5 から出力された基準電圧 V_{ref} が入力され、正側入力端子には抵抗 R_3 と R_4 の接続ノードの電圧が入力される。第 4 差動增幅回路 1 7 の出力信号は、PMOS 6 のゲートに入力される。また、第 4 差動增幅回路 1 7 の出力信号は、安定化容量であるキャパシタ C_{f2} を介して内部電圧 V_{dd_int} として出力される。

30

【 0 0 9 6 】

図 1 5 は第 2 の実施形態による FET 2 A のレイアウト図である。図 1 5 の FET 2 A は、マルチフィンガ型のポリシリコンゲート 2 1 を有する。図 1 5 はフィンガ数が 6 の例を示しているが、フィンガ数やフィンガ長は任意である。例えば、フィンガ長は $5\text{ }\mu\text{m}$ 、フィンガ数は 40 に設定される。ポリシリコンゲート 2 1 の配置に合わせて、ドレイン配線 2 2 とソース配線 2 3 は櫛形形状に配置されている。

40

【 0 0 9 7 】

ポリシリコンゲート 2 1 の上には、ゲート配線 2 4 が配置され、ポリシリコンゲート 2 1 とゲート配線 2 4 とは複数のコンタクト 2 5 で導通が取られている。また、ドレイン配線 2 2 は、その下方のドレイン領域と複数のコンタクト 2 5 で導通が取られている。同様に、ソース配線 2 3 は、その下方のソース領域と複数のコンタクト 2 5 で導通が取られている。図 1 5 の破線は、ドレイン領域、チャネル領域およびソース領域の下方に配置されるボディ領域 2 6 を示している。ボディ領域 2 6 とソース配線 2 3 とはコンタクト 2 5 で導通が取られており、これにより、FET 2 A は、B-S 接続タイプになる。

【 0 0 9 8 】

図 1 6 は第 2 の実施形態による FET 1 A のレイアウト図である。図 1 5 と同様に、図 1 6 の FET 1 A は、マルチフィンガ型のポリシリコンゲート 2 1 を有する。ポリシリコ

50

ンゲート21は、各フィンガの長手方向の両側で各フィンガを支持するH型のゲート構造である。これにより、ゲート抵抗がより低減し、ノイズ指數N_Fを低減できる。図16のFET1Aのボディはフローティング状態である点で図15のFET2Aとは異なっている。

【0099】

なお、図16のFET1Aのレイアウトは、第1の実施形態によるFET1AとFET2Aにも適用可能である。

【0100】

このように、第2の実施形態では、FET2Aのボディをソースに接続している。これにより、FET2Aのボディの寄生容量が増加し、利得帯域幅積f_Tが低下するとともに、ノイズ指數N_Fが増大する。その一方で、ドレイン耐圧は高くなる。また、本実施形態では、FET2Aのゲート酸化膜厚T_{ox2}をFET1Aのゲート酸化膜厚T_{ox1}より大きくなり、かつFET2Aのゲート長L_{g2}をFET1Aのゲート長L_{g1}より大きくしている。L_{g2}を大きくすることで、よりドレイン耐圧が高くなり、T_{ox2}を高くすることで、よりゲート耐圧も高くなる。例えば、FタイプのFET2AがL_g = 0.14 μm、T_{ox} = 2.5 nmである場合、V_{ds}とV_{gs}がともに許容されるV_{dd_int}の最大値は1.6 V程度であるのに対して、B-SタイプのFET2AがL_g = 0.25 μm、T_{ox} = 6 nmである場合、V_{dd_int}の最大値は3 V程度になる。これにより、高周波LNA1の電圧振幅をより大きくすることができる。

【0101】

(第3の実施形態)

第3の実施形態は、第2の実施形態よりもバイアス生成回路3の内部構成を簡略化したものである。

【0102】

図17は第3の実施形態による高周波LNA1のブロック図である。図17の高周波LNA1は、図12と比べて、バイアス生成回路3の内部構成が異なる他は共通する。

【0103】

図18は図17のバイアス生成回路3の内部構成の一例を示す回路図である。図18のバイアス生成回路3内の第2レプリカ回路9は、FET2Bと、抵抗RB3と、キャパシタCB3とを有し、図13の第2差動增幅回路13、NMOS2およびNMOS3は省略されている。

【0104】

FET2Bのソースは、FET1Bのドレインに接続されている。FET2Bのドレインには、電流源7からの電流I_bが供給される。この電流I_bは、FET2Bのドレイン-ソース間を通って、FET1Bのドレイン-ソース間に流れる。

【0105】

FET1AとFET1Bのゲート幅の比は、FET2AとFET2Bのゲート幅の比と等しく設定されている。

【0106】

図19は図18のバイアス生成回路3の一具体例を示す回路図である。図19のバイアス生成回路3は、PMOS5のドレインと接地ノードとの間にカスコード接続されるP型トランジスタPMOS7、FET2BおよびFET1Bを有する。PMOS5のドレイン電圧V_{dd_bias}に応じた電流I_bが、PMOS7のドレイン-ソース間、FET2Bのドレイン-ソース間、およびFET1Bのドレイン-ソース間に流れる。

【0107】

図18および図19において、ソース接地のFET1BとFET1Aは、ゲート幅以外は同一の素子定数を有し、かつFET1BのゲートはFET1Aのゲートに接続されており、カレントミラー回路を構成している。FET1BとFET1Aのゲート幅比は、1:K (Kは例えば100)である。また、FET1Bのゲートには、第1差動增幅回路12の出力信号が入力されている。

10

20

30

40

50

【0108】

第1差動増幅回路12の正側入力端子はFET1Bのドレインに接続され、負側入力端子には電源回路4から出力される基準電圧Vref2が入力されている。以下では、Vref2=0.8Vとする。第1差動増幅回路12とFET1Bは負帰還回路を構成しており、FET1Bのドレイン-ソース間電圧は0.8Vになる。

【0109】

FET2Bはダイオード接続されており、そのソースはFET1Bのドレインに接続されている。FET2Bのドレイン電圧とゲート電圧はともにVB2である。

【0110】

FET2BとFET2Aはゲート幅以外は同一の素子定数を有し、FET2Bのゲート幅とFET2Aのゲート幅の比は、1:Kである。FET2Bのドレインには、電流源7から電流Ibが供給されている。FET2BとFET2Aのゲート長は、FET1Aのゲート長よりも大きく、FET2BとFET2Aの飽和特性は良好である(Gdが小さい)。

【0111】

図20は図18および図19のバイアス生成回路3の要部を示す回路図である。図20では、FET1B、FET2B、FET1A、FET2Aのドレイン電流をそれぞれ、Ids1B、Ids2B、Ids1A、Ids2Aとしている。ドレイン電流Ids1Bは、以下の(8)式に示すように、ゲート-ソース間電圧とドレイン-ソース間電圧の関数Fで表すことができる。

【0112】

$$Ids1B = F(Vgs1, 0.8) = Ib \quad \dots (8)$$

【0113】

Ids2Bは、Gd=0を仮定しているため、以下の(9)式に示すように、ゲート-ソース間電圧のみの関数Gで表すことができる。

【0114】

$$Ids2B = G(Vgs2B) = Ib \quad \dots (9)$$

【0115】

ここで、関数FとGの括弧内は引数を表している。

【0116】

同様に、Ids1AとIds2Aはそれぞれ、以下の(10)式と(11)式で表される。

【0117】

$$Ids1A = K \cdot F(Vgs1, Vds1) \quad \dots (10)$$

$$Ids2A = K \cdot G(Vgs2) \quad \dots (11)$$

【0118】

上記の(9)式を変形すると、以下の(12)式が得られる。

【0119】

$$Vgs2B = G^{-1}(Ib) \quad \dots (12)$$

【0120】

ここで、G⁻¹は関数Gの逆関数である。

【0121】

また、以下の(13)式が成り立つ。

【0122】

$$Vgs2 = 0.8 + Vgs2B - Vds1 \quad \dots (13)$$

【0123】

(13)式に(12)式を代入すると、以下の(14)式が得られる。

【0124】

$$Vgs2 = G^{-1}(Ib) + 0.8 - Vds1 \quad \dots (14)$$

【0125】

(14)式を(11)式に代入すると、以下の(15)式が得られる。

10

20

30

40

50

【0126】

$$I_{ds2A} = K \cdot G (G^{-1}(Ib) + 0.8 - V_{ds1}) \quad \dots (15)$$

【0127】

$I_{ds1A} = I_{ds2A}$ であるため、以下の(16)式が成り立つ。

【0128】

$$K \cdot F(V_{gs1}, V_{ds1}) = K \cdot G (G^{-1}(Ib) + 0.8 - V_{ds1}) \quad \dots (16)$$

【0129】

ここで、 Ib は設計上与えられる定数である。また、 V_{gs1} は、(8)式からわかるように、関数 F と Ib で一意に決定される。

【0130】

よって、(16)式は V_{ds1} を変数とする方程式である。

10

【0131】

ここで、(16)式の解を $V_{ds1} = 0.8$ と仮定すると、(16)式の左辺 = $F(V_{gs1}, 0.8)$ となり、(8)式より、(16)式の左辺 = Ib となる。

【0132】

また、(10)式の右辺 = $G(G^{-1}(Ib)) = Ib$ となる。

【0133】

のことから、上記の仮定は正しいことがわかる。すなわち、 $V_{ds1} = 0.8$ となる。

【0134】

FET1BとFET1Aでは、ゲート-ソース間電圧とドレイン-ソース間電圧がともに等しいため、以下の(17)式が成り立つ。

20

【0135】

$$I_{ds1A} = K \cdot Ib \quad \dots (17)$$

【0136】

(17)式から、カスコード接続されたFET1AとFET2Aのドレイン-ソース間の電流は、 V_{dd} に依存せず、 Ib と K のみに依存する。

【0137】

このように、第3の実施形態は、第2の実施形態よりも第2レプリカ回路9の内部構成を簡略化したため、バイアス生成回路3の回路規模を縮小できる。

【0138】

30

(第4の実施形態)

第4の実施形態は、第1の実施形態によるバイアス生成回路3内の第2レプリカ回路9を、第3の実施形態と同様に簡略化したものである。

【0139】

図21は第4の実施形態による高周波半導体增幅回路1のブロック図である。図21の高周波半導体增幅回路1は、バイアス生成回路3の内部構成が異なる他は、図1と同様である。

【0140】

図22は第4の実施形態によるバイアス生成回路3の内部構成の一例を示す回路図である。図22のバイアス生成回路3は、図9と比べて、第2レプリカ回路9の内部構成が異なっている。図22の第2レプリカ回路9は、図18と同様に、FET2Bと、抵抗RB3と、キャパシタCB3とを有し、図9の第2差動增幅回路13、NMOS2およびNMOS3は省略されている。図22の第2レプリカ回路9の動作は、図18の第2レプリカ回路9と同様である。

40

【0141】

FET1Aの V_{ds1} とFET2Aの V_{ds2} とは等しく、かつ $V_{dd_int} = 1.6$ V一定である。このため、電流源7の電源電圧は V_{dd_int} としている。

【0142】

図23は図22のバイアス生成回路3の一具体例を示す回路図である。図23のバイアス生成回路3は、上述したように、電流源7の電源電圧を V_{dd_int} とするため、図20の

50

バイアス生成回路3内のV_{dd_bias}を生成する回路部分が不要となり、図20のバイアス生成回路3よりも簡略化できる。

【0143】

このように、第4の実施形態によれば、第1の実施形態よりも、バイアス生成回路3の回路規模を縮小できる。

【0144】

上述した第1～第4の実施形態をまとめると、図24のようになる。図24では、第1および第2の実施形態が採用する第2レプリカ回路9をType-Aと表記し、第3および第4の実施形態が採用する簡略化された第2レプリカ回路9をType-Bと表記している。図24中の「-」は、任意(don't care)であることを示している。

10

【0145】

第1～第4の実施形態に共通の特徴は、FET1Aのゲート電圧VB1がFET1Aのドレイン-ソース間電圧V_{ds1}より小さいことである。これは、FET1AをV_{th} < VB1 < V_{gs2}の範囲で動作させることを意味する。これにより、Gm / I_{ds}を大きく設定できる。

【0146】

第1の実施形態と第4の実施形態は、FET1AとFET2AとともにFタイプである。第2の実施形態と第3の実施形態は、FET1AがFタイプで、FET2AがB-S接続タイプである。

【0147】

第1の実施形態と第2の実施形態は、第2レプリカ回路9が簡略化されていないType-Aである。第3の実施形態と第4の実施形態は、第2レプリカ回路9が簡略化されているType-Bである。

20

【0148】

図24に示すように、第1の実施形態の主要な変形例としてMain1が、それ以外の変形例としてsub1-1、sub1-2、sub1-3がある。Main1は、FET1AとFET2Aのゲート酸化膜厚とゲート長は任意であり、FET1Aのドレイン-ソース間電圧V_{ds1}も任意であり、ソフトスタート回路6内の抵抗R2とC4を付加するか否かも任意であり、電源回路4からV_{dd_int}/2を出力するか否かも任意である。sub1-1は、Main1に対して、Gmが最大になるようにV_{ds1}を設定したものである。sub1-2は、sub1-1に対して、Tox1 = Tox2かつLg1 = Lg2の条件と、V_{ds1} = V_{ds2}の条件とを付加したものである。sub1-3は、Main1に対して、ソフトスタート回路6内に抵抗R2とC4を付加したものである。

30

【0149】

第1の実施形態におけるすべての変形例において、FET1AとFET2Aは微細構造であるため、ノイズNFが良好になり、FET1AとFET2AのドレインコンダクタンスGdが大きくても、FET1Aのドレイン-ソース間電圧V_{ds1}を最適化できる。

【0150】

図24に示すように、第2の実施形態の主要な変形例としてMain2が、それ以外の変形例としてsub2-1、sub2-2がある。Main2は、FET1AとFET2Aのゲート酸化膜厚とゲート長は任意であるが、Tox1 < Tox2かつLg1 < Lg2であり、FET1Aのドレイン-ソース間電圧V_{ds1}も任意であるが、V_{ds1} < V_{ds2}であり、ソフトスタート回路6内の抵抗R2とC4を付加するか否かも任意であり、電源回路4からV_{ref2}(=0.8V)を出力するか否かも任意である。sub2-1は、Main2に対して、Gmが最大になるようにV_{ds1}を設定したものである。sub2-2は、Main2に対して、ソフトスタート回路6内に抵抗R2とキャパシタC4を付加したものである。

40

【0151】

第2の実施形態におけるすべての変形例において、ノイズ指数NFは第1の実施形態よりも若干劣化するおそれはあるが、V_{ds2}が大きくなるため、線形性は改善する。

【0152】

図24に示すように、第3の実施形態の主要な変形例としてMain3が、それ以外の

50

変形例として sub 3 - 1、sub 3 - 2 がある。Main 3 は、FET 1A と FET 2A のゲート酸化膜厚とゲート長は任意であるが、Tox1 < Tox2 かつ Lg1 < Lg2 であり、FET 1A のドレイン - ソース間電圧 Vds1 も任意であるが、Vds1 < Vds2 であり、ソフトスタート回路 6 内の抵抗 R2 と C4 を付加するか否かも任意であり、電源回路 4 から Vref2 (= 0.8V) を出力するか否かも任意である。sub 3 - 1 は、Main 3 に対して、Gm が最大になるように Vds1 を設定したものである。sub 3 - 2 は、Main 3 に対して、ソフトスタート回路 6 内に抵抗 R2 とキャパシタ C4 を付加したものである。

【0153】

第 3 の実施形態におけるすべての変形例において、ノイズ指数 NF は第 1 の実施形態よりも若干劣化するおそれはあるが、Vds2 が大きくなるため、線形性は改善する。また、第 2 レプリカ回路 9 を簡略化するため、回路規模を縮小できる。 10

【0154】

図 24 に示すように、第 4 の実施形態の主要な変形例として Main 4 が、それ以外の変形例として sub 4 - 1、sub 4 - 2、sub 4 - 3 がある。Main 4 は、FET 1A と FET 2A のゲート酸化膜厚とゲート長は任意であるが、Tox1 = Tox2 かつ Lg1 = Lg2 であり、FET 1A のドレイン - ソース間電圧 Vds1 も任意であり、ソフトスタート回路 6 内の抵抗 R2 と C4 を付加するか否かも任意であり、電源回路 4 から Vdd_int / 2 を出力するか否かも任意である。sub 4 - 1 は、Main 4 に対して、Gm が最大になるように Vds1 を設定したものである。sub 4 - 2 は、Main 4 に対して、ソフトスタート回路 6 内に抵抗 R2 と C4 を付加したものである。sub 4 - 3 は、Main 4 に対して、FET 1A と FET 2A のゲート酸化膜厚とゲート長の大小関係を任意とし、Vds1 と Vds2 の大小関係も任意とし、ソフトスタート回路 6 内に抵抗 R2 と C4 を付加したものである。 20

【0155】

第 4 の実施形態におけるすべての変形例において、FET 1A と FET 2A は微細構造であるため、ノイズ NF が良好になり、FET 1A と FET 2A のドレインコンダクタンス Gd が大きくても、FET 1A のドレイン - ソース間電圧 Vds1 を最適化できる。また、第 2 レプリカ回路 9 を簡略化するため、回路規模を縮小できる。

【0156】

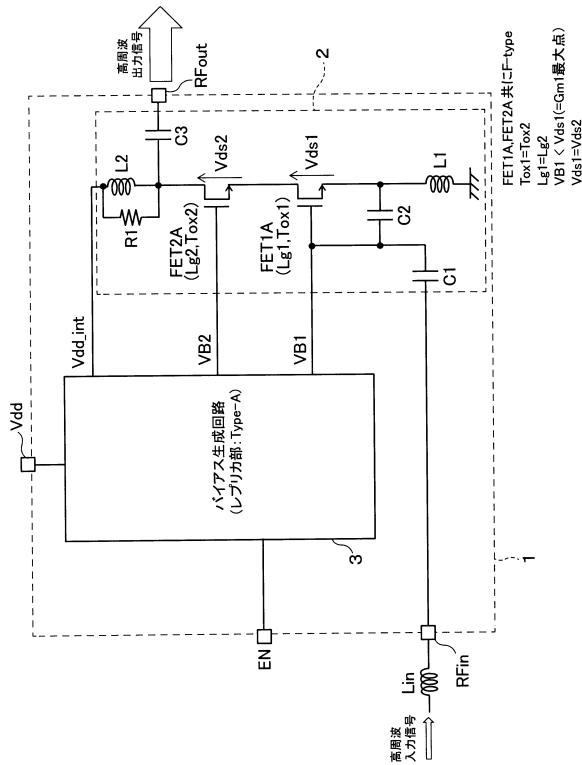
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。 30

【符号の説明】

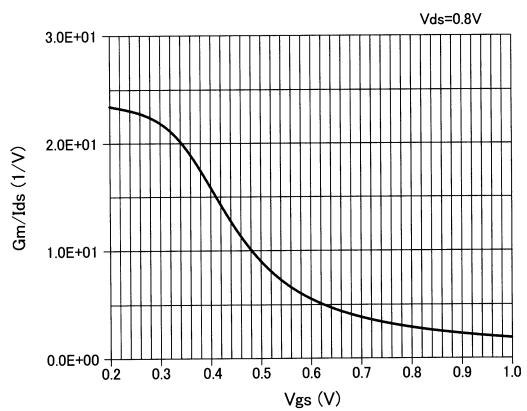
【0157】

1 高周波半導体增幅回路、2 カスコード增幅回路、3 バイアス生成回路、4 電源回路、5 イネーブル制御回路、6 ソフトスタート回路、7 電流源、8 第 1 レプリカ回路、9 第 2 レプリカ回路、11 インバータ、12 第 1 差動增幅回路、13 第 2 差動增幅回路、14 スタートアップ回路、15 バンドギャップリファレンス回路、16 第 3 差動增幅回路、17 第 4 差動增幅回路、21 ポリシリコンゲート、22 ドレイン配線、23 ソース配線、24 ゲート配線、25 コンタクト 40

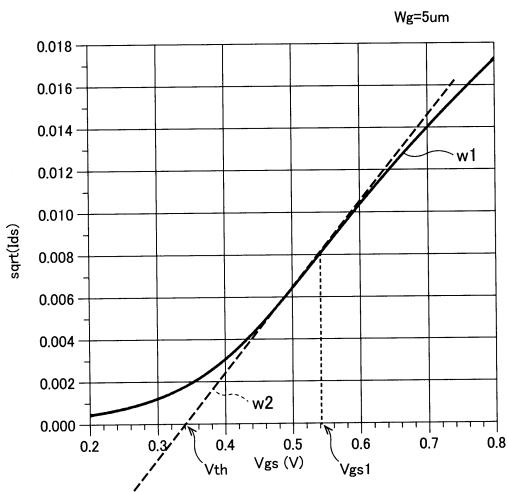
【 図 1 】



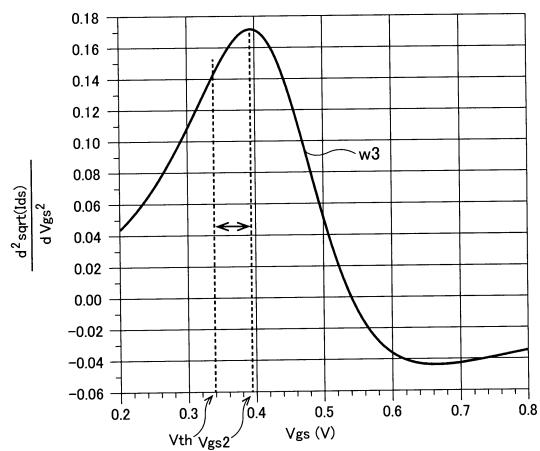
【 図 2 】



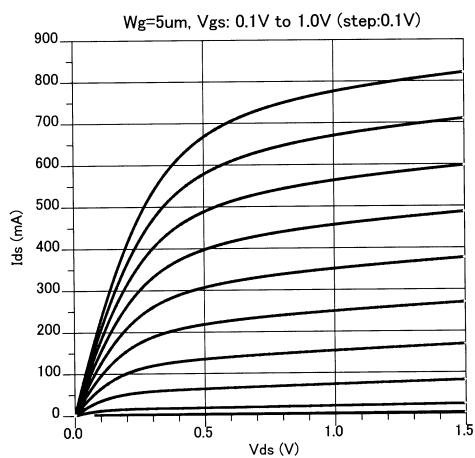
【図3】



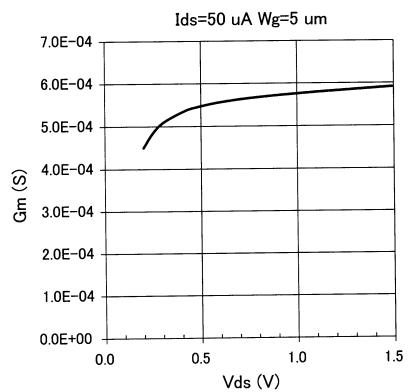
【図4】



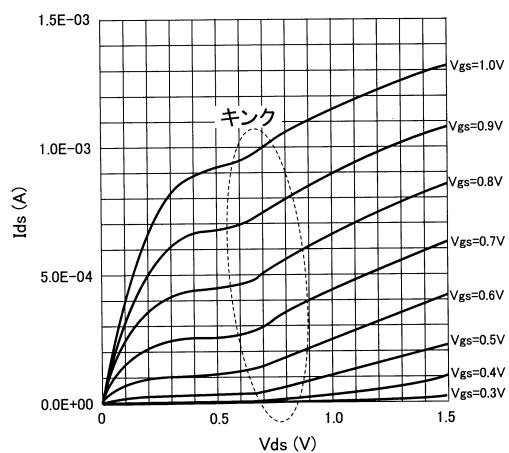
【図 5 A】



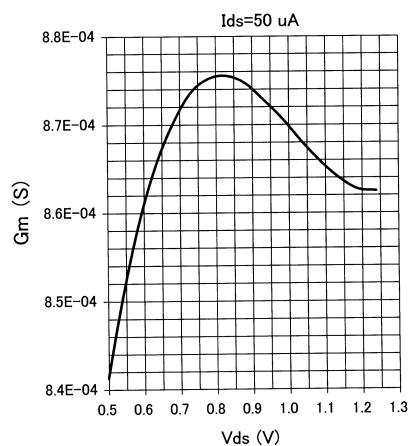
【図 5 B】



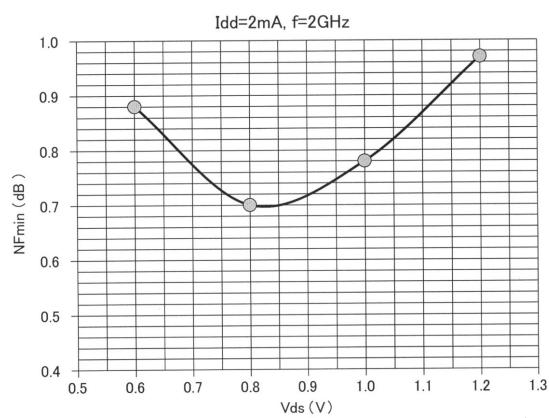
【図 6 A】



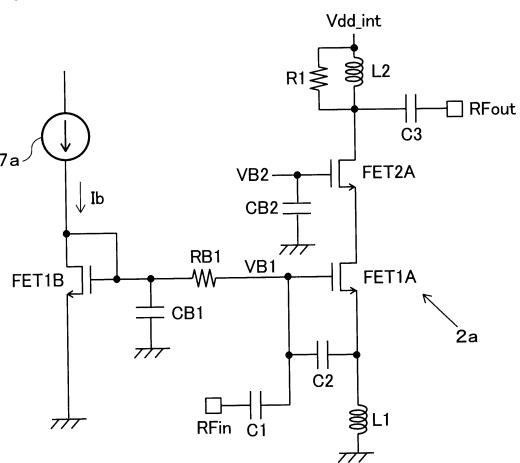
【図 6 B】



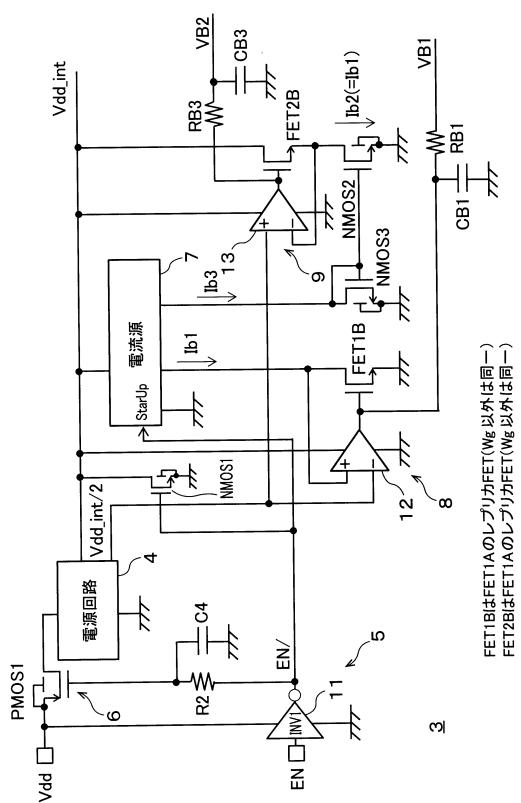
【図7】



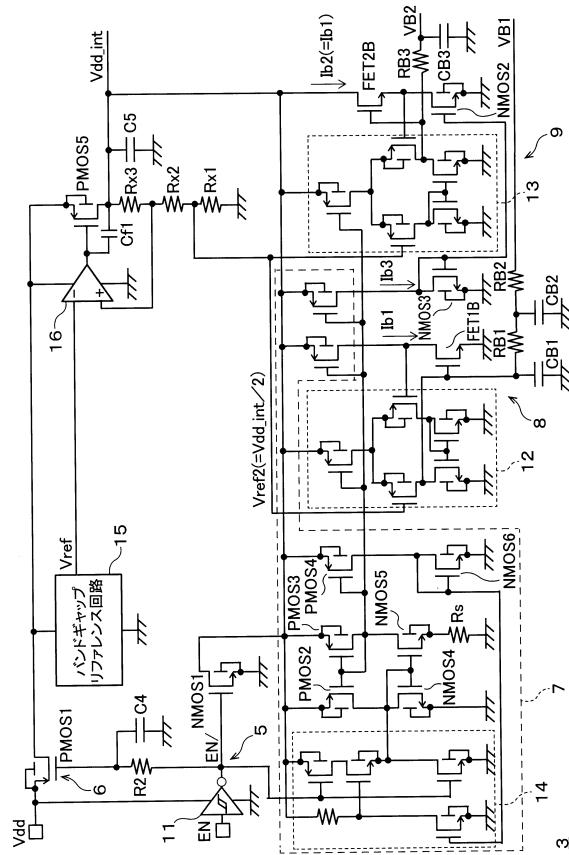
【図8】



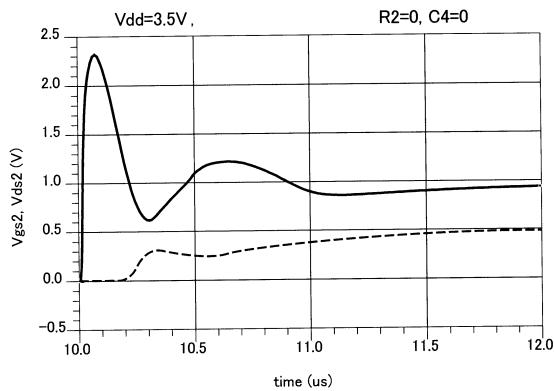
【図9】



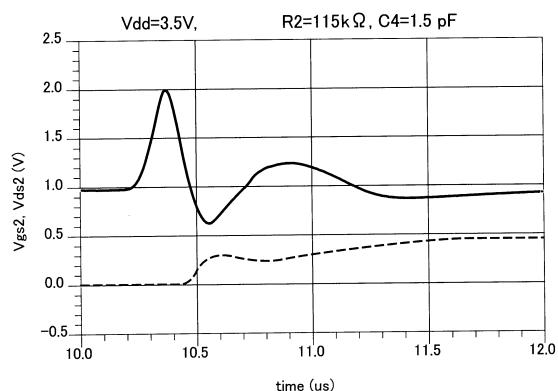
【図10】



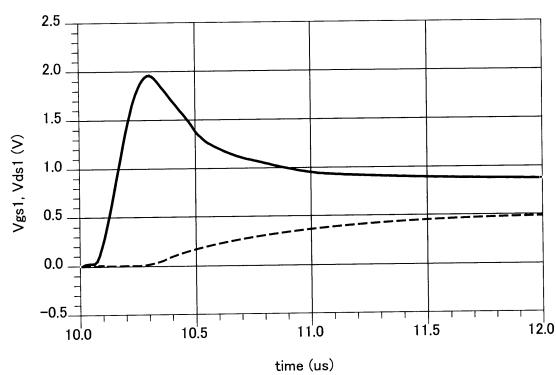
【図 1 1 A】



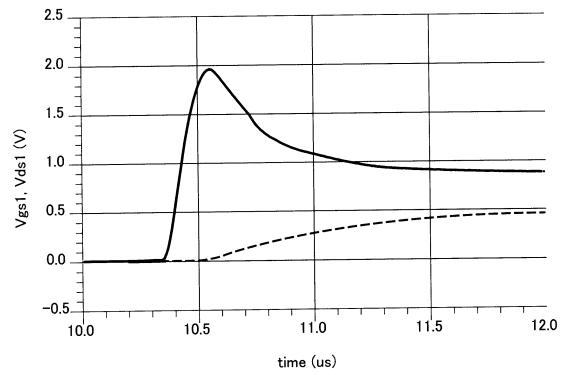
【図 1 1 C】



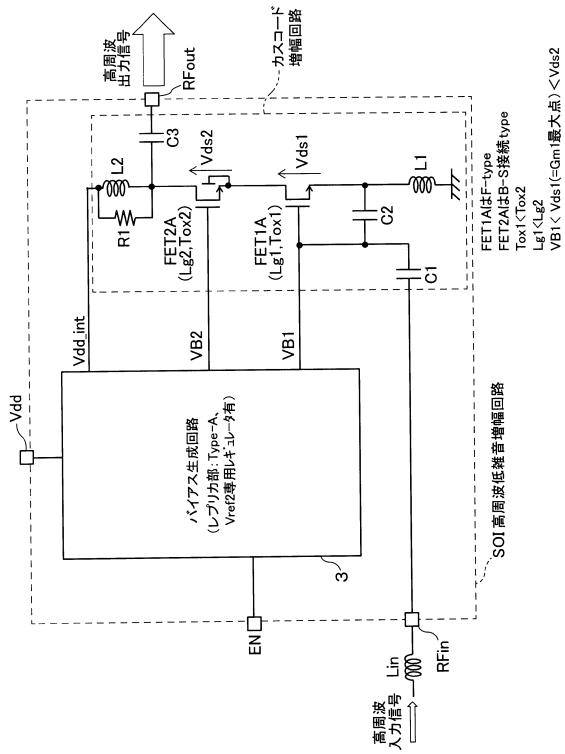
【図 1 1 B】



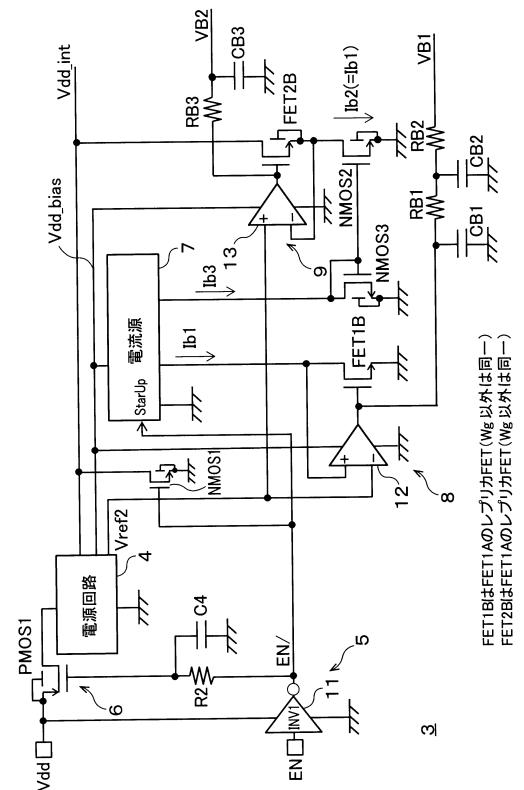
【図 1 1 D】



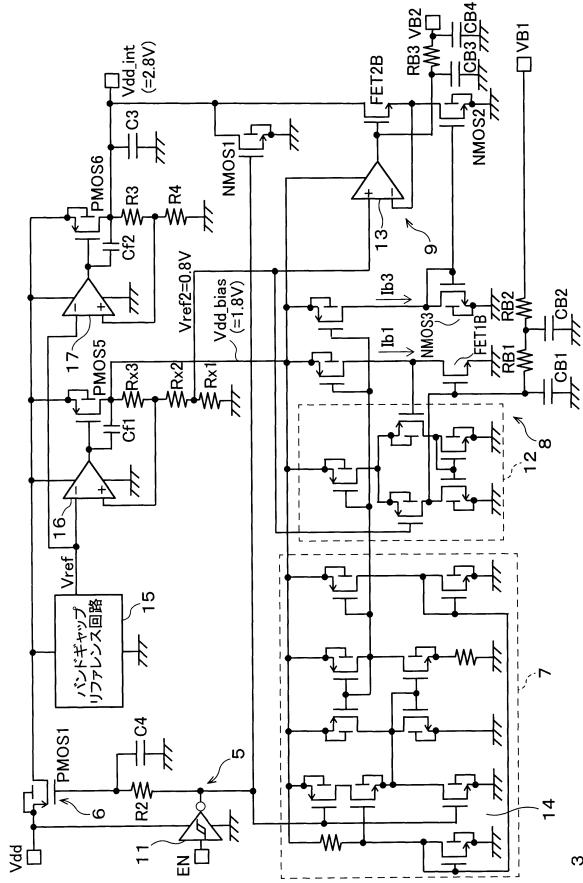
【図 1 2】



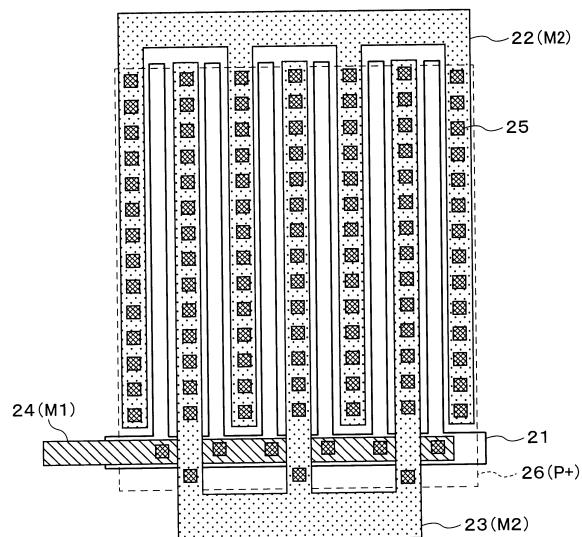
【図 1 3】



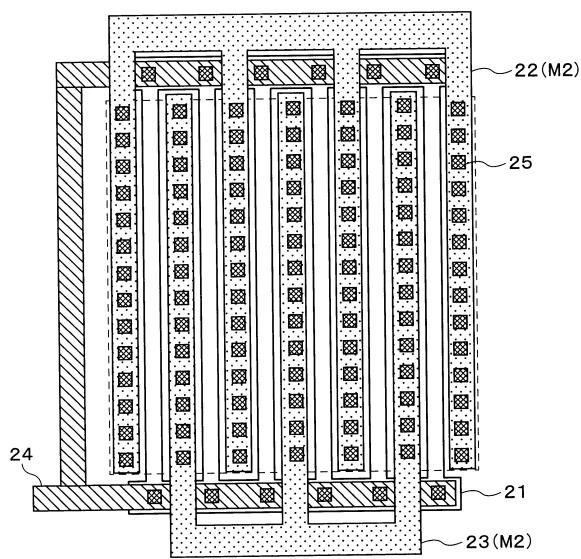
【 図 1 4 】



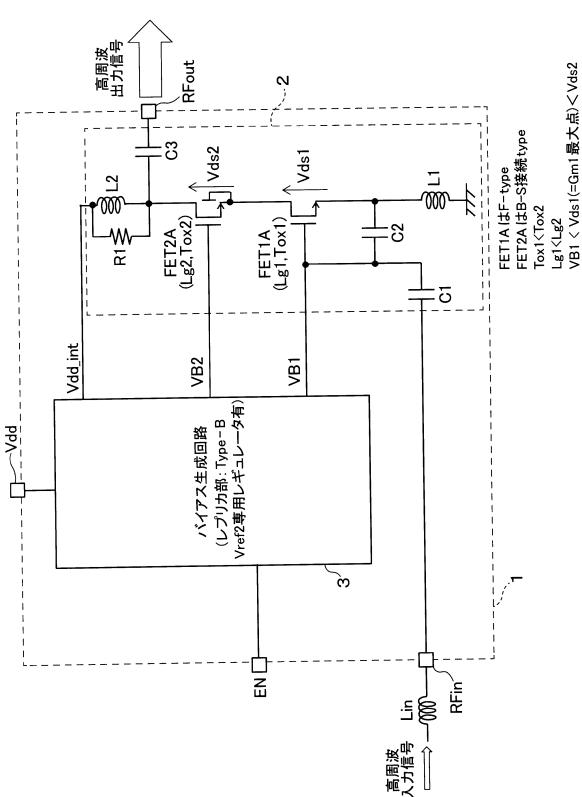
【図15】



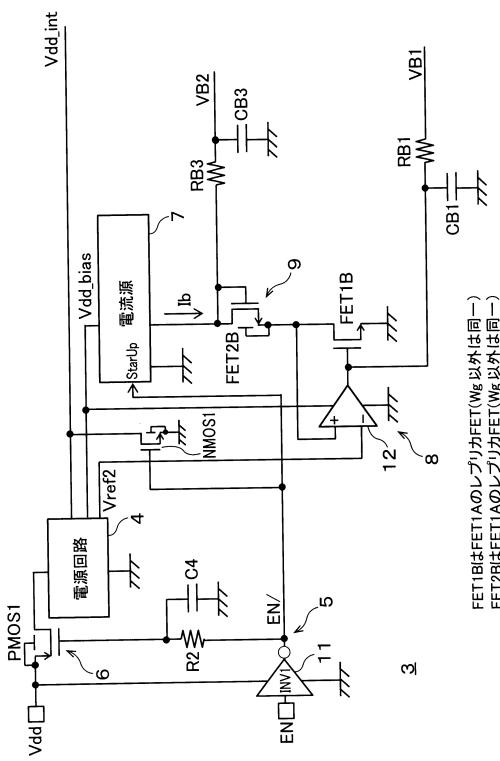
【 図 1 6 】



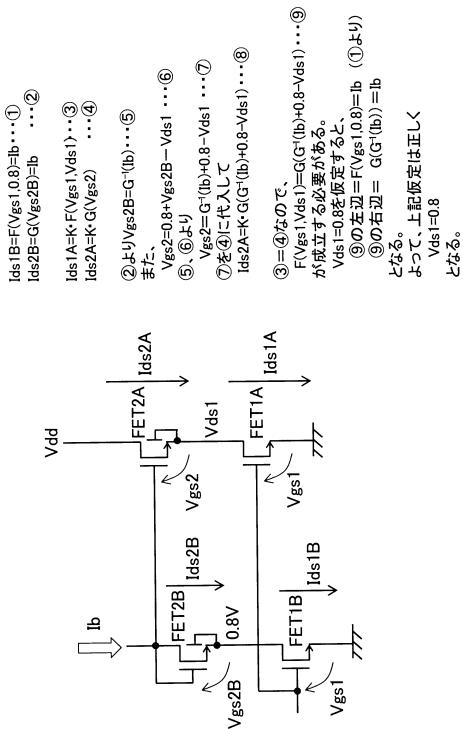
【図17】



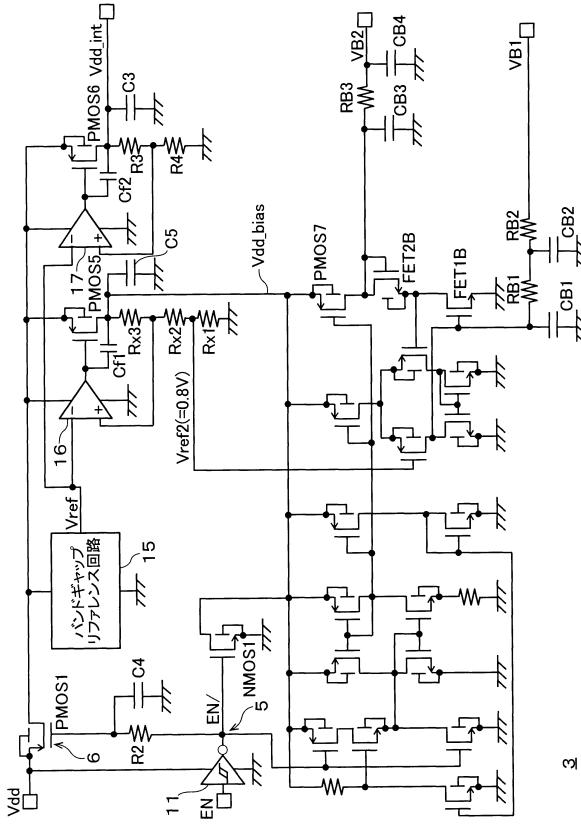
【図18】



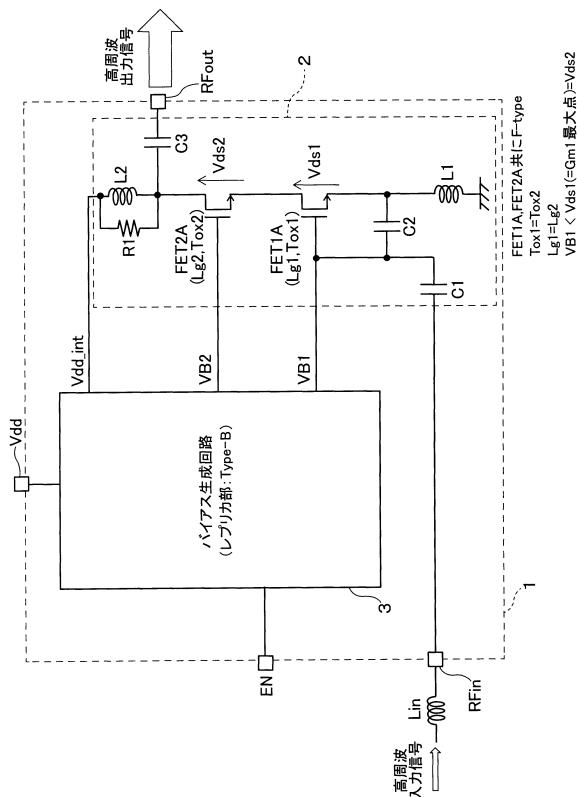
【図20】



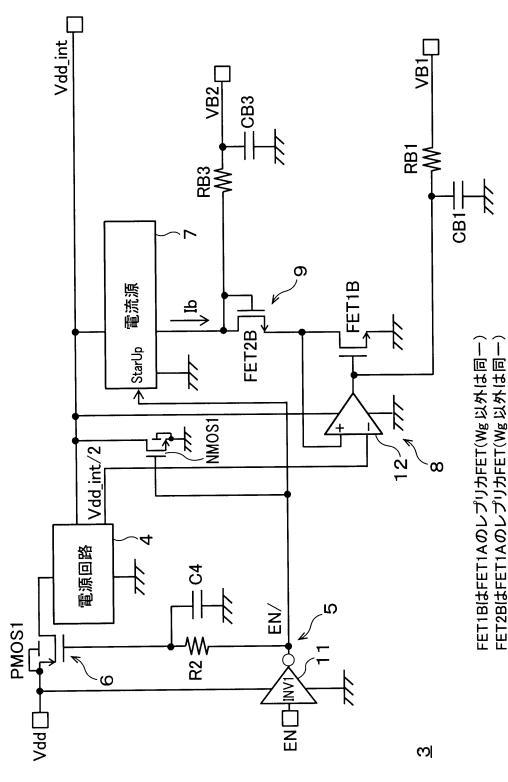
【図19】



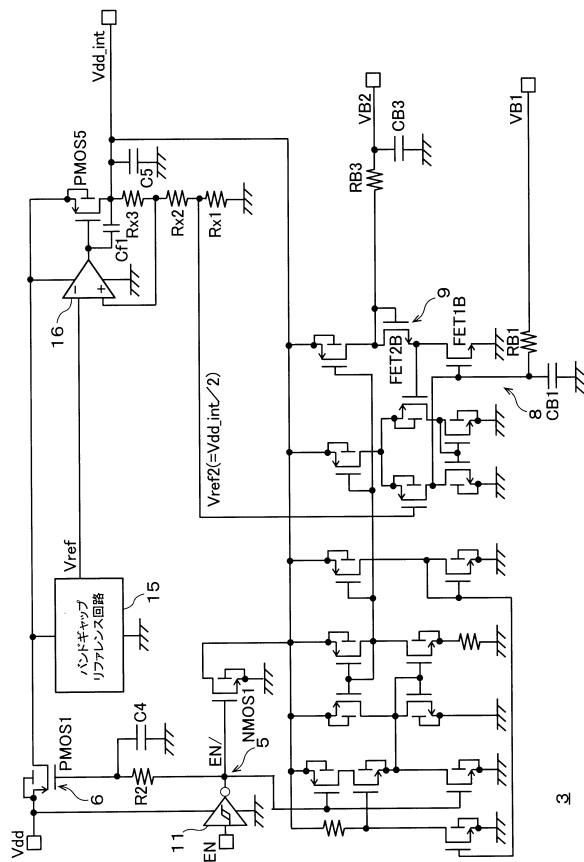
【図21】



【図2-2】



【図2-3】



【図2-4】

| | カスコード増幅回路 | | | | バイアス生成回路 | | | | 備考 |
|--------|-----------|------|-------|--------|----------|------|-------|---------|--|
| | FET1A | Body | FET1A | Body | FET1A | Body | FET1A | Body | |
| 第1実験結果 | | | | | | | | | |
| | Body | 2.5 | 0.14 | F-type | Body | 2.5 | 0.14 | Lg1,Lg2 | |
| Ma1 | O | — | O | — | O | — | O | Vdd1 | Vdd1は Vdd_int/2に接続されるので Vdd_int/2も Vdd_int/4も Vdd_int/8も Vdd_int/16も Vdd_int/32も Vdd_int/64も Vdd_int/128も Vdd_int/256も Vdd_int/512も Vdd_int/1024も Vdd_int/2048も Vdd_int/4096も Vdd_int/8192も Vdd_int/16384も Vdd_int/32768も Vdd_int/65536も Vdd_int/131072も Vdd_int/262144も Vdd_int/524288も Vdd_int/1048576も Vdd_int/2097152も Vdd_int/4194304も Vdd_int/8388608も Vdd_int/16777216も Vdd_int/33554432も Vdd_int/67108864も Vdd_int/134217728も Vdd_int/268435456も Vdd_int/536870912も Vdd_int/1073741824も Vdd_int/2147483648も Vdd_int/4294967296も Vdd_int/8589934592も Vdd_int/17179869184も Vdd_int/34359738368も Vdd_int/68719476736も Vdd_int/137438953472も Vdd_int/274877906944も Vdd_int/549755813888も Vdd_int/1099511627776も Vdd_int/2199023255552も Vdd_int/4398046511104も Vdd_int/8796093022208も Vdd_int/17592186044416も Vdd_int/35184372088832も Vdd_int/70368744177664も Vdd_int/140737488355328も Vdd_int/281474976710656も Vdd_int/562949953421312も Vdd_int/1125899906842624も Vdd_int/2251799813685248も Vdd_int/4503599627370496も Vdd_int/9007199254740992も Vdd_int/18014398509481984も Vdd_int/36028797018963968も Vdd_int/72057594037927936も Vdd_int/14411518807585968も Vdd_int/28823037615171936も Vdd_int/57646075230343872も Vdd_int/115292150460687744も Vdd_int/230584300921375488も Vdd_int/461168601842750976も Vdd_int/922337203685501952も Vdd_int/184467440737000384も Vdd_int/368934881474000768も Vdd_int/737869762948001536も Vdd_int/1475739525896003072も Vdd_int/2951479051792006144も Vdd_int/5902958103584012288も Vdd_int/11805916207168025576も Vdd_int/23611832414336051152も Vdd_int/47223664828672102304も Vdd_int/94447329657344204608も Vdd_int/188894659314688409216も Vdd_int/377789318629376818432も Vdd_int/755578637258753636864も Vdd_int/1511157274517536734128も Vdd_int/3022314549035073468256も Vdd_int/6044629098070146936512も Vdd_int/12089258196140293873024も Vdd_int/24178516392280587746048も Vdd_int/48357032784561175492096も Vdd_int/96714065569122350984192も Vdd_int/193428131138244701968384も Vdd_int/386856262276489403936768も Vdd_int/773712524552978807873536も Vdd_int/1547425049105957615747072も Vdd_int/3094850098211915231494144も Vdd_int/6189700196423830462988288も Vdd_int/1237940039284766092577656も Vdd_int/2475880078569532185155312も Vdd_int/4951760157139064370310624も Vdd_int/9903520314278128740621248も Vdd_int/1980704062855625748124496も Vdd_int/3961408125711251496248992も Vdd_int/7922816251422502992497984も Vdd_int/1584563252884505598495976も Vdd_int/3169126505769011196991952も Vdd_int/633825301153802239398384も Vdd_int/1267650602307604478796688も Vdd_int/2535301204615208957593376も Vdd_int/5070602409230417915186752も Vdd_int/1014120481846083583037504も Vdd_int/2028240963692167166075008も Vdd_int/4056481927384334332150016も Vdd_int/8112963854768668664300032も Vdd_int/1622592770953733732660064も Vdd_int/3245185541907467465320128も Vdd_int/6490371083814934930640256も Vdd_int/12980742167629679861280512も Vdd_int/25961484335259359722561024も Vdd_int/51922968670518719445122048も Vdd_int/103845937341037438890244096も Vdd_int/207691874682074877780488192も Vdd_int/415383749364149755560976384も Vdd_int/830767498728299511121952768も Vdd_int/1661534997456599022243905536も Vdd_int/3323069994913198044487811072も Vdd_int/6646139989826396088975622144も Vdd_int/13292279979652792177951244288も Vdd_int/26584559959305584355902488576も Vdd_int/53169119918611168711804977152も Vdd_int/10633823983722233542609954304も Vdd_int/21267647967444467085219908608も Vdd_int/42535295934888934170439817216も Vdd_int/85070591869777868340879634432も Vdd_int/170141183739555736681793268864も Vdd_int/340282367479111473363586537728も Vdd_int/680564734958222946727173075456も Vdd_int/1361129469916445894554346150912も Vdd_int/2722258939832891789108692301824も Vdd_int/5444517879665783578217384603648も Vdd_int/10889035793311567156434769207296も Vdd_int/21778071586623134312869538414592も Vdd_int/43556143173246268625739076829184も Vdd_int/87112286346492537251478153658368も Vdd_int/174224572692985674522956307316736も Vdd_int/348449145385971349045912614633472も Vdd_int/69689829077194269809182522926688も Vdd_int/139379658154388539618365458533776も Vdd_int/278759316308777079236730917067552も Vdd_int/557518632617554158473461834135104も Vdd_int/111503726523510831694682366827008も Vdd_int/223007453047021663389364733654016も Vdd_int/446014906094043326778729467308032も Vdd_int/892029812188086653557458934616064も Vdd_int/1784059624376173307114857869232128も Vdd_int/3568119248752346614229715738464256も Vdd_int/7136238497504693228459431476928512も Vdd_int/1427247699500938645691886295385024も Vdd_int/2854495399001877291383772590770048も Vdd_int/5708986798003754582767545181540096も Vdd_int/11417973596007509165535090363080192も Vdd_int/22835947192001509331070180726160384も Vdd_int/45671894384003018662140361452320768も Vdd_int/91343788768006037324280722904641536も Vdd_int/182687577536012074648561445809283072も Vdd_int/365375155072024149297122881161856144も Vdd_int/730750310144048298594245762323712288も Vdd_int/1461500620288096597184915324664245576も Vdd_int/2923001240576193194369830649328491152も Vdd_int/5846002481152386388739661298656982304も Vdd_int/11692004962756773775583322597313964608も Vdd_int/23384009925513547551166645194627929216も Vdd_int/46768019850527095102333290389255858432も Vdd_int/93536039701054187204666580778511716864も Vdd_int/187072079402108374409333161557023533728も Vdd_int/374144158804216748818663231114046675456も Vdd_int/748288317608433497637326462228093350912も Vdd_int/149657663521686799527465292445618670184も Vdd_int/299315327043373599054930584891237340368も Vdd_int/598630654086747198109861169782474680736も Vdd_int/119726130817349439621972239564949337472も Vdd_int/239452261634698879243944479129898674448も Vdd_int/478904523269397758487888958259777448976も Vdd_int/957809046538795516975777916519555597552も Vdd_int/191561809307791053395155583303888119504も Vdd_int/383123618615582106785311166607776238008も Vdd_int/766247237231164213570622333215552476016も Vdd_int/1532494554462328427141244666431104952032も Vdd_int/30649891089246568542824893328622098064も Vdd_int/61299782178493137085649786657244196128も Vdd_int/12259956435698627417129957331448392256も Vdd_int/24519912871397254834259914662896785112も Vdd_int/49039825742794509668519829325783576224も Vdd_int/9807965148558901933703965865156715248も Vdd_int/19615930297117803867407931730313430496も Vdd_int/39231860594235607734815863460626860992も Vdd_int/78463721188471215469631726921253721984も Vdd_int/15692744237694243093926345842506443968も Vdd_int/31385488475388486187852691168512887936も Vdd_int/62770976950776972375705382337025775872も Vdd_int/125541953901553944751410764674055551744も Vdd_int/251083907803107889502821529348111103488も Vdd_int/502167815606215779005643058696222206976も Vdd_int/1004335631212435558011286117392444413952も Vdd_int/2008671262424871116022572234784888827904も Vdd_int/401734252484974223204514446956977775808も Vdd_int/803468504969948446409028893913955551616も Vdd_int/160693700993986889281805787827811103232も Vdd_int/321387401987973778563611575655622206464も Vdd_int/642774803975947557127223151311244403232も Vdd_int/128554960795189511425444630262288806464も Vdd_int/257109921590378022850889260524577612928も Vdd_int/514219843180756045701778521049155225856も Vdd_int/102843968636151209140355704209830445712も Vdd_int/205687937272302418280711408419660891424も Vdd_int/411375874544604836561422816839321782848も Vdd_int/822751749089209673122845633678643565696も Vdd_int/164550349178841934624569266755727113392も Vdd_int/329100698357683869249138533511454226784も Vdd_int/658201396715367738498277067022908453568も Vdd_int/1316402793430735476996554134045816911336も Vdd_int/2632805586861470953993108268081633822672も Vdd_int/5265611173722941907986216536163266655344も Vdd_int/1053122234744588381597243307232633310688も Vdd_int/2106244469489176763194486614465266621376も Vdd_int/4212488938978353526388973228830533242752も Vdd_int/842497787795670705277794645766106648504も Vdd_int/168499557559134141055598929153221329008も Vdd_int/336999115118268282105197858306442658016も Vdd_int/673998230236536564210395716612885360232も Vdd_int/1347996460473173128420791433257707320464も Vdd_int/2695992920946346256841582866515414640928も Vdd_int/5391985841892692513683165733030829281856も Vdd_int/1078397168384544526736331546606165856368も Vdd_int/2156794336769089053472663093212321712736も Vdd_int/4313588673538178106945326186424643425472も Vdd_int/8627177347076356213890652372849286850944も Vdd_int/1725435469415271242781310474569857371188も Vdd_int/3450870938830542485562620949139714742376も Vdd_int/6901741877661084971125241898279429485532も Vdd_int/1380348375532216994225483789655885891064も Vdd_int/2760696751064433988450967579311771782128も Vdd_int/5521393502128867976901935158623543564256も Vdd_int/1104278700456173595380387031724708712853も Vdd_int/2208557400912347190760774063449417425664も Vdd_int/4417114801824694381521548126898834945328も Vdd_int/8834229603649388763043096253797669890656も Vdd_int/17668459207297775326865815075595339713128も Vdd_int/3533691841459555065373163015119067945256も Vdd_int/7067383682919110130746326030238135890128も Vdd_int/14134767365838220261486480604778277780256も Vdd_int/28269534731676440522972960120955555560512も Vdd_int/56539069463352880245945920241911111120256も Vdd_int/11307813892670576049181840482822222240512も Vdd_int/22615627785341152098363680965644444810256も Vdd_int/45231255570682304196727361931288888820512も Vdd_int/90462511141364608393454723862577777640256も Vdd_int/180925022282729216786909477325155555320512も Vdd_int/361850044565458433573818954650311110640512も Vdd_int/723700089130916867147637909300622221280512も Vdd_int/144740017826183373429355818600124444560512も Vdd_int/289480035652366746858711637200248889120512も Vdd_int/578960071304733493717423274400497778240512も Vdd_int/1157920142609466987354846548800995556480512も Vdd_int/2315840285218933974719693097601991112960512も Vdd_int/4631680570437867949439386195203982225920512も Vdd_int/926336014087573589887877238407964451840512も Vdd_int/1852672028175147179775554676815929003680512も Vdd_int/3705344056350294359551109353631958007360512も Vdd_int/7410688112700588719102218707263916014720512も Vdd_int/14821376225401177438204437414527832029440512も Vdd_int/2964275245080235487640887482905564058880512も Vdd_int/59285504901604709752817749658111280117760512も Vdd_int/11857100980320941951563559811622400235520512も Vdd_int/2371420196064188390312711962324000471040512も Vdd_int/474284039212837678062542392464000942080512も Vdd_int/948568078425675356125084784928001884160512も Vdd_int/189713615685135071225168956976003768320512も Vdd_int/379427231370270142453337913952007536640512も Vdd_int/758854462740540284906675827856015073280512も Vdd_int/1517708925481080569813351657120303056640512も Vdd_int/3035417850962160139626703314240606113360512も Vdd_int/607083570192432027925340662848012266720512も Vdd_int/121416714038486055850680335696024453440512も Vdd_int/242833428076972011701360671392048888800512も Vdd |

フロントページの続き

(74)代理人 100107582
弁理士 関根 毅
(74)代理人 100118843
弁理士 赤岡 明
(74)代理人 100103263
弁理士 川崎 康
(72)発明者 濑下 敏樹
東京都港区芝浦一丁目1番1号 株式会社東芝内
(72)発明者 栗山 保彦
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 及川 尚人

(56)参考文献 特開平11-145736 (JP, A)
特開2013-081200 (JP, A)
特開2013-098260 (JP, A)
特開2009-207030 (JP, A)
特開2006-270466 (JP, A)
特開2015-061294 (JP, A)
特開2012-099915 (JP, A)
米国特許出願公開第2002/0113650 (US, A1)

(58)調査した分野(Int.Cl., DB名)

H 03 F 1 / 00 - 3 / 72