



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

value, and if the signal moves between a plurality of voltage levels, the threshold value is set so as to be a value within neighboring voltage levels. The present technology can be applied to reception devices which receive signals transmitted over many lines in many phases.

(57) 要約: 本技術は、クロストークによる影響を低減させることができるようにする信号処理装置、信号処理方法、並びにプログラムに関する。複数のコンパレータと、複数のコンパレータからの出力をそれぞれ遅延する遅延部と、供給された信号から遅延部からの信号を減算する減算部とを備える。N相で伝送されてきた信号を処理し、(N-1)個以上のコンパレータを備える。また複数のコンパレータのそれぞれは、異なる閾値が設定され、入力された信号と閾値を比較し、信号が、複数の電圧レベルの間で遷移する信号である場合、閾値は、隣接する電圧レベル内の値に設定されている。本技術は、多相、多線で伝送が行われた信号を受信する受信装置に適用できる。

明 細 書

発明の名称：信号処理装置、信号処理方法、並びにプログラム 技術分野

[0001] 本技術は信号処理装置、信号処理方法、並びにプログラムに関し、例えば、受信した信号を処理する信号処理装置、信号処理方法、並びにプログラムに関する。

背景技術

[0002] 近年の電子機器の高機能化および多機能化に伴い、電子機器には、半導体チップ、センサ、表示デバイスなどの様々なデバイスが搭載される。これらのデバイス間では、多くのデータのやり取りが行われ、そのデータ量は、電子機器の高機能化および多機能化に応じて多くなっている。そこで、例えば数Gbpsでデータを送受信可能な高速インタフェースが用いられて、データのやり取りが行われる。

[0003] このような高速インタフェースでは、通信性能の向上を図るための様々な技術が開発されている。例えば、特許文献1には、差動出力バッファにおいて生じる電源ノイズの抑制を図るノイズキャンセル回路が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2005-318264号公報

発明の概要

発明が解決しようとする課題

[0005] このように、通信システムでは、高い通信性能が望まれており、さらなる通信性能の向上が期待されている。したがって、通信性能を高めることができる信号処理装置を提供することが望ましい。

[0006] 本技術は、このような状況に鑑みてなされたものであり、通信性能を高めた信号処理装置を提供することができるようにするものである。

課題を解決するための手段

- [0007] 本技術の一側面の信号処理装置は、複数のコンパレータと、前記複数のコンパレータからの出力をそれぞれ遅延する遅延部と、供給された信号から前記遅延部からの信号を減算する減算部とを備える。
- [0008] 本技術の一側面の信号処理方法は、供給された信号と所定の閾値とを複数のコンパレータによりそれぞれ比較し、前記複数のコンパレータからの比較結果をそれぞれ遅延し、供給された信号から、前記遅延された比較結果を減算するステップを含む。
- [0009] 本技術の一側面のプログラムは、コンピュータに、供給された信号と所定の閾値とを複数のコンパレータによりそれぞれ比較し、前記複数のコンパレータからの比較結果をそれぞれ遅延し、供給された信号から、前記遅延された比較結果を減算するステップを含む処理を実行させる。
- [0010] 本技術の一側面の信号処理装置、信号処理方法、並びにプログラムにおいては、供給された信号と所定の閾値とが複数のコンパレータによりそれぞれ比較され、複数のコンパレータからの比較結果がそれぞれ遅延され、供給された信号から、遅延された比較結果が減算され。
- [0011] なお、信号処理装置は、独立した装置であっても良いし、1つの装置を構成している内部ブロックであっても良い。
- [0012] また、プログラムは、伝送媒体を介して伝送することにより、または、記録媒体に記録して、提供することができる。

発明の効果

- [0013] 本技術の一側面によれば、通信性能を高めた信号処理装置を提供することができる。
- [0014] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

- [0015] [図1]本技術を適用した通信システムの一実施の形態の構成を示す図である。
[図2]通信システムが送受信する信号の電圧状態について説明するための図である。

[図3]送信装置の構成例を示す図である。

[図4]通信システムが送受信するシンボルの遷移について説明するための図である。

[図5]通信システムが送受信するシンボルについて説明するための図である。

[図6]受信装置の構成例を示す図である。

[図7]受信装置の動作について説明するための図である。

[図8]D F E の構成例を示す図である。

[図9]閾値について説明するための図である。

[図10]係数Aについて説明するための図である。

[図11]本技術を適用した場合の効果について説明するための図である。

[図12]F F E の構成例を示す図である。

[図13]本技術を適用した場合の効果について説明するための図である。

[図14]記録媒体について説明するための図である。

発明を実施するための形態

[0016] 以下に、本技術を実施するための形態（以下、実施の形態という）について説明する。

[0017] <通信システムの構成>

図1は、通信システム（通信システム1）の一実施の形態の構成を示す図である。通信システム1は、3つの電圧レベルを有する信号を用いて通信を行うものである。

[0018] 通信システム1は、送信装置10と、受信装置40とを備えている。この通信システム1では、送信装置10が、受信装置40に対して、伝送路9A, 9B, 9Cを介して信号SIGA, SIGB, SIGCをそれぞれ送信するようになっている。これらの信号を伝送する伝送路9A~9Cの特性インピーダンスは、例えば、50オームである。

[0019] 信号SIGA, SIGB, SIGCは、それぞれ3つの電圧レベル（高レベル電圧VH、中レベル電圧VM、および低レベル電圧VL）の間で遷移し、信号SIGA, SIGB, SIGCのそれぞれの電圧レベルの組み合わせ

でシンボルが伝送される。低レベル電圧 V_L は、グラウンド電圧よりも高い電圧である。また、信号 $SIGA$ 、信号 $SIGB$ 、信号 $SIGC$ は、それぞれ、高レベル電圧 V_H 、中レベル電圧 V_M 、および低レベル電圧 V_L を排他的に出力する信号とされている。

[0020] 図2は、信号 $SIGA$ 、 $SIGB$ 、 $SIGC$ の電圧状態を表すものである。送信装置10は、3つの信号 $SIGA$ 、 $SIGB$ 、 $SIGC$ を用いて、6つのシンボル“+x”、“-x”、“+y”、“-y”、“+z”、“-z”を送信する。

[0021] 例えば、シンボル“+x”を送信する場合には、送信装置10は、信号 $SIGA$ を高レベル電圧 V_H にし、信号 $SIGB$ を低レベル電圧 V_L にし、信号 $SIGC$ を中レベル電圧 V_M にする。シンボル“-x”を送信する場合には、送信装置10は、信号 $SIGA$ を低レベル電圧 V_L にし、信号 $SIGB$ を高レベル電圧 V_H にし、信号 $SIGC$ を中レベル電圧 V_M にする。シンボル“+y”を送信する場合には、送信装置10は、信号 $SIGA$ を中レベル電圧 V_M にし、信号 $SIGB$ を高レベル電圧 V_H にし、信号 $SIGC$ を低レベル電圧 V_L にする。

[0022] シンボル“-y”を送信する場合には、送信装置10は、信号 $SIGA$ を中レベル電圧 V_M にし、信号 $SIGB$ を低レベル電圧 V_L にし、信号 $SIGC$ を高レベル電圧 V_H にする。シンボル“+z”を送信する場合には、送信装置10は、信号 $SIGA$ を低レベル電圧 V_L にし、信号 $SIGB$ を中レベル電圧 V_M にし、信号 $SIGC$ を高レベル電圧 V_H にする。

[0023] シンボル“-z”を送信する場合には、送信装置10は、信号 $SIGA$ を高レベル電圧 V_H にし、信号 $SIGB$ を中レベル電圧 V_M にし、信号 $SIGC$ を低レベル電圧 V_L にするようになっている。

[0024] 図3は、送信装置10の一構成例を表すものである。送信装置10は、クロック生成部19と、信号生成部11と、フリップフロップ(F/F)12と、出力部20とを有している。

[0025] クロック生成部19は、クロック T_{CK} を生成するものである。クロッ

ク生成部 19 は、例えば PLL (Phase Locked Loop) により構成され、例えば送信装置 10 の外部から供給されるリファレンスクロック (図示せず) に基づいてクロック $T \times CK$ を生成するようになっている。そして、クロック生成部 19 は、このクロック $T \times CK$ を、信号生成部 11、フリップフロップ 12、および出力部 20 に供給するようになっている。

[0026] 信号生成部 11 は、信号 $S11 \sim S13$ が示すシンボル PS 、信号 $T \times F$ 、 $T \times R$ 、 $T \times P$ 、およびクロック $T \times CK$ に基づいて、シンボル NS を求め、信号 $S1 \sim S3$ を用いてシンボル NS を出力するものである。ここで、シンボル NS 、 PS は、それぞれ、6つのシンボル “ $+x$ ”、“ $-x$ ”、“ $+y$ ”、“ $-y$ ”、“ $+z$ ”、“ $-z$ ” のうちのいずれか一つを示すものである。シンボル PS は前に送信したシンボル (前のシンボル) であり、シンボル NS は次に送信するシンボル (次のシンボル) である。

[0027] 図 4 は、信号生成部 11 の動作を表すものである。この図 4 は、6つのシンボル “ $+x$ ”、“ $-x$ ”、“ $+y$ ”、“ $-y$ ”、“ $+z$ ”、“ $-z$ ” の間の遷移を示している。各遷移に付した 3桁の数値は、信号 $T \times F$ 、 $T \times R$ 、 $T \times P$ の値をこの順で示したものである。

[0028] 信号 $T \times F$ (Flip) は、“ $+x$ ”と“ $-x$ ”との間でシンボルを遷移させ、“ $+y$ ”と“ $-y$ ”との間でシンボルを遷移させ、“ $+z$ ”と“ $-z$ ”との間でシンボルを遷移させるものである。具体的には、信号 $T \times F$ が “1” である場合には、シンボルの極性を変更するように (例えば “ $+x$ ” から “ $-x$ ” へ) 遷移し、信号 $T \times F$ が “0” である場合には、このような遷移を行わないようになっている。

[0029] 信号 $T \times R$ (Rotation)、 $T \times P$ (Polarity) は、信号 $T \times F$ が “0” である場合において、“ $+x$ ”と“ $-x$ ”以外との間、“ $+y$ ”と“ $-y$ ”以外との間、“ $+z$ ”と“ $-z$ ”以外との間でシンボルを遷移させるものである。

[0030] 具体的には、信号 $T \times R$ 、 $T \times P$ が “1”、“0” である場合には、シンボルの極性を保ったまま、図 4 において右回りに (例えば “ $+x$ ” から “ $+$

y”へ) 遷移し、信号 $T \times R$, $T \times P$ が “1”, “1” である場合には、シンボルの極性を変更するとともに、図4において右回りに（例えば “+x” から “-y” へ) 遷移する。また、信号 $T \times R$, $T \times P$ が “0”, “0” である場合には、シンボルの極性を保ったまま、図4において左回りに（例えば “+x” から “+z” へ) 遷移し、信号 $T \times R$, $T \times P$ が “0”, “1” である場合には、シンボルの極性を変更するとともに、図4において左回りに（例えば “+x” から “-z” へ) 遷移する。

[0031] このように、信号生成部11では、信号 $T \times F$, $T \times R$, $T \times P$ により、シンボルの遷移の方向が特定される。信号生成部11は、信号 $S11 \sim S13$ が示すシンボル PS 、信号 $T \times F$, $T \times R$, $T \times P$ 、およびクロック $T \times CK$ に基づいて、シンボル NS を求め、信号 $S1 \sim S3$ を用いてシンボル NS を出力する。

[0032] この例では、図5に示すように、シンボル NS は信号 $S1 \sim S3$ と対応づけられ、シンボル PS は信号 $S11 \sim S13$ と対応づけられている。そして、信号生成部11は、信号 $S1 \sim S3$ を用いて、このシンボル NS をフリップフロップ12および出力部20に供給するようになっている。

[0033] フリップフロップ12は、信号 $S1$, $S2$, $S3$ を、クロック $T \times CK$ の1クロック分遅延させ、信号 $S11$, $S12$, $S13$ として出力するものである。すなわち、フリップフロップ12は、信号 $S1$, $S2$, $S3$ が示すシンボル NS をクロック $T \times CK$ の1クロック分遅延させることにより、シンボル PS を生成している。そして、フリップフロップ12は、その信号 $S11$, $S12$, $S13$ を、信号生成部11に供給するようになっている。

[0034] 出力部20は、信号 $S1 \sim S3$ に基づいて、信号 $S1GA$, $S1GB$, $S1GC$ を生成し、出力端子 $ToutA$, $ToutB$, $ToutC$ からそれぞれ出力するものである。

[0035] <受信装置の構成>

図6は、受信装置40の一構成例を表すものである。受信装置40は、抵抗素子41A, 41B, 41Cと、アンプ42A, 42B, 42Cと、クロ

ック生成部43と、フリップフロップ44、45と、信号生成部46とを有している。

[0036] 抵抗素子41A、41B、41Cは、通信システム1における終端抵抗として機能するものである。抵抗素子41Aの一端は入力端子TinAに接続されるとともに信号SIGAが供給され、他端は抵抗素子41B、41Cの他端に接続されている。

[0037] 抵抗素子41Bの一端は入力端子TinBに接続されるとともに信号SIGBが供給され、他端は抵抗素子41A、41Cの他端に接続されている。抵抗素子41Cの一端は入力端子TinCに接続されるとともに信号SIGCが供給され、他端は抵抗素子41A、41Bの他端に接続されている。

[0038] アンプ42A、42B、42Cは、それぞれ、正入力端子における信号と負入力端子における信号の差分に応じた信号を出力するものである。アンプ42Aの正入力端子は、アンプ42Cの負入力端子および抵抗素子41Aの一端に接続されるとともに信号SIGAが供給され、負入力端子は、アンプ42Bの正入力端子および抵抗素子41Bの一端に接続されるとともに信号SIGBが供給される。

[0039] アンプ42Bの正入力端子は、アンプ42Aの負入力端子および抵抗素子41Bの一端に接続されるとともに信号SIGBが供給され、負入力端子は、アンプ42Cの正入力端子および抵抗素子41Cの一端に接続されるとともに信号SIGCが供給される。アンプ42Cの正入力端子は、アンプ42Bの負入力端子および抵抗素子41Cの一端に接続されるとともに信号SIGCが供給され、負入力端子は、アンプ42Aの正入力端子および抵抗素子41Aに接続されるとともに信号SIGAが供給される。

[0040] この構成により、アンプ42Aは、信号SIGAと信号SIGBとの差分($SIGA - SIGB$)に応じた信号を出力し、アンプ42Bは、信号SIGBと信号SIGCとの差分($SIGB - SIGC$)に応じた信号を出力し、アンプ42Cは、信号SIGCと信号SIGAとの差分($SIGC - SIGA$)に応じた信号を出力するようになっている。

- [0041] 図7は、アンプ42A、42B、42Cの一動作例を表すものである。この例では、信号SIGAは高レベル電圧VHであり、信号SIGBは低レベル電圧VLである。このとき、信号SIGCの電圧は、抵抗素子41A、41B、41Cにより、中レベル電圧VMに設定される。
- [0042] この場合には、入力端子TinA、抵抗素子41A、抵抗素子41B、入力端子TinBの順に電流Iinが流れる。そして、アンプ42Aの正入力端子には高レベル電圧VHが供給されるとともに負入力端子には低レベル電圧VLが供給され、差分は正になるため、アンプ42Aは“1”を出力する。
- [0043] また、アンプ42Bの正入力端子には低レベル電圧VLが供給されるとともに負入力端子には中レベル電圧VMが供給され、差分は負になるため、アンプ42Bは“0”を出力する。また、アンプ42Cの正入力端子には中レベル電圧VMが供給されるとともに負入力端子には高レベル電圧VHが供給され、差分は負になるため、アンプ42Cは“0”を出力するようになっている。
- [0044] クロック生成部43は、アンプ42A、42B、42Cの出力信号に基づいて、クロックRxCkを生成するものである。
- [0045] フリップフロップ44は、アンプ42A、42B、42Cの出力信号を、クロックRxCkの1クロック分遅延させ、それぞれ出力するものである。すなわち、フリップフロップ44の出力信号は、シンボルNS2を示すものである。ここで、シンボルNS2は、シンボルPS、NSと同様に、6つのシンボル“+x”、“-x”、“+y”、“-y”、“+z”、“-z”のうちのいずれか一つを示すものである。
- [0046] フリップフロップ45は、フリップフロップ44の3つの出力信号を、クロックRxCkの1クロック分遅延させ、それぞれ出力するものである。すなわち、フリップフロップ45は、シンボルNS2をクロックRxCkの1クロック分遅延させることにより、シンボルPS2を生成している。このシンボルPS2は、前に受信したシンボルであり、シンボルNS2と同様に、6つのシンボル“+x”、“-x”、“+y”、“-y”、“+z”、“-”

z”のうちのいずれか一つを示すものである。

[0047] 信号生成部46は、フリップフロップ44、45の出力信号、およびクロック $R \times CK$ に基づいて、信号 $R \times F$ 、 $R \times R$ 、 $R \times P$ を生成するものである。この信号 $R \times F$ 、 $R \times R$ 、 $R \times P$ は、送信装置10における信号 $T \times F$ 、 $T \times R$ 、 $T \times P$ にそれぞれ対応するものであり、シンボルの遷移を表すものである。

[0048] 信号生成部46は、フリップフロップ44の出力信号が示すシンボル CS_2 と、フリップフロップ45の出力信号が示す前のシンボル PS_2 に基づいて、シンボルの遷移(図4)を特定し、信号 $R \times F$ 、 $R \times R$ 、 $R \times P$ を生成するようになっている。

[0049] <クロストークの影響>

図1を再度参照するに、送信装置10と受信装置40は、伝送路9A、9B、9Cを介して信号 $SIGA$ 、 $SIGB$ 、 $SIGC$ を送受信する。すなわち図1に示した通信システムは、3相伝送のシステムである。3相伝送の場合、例えば2相伝送の場合と比べてクロストークの影響が大きくなる可能性があるため、クロストークによる影響を低減させるための仕組みが必要である。

[0050] 仮に送信装置10と受信装置40が、伝送路9Aと伝送路9Bのみで送受信する2相伝送(2線差動方式)である場合、伝送路9Aは、伝送路9Bに影響を及ぼし、伝送路9Bは、伝送路9Aに影響を及ぼす可能性があるが、伝送路9Aの信号と伝送路9Bの信号は、位相が180度異なる差動関係(正相と逆相)であるため、受信装置40側で、上記したように、例えば、アンプ42において差分が演算されることで、伝送路9における影響は低減され、クロストークによる影響も低減される。

[0051] 図1に示したような3相伝送の場合、伝送路9Aを流れる信号、伝送路9Bを流れる信号、および伝送路9Cを流れる信号は、正相と逆相といった位相関係を保っていないため、伝送路9Aは、伝送路9Bと伝送路9Cに影響を及ぼし、伝送路9Bは、伝送路9Aと伝送路9Cに影響を及ぼし、伝送路

9 Cは、伝送路9 Aと伝送路9 Bに影響を及ぼす可能性がある。3相伝送の場合、受信装置40側で、上記したように、例えば、アンプ42において差分が演算されても、伝送路9における影響を打ち消すことはできず、クロストークによる影響が出る可能性がある。

[0052] また、通信速度が上がると、減衰率も上がることが一般的に知られている。通信システム1を高速通信に適用した場合、減衰率が上がり、信号品質が劣化してしまう可能性がある。

[0053] すなわち、3相伝送のような多線、多相での高速通信の場合、2線差動と異なり、各伝送路に流れる信号は、正相と逆相という反転関係を保っておらず、自己のレーン内においてもクロストークによる影響が発生する可能性がある。

[0054] 3相伝送の場合、クロストークを抑制しなければ、波形品質を劣化させる可能性がある。そこで、以下に3相伝送の場合を例に挙げて、クロストークを抑制する仕組みについて説明する。なおここでは、3相伝送の場合を例に挙げて説明を続けるが、3相以上の伝送方式（多相、多線の伝送方式）の場合にも本技術は適用できる。

[0055] <クロストークを抑制するイコライズ技術1>

クロストークによるノイズを除去する方式として、デシジョン・フィードバック・イコライザ（DFE : Decision Feedback Equalizer）を適用した場合について説明する。図8は、3相伝送におけるクロストークによる影響を低減するためのDFE101の一実施の形態の構成を示す図である。

[0056] DFE101は、減算部121、デュアルコンパレータ122-1, 122-2、スルーラッチ123-1, 123-2、遅延部124-1乃至124-4、減算部125-1, 125-2、および乗算部126-1, 126-2を含む構成とされている。

[0057] 図8に示したDFE101は、タップ数が2段である場合を示しているが、本技術は、2段に限らず、タップ数は多段である場合に適用できる。また、タップ数を増やすことで、より精度良く処理を行うことができるが、処理

負担が増えたり、処理時間が増えたりする可能性があるため、そのような可能性と精度を考慮したタップ数が設定され、DFE101は、構成される。

[0058] また、図8に示したDFE101には図示していないが、DFE101の前段やDFE101内にHPF (High Pass Filter) が備えられていても良い。例えば、減算部121の前に、HPFが備えられている構成としても良い。なお、HPFは、高周波成分をブーストするVGA (可変ゲインアンプ) として機能し、そのようなブーストする機能を有する要素が、DFE101に備えられている構成、またはそのような要素を介した信号がDFE101に入力される構成としても良い。

[0059] また、図8に示したDFE101の構成は、一例であり、他の構成によりDFE101を構成することも可能である。例えば、図8に示したDFE101は、デュアルコンパレータ122を含む構成とされているが、デュアルコンパレータ122の代わりに、高速ADC (Analog Digital Converter) を含む構成とすることも可能である。

[0060] 送信装置10からの信号 $T_x(n)$ は、伝送路9で伝送されているときに、伝送路通過特性に起因する符号間干渉 (Channel ISI (Inter Symbol Interference))、以下、伝送路ノイズと記述する) と高周波ノイズ (High Freq Noise) が重畳され、DFE101に入力される。このことを、図18では、加算部102にて、信号 $T_x(n)$ に伝送路ノイズが重畳され、伝送路ノイズが重畳された信号を信号 $x(n)$ と記述する。また、加算部103にて、信号 $x(n)$ に高周波ノイズが重畳され、高周波ノイズが重畳された信号を信号 $x'(n)$ と記述する。

[0061] 信号 $x'(n)$ がDFE101に入力される。DFE101は、図6に示した受信装置40において、例えば、入力端子 T_{in} の直後に設けられ、DFE101によりノイズが除去された信号が、アンプ42に入力される。DFE101は、アンプ42毎に備えられる。例えば、図6に示した受信装置40の場合、アンプ42A、アンプ42B、アンプ42C毎に設けられる。

[0062] 例えば、入力端子 T_{inA} に入力された信号SIGA (=信号 $x'(n)$)

は、D F E 1 0 1 の減算部 1 2 1 に入力される。減算部 1 2 1 は、入力された信号 x' (n) から、乗算部 1 2 6 - 1 からの出力と乗算部 1 2 6 - 2 からの出力を減算する。

[0063] 減算部 1 2 1 から出力された信号 y (n) は、アンプ 4 2 に供給されると共に、デュアルコンパレータ 1 2 2 - 1 とデュアルコンパレータ 1 2 2 - 2 にも供給される。デュアルコンパレータ 1 2 2 - 1 は、所定の閾値 $T_h 1$ と信号 y (n) を比較し、信号 y (n) が、閾値 $T_h 1$ 以上であるか否かを判定し、その判定結果をスルーラッチ 1 2 3 - 1 に出力する。

[0064] 同様に、デュアルコンパレータ 1 2 2 - 2 は、所定の閾値 $T_h 2$ と信号 y (n) を比較し、信号 y (n) が、閾値 $T_h 2$ 以上であるか否かを判定し、その判定結果をスルーラッチ 1 2 3 - 2 に出力する。

[0065] 閾値 $T_h 1$ と閾値 $T_h 2$ は、例えば、図 9 に示すような関係を満たす。図 9 は、図 2 に示した例えば、信号 S I G A の波形（シングルエンドの波形であり、送信装置 1 0 から出力される信号の波形）を示す図である。

[0066] 閾値 $T_h 1$ は、図 9 の上図に示すように、高レベル電圧 V_H 以下の値であり、中レベル電圧 V_M 以上の値に設定されている。閾値 $T_h 1$ は、例えば、高レベル電圧 V_H と中レベル電圧 V_M の中間の電圧値とすることができる。なおここでは閾値 $T_h 1$ は、高レベル電圧 V_H と中レベル電圧 V_M の中間の電圧値とした場合を例に挙げて説明を続けるが、閾値 $T_h 1$ の値は、中間の電圧値以外の値に設定することも可能であり、例えば、高レベル電圧 V_h に近い値に設定され、処理が行われるようにすることも可能である。

[0067] 閾値 $T_h 2$ は、図 9 の上図に示すように、中レベル電圧 V_M 以下の値であり、低レベル電圧 V_L 以上の値に設定されている。閾値 $T_h 2$ は、例えば、中レベル電圧 V_M と低レベル電圧 V_L の中間の電圧値とすることができる。なおここでは閾値 $T_h 2$ は、中レベル電圧 V_M と低レベル電圧 V_L の中間の電圧値とした場合を例に挙げて説明を続けるが、閾値 $T_h 2$ の値は、中間の電圧値以外の値に設定することも可能であり、例えば、低レベル電圧 V_L に近い値に設定され、処理が行われるようにすることも可能である。

- [0068] またここでは、閾値 T_{h1} 、閾値 T_{h2} は、固定値として説明を続けるが、可変値であっても良い。また閾値 T_{h1} 、閾値 T_{h2} のどちらか一方を可変値とし、他方を固定値としても良い。
- [0069] 閾値 T_{h1} は、デュアルコンパレータ 122-1（図8）に設定されている閾値とし、閾値 T_{h2} は、デュアルコンパレータ 122-2 に設定されている閾値とする。
- [0070] 閾値は、3相伝送の場合、3相内の隣接する相内（3つの電圧レベルの間で遷移する信号を伝送する場合）、例えば、高レベル電圧 V_H の相と、中レベル電圧 V_M の相の間にある値（電圧値）に設定される。N相伝送の場合、N相内の隣接する相内の値に、閾値は設定され、各デュアルコンパレータは、設定されている閾値との比較を行う。
- [0071] 図9の下図に示すように、デュアルコンパレータ 122-1 は、入力された信号 $y(n)$ と閾値 T_{h1} を比較し、信号 $y(n)$ が閾値 T_{h1} よりも大きい場合、“1”をスルーラッチ 123-1に出力し、信号 $y(n)$ が閾値 T_{h1} よりも小さい場合、“0”をスルーラッチ 123-1に出力する。なお、信号 $y(n)$ が閾値 T_{h1} と同一値である場合、“1”が出力されるように設定されていても良いし、“0”が出力されるように設定されていても良い。
- [0072] 同様に、図9の下図に示すように、デュアルコンパレータ 122-2 は、入力された信号 $y(n)$ と閾値 T_{h2} を比較し、信号 $y(n)$ が閾値 T_{h2} よりも大きい場合、“1”をスルーラッチ 123-2に出力し、信号 $y(n)$ が閾値 T_{h2} よりも小さい場合、“0”をスルーラッチ 123-2に出力する。なお、信号 $y(n)$ が閾値 T_{h2} と同一値である場合、“1”が出力されるように設定されていても良いし、“0”が出力されるように設定されていても良い。
- [0073] スルーラッチ 123-1 とスルーラッチ 123-2 からの出力は、それぞれ減算部 125-1 に供給される。またスルーラッチ 123-1 からの出力は、遅延部 124-1 に供給され、スルーラッチ 123-2 からの出力は、

遅延部 1 2 4 - 2 に供給される。

[0074] 減算部 1 2 5 - 1 には、時刻 t におけるスルーラッチ 1 2 3 - 1 からのデータ $y^{[1]}(n)$ 、時刻 t におけるスルーラッチ 1 2 3 - 2 からのデータ $y^{[0]}(n)$ 、遅延部 1 2 4 - 1 で遅延された時刻 $t - 1$ におけるスルーラッチ 1 2 3 - 1 からのデータ $y^{[1]}(n - 1)$ 、および遅延部 1 2 4 - 2 で遅延された時刻 $t - 1$ におけるスルーラッチ 1 2 3 - 2 からのデータ $y^{[0]}(n - 1)$ が供給される。

[0075] 例えば、データ $y^{[1]}(n)$ の $\wedge$ は、デシジョンデータであることを表し、ここでは、0 または 1 の 1 b i t のデシジョンデータであることを表す。また $[1]$ は、スルーラッチ 1 2 3 - 1 からのデータであることを示し、 $[0]$ は、スルーラッチ 1 2 3 - 2 からのデータであることを示す。

[0076] また、 (n) は、 n 番目のデータであることを示す。またこの n 番目のデータを基準とし、例えば、 $(n - 1)$ は、 n 番目のデータよりも 1 個前のデータであることを示す。またここでは、 n 番目のデータは、時刻 t において、スルーラッチ 1 2 3 より出力されたデータであるとし、例えば時刻 t よりも 1 時刻前の時刻 $t - 1$ においてスルーラッチ 1 2 3 より出力されたデータは、 $(n - 1)$ と表す。

[0077] 減算部 1 2 5 - 1 は、供給されたデータ $y^{[1]}(n)$ とデータ $y^{[0]}(n)$ を加算し、その加算値から、データ $y^{[1]}(n - 1)$ とデータ $y^{[0]}(n - 1)$ を減算する。すなわち、減算部 1 2 5 - 1 は、現時刻 t と、その前の時刻 $t - 1$ とのデータの差分を演算する。なお、減算部 1 2 5 での演算は、一例であり、他の演算が行われるように構成することも可能である。

[0078] 減算部 1 2 5 - 1 は、信号レベルスケーリング係数 K_{LV} (後述) を、遅延部 1 2 4 - 1 からのデータに乗算する処理も行う。なお、信号レベルスケーリング係数 $K_{LV} = 1$ である場合、この乗算処理は省略することが可能である。

[0079] 減算部 1 2 5 - 1 での演算結果は、乗算部 1 2 6 - 1 に供給される。乗算部 1 2 6 - 1 は、 $|S|$ 係数 a_1 を乗算し、減算部 1 2 1 に供給する。

[0080] 図8に示したDFE101は、さらに遅延部124-3、124-4も備え、時刻 $t-1$ よりもさらに前の時刻 $t-2$ のデータも用いて処理を行う。

[0081] 遅延部124-3は、遅延部124-1から出力されたデータ $y^{[1]}$ ($n-1$)の供給を受け、所定の時間だけ遅延したデータ $y^{[1]}$ ($n-2$)を減算部125-2に出力する。遅延部124-4は、遅延部124-2から出力されたデータ $y^{[0]}$ ($n-1$)の供給を受け、所定の時間だけ遅延したデータ $y^{[0]}$ ($n-2$)を減算部125-2に出力する。

[0082] 遅延部124-1から出力されたデータ $y^{[1]}$ ($n-1$)は、減算部125-2にも供給される。同じく、遅延部124-2から出力されたデータ $y^{[0]}$ ($n-1$)は、減算部125-2にも供給される。

[0083] 減算部125-2は、供給されたデータ $y^{[1]}$ ($n-1$)とデータ $y^{[0]}$ ($n-1$)を加算し、その加算値から、データ $y^{[1]}$ ($n-2$)とデータ $y^{[0]}$ ($n-2$)を減算する。すなわち、減算部125-1は、時刻 $t-1$ と、その前の時刻 $t-2$ とのデータの差分を演算する。

[0084] なお、減算部125-2は、信号レベルスケーリング係数 K_{LV} （後述）を、遅延部124-2からのデータに乗算する処理も行い、乗算後のデータを用いて、上記した演算を行う。なお、信号レベルスケーリング係数 $K_{LV}=1$ である場合、この乗算処理は省略することが可能である。

[0085] 減算部125-2での演算結果は、乗算部126-2に供給される。乗算部126-2は、 $|S|$ 係数 a_2 を乗算し、減算部121に供給する。

[0086] 減算部121は、送信装置10から伝送されてきた信号 $x'(n)$ から、乗算部126-1からのデータと、乗算部126-2からのデータを減算した値（信号 $y(n)$ ）を生成し、後段に出力する。

[0087] DFE101での処理を、式で表すと次式（1）となる。なお、次式（2）は、DFE101が多段のタップ（tap）を有する構成である場合を示す。

[0088]

[数1]

$$y(t) = A \cdot d(n) + \sum_{i=1} a_i \cdot \left((d(n-i+1) - d(n-i)) - k_{LV} \cdot \left((y_{[1]}^{\wedge}(n-i+1) + y_{[0]}^{\wedge}(n-i+1)) - (y_{[1]}^{\wedge}(n-i) + y_{[0]}^{\wedge}(n-i)) \right) \right) + N(nT) \quad \dots (1)$$

[0089] 式(1)において、“A”は、図10に示したグラフにおいて示した“A”に該当する値である。図10は、伝送した信号のレベルと、その信号を受信したときのレベルとの関係を示す図である。例えば、図10に示したグラフにおいて、実線が、送信データを表し、点線が受信データを表す。縦軸がレベルを表し、横軸が時間を表す。

[0090] 例えば、時刻0から時刻1Tまで送信側でレベルが“1”というデータを送信したとき、受信側では、時刻1Tにおいて、レベルが“A”というデータを受信する。この場合、レベル“1”は、伝送中にレベル“A”まで減衰して受信される伝送系であることがわかる。式(1)における“A”は、送信側で送信されたレベルのうち受信側で受信されるレベルの最大値を示した値である。

[0091] また、図10中、“a1”、“a2”は、乗算部126-1、126-2でそれぞれ乗算される|S|係数である。

[0092] 式(1)において、時刻tに送信装置10側から送信されたデータは、d(n-i)とする。換言すれば、時刻t=(n-1)Tに送信装置10側から送信されたデータを、d(n-i)とする。また、その際のチャネル|S|係数は、a_i(i=1, 2, 3, ...)とする。

[0093] 式(1)において、y(t)は、DFE101の出力(アナログ値)を表し、y[^]_[1](t)は、バイナリデシジョンデータ(MSB)を表し、y[^]_[0](t)は、バイナリデシジョンデータ(LSB)を表す。

[0094] また式(1)において、K_{LV}は、信号レベルスケージング係数を表す。再度

図9を参照するに、送信装置10からの信号の例えば高レベル電圧 V_H と中レベル電圧 V_M との差分の電圧が電圧 V_1 であるとし、受信装置40のデュアルコンパレータ122の出力の0と1の差分電圧が電圧 V_2 であるとしたとき、信号レベルスケーリング係数 K_{LV} は、電圧 V_1 と電圧 V_2 の比で表される係数となる。

$$K_{LV} = V_1 / V_2$$

[0095] また式(1)において、 $N(nT)$ は、高周波ノイズを表す。

[0096] 受信装置40で受信される受信信号 $x'(t)$ (図8中では、信号 $x'(n)$ と表記)は、次式(2)で表すことができる。

[0097] [数2]

$$x'(t) = A \cdot d(n) + \sum_{i=1} a_i \cdot (d(n-i+1) - d(n-i)) + N(nT) \quad \dots (2)$$

[0098] 式(2)において、右辺の第1項は、送信装置10から送信されたデータを表し、第2項は、 $|S|$ 成分(伝送ノイズ成分)を表し、第3項は、高周波ノイズ成分を表す。

[0099] 式(1)と式(2)を参照するに、高周波ノイズ成分 $N(nT)$ は、増幅されることなく、そのままの値となっている。DFE101によると、高周波ノイズ成分を増幅することなく処理が行える。クロストークは、高周波ノイズに属する。よって、DFE101によると、クロストーク成分を増幅しないイコライザを提供することができる。

[0100] また、DFE101は、受信データの伝送路ノイズ成分($a_i \cdot d(n-i)$)から、DFEタップ係数倍したバイナリデシジョンデータ($a_i \cdot y^{\wedge}(n-i)$)を減算することで、伝送路ノイズ成分を等化している。また、伝送路ノイズ成分(チャンネル $|S|$ 成分)は、データ遷移に伴う電圧変動量によって変わる。

[0101] 例えば、3相伝送の場合、単に、伝送路ノイズ成分($a_i \cdot d(n-i)$)から、バイナリデシジョンデータ($a_i \cdot y^{\wedge}(n-i)$)を減算しただけでは、チャンネル $|S|$ 成分を補正することは困難である。そこで、本技術にお

いては、図8に示したように、2つのデュアルコンパレータ122-1, 122-2を備え、 nT と $(n-1)T$ のデジジョンデータを演算し、信号遷移量の情報を得られる構成とした。

[0102] このことにより、3相伝送の場合においてもチャンネルIS成分を補正することができる構成となる。

[0103] 例えば、 $d(n) = \{3, 2, 1\}$ とした場合、受信データの持つチャンネルIS項(式(1)における右辺の第2項)内の $((d(n) - d(n-i)))$ は、 $\{+2, +1, 0, -1, -2\}$ の5値を取る。

[0104] そして、同じく、チャンネルIS項(式(1)における右辺の第2項)内の $((y^{[1]}(n-i+1) + y^{[0]}(n-i+1)) - (y^{[1]}(n-i) + y^{[0]}(n-i)))$ も、 $\{+2, +1, 0, -1, -2\}$ の5値を取る。よって、チャンネルIS成分を補正することが可能である。

[0105] このように、本技術によれば、例えば、3相伝送のようなクロストークの影響がある伝送を行うシステムにおいて、そのクロストークの成分を抑制することができる。

[0106] 図11の左図は、3相伝送において、本技術を適用したDFE101を備えない受信装置40での受信結果を表すアイパターン(Eye Pattern)であり、右図は、3相伝送において、本技術を適用したDFE101を備える受信装置40での受信結果を表すアイパターンである。

[0107] 図11に示したアイパターンから、明らかに、右図のアイパターンの方が、左図のアイパターンよりも良好に受信できている(受信結果を処理できている)ことを表していることが読み取れる。よって図11に示したアイパターンからも、本技術を適用したDFE101を備える受信装置40によれば、3相伝送のようなクロストークの影響がある伝送を行うシステムにおいても、そのクロストークの成分を補正することができるようになることがわかる。

[0108] <クロストークを抑制するイコライズ技術2>

上記したDFE101は、フィードバックをかけているため、フィードバック遅延が生じる可能性がある。このようなフィードバック遅延が問題となるようなシステムや、さらなる高速化が望まれる場合、フィード・フォワード・イコライザ（FFE：Feed Forward Equalizer）を適用することもできる。

[0109] クロストークを抑制するイコライズ技術2としてFFEを適用した場合について説明する。図12は、3相伝送におけるクロストークによる影響を低減するためのFFE201の一実施の形態の構成を示す図である。

[0110] FFE201は、減算部221、デュアルコンパレータ222-1, 222-2、スルーラッチ223-1, 223-2、遅延部224-1乃至224-4、減算部225-1, 225-2、および乗算部226-1, 226-2を含む構成とされている。

[0111] 図12に示したFFE201は、タップ数が2段である場合を示しているが、本技術は、2段に限らず、タップ数は多段である場合に適用できる。また、タップ数を増やすことで、より精度良く処理を行うことができるが、処理負担が増えたり、処理時間が増えたりする可能性があるため、そのような可能性と精度を考慮したタップ数が設定され、FFE201は、構成される。

[0112] 図12に示したFFE201と、図8に示したDFE101を比較するに、FFE201を構成する要素は、DFE101を構成する要素と同様であり、上記したように、デュアルコンパレータ222や減算部225などの要素を含む構成とされている。

[0113] DFE101は、フィードバックで処理を行うのに対して、FFE201は、フィードフォワードで処理する点が異なる。上記したDFE101の説明と重複する説明は適宜省略してFFE201についての説明を行う。

[0114] 送信装置10からの信号Tx(n)は、伝送路9で伝送されているときに、伝送路ノイズと高周波ノイズが重畳され、信号x'(n)となり、FFE201に入力される。FFE201は、例えば、図6に示した受信装置40

の入力端子 T_{in} の直後に設けられ、FFE201によりノイズが除去された信号が、アンプ42に入力される。FFE201は、アンプ42毎に備えられる。例えば、図6に示した受信装置40の場合、アンプ42A、アンプ42B、アンプ42C毎に設けられる。

[0115] 例えば、入力端子 T_{inA} に入力された信号 $SIGA (= \text{信号 } x' (n))$ は、FFE201の減算部221、デュアルコンパレータ222-1、およびデュアルコンパレータ222-2に入力される。

[0116] 減算部221は、入力された信号 $x' (n)$ から、乗算部226-1からの出力と乗算部226-2からの出力を減算する。減算部221からの出力された信号 $y (n)$ は、アンプ42に供給される。

[0117] デュアルコンパレータ222-1は、所定の閾値 $Th1$ と信号 $y (n)$ を比較し、信号 $y (n)$ が、閾値 $Th1$ 以上であるか否かを判定し、その判定結果をスルーラッチ223-1に出力する。同様に、デュアルコンパレータ222-2は、所定の閾値 $Th2$ と信号 $y (n)$ を比較し、信号 $y (n)$ が、閾値 $Th2$ 以上であるか否かを判定し、その判定結果をスルーラッチ223-2に出力する。

[0118] 閾値 $Th1$ と閾値 $Th2$ は、DFE101の場合と同様に設定でき、例えば、図9に示すような関係を満たす。

[0119] スルーラッチ223-1とスルーラッチ223-2からの出力は、それぞれ減算部225-1に供給される。またスルーラッチ223-1からの出力は、遅延部224-1にも供給される。またスルーラッチ223-2からの出力は、遅延部224-2にも供給される。

[0120] 減算部225-1には、時刻 t におけるスルーラッチ223-1からのデータ $y^{[1]} (n)$ 、時刻 t におけるスルーラッチ223-2からのデータ $y^{[0]} (n)$ 、遅延部224-1で遅延された時刻 $t-1$ におけるスルーラッチ223-1からのデータ $y^{[1]} (n-1)$ 、および遅延部224-2で遅延された時刻 $t-1$ におけるスルーラッチ223-2からのデータ $y^{[0]} (n-1)$ が供給される。

[0121] 減算部225-1は、供給されたデータ $y^{[1]}(n)$ とデータ $y^{[0]}(n)$ を加算し、その加算値から、データ $y^{[1]}(n-1)$ とデータ $y^{[0]}(n-1)$ を減算する。すなわち、減算部225-1は、現時刻 t と、その前の時刻 $t-1$ とのデータの差分を演算する。なお、減算部225での演算は、一例であり、他の演算が行われるように構成することも可能である。

[0122] 減算部225-1での演算結果は、乗算部226-1に供給される。乗算部226-1は、 $|S|$ 係数 a_1 を乗算し、減算部221に供給する。

[0123] 同様に、遅延部224-3は、遅延部224-1から出力されたデータ $y^{[1]}(n-1)$ の供給をうけ、所定の時間だけ遅延したデータ $y^{[1]}(n-2)$ を減算部225-2に出力する。遅延部224-4は、遅延部224-2から出力されたデータ $y^{[0]}(n-1)$ の供給をうけ、所定の時間だけ遅延したデータ $y^{[0]}(n-2)$ を減算部225-2に出力する。

[0124] 遅延部224-1から出力されたデータ $y^{[1]}(n-1)$ は、減算部225-2にも供給される。同じく、遅延部224-2から出力されたデータ $y^{[0]}(n-1)$ は、減算部225-2にも供給される。

[0125] 減算部225-2は、供給されたデータ $y^{[1]}(n-1)$ とデータ $y^{[0]}(n-1)$ を加算し、その加算値から、データ $y^{[1]}(n-2)$ とデータ $y^{[0]}(n-2)$ を減算する。すなわち、減算部225-1は、時刻 $t-1$ と、その前の時刻 $t-2$ との差分を演算する。

[0126] 減算部225-2での演算結果は、乗算部226-2に供給される。乗算部226-2は、 $|S|$ 係数 a_2 を乗算し、減算部221に供給する。

[0127] 減算部221は、送信装置10から伝送されてきた信号 $x'(n)$ から、乗算部226-1からのデータと、乗算部226-2からのデータを減算した値（信号 $y(n)$ ）を生成し、後段に出力する。

[0128] FFE201での処理を、式で表すと次式(3)となる。なお、次式(3)は、FFE201が多段のタップ(tap)で構成されている場合における式

である。

[0129] [数3]

$$y(t) = A \cdot d(n) + \sum_{i=1} a_i \cdot \left((d(n-i+1) - d(n-i)) - k_{LV} \cdot \left(\left(\hat{y}_{[1]}(n-i+1) + \hat{y}_{[0]}(n-i+1) \right) - \left(\hat{y}_{[1]}(n-i) + \hat{y}_{[0]}(n-i) \right) \right) \right) + \sum_{i=1} a_i \cdot N(nT) \quad \dots (3)$$

[0130] 式(3)における、“A”は、図10に示したグラフにおいて示した“A”に該当する値である。式(3)における、“a_i”は、図10中、“a₁”、“a₂”に該当する係数であり、乗算部226-1、226-2でそれぞれ乗算されるIS係数である。

[0131] 式(3)において、時刻tに送信装置10側から送信されたデータは、d(n-i)とする。換言すれば、時刻t=(n-1)Tに送信装置10側から送信されたデータを、d(n-i)とする。また、その際のチャンネルIS係数は、a_i(i=1, 2, 3, ...)とする。

[0132] 式(3)において、y(t)は、FFE201の出力(アナログ値)を表し、 $\hat{y}_{[1]}(t)$ は、バイナリデシジョンデータ(MSB)を表し、 $\hat{y}_{[0]}(t)$ は、バイナリデシジョンデータ(LSB)を表す。

[0133] また式(3)において、K_{LV}は、信号レベルスケーリング係数を表し、図9を参照したように、電圧V1と電圧V2の比で表される係数である。

$$K_{LV} = V1 / V2$$

[0134] また式(3)において、N(nT)は、高周波ノイズを表す。

[0135] 式(3)において、右辺の第1項は、送信装置10から送信されたデータを表し、第2項は、IS成分(伝送ノイズ成分)を表し、第3項は、高周波ノイズ成分を表す。

[0136] FFE201は、DFE101と同じく、受信データの伝送路ノイズ成分(a_i・d(n-i))から、FFEタップ係数倍したバイナリデシジョンデ

ータ ($a_i \cdot y^{(n-i)}$) を減算することで、伝送路ノイズ成分を等化している。また、伝送路ノイズ成分 (チャネル | S | 成分) は、データ遷移に伴う電圧変動量によって変わる。

[0137] 例えば、3相伝送の場合、単に、伝送路ノイズ成分 ($a_i \cdot d(n-i)$) から、バイナリデシジョンデータ ($a_i \cdot y^{(n-i)}$) を減算しただけでは、チャネル | S | 成分を補正することは困難である。そこで、本技術においては、図12に示したように、2つのデュアルコンパレータ222-1, 222-2を備え、 nT と $(n-1)T$ のデシジョンデータを演算し、信号遷移量の情報を得られる構成とした。

[0138] このことにより、3相伝送の場合においてもチャネル | S | 成分を補正することができる構成となる。

[0139] 例えば、 $d(n) = \{3, 2, 1\}$ とした場合、受信データの持つチャネル | S | 項 (式(3)における右辺の第2項) 内の ($d(n) - d(n-i)$) は、 $\{+2, +1, 0, -1, -2\}$ の5値を取る。

[0140] そして、同じく、チャネル | S | 項 (式(3)における右辺の第2項) 内の ($y^{[1]}(n-i+1) + y^{[0]}(n-i+1) - (y^{[1]}(n-i) + y^{[0]}(n-i))$) も、 $\{+2, +1, 0, -1, -2\}$ の5値を取る。よって、チャネル | S | 成分を補正することが可能である。

[0141] このように、本技術によれば、例えば、3相伝送のようなクロストークの影響がある伝送を行うシステムにおいて、波形品質を改善できる。

[0142] FFE201の場合、式(3)を参照するに、右辺の第3項の高周波ノイズ成分は、増幅されることが読み取れる。FFE201の場合、高周波ノイズ成分は、DFE101と比べて増幅されてしまうが、DFE101と異なり、フィードバックループがないため、処理の高速化が容易に図れる。

[0143] 図13の左図は、3相伝送において、本技術を適用したFFE201を備えない受信装置40での受信結果を表すアイパターン (Eye Pattern) であり、右図は、3相伝送において、本技術を適用したFFE201を備える受信

装置40での受信結果を表すアイパターンである。

[0144] 図13に示したアイパターンから、明らかに、右図のアイパターンの方が、左図のアイパターンよりも良好に受信できている（受信結果を処理できている）ことを表していることが読み取れる。このことから、本技術を適用したFFE201を備える受信装置40によれば、3相伝送のようなクロストークの影響がある伝送を行うシステムにおいても、波形品質を改善できるようになることがわかる。

[0145] 上記したように、本技術によれば、波形品質を改善することができる。また、本技術は、多線、多相の伝送方式に適用でき、多線、多相の伝送方式に適用した場合も、波形品質を改善することができる。また、本技術は、高速伝送方式にも適用でき、高速伝送方式に適用した場合も、波形品質を改善することができる。

[0146] 上述した実施の形態においては、2タップである場合を例に挙げて説明したが、1タップや2以上のタップ数でDFE101やFFE201が構成されていても良い。

[0147] また上述した実施の形態においては、デュアルコンパレータ122（222）が2個の場合を例に挙げて説明したが、DFE101やFFE201に、2以上のデュアルコンパレータ122（222）が備えられる構成とすることも可能である。

[0148] 換言すれば、上記した実施の形態においては、2個の閾値（2つのスレッシュホールド）で処理が行われる場合を例に挙げて説明したが、2個以上の閾値が用いられて処理が行われるようにすることも可能である。

[0149] 例えば、3相伝送の場合、2個の閾値が用いられて処理が行われるDFE101やFFE201とすることができる。また、例えば、3相伝送の場合に、2個以上の閾値、例えば、3個の閾値が用いられて処理が行われるようにすることができる。

[0150] 例えばN相伝送の場合、（N－1）個の閾値が用いられて処理が行われるDFE101やFFE201とすることができる。

[0151] また1タップは、用いられる閾値の個数に応じた数（同一数）の遅延部、減算部、乗算部を備える。例えば、 $(N-1)$ 個の閾値が用いられて処理が行われる場合、1タップには、 $(N-1)$ 個の遅延部が含まれ、その遅延部からのデータとデュアルコンパレータからのデータを減算する1個の減算部と、減算部からのデータに所定の係数を乗算する1個の乗算部が含まれる。

[0152] 本技術によれば、複数のスレッシュホールドを持つデュアルコンパレータと、連続する多線、多相のシンボル遷移での電圧変化量に応じた帰還レベル制御により、多線、多相の高速伝送方式においても、信号品質を改善することができる。

[0153] 上記した信号処理装置は、例えばM I P I（Mobile Industry Processor Interface）に適用できる。M I P Iは、モバイル機器のカメラやディスプレイとのインターフェイス規格であるが、その規格のうち、C-PHYの規格のインタフェースに適用できる。

[0154] C-PHYは、上記した3相伝送により信号を送受信するため、上記した本技術を適用することで、クロストークなどの高周波ノイズ成分を抑制した通信を行うことができる。本技術を適用した例えば、図8に示したDFE101または図12に示したFFE201は、M I P IのC-PHYの規格のインタフェースに含まれるようにすることができる。

[0155] <記録媒体について>

上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、コンピュータにインストールされる。ここで、コンピュータには、専用のハードウェアに組み込まれているコンピュータや、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどが含まれる。

[0156] 図14は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。コンピュータにおいて、

CPU (Central Processing Unit) 501、ROM (Read Only Memory) 502、RAM (Random Access Memory) 503は、バス504により相互に接続されている。バス504には、さらに、入出力インタフェース505が接続されている。入出力インタフェース505には、入力部506、出力部507、記憶部508、通信部509、およびドライブ510が接続されている。

[0157] 入力部506は、キーボード、マウス、マイクロフォンなどよりなる。出力部507は、ディスプレイ、スピーカなどよりなる。記憶部508は、ハードディスクや不揮発性のメモリなどよりなる。通信部509は、ネットワークインタフェースなどよりなる。ドライブ510は、磁気ディスク、光ディスク、光磁気ディスク、または半導体メモリなどのリムーバブルメディア511を駆動する。

[0158] 以上のように構成されるコンピュータでは、CPU501が、例えば、記憶部508に記憶されているプログラムを、入出力インタフェース505およびバス504を介して、RAM503にロードして実行することにより、上述した一連の処理が行われる。

[0159] コンピュータ（CPU501）が実行するプログラムは、例えば、パッケージメディア等としてのリムーバブルメディア511に記録して提供することができる。また、プログラムは、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線または無線の伝送媒体を介して提供することができる。

[0160] コンピュータでは、プログラムは、リムーバブルメディア511をドライブ510に装着することにより、入出力インタフェース505を介して、記憶部508にインストールすることができる。また、プログラムは、有線または無線の伝送媒体を介して、通信部509で受信し、記憶部508にインストールすることができる。その他、プログラムは、ROM502や記憶部508に、あらかじめインストールしておくことができる。

[0161] なお、コンピュータが実行するプログラムは、本明細書で説明する順序に

沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

[0162] また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

[0163] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0164] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0165] なお、本技術は以下のような構成も取ることができる。

(1)

複数のコンパレータと、
前記複数のコンパレータからの出力をそれぞれ遅延する遅延部と、
供給された信号から前記遅延部からの信号を減算する減算部と
を備える信号処理装置。

(2)

N相で伝送されてきた信号を処理する
前記(1)に記載の信号処理装置。

(3)

N本の伝送路で伝送されてきた信号であり、電圧レベルの組み合わせで所定のシンボルを伝送する信号を処理する
前記(1)に記載の信号処理装置。

(4)

(N-1)個以上の前記コンパレータを備える
前記(2)または(3)に記載の信号処理装置。

(5)

前記複数のコンパレータのそれぞれは、異なる閾値が設定され、入力された信号と前記閾値を比較し、

前記信号が、複数の電圧レベルの間で遷移する信号である場合、前記閾値は、隣接する電圧レベル内の値に設定されている

前記（１）乃至（４）のいずれかに記載の信号処理装置。

（６）

高レベル電圧、中レベル電圧、および低レベル電圧の３つの電圧レベルの間で遷移する信号を処理する場合、前記高レベル電圧と前記中レベル電圧の間の電圧値が、第１の閾値に設定され、前記中レベル電圧と前記低レベル電圧の間の電圧値が、第２の閾値に設定され、

第１の前記コンパレータは、前記第１の閾値と供給された信号とを比較し、

第２の前記コンパレータは、前記第２の閾値と供給された信号とを比較し、

前記減算部は、前記第１のコンパレータからの出力と、前記第２のコンパレータからの出力を加算した値から、第１の前記遅延部で遅延された前記第１のコンパレータからの出力と第２の前記遅延部で遅延された前記第２のコンパレータからの出力を減算する

前記（１）乃至（５）のいずれかに記載の信号処理装置。

（７）

信号処理装置に入力された信号から、前記減算部からの信号を減算する第２の減算部をさらに備える

前記（１）乃至（６）のいずれかに記載の信号処理装置。

（８）

前記コンパレータは、前記第２の減算部からの出力を、所定の閾値と比較する

前記（７）に記載の信号処理装置。

（９）

前記コンパレータは、前記入力された信号を、所定の閾値と比較する

前記（７）に記載の信号処理装置。

(10)

D F E (Decision Feedback Equalizer) である

前記(1)乃至(8)のいずれかに記載の信号処理装置。

(11)

F F E (Feed Forward Equalizer) である

前記(1)乃至(7)または前記(9)のいずれかに記載の信号処理装置

。

(12)

M I P I (Mobile Industry Processor Interface) の C - P H Y の規格の
インタフェースに含まれる

前記(1)乃至(11)のいずれかに記載の信号処理装置。

(13)

供給された信号と所定の閾値とを複数のコンパレータによりそれぞれ比較
し、

前記複数のコンパレータからの比較結果をそれぞれ遅延し、

供給された信号から、前記遅延された比較結果を減算する

ステップを含む信号処理方法。

(14)

コンピュータに、

供給された信号と所定の閾値とを複数のコンパレータによりそれぞれ比較
し、

前記複数のコンパレータからの比較結果をそれぞれ遅延し、

供給された信号から、前記遅延された比較結果を減算する

ステップを含む処理を実行させるためのプログラム。

符号の説明

[0166] 10 送信装置, 40 受信装置, 41 抵抗素子, 42 アンプ
, 43 クロック生成部, 44, 45 フリップフロップ, 46 信
号生成部, 101 D F E, 121 減算部, 122 デュアルコン

パレータ, 1 2 3 スルーラッチ, 1 2 4 遅延部, 1 2 5 減算部
, 1 2 6 乗算部, 2 0 1 F F E, 2 2 1 減算部, 2 2 2 デ
ュアルコンパレータ, 2 2 3 スルーラッチ, 2 2 4 遅延部, 2 2
5 減算部, 2 2 6 乗算部

請求の範囲

- [請求項1] 複数のコンパレータと、
前記複数のコンパレータからの出力をそれぞれ遅延する遅延部と、
供給された信号から前記遅延部からの信号を減算する減算部と
を備える信号処理装置。
- [請求項2] N相で伝送されてきた信号を処理する
請求項1に記載の信号処理装置。
- [請求項3] N本の伝送路で伝送されてきた信号であり、電圧レベルの組み合わせで所定のシンボルを伝送する信号を処理する
請求項1に記載の信号処理装置。
- [請求項4] (N - 1) 個以上の前記コンパレータを備える
請求項2に記載の信号処理装置。
- [請求項5] 前記複数のコンパレータのそれぞれは、異なる閾値が設定され、入力された信号と前記閾値を比較し、
前記信号が、複数の電圧レベルの間で遷移する信号である場合、前記閾値は、隣接する電圧レベル内の値に設定されている
請求項1に記載の信号処理装置。
- [請求項6] 高レベル電圧、中レベル電圧、および低レベル電圧の3つの電圧レベルの間で遷移する信号を処理する場合、前記高レベル電圧と前記中レベル電圧の間の電圧値が、第1の閾値に設定され、前記中レベル電圧と前記低レベル電圧の間の電圧値が、第2の閾値に設定され、
第1の前記コンパレータは、前記第1の閾値と供給された信号とを比較し、
第2の前記コンパレータは、前記第2の閾値と供給された信号とを比較し、
前記減算部は、前記第1のコンパレータからの出力と、前記第2のコンパレータからの出力を加算した値から、第1の前記遅延部で遅延された前記第1のコンパレータからの出力と第2の前記遅延部で遅延

された前記第2のコンパレータからの出力を減算する

請求項1に記載の信号処理装置。

[請求項7] 信号処理装置に入力された信号から、前記減算部からの信号を減算する第2の減算部をさらに備える

請求項1に記載の信号処理装置。

[請求項8] 前記コンパレータは、前記第2の減算部からの出力を、所定の閾値と比較する

請求項7に記載の信号処理装置。

[請求項9] 前記コンパレータは、前記入力された信号を、所定の閾値と比較する

請求項7に記載の信号処理装置。

[請求項10] DFE (Decision Feedback Equalizer) である

請求項1に記載の信号処理装置。

[請求項11] FFE (Feed Forward Equalizer) である

請求項1に記載の信号処理装置。

[請求項12] MIP1 (Mobile Industry Processor Interface) のC-PHYの規格のインタフェースに含まれる

請求項1に記載の信号処理装置。

[請求項13] 供給された信号と所定の閾値とを複数のコンパレータによりそれぞれ比較し、

前記複数のコンパレータからの比較結果をそれぞれ遅延し、

供給された信号から、前記遅延された比較結果を減算する

ステップを含む信号処理方法。

[請求項14] コンピュータに、

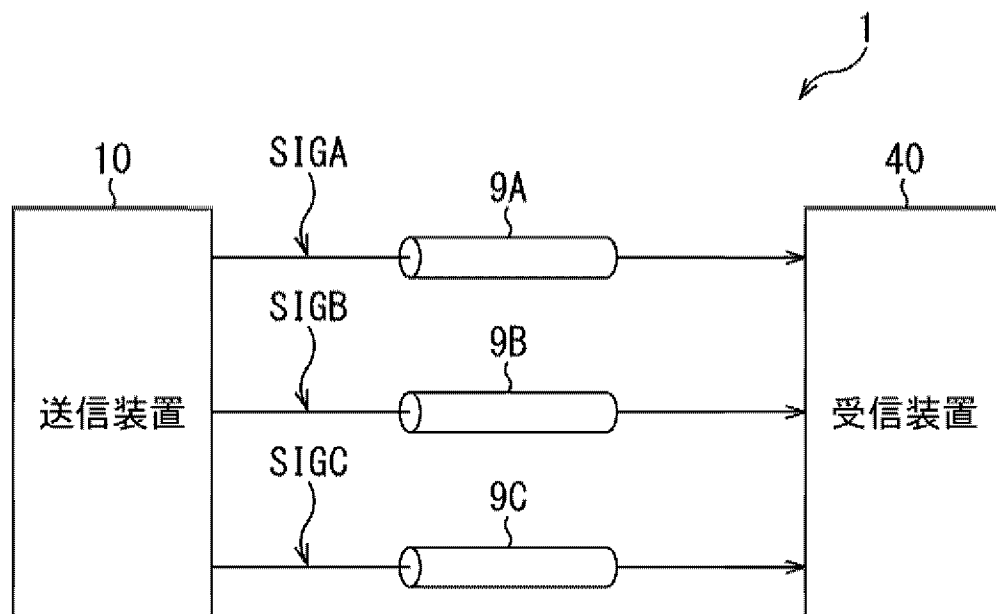
供給された信号と所定の閾値とを複数のコンパレータによりそれぞれ比較し、

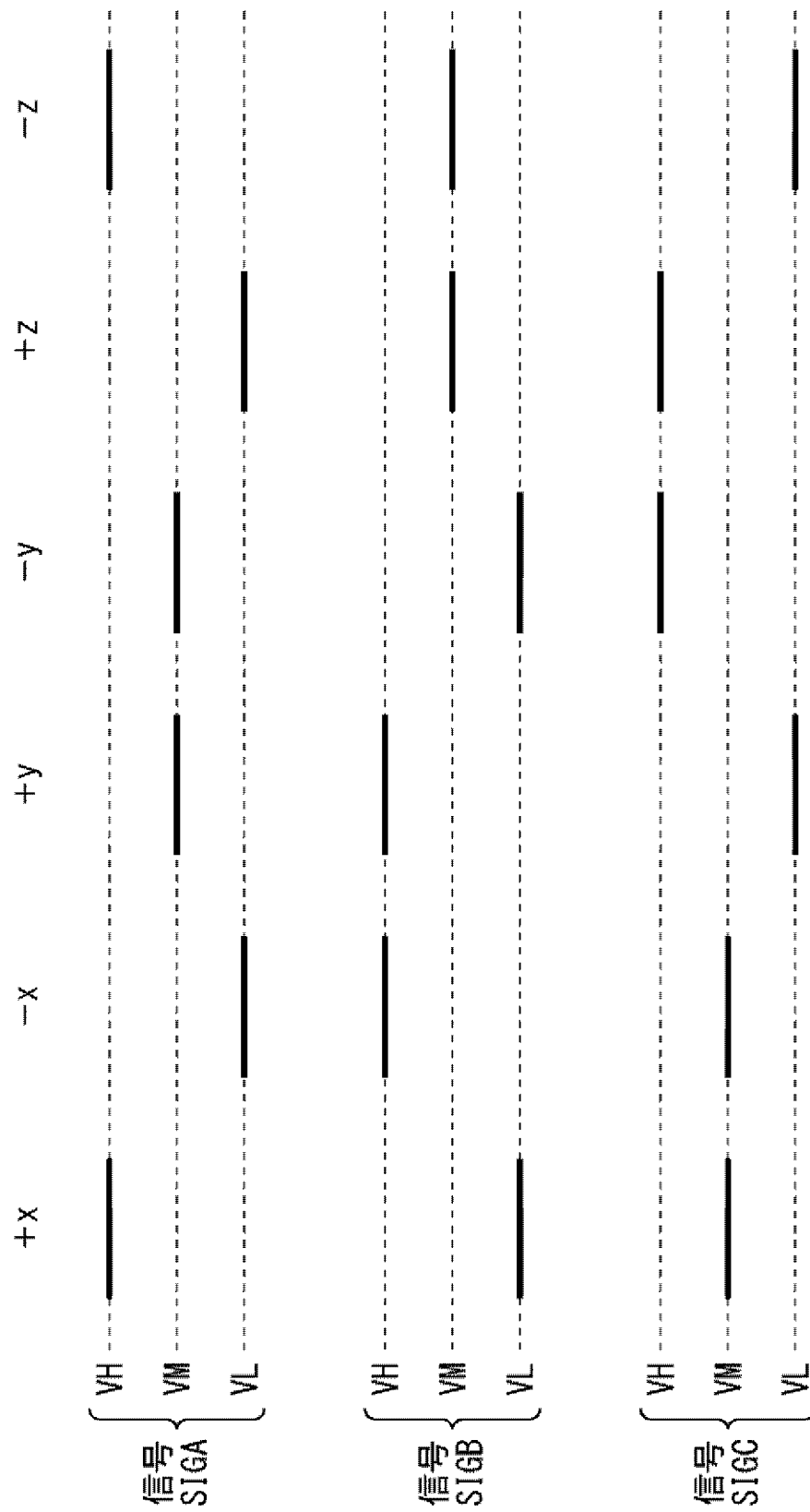
前記複数のコンパレータからの比較結果をそれぞれ遅延し、

供給された信号から、前記遅延された比較結果を減算する

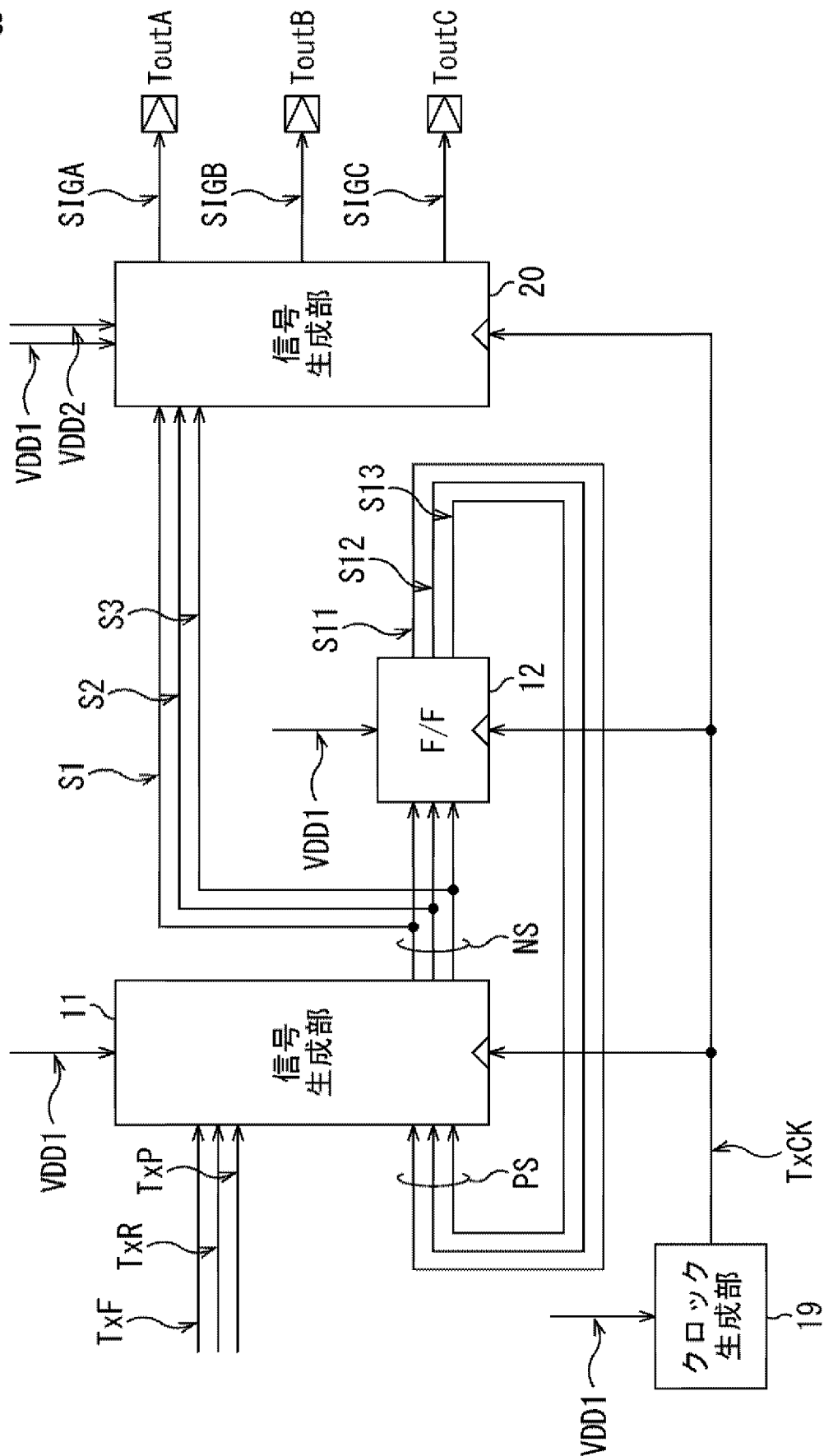
ステップを含む処理を実行させるためのプログラム。

[図1]
FIG. 1

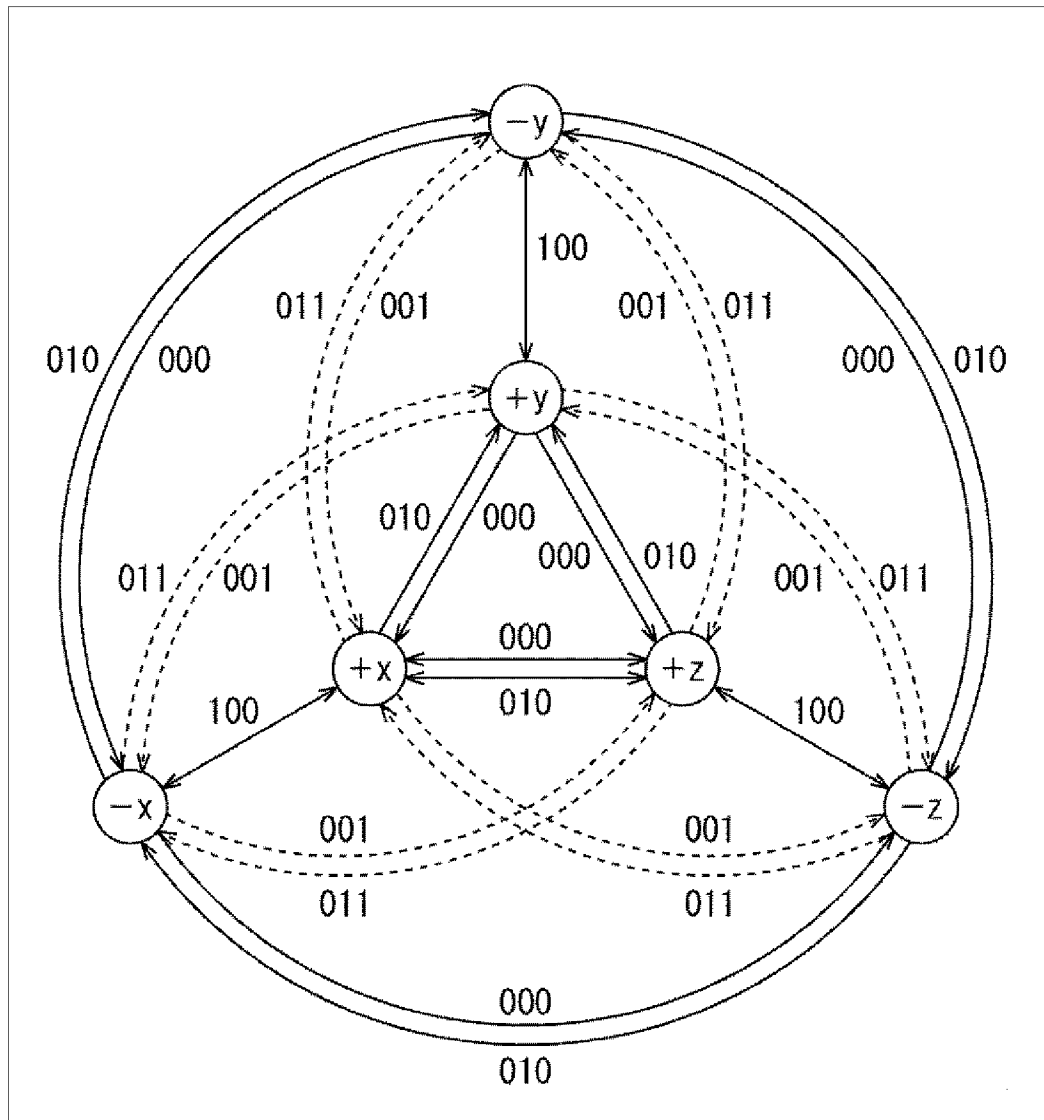


[図2]
FIG. 2

[図3]
FIG. 3



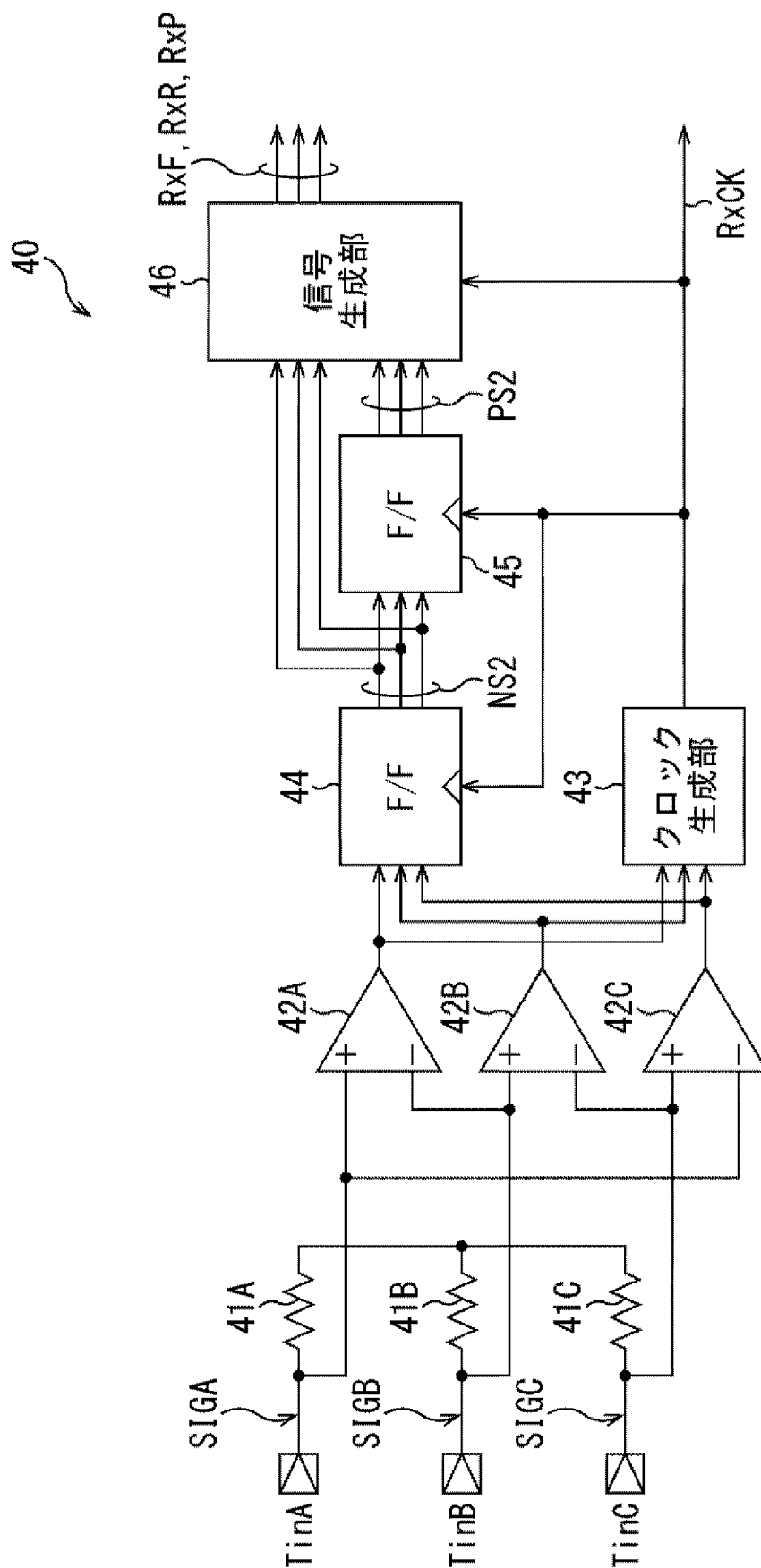
[図4]
FIG. 4



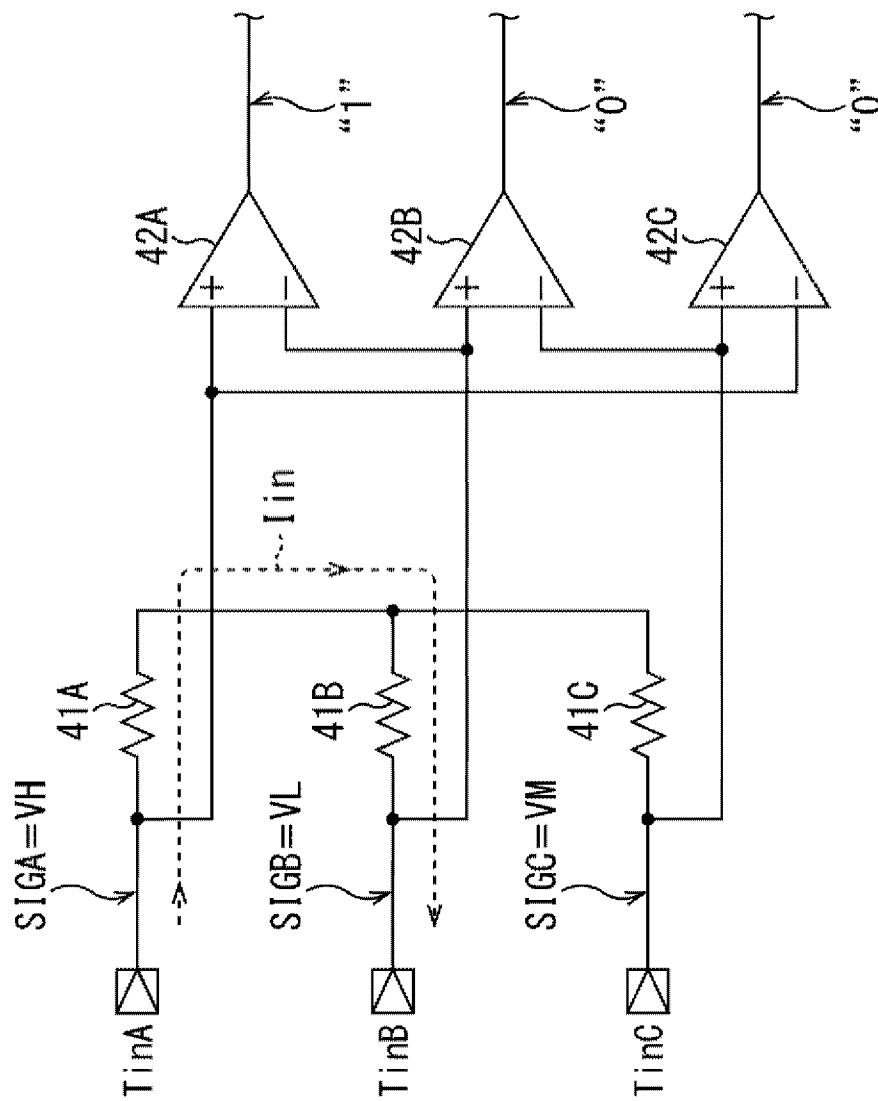
[図5]
FIG. 5

シンボル NS (PS)	信号 S1 (S11)	信号 S2 (S12)	信号 S3 (S13)
+x	1	0	0
-x	0	1	1
+y	0	1	0
-y	1	0	1
+z	0	0	1
-z	1	1	0

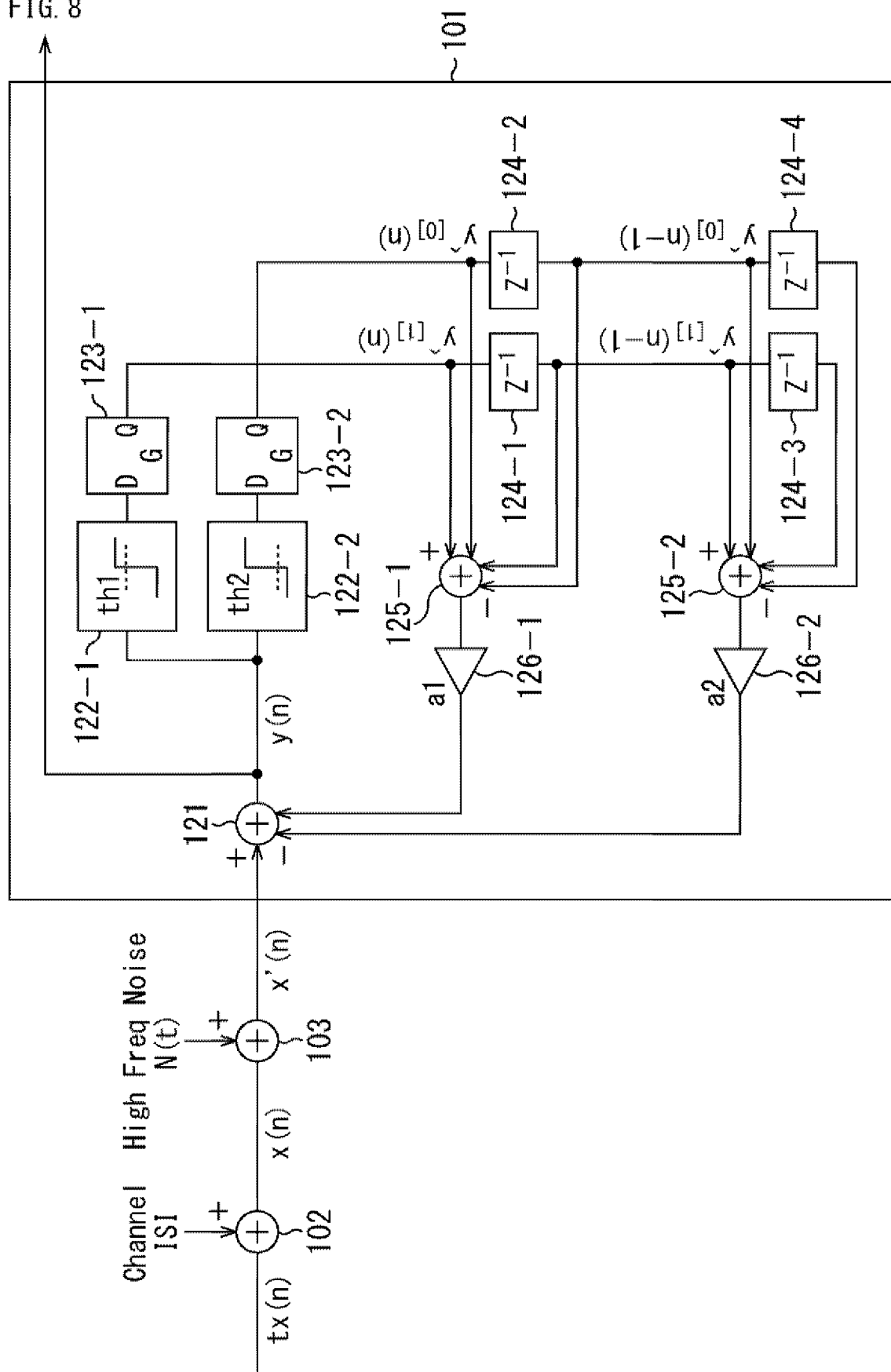
[図6]
FIG. 6

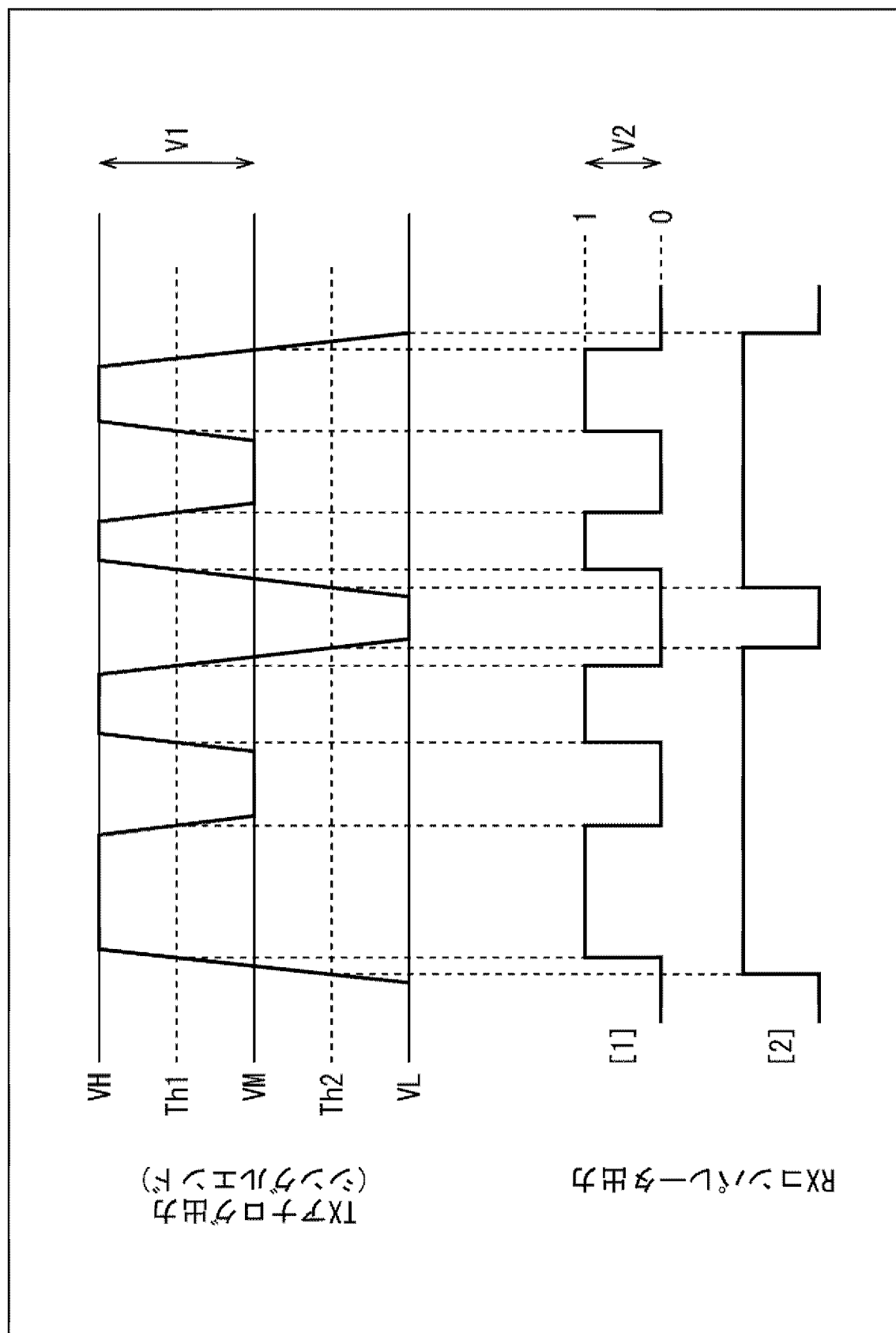


[図7]
FIG. 7

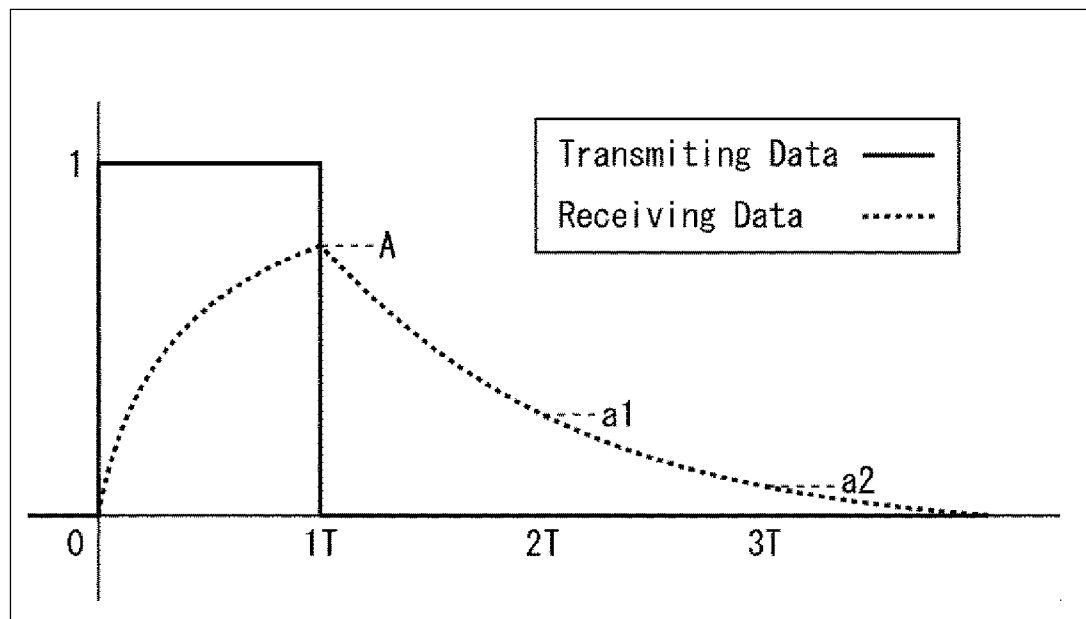


[図8]
FIG. 8

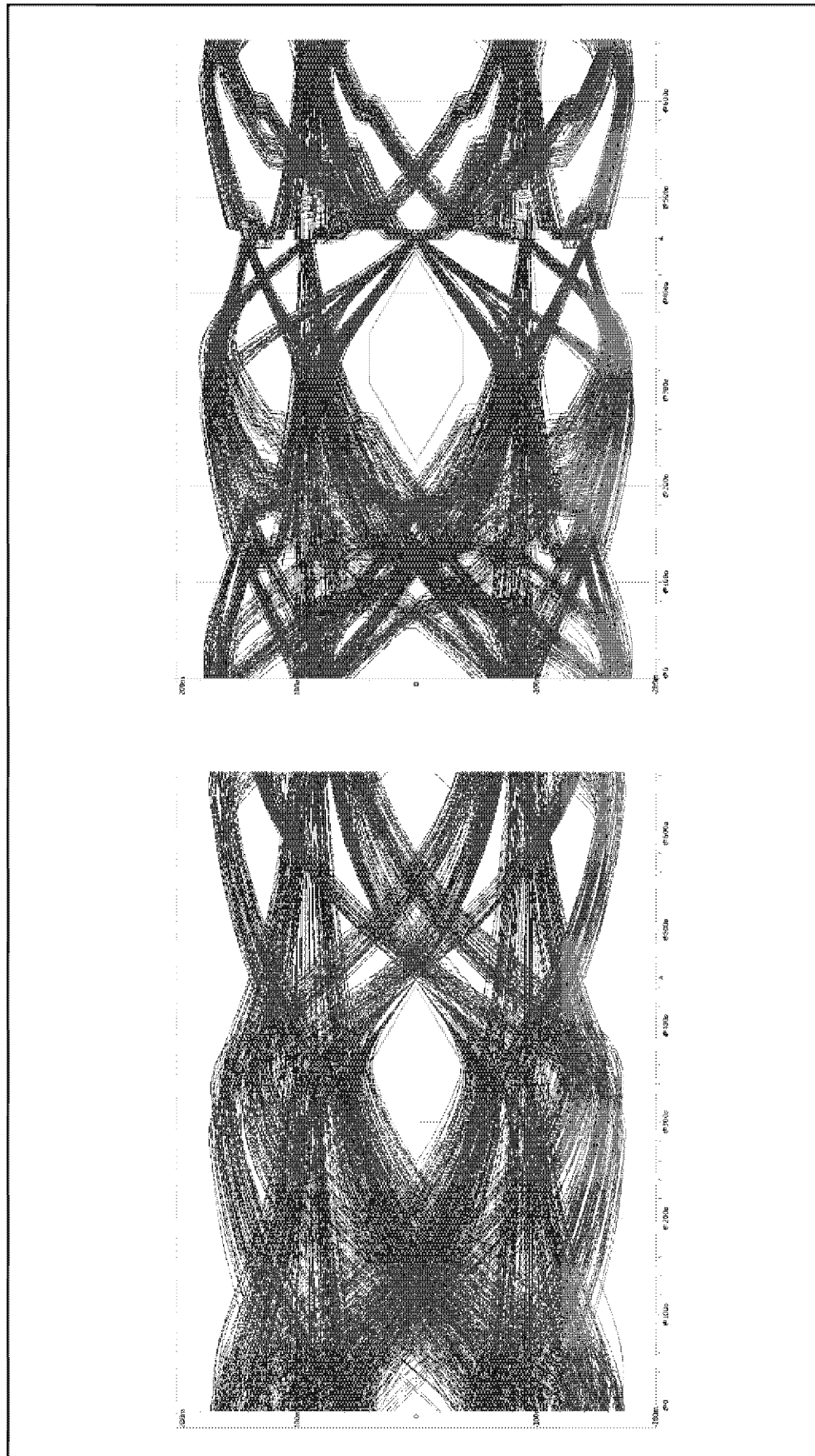


[図9]
FIG. 9

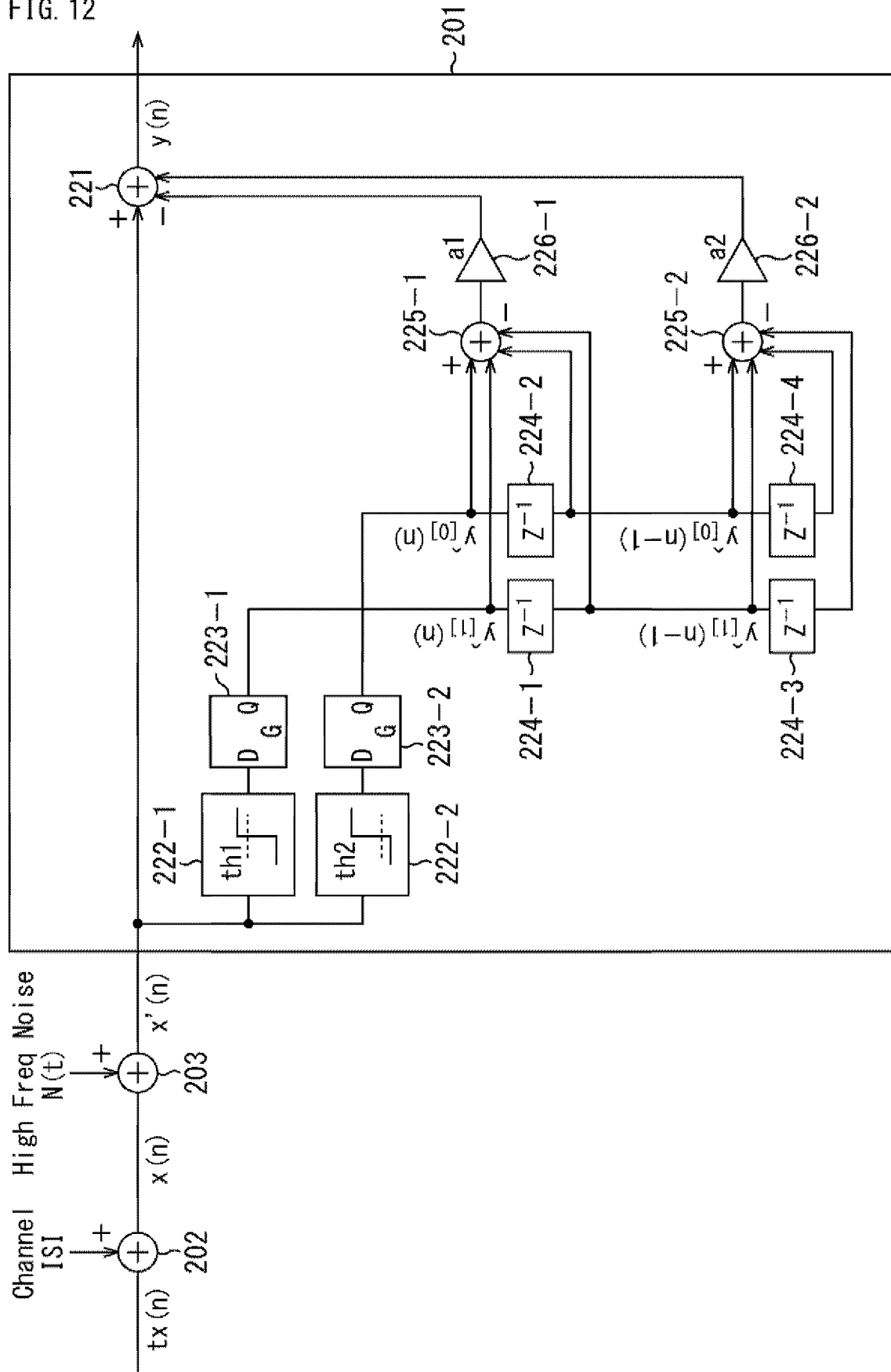
[図10]
FIG. 10



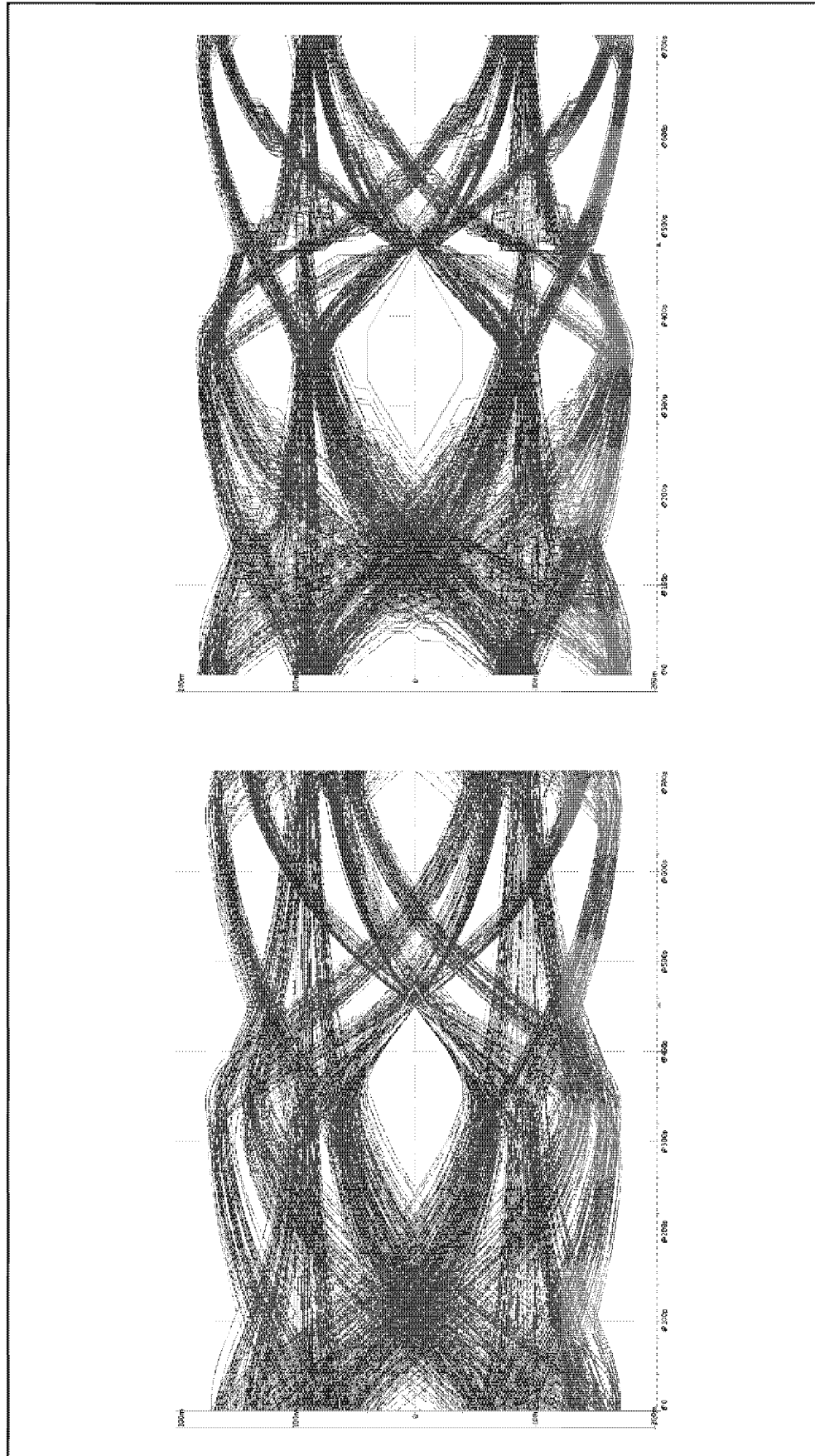
[図11]
FIG. 11



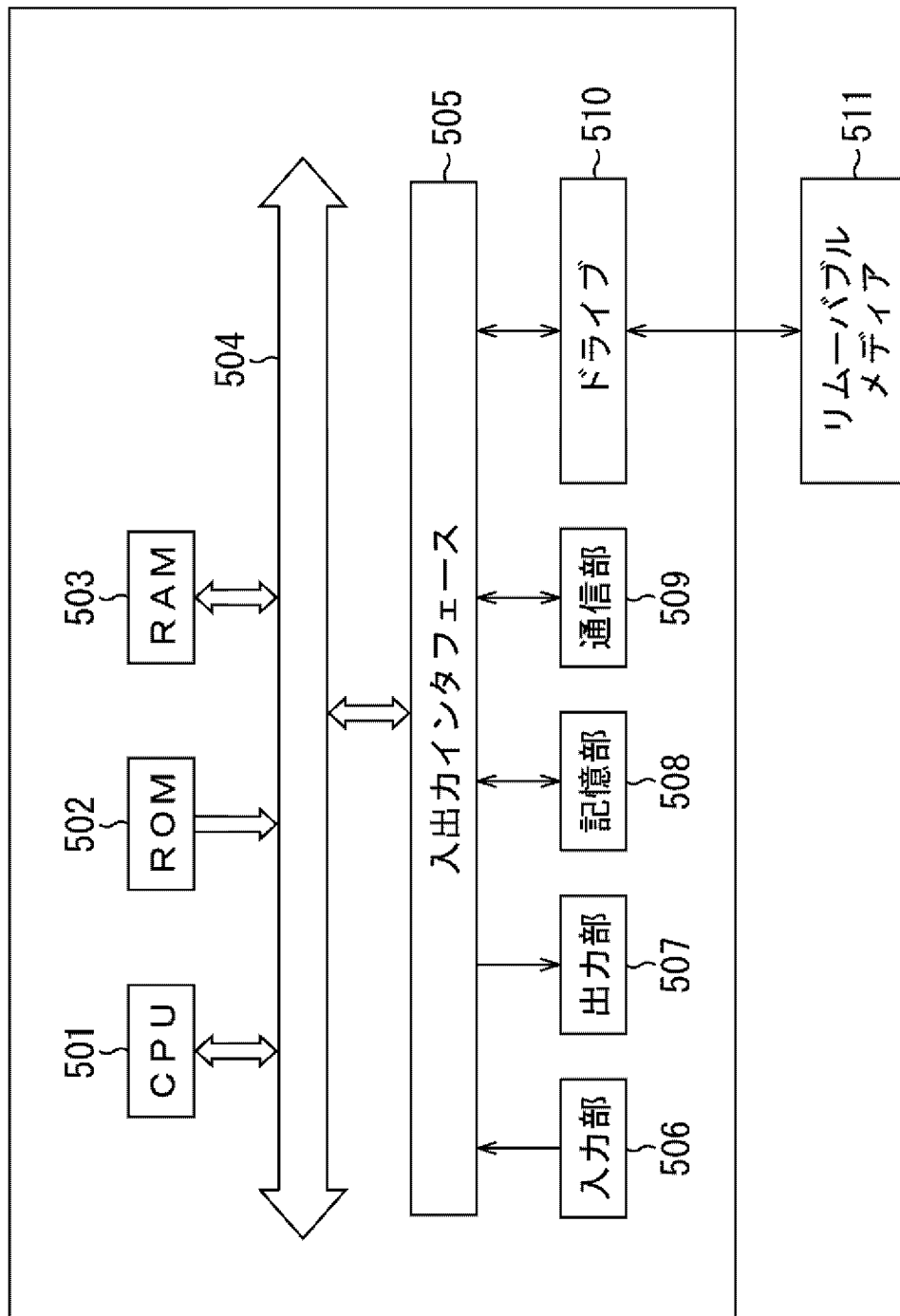
[図12]
FIG. 12



[図13]
FIG. 13



[図14]
FIG. 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/036339

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04L25/03(2006.01)i, H03K5/08(2006.01)i, H04B3/04(2006.01)i,
H04L25/02(2006.01)i, H04L25/49(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04L25/03, H03K5/08, H04B3/04, H04L25/02, H04L25/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2017
Registered utility model specifications of Japan	1996-2017
Published registered utility model applications of Japan	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2009/113462 A1 (NEC CORP.) 17 September 2009, paragraphs [0014], [0015], fig. 1 & US 2010/0327924 A1, paragraphs [0043], [0044], fig. 1	1, 2, 4, 5, 7, 9, 10, 13, 14
Y		3, 11, 12
A		6, 8
Y	JP 2015-228554 A (SONY CORP.) 17 December 2015, paragraphs [0131]-[0133], [0150]-[0157], fig. 33, 39, 40 & WO 2015/182047 A1, paragraphs [0129]-[0131], [0148]-[0155], fig. 33, 39, 40 & US 2016/0204964 A1 & US 2016/0248279 A1 & US 2017/0026204 A1 & US 2017/0302113 A1 & TW 201545511 A & CN 106416162 A & KR 10-2017-0016829 A	3, 12
A		1, 2, 4-11, 13, 14
Y	JP 2011-228803 A (FUJITSU LTD.) 10 November 2011, paragraph [0020], fig. 4 (Family: none)	11
A		1-10, 12-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 December 2017 (18.12.2017)

Date of mailing of the international search report
26 December 2017 (26.12.2017)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04L25/03(2006.01)i, H03K5/08(2006.01)i, H04B3/04(2006.01)i, H04L25/02(2006.01)i, H04L25/49(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04L25/03, H03K5/08, H04B3/04, H04L25/02, H04L25/49

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2009/113462 A1（日本電気株式会社）2009.09.17, 段落[0014], [0015], 第1図	1, 2, 4, 5, 7, 9, 10, 13, 14
Y	& US 2010/0327924 A1, 段落[0043], [0044], 第1図	3, 11, 12
A		6, 8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18.12.2017

国際調査報告の発送日

26.12.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

阿部 弘

5 K

9382

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2015-228554 A (ソニー株式会社) 2015.12.17, 段落[0131]－[0133], [0150]－[0157], 第33, 39, 40 図 & WO 2015/182047 A1, 段落[0129]－[0131], [0148]－[0155], 第33, 39, 40 図 & US 2016/0204964 A1 & US 2016/0248279 A1 & US 2017/0026204 A1 & US 2017/0302113 A1 & TW 201545511 A & CN 106416162 A & KR 10-2017-0016829 A	3, 12 1, 2, 4－11, 13, 14
Y A	JP 2011-228803 A (富士通株式会社) 2011.11.10, 段落[0020], 第4 図 (ファミリーなし)	11 1－10, 12－14