

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
H01L 21/205
H01L 21/8247(11) 공개번호 10-2005-0031455
(43) 공개일자 2005년04월06일(21) 출원번호 10-2004-7009969
(22) 출원일자 2004년06월23일
번역문 제출일자 2004년06월23일
(86) 국제출원번호 PCT/US2003/016289
국제출원출원일자 2003년05월22일(87) 국제공개번호 WO 2004/021423
국제공개일자

(30) 우선권주장 10/231,556 2002년08월30일 미국(US)

(71) 출원인 프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 캐논 드라이브 웨스트 6501
(72) 발명자 라오 라제시 에이.
미국 텍사스 78753 오스틴 젤러 레인 12524
무랄리다 라마찬드란
미국 텍사스 78750 오스틴 픽페어 드라이브 10601
머천트 투샤르 피.
미국 아리조나 85233 길버트 웨스트 레아 레인 1698(74) 대리인 이병호
정상구
신현문
이범래

심사청구 : 없음

(54) 나노결정 형성 방법

명세서

기술분야

본 발명은 일반적으로 반도체 분야에 관한 것으로, 특히 메모리 장치들에 관한 것이다.

배경기술

EEPROM(Electrically erasable programmable read only memory) 구조들은 비휘발성 데이터 저장을 위한 집적회로들에 일반적으로 사용된다. EEPROM 장치 구조들은 일반적으로, 전하를 저장하기 위해, 반도체 기판 상에 형성되는, 터널 유전층 상에 형성된 폴리실리콘 부동 게이트를 포함한다. 장치 크기 및 전원 전압들이 감소함에 따라, 터널 유전층의 두께는 데이터 보유 실패를 방지하기 위해 대응하여 감소할 수 없다. 부동 게이트의 대체로서 이격된 실리콘 나노결정들을 사용하는 EEPROM 장치는 터널 유전층 내 격리된 결합들에 대해 동일한 취약성을 갖고 있지 않아, 데이터 보유와 타협함이 없이 터널유전 및 동작 전압을 스케일링할 수 있게 한다.

EEPROM 장치의 임계전압 시프트에 의해 측정되는 확실한 메모리 효과를 갖기 위해서는, 대략 cm^2 당 $1\text{E}12$ 나노결정들인 고밀도의 실리콘 나노결정들을 갖추는 것이 필요하다. 이러한 밀도의 나노결정들을 달성하는 한 방법은 디실란(Si_2H_6)을 사용하여 초 고진공 화학기상증착(UHVCVD)을 사용하여 나노결정들을 제조하는 것이다. 그러나, 공정시간의 길이는 웨이퍼 당 10분 이상으로 길어, 바람직하지 않게 사이클 시간 및 제조 비용이 증가하게 된다. 터널 유전층 상에 나노결정들을 형성하는 다른 방법들로는 바람직한 밀도(예를 들면 cm^2 당 $5\text{E}11$ 나노결정들)보다 현저히 덜한 밀도들을 달성하게 되었다. 그러므로, 제조 사이클 시간 혹은 비용의 증가없이 바람직한 밀도들의 나노결정들을 형성할 필요성이 존재한다.

본 발명은 예의 의해 예시되고 동일 요소에 동일 참조부호를 사용한 첨부한 도면들에 의해 한정되지 않는다.

이 기술에 숙련된 자들은 도면의 요소들은 간단하고 명료하게 하기 위해 도시되고 반드시 축척에 맞게 도시된 것은 아님을 안다. 예를 들면, 도면들에서 일부 요소들의 크기들은 본 발명의 실시예들의 이해를 향상시키기 위해 다른 요소들에 비해 과장되어 있을 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따라 형성된 나노결정들을 구비한 메모리 장치의 단면도이다.

도 2는 본 발명의 실시예에 따라 도 1의 나노결정들을 형성하는 흐름도이다.

도 3은 두 개의 실리콘 함유 프리커서들에 대해 온도에 대한 성장률들을 비교하는 그래프이다.

실시예

데이터 저장장치로서 일 실시예에서 사용되는 트랜지스터 내 유전층 상에 이를테면 나노결정들과 같은 나노-클러스터들을 형성하기 위해 두 단계 공정을 사용한다. 제1 국면, 즉 핵형성(nucleation) 단계는, 제2 국면, 즉 성장단계에서 사용되는 제2 프리커서(precursor)보다 하지의 유전층(예를 들면, 터널 유전층)에의 보다 큰 점착계수를 갖는 제1 프리커서를 사용한다. 또한, 제2 프리커서는 하지의 유전층보다 나노결정들을 형성하는데 사용되는 물질에의 보다 큰 점착 계수를 갖는다. 바람직한 실시예에서, 제1 프리커서는 디실란(가스)이고 제2 프리커서는 실란(가스)이다. 또한, 바람직한 실시예에서, 동일한 처리 조건들(온도, 압력 및 코-플로우(co-flow) 가스들)이 제1 국면 및 제2 국면에서 사용된다. 두 단계 공정 중에 형성되는 나노결정들은 일 실시예에서, 도 1에 도시된 메모리 장치의 일부이다.

도 1은 반도체 기판(12), 소스 연장부(13), 딥(deep) 소스 영역(14), 드레인 연장부(15), 딥 드레인 영역(16), 터널 유전층(18), 나노결정들(20), 제어 유전층(22), 제어 전극(24), 및 스페이서들(26)을 구비한 메모리 장치(10)를 도시한 것이다. 메모리 장치(10)의 모든 부분들의 형성은 나노결정들(20)의 형성을 제외한 종래의 공정들을 사용하여 형성될 수 있으므로, 메모리 장치(10)의 부분들의 형성을 간략히 설명한다. 반도체 기판은 실리콘, 실리콘 게르마늄, 갈륨 비소, 실리콘-온-절연체(SOI), 등, 혹은 이들의 조합들일 수 있다. 이산화실리콘과 같은 유전층은 열 성장, 화학기상증착(CVD) 등에 의해 반도체 기판 상에, 혹은 터널 유전층(18)으로서 사용될 전술한 것들을 조합한 것들 위에 형성된다. 나노결정들은 도 2에 관하여 후술하는 바와 같이, 유전층 상에 형성되고 일 실시예에서 메모리 장치(10)의 부동 게이트이다. 선택적으로, 질소를 함유하는 패시베이션 층(도시생략)이 나노결정들(20) 상에 형성될 수 있다. 이를테면 이산화실리콘, 산화 하프늄, 산화알루미늄, 등 및 이들의 조합들 등의 제어 유전층(22)이 나노결정들(20) 상에 피착된다. 제어 유전층(22)을 형성한 후에, 제어 전극(24)을 형성하기 위해 폴리실리콘과 같은 도전성 물질을 피착한다. 소스 연장부(13), 딥 소스 영역(14), 드레인 연장부(15) 및 드레인 영역(16)이 형성될 반도체 기판(12)의 영역들 내 물질들의 부분들을 제거하기 위해서, 제어 전극(24), 제어 유전층(22), 나노결정들(20), 및 터널 유전층(18)을 에칭한다.

층들을 에칭한 후에, 소스 연장부(13) 및 드레인 연장부(15)가 쉘로우(shallow) 이온 주입에 의해 형성된다. 연장부들(13, 15)을 형성한 후에, 반도체 기판 상에 질화실리콘과 같은 유전층이 피착되고, 이방성으로 에칭하여 스페이서들(26)을 제어 전극(24), 제어 유전층(22), 나노결정들(20) 및 터널 유전층(18)에 인접하게 형성한다. 딥 이온주입시 스페이서들(26) 및 제어 전극(24)을 마스크로서 사용하여 딥 소스 영역(14) 및 딥 드레인 영역(16)을 형성한다. 결과적인 메모리 장치(10)는 논리 트랜지스터들을 구비한(즉, 매립형 NVM 장치) 혹은 이들이 없는(즉, 독립형 NVM 장치) 반도체 기판 상에 비휘발성 메모리 장치(NVM)로서 특히 유용하다. 또한, 메모리 장치(10)는 데이터 저장 장치이다.

대략 cm^2 당 $1\text{E}12$ 나노결정의 바람직한 밀도를 달성하기 위해 도 2에 도시된 나노결정 제조공정(30)을 사용하여 나노결정들(20)이 형성될 수 있다. 반도체 기판(12) 상에 유전층(즉, 도 1에서 터널 유전층(18))을 형성한 후, 유전층을 구비한 반도체 기판(12)이 나노결정 제조공정(30)의 단계 32에서 제공된다. 이어서, 반도체 기판(12)은 단계 34에서 화학기상증착(CVD)실 내에 놓여진다. CVD실은 냉벽(cold-walled) 급속 열 화학기상증착(RTCVD)실인 것이 바람직한데, 이것은 추가적인 노이즈 팩터들인, 반도체 기판(12)에서 떨어져 가스 상(phase) 반응 및 핵형성됨을 최소화하고, 반도체 기판(12)의 표면 가까이에서 잇점있는 가스 상 반응들을 조장하기 때문이다. 그러나, CVD실은 초 고진공 화학기상증착(UHCVD)실, 저압 화학기상증착(LPCVD)실 등일 수 있다.

CVD실 내에 반도체 기판(12)을 놓아둔 후에, 도 2에서 제1 국면(즉, 나노결정 형성의 핵형성 단계)로서, 단계 36으로서 나타낸 바와 같이 제1 시간 기간동안, 화학기상증착실 내 존재하는 제1 소정의 처리조건들로 나노결정들의 핵을 형성하기 위해 제1 프리커서 가스를 흘려보낸다. 바람직한 실시예에서, 나노결정들(20)은 실리콘이며 따라서 실리콘 함유 프리커서가 사용된다. 실란(SiH_4) 및 디실란(Si_2H_6) 둘 다, 적합한 실리콘 함유 프리커서들이다. 그러나, 디실란은 바람직하게는 터널 유전층(18)에 사용되는 물질인, 실리콘에의 점착 계수에 비해 이산화실리콘에의 점착 계수가 더 크다. 실란은 실리콘에의 점착 계수에 비해 이산화실리콘에의 점착 계수가 더 낮다. 나노결정 형성의 제1 국면에 있어서, 많은 핵형성 사이트들이 형성되게 하는 것이 바람직하므로, 터널 유전층(예를 들면, 이산화실리콘) 및 형성되는 물질(예를 들면, 실리콘)에 대한 프리커서들의 점착 계수는 사용되는 프리커서를 결정한다. 따라서, 터널 유전층이 이산화실리콘을 포함하고 형성되는 나노결정들이 실리콘을 포함하는 본 실시예에서는 실란보다 디실란이 사용되어야 한다. 다른 물질에의 점착 계수 혹은 서로 다른 프리커서들에 대한 점착 계수들의 상대값들은, 핵 형성 전의 시간 지체량으로서 정의되는, 관찰된 잠복시간으로부터 얻어질 수 있다.

디실란을 흘려보낼 때, 디실란 내 실리콘은 스스로가 터널 유전층(18) 상에 이미 존재하는 실리콘 원자들에 부착되고 아울러 터널 유전층(18) 자체에도 부착하여, 실리콘 및 이산화실리콘에의 디실란의 점착 계수들에 기인하여 새로운 핵형성 사이트들을 생성한다. 또한, 디실란은 실란보다 낮은 온도에서 해리(dissociate)하고, 불포화 본드들에 기인해서 이산화실리콘 및 실리콘 표면을 모두에 단위 점착 계수를 갖는 실리렌(silylene)을 형성하므로, 실란에 비해 디실란이 바람직하다. 이것은 보다 낮은 온도들이 사용될 수 있게 한다. 제1 소정의 처리 조건들은, 대략 400 내지 600°C, 보다 구체적으로는 450 내지 530°C의 기판 온도, 및 대략 10 내지 200 mTorr 혹은 보다 바람직하게는 10 내지 100mTorr의 디실란의 부분

압을 갖는 것을 포함한다. 450도 미만의 온도들에서는 표면으로부터 수소 탈착(hydrogen desorption)이 매우 느려 디실란이 핵형성 사이트들을 형성하기 위한 터널 유전층(18)과 반응하는 것을 막아 나노결정 밀도를 감소시키므로, 대략 450 내지 530도의 온도범위가 가장 바람직하다. 530℃보다 큰 온도들은 실리콘 애드아톰들(silicon adatoms)(즉, 터널 유전층(18)의 표면 상에 있는 실리콘 원자들)이 산화실리콘 탈착에 기인하여 제거되기 때문에 바람직하지 않다. 저압 및 저온에서 핵형성 사이트들을 형성함으로써 핵형성 시간이 늘어나게 되고, 그럼으로써 너무 많은 핵형성 사이트들이 형성되는 것 및 연속된 층에 나중에 집단을 이루는 것 혹은 매우 큰 나노결정들의 형성을 방지하는, 핵형성 제어 능력이 증가한다.

연속된 층이 형성되는 것을 방지하고 제조시 빠른 사이클 시간을 달성하기 위해서는 공정시간이 또한 제어되어야 한다. 바람직하게, 시간은 50초 미만이고, 혹은 보다 바람직하게는 25초 미만이고 가장 바람직하게는 5 내지 10초이다. 다른 실시예에서, 시간은 대략 30초 내지 150초이다. 제1 프리커서 가스를 반도체 기판(12)에 보내는 것을 거들기 위해서 제1 프리커서 가스를 흘리는 동안, 이를테면, 질소, 아르곤, 등과 같은 불활성 가스의 코-플로우 가스를 흐르게 할 수 있다. 디실란이 일단 해리되면, 코-플로우 가스 내 수소에 의해 표면 반응 부산물 수소의 탈착이 방해되기 때문에 코-플로우 가스로서 수소를 사용하는 것은 바람직하지 않다. 다른 CVD 동작들에서 실란과 함께 코-플로우 가스로서 수소가 일반적으로 사용되는 이유는 실란을 실리콘 및 수소로 가스 상 분해되는 것을 방지하는데 도움을 주기 때문이다. 그러나, 저온과 더불어 낮은 부분압에 의해 이러한 가스 상 분해가 제지된다. 그러므로, 가스 상 분해를 우려할 필요없이 다른 불활성 가스들이 코-플로우 가스들로서 이용될 수도 있다. 일 실시예에서 코-플로우 가스 및 제1 프리커서의 존재에 기인하여, 나노결정 형성의 제1 국면 중 총 압력은 대략 18 Torr이다.

일 실시예에서 핵형성 사이트들을 형성한 후에, 일 실시예에서 제1 프리커서의 흐름이 종료된다. 일 실시예에서, 대략 0-20초인 기간 후에, 도 3의 나노결정 형성의 제2 국면(즉, 성장단계)로서, 단계 38에 도시된 바와 같이, 제2 시간 기간 동안 화학기상증착실 내에 존재하는 제2 소정의 처리조건들로 나노결정들을 성장시키기 위해서 제2 및 다른 프리커서 가스들을 흘려보낸다. 또 다른 실시예에서, 제1 프리커서를 흐르는 중에 제2 프리커서를 흘려보낸다. 성장 공정을 제어할 수 있게 성장단계에서 느린 성장률을 취하는 것이 바람직하다. 소정의 온도에서 도 3에 도시된 바와 같이, 실란의 성장률은 디실란보다 낮으므로, 제2 프리커서는 실란인 것이 바람직하다. 예를 들면, 도 3에서 450℃에서 실란의 성장률은 대략 초당 $1E-6$ 옹스트롬인 반면, 디실란의 성장률은 대략 초당 $1E-2$ 옹스트롬이다.

핵형성 사이트들은 핵형성 사이트들에 부착하는 실란 내 실리콘, 및 반도체 기판(12)의 표면을 따른 실리콘의 확산에 의해 성장한다. 이 성장단계에서 온도를 감소시킴으로써, 성장동안 실리콘이 핵형성 사이트에 확산하는데 더 오랜 시간이 걸리고, 그럼으로써 성장단계의 제어가 증대한다.

제2 프리커서가 핵형성 사이트들 대신 터널 유전층(18)과 반응하는 것은 나노결정들의 크기 분포가 너무 많이 변하게 될 수 있게 되므로, 바람직하지 않다. 그러므로, 제2 프리커서는 터널 유전층(18)(즉, 나노결정들이 형성되고 있는 노출된 층)에의 점착 계수가 나노결정들 자신들에의 것보다 낮아야 한다. 따라서, 실리콘 나노결정 형성 및 이산화실리콘 터널 유전층(18)에 대해서 실란의 실리콘에의 점착 계수가 이산화실리콘보다 크기가 대략 4배로 크기 때문에 실란이 바람직하다. 실란은 이산화실란보다 실리콘에의 점착계수가 더 크므로, 실란은, 이산화실리콘과 반응하여 추가 핵형성 사이트들을 형성하는 대신 현존의 핵형성 사이트들과 반응하여 핵형성 사이트들을 나노결정들로 확장 혹은 성장시킬 것이다. 점착 계수들만에 근거해서는 디실란이 바람직할 것이나, 전술한 바와 같이 디실란이 실란에 비해 성장률이 크므로 바람직하지 않다. 또한, 디실란은 고가이므로 디실란의 사용을 최소화하는 것이 바람직하다.

단계 38의 제2 소정의 처리조건들은 단계 36의 제1 처리조건들과 동일할 수 있다. 제1 및 제2 소정의 처리 조건들은 동일한 것이 바람직하고 단계 38에서 단계 36으로 전환할 때 CVD실에서 변경되는 모든 것은 사용되는 프리커서이다(예를 들면, 제1 프리커서는 더 이상 흐르지 않고 제2 프리커서가 흐르거나 제2 프리커서가 제1 프리커서와 함께 CVD실에 더해진다). 처리시 온도 혹은 압력을 변경하기 위해서, 온도 변경에 연관된 기간이 존재하는데 이것은 바람직하지 않게 사이클 타임 증가시킬 수 있다.

대안으로, 단계 38의 제2 처리조건들은 단계 36의 제1 처리조건들과는 다를 수 있다. 일 실시예에서, 반도체 기판(12)의 온도는 대략 500 내지 580℃이고 실란의 부분압은 대략 10-100mTorr일 수 있다. 질소 혹은 아르곤과 같은 불활성 가스의 코-플로우 가스가 사용될 수도 있다.

단계 38의 제2 시간 기간은 단계 36의 제1 시간 기간과 동일할 수 있으나, 제2 시간 기간은 제1 시간 기간보다 더 길 수도 있다. 제2 시간 기간은 제1 시간 기간의 적어도 2배일 수도 있다. 일 실시예에서, 제2 시간 기간은 웨이퍼 당 대략 30 내지 40 초이다. 바람직한 실시예에서, 단계 38 및 단계 36의 결합한 시간은 효율적인 제조 사이클 시간을 달성하기 위해서 대략 60 이하이다.

나노결정들(20)이 성장된 후에(즉, 상이한 제2 프리커서 가스를 흘린 후에), 나노결정들(20)은 동형(equilibrium shape)을 얻기 위해 단계 40에 보인 바와 같이 질소와 같은 불활성 분위기에서 어닐링될 수 있다. 어닐링 온도는 대략 750℃일 수 있다. 어닐링 공정을 위한 이외 어떤 다른 파라미터들이 사용될 수도 있다.

메모리 장치(10)에서 사용하기 위한 나노결정들의 바람직한 크기는 3 내지 7 나노미터를 수 있고, 어떤 실시예들에서는 5 나노미터의 목표 직경이 적합할 수도 있다. 유전층(18) 상의 나노결정들의 피복률(coverage), 혹은 면적 밀도는 대략 20%일 수 있다. 20%의 면적 밀도는 부동 게이트 구조들 내 포함된 나노결정들 간 간격에 어떤 수준의 허용오차를 제공하므로, 반도체 장치 제조에 적당하다. 더 높은 면적 밀도들이 달성될 수는 있지만, 이러한 높은 면적 밀도 실시예들에서 이격된 기억 요소들의 근접으로 나중에 나노결정들 간에 전하 이동 확률을 높이므로 이들이 격리에 따른 이익이 되는 효과들을 저하시킨다.

전술한 바를 사용함으로써 나노결정 형성의 핵형성 단계 및 성장 단계에 서로 다른 프리커서들을 사용한 공정은 다른 방식들에 비해 증가된 사이클 타임 및 감소된 제조비용으로 나노결정 제조할 수 있게 한다. 또한, 전술한 바와 같이 2단계 공정을 사용함으로써, 핵형성 및 나노결정들의 성장 모두가 잘 제어될 수 있다.

전술한 명세서에서, 본 발명은 특정의 실시예들을 참조로 기술되었다. 그러나, 이 기술에 통상의 숙련된 자는 이하 청구항들에 설정된 본 발명의 범위 내에서 다양한 수정 및 변경들이 행해질 수 있음을 안다. 예를 들면, 핵형성 단계 및 성장단계에 적합한 특성들을 갖는 다른 프리커서가 사용될 수도 있다. 또한, 나노결정들은 실리콘 이외에, 이를테면 게르마늄과 같은 다른 물질일 수 있고, 도핑되거나 도핑될 수 없을 수도 있다. 또한, 나노결정들은 터널 유전층 혹은 어떤 유전층이외의 층 상에 형성될 수 있다. 이 실시예에서, 나노결정들이 형성되고 있는 층 및 이들 나노결정들을 형성하고 있는 물질에의 프리커서들의 접촉 계수들은 관계가 있다. 따라서, 명세서 및 도면들은 한정하려는 것이 아니라 예시로서 간주되어야 하고 모든 이러한 수정들은 본 발명의 범위 내에 포함되게 한 것이다.

이익들, 다른 잇점들, 및 문제들에 대한 해결책들을 구체적인 실시예들에 관하여 기술하였다. 그러나, 이익들, 다른 잇점들, 문제들에 대한 해결책들, 및 어떤 이익, 잇점, 혹은 해결책이 일어나게 하거나 보다 명료하게 할 수 있는 어떤 요소(들)은 모든 청구항들 혹은 이중 어느 하나의 결정적, 필수적 혹은 필연적 특징 혹은 요소로서 간주되지 않아야 한다. 여기 사용된, "포함하다"라는 것은 열거된 요소들을 포함하는 공정, 방법, 물품, 혹은 장치가 단지 이들 요소들만을 포함하는 것이 아니라 특별히 열거한 혹은 이러한 공정, 방법, 물품, 혹은 장치에 본연의 다른 요소들을 포함할 수 있게, 비-배타적 포함을 포괄하도록 한 것이다.

(57) 청구의 범위

청구항 1.

나노결정들(nanocrystals)을 형성하는 방법에 있어서,

기판(12)을 제공하는 단계(32);

상기 기판 상에 놓이는 유전층(18)을 형성하는 단계;

상기 기판을 화학기상증착실 내에 두는 단계(34);

제1 시간 기간 동안 상기 화학기상증착실 내에 존재하는 제1 소정의 조건들을 가지고 상기 유전층 상에 나노결정들(20)의 핵을 형성하기 위해 제1 국면동안 상기 화학기상증착실에 제1 프리커서 가스(precursor gas)를 흘리는 단계(26);

상기 화학기상증착실에 상기 제1 프리커서 가스를 흘려보내는 것을 종료하는 단계; 및

제2 시간 기간 동안 상기 화학기상증착실 내에 존재하는 제2 소정의 조건들 하에서 상기 나노결정들을 성장시키기 위해 제2 국면동안 상기 화학기상증착실에 상이한 제2 프리커서 가스를 흘리는 단계(38)를 포함하는, 나노결정 형성방법.

청구항 2.

제1항에 있어서,

상기 상이한 제2 프리커서 가스를 흐르게 한 후에 이어서 불활성 분위기에서 상기 나노결정들을 어닐링하는 단계(40)를 더 포함하는, 나노결정 형성방법.

청구항 3.

제1항에 있어서,

상기 제2 소정의 조건들을 상기 제1 소정의 조건들과 같게 하는 단계를 더 포함하는, 나노결정 형성방법.

청구항 4.

나노결정들을 형성하는 방법(30)에 있어서,

기판(12)을 제공하는 단계(32);

상기 기판 상에 놓이는 유전층(18)을 형성하는 단계;

상기 기판을 화학기상증착실 내에 두는 단계(34);

제1 시간 기간동안 상기 화학기상증착실 내에 존재하는 제1 소정의 처리 조건들을 가지고 상기 유전층 상에 나노결정들의 핵을 형성하기 위해 제1 국면동안 상기 화학기상증착실에 제1 프리커서 가스를 흘리는 단계(36); 및

제2 시간 기간동안 상기 화학기상증착실 내에 존재하는 제2 소정 처리 조건들 하에서 상기 나노결정들을 성장시키기 위해 상기 제1 국면에 이어서 제2 국면 동안에 상기 화학기상증착실에 제2 프리커서 가스를 흘리는 단계(38)를 포함하는, 나노결정 형성방법.

청구항 5.

제4항에 있어서,

상기 화학기상증착실에 상기 제1 프리커서 가스를 흘려보내는 것을 종료하기에 앞서 상기 화학기상증착실에 상기 제2 프리커서 가스를 흘려보내는 단계(38)를 더 포함하는, 나노결정 형성방법.

청구항 6.

제4항에 있어서,

상기 화학기상증착실 내에서 상기 화학기상증착을 급속 열 화학기상증착(RTCVD)으로서 수행하는 단계를 더 포함하는, 나노결정 형성방법.

청구항 7.

제4항에 있어서,

상기 제1 프리커서 가스를 디실란(disilane)을 사용하여 구현하고, 상기 제2 프리커서 가스를 실란(silane)을 사용하여 구현하고, 상기 유전층을 이산화실리콘을 사용하여 구현하는 단계를 더 포함하는, 나노결정 형성방법.

청구항 8.

나노결정들(20)을 형성하는 방법(30)에 있어서,

반도체 기판(12)을 제공하는 단계(32);

상기 반도체 기판 상에 놓이는 유전층(18)을 형성하는 단계;

상기 유전층 상에 물질의 급속 열 화학기상증착을 구현하기 위해 상기 반도체 기판을 화학기상증착실 내에 두는 단계(34);

400℃ 내지 530℃의 범위의 온도 및 상기 화학기상증착실 내에 존재하는 10 내지 100 mTorr 범위의 디실란 가스 부분압으로 상기 유전층 상에 복수의 나노결정들을 형성하기 위해 제1 국면동안에 상기 화학기상증착실에 디실란 가스를 제1 시간 기간동안 흘리는 단계(36); 및

적어도 상기 제1 시간 기간동안만큼의 온도 및 부분압의 상기 화학기상증착실 내에 존재하는 처리조건들 하에서 상기 나노결정들을 성장시키기 위해 상기 제1 국면에 후속되는 제2 국면 동안에 상기 화학기상증착실에 실란 가스를 상기 제1 시간 기간 길이보다 긴 제2 시간 기간 동안 흘리는 단계(38)를 포함하는, 나노결정 형성방법.

청구항 9.

나노결정들(20)을 형성하는 방법(30)에 있어서,

기판(12)을 제공하는 단계(32);

상기 기판 상에 놓이는 유전층(18)을 형성하는 단계;

상기 기판을 화학기상증착실 내에 두는 단계(34);

제1 시간 기간 동안, 상기 화학기상증착 내에 존재하는 제1 소정의 처리조건들로 상기 유전층 상에 나노결정들의 핵을 형성하기 위해 제1 국면동안 상기 화학기상증착실에 상기 유전층의 표면 상의 제1 점착 계수를 갖는 제1 프리커서 가스를 흘리는 단계(36); 및

제2 시간 기간동안, 상기 화학기상증착 내에 존재하는 제2 소정의 처리조건 하에서 상기 나노결정들을 성장시키기 위해 제2 국면동안 상기 화학기상증착실에 제2 프리커서 가스를 흘리는 단계(38)로서, 상기 제2 프리커서 가스는 상기 제1 점착 계수보다 작은 상기 유전층의 상기 표면상의 제2 점착 계수 및 상기 제2 점착 계수보다 큰 상기 나노결정들의 표면 상의 제3 점착계수를 갖는, 상기 단계(38)를 포함하는, 나노결정 형성방법.

청구항 10.

제9항에 있어서, 상기 화학기상증착실에 상기 제2 프리커서 가스를 흘리기에 앞서 상기 제1 프리커서 가스를 흘리는 것을 중지시키는 단계를 더 포함하는, 나노결정 형성방법.

요약

나노결정들(20)은 예를 들면 부동 게이트를 구비한 메모리와 같은 반도체에 형성된다. 유전층(18)은 기판(12) 상에 놓여지고 화학기상증착실(34)에 놓여진다. 제1 시간 기간동안, 화학기상증착 내 존재하는 제1 소정의 처리조건들로 유전층 상에 나노결정들(20)의 핵을 형성하기 위해 제1 국면에서 화학기상증착실에 디실란(36)과 같은 제1 프리커서 가스를 흘려보낸다. 제2 시간 기간동안, 화학기상증착실 내 존재하는 제2 소정의 처리조건들 하에서 나노결정들을 성장시키기 위해 제1 국면에 이어 제2 국면에서 화학기상증착실에 실란과 같은 제2 프리커서 가스를 흘려보낸다.

대표도

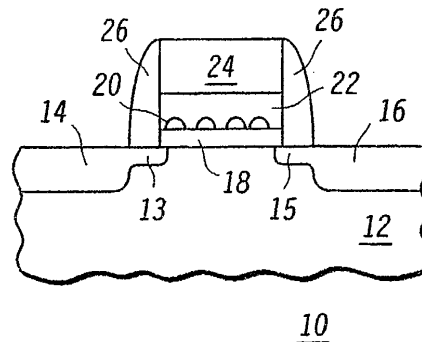
도 1

색인어

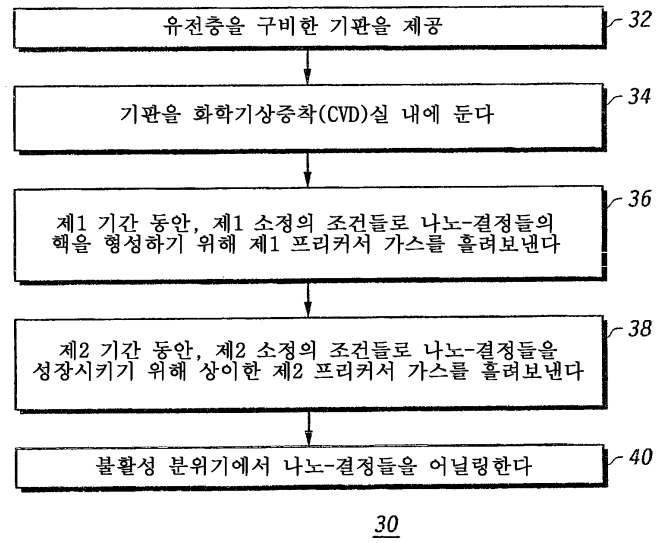
반도체, 유전층, 화학기상증착실, 처리조건, 프리커서, 가스

도면

도면1



도면2



도면3

