(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-313925
(P2006-313925A)
(43)公開日　平成18年11月16日(2006.11.16)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/8247	(2006.01)	H01L	27/10	434	5B125
H01L 27/115	(2006.01)	H01L	29/78	371	5F083
H01L 29/792	(2006.01)	G11C	17/00	622E	5F101
H01L 29/788	(2006.01)				
G11C 16/04	(2006.01)				

審査請求 有　請求項の数 12　OL　（全 40 頁）

(21)出願番号　特願2006-175635 (P2006-175635)
(22)出願日　平成18年6月26日 (2006.6.26)
(62)分割の表示　特願平10-187398の分割
原出願日　平成10年7月2日 (1998.7.2)

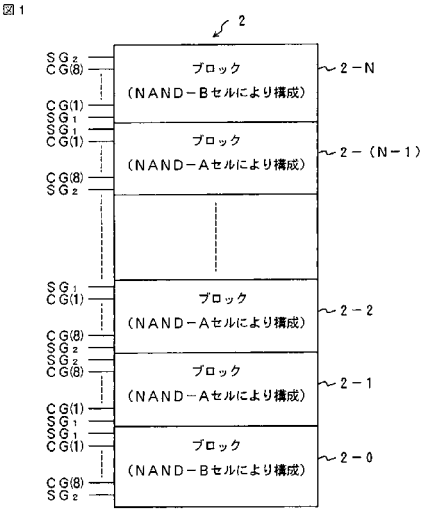
(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100075672
弁理士　峰　隆司
(74)代理人　100109830
弁理士　福原　淑弘

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【要約】
【課題】メモリセルアレイ端の領域のエッチング精度の低下に起因した不良を防ぐことができる半導体記憶装置を提供することを目的としている。
【解決手段】メモリセルM_1～M_8を複数個接続した第１のメモリセルユニットにより構成された第１のブロック２－０，２－Ｎと、メモリセルM_1～M_8を複数個接続した第２のメモリセルユニットにより構成された第２のブロック２－１～２－（Ｎ－１）とを有し、両端に前記第１のブロックを、他の部分には前記第２のブロックを配設してメモリセルアレイ２を構成している。そして、前記第１のメモリセルユニットの前記メモリセルアレイ端側の構成が前記第２のメモリセルユニットと異なることを特徴とする。メモリセルアレイ端の領域のエッチング精度の低下に起因した不良を防ぐことができ、チップサイズの増加をほとんど招くことなく、歩留まりが高く且つ動作の信頼性の高い動作を実現できる。
【選択図】　図１

図１



【特許請求の範囲】
【請求項１】
メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイと、
前記メモリセルユニット中の選択トランジスタのゲートが連続的に延設されて形成された選択ゲート線と、
前記メモリセルユニット中のメモリセルのゲートが連続的に延設されて形成された制御ゲート線と、
前記メモリセルアレイの前記選択ゲート線及び前記制御ゲート線を選択し、電位を制御するロウデコーダと
を備え、
前記制御ゲート線のメモリセルアレイ端から前記ロウデコーダ中のトランジスタへの接続に用いる全ての配線層より上層に位置する第１の配線層を用いて前記選択ゲート線をメモリセルアレイ端から前記ロウデコーダ中のトランジスタへ接続することを特徴とする半導体記憶装置。
【請求項２】
前記制御ゲート線のメモリセルアレイ端から前記ロウデコーダ中のトランジスタへの接続に用いる配線層は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な第２の配線層より下層に位置する配線層により形成されることを特徴とする請求項１に記載の半導体記憶装置。
【請求項３】
前記制御ゲート線のメモリセルアレイ端から前記ロウデコーダ中のトランジスタへの接続に用いる配線層の配線長のうち、前記第２の配線層による配線が少なくとも半分を占めることを特徴とする請求項１または２に記載の半導体記憶装置。
【請求項４】
前記選択ゲート線のメモリセルアレイから前記ロウデコーダ中のトランジスタへの接続に用いる配線長のうち、前記第１の配線層による配線が少なくとも半分を占めることを特徴とする請求項１ないし３いずれか１つの項に記載の半導体記憶装置。
【請求項５】
メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイと、
前記メモリセルユニット中の選択トランジスタのゲートが連続的に延設されて形成された選択ゲート線と、
前記メモリセルユニット中のメモリセルのゲートが連続的に延設されて形成された制御ゲート線と、
前記メモリセルアレイの前記選択ゲート線及び前記制御ゲート線を選択し、電位を制御するロウデコーダと
を備え、
前記制御ゲート線をメモリセルアレイ端から前記ロウデコーダ中のトランジスタに接続する第１の配線が、前記ロウデコーダ中のトランジスタのソース・ドレイン以外のｐｎ接合に接続されていることを特徴とする半導体記憶装置。
【請求項６】
前記ロウデコーダ中のトランジスタのソース・ドレイン以外のｐｎ接合との接続を持たない第２の配線により、前記選択ゲート線がメモリセルアレイから前記ロウデコーダ中のトランジスタまで接続されていることを特徴とする請求項５に記載の半導体記憶装置。
【請求項７】
前記第１の配線を構成する配線層のうち最上層の配線層は、前記第２の配線を構成する配線層のうち最上層の配線層と同一の配線層であることを特徴とする請求項５または６に記載の半導体記憶装置。
【請求項８】

前記第１の配線を構成する配線層のうち最上層の配線層は、前記第２の配線を構成する配線層のうち最上層の配線層より下層に位置する配線層であることを特徴とする請求項５または６に記載の半導体記憶装置。
【請求項９】
前記第１の配線は、ｐ型拡散層とｎ型拡散層の両方に接続されていることを特徴とする請求項５ないし８いずれか１つの項に記載の半導体記憶装置。
【請求項１０】
前記第１の配線は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な配線層より下層に位置する配線層により構成されていることを特徴とする請求項５ないし９いずれか１つの項に記載の半導体記憶装置。
【請求項１１】
前記第２の配線は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な配線層より上層に位置する配線層を含むことを特徴とする請求項５ないし１０いずれか１つの項に記載の半導体記憶装置。
【請求項１２】
前記メモリセルユニットは、ＮＡＮＤ型ＥＥＰＲＯＭであることを特徴とする請求項１ないし１１いずれか１つの項に記載の半導体記憶装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体記憶装置に関するもので、特にＮＡＮＤセル、ＮＯＲセル、ＤＩＮＯＲセル及びＡＮＤセル型ＥＥＰＲＯＭ等の不揮発性半導体記憶装置に好適なものである。
【背景技術】
【０００２】
半導体記憶装置の一種として、電気的書き替えを可能としたＥＥＰＲＯＭが知られている。なかでも、メモリセルを複数個直列接続してＮＡＮＤセルブロックを構成するＮＡＮＤセル型ＥＥＰＲＯＭは、高集積化が図れるものとして注目されている。
【０００３】
ＮＡＮＤセル型ＥＥＰＲＯＭにおける一つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲート（電荷蓄積層）と制御ゲートが積層されたＦＥＴ－ＭＯＳ構造を有する。そして、複数個のメモリセルが隣接するもの同士でソース・ドレインを共有する形で直列接続されてＮＡＮＤセルを構成し、これを一単位としてビット線に接続するものである。このようなＮＡＮＤセルがマトリックス配列されてメモリセルアレイが構成される。上記メモリセルアレイは、通常、ｐ型半導体基板、またはｐ型ウェル領域内に集積形成される。
【０００４】
上記メモリセルアレイの列方向に並ぶＮＡＮＤセルの一端側のドレインは、それぞれ選択ゲートトランジスタを介してビット線に共通接続され、他端側ソースはやはり選択ゲートトランジスタを介して共通ソース線に接続されている。メモリセルの制御ゲート電極及び選択ゲートトランジスタのゲート電極は、それぞれメモリセルアレイの行方向に沿って連続的に延設され、制御ゲート線（ワード線）及び選択ゲート線として用いられる。
【０００５】
このようなＮＡＮＤセル型ＥＥＰＲＯＭの動作は、次の通りである。まず、データの書き込み動作は、ビット線コンタクトから最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧Ｖｐｐ（＝２０Ｖ程度）を印加し、それよりビット線コンタクト側にあるメモリセルの制御ゲート及び選択ゲートには中間電位Ｖｍｃ（＝１０Ｖ程度）を印加し、ビット線にはデータに応じて０Ｖまたは中間電位Ｖｍｂ（＝８Ｖ程度）を与える。ビット線に０Ｖが与えられたとき、その電位は選択メモリセルのドレインまで伝達されて、ドレインから浮遊ゲートに電子注入が生じる。これにより、その選択されたメモリセルのしきい値電圧は正方向にシフトする。この状態を“１”とする。こ

れに対し、ビット線に中間電位Ｖｍｂが与えられたときは電子注入が起こらず、従ってしきい値電圧は変化せず、負に止まる。この状態が“０”である。

【０００６】

データ消去は、選択されたＮＡＮＤセルブロック内の全てのメモリセルに対して同時に行われる。すなわち、選択されたＮＡＮＤセルブロック内の全ての制御ゲートを０Ｖとし、ビット線、ソース線、ｐ型ウェル領域（もしくはｐ型半導体基板）、非選択ＮＡＮＤセルブロック中の制御ゲート及び全ての選択ゲートに２０Ｖ程度の高電圧を印加する。これにより、選択ＮＡＮＤセルブロック中の全てのメモリセルで浮遊ゲート中の電子がｐ型ウェル領域（もしくはｐ型半導体基板）に放出され、しきい値電圧が負方向にシフトする。

【０００７】

一方、データ読み出し動作は、選択されたメモリセルの制御ゲートを０Ｖとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電圧Ｖｃｃとして、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【０００８】

次に、このようなＮＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイ、ブロック配置及びＮＡＮＤセルの構成等について詳しく説明する。

【０００９】

図３２は、上述した従来のＮＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイ中のブロック配置を示している。図３２では、メモリセルアレイ１中の全ブロック１－０～１－Ｎが同一構成のＮＡＮＤセル（ＮＡＮＤ－Ａセルと称する）にて構成されている。各ブロック１－０～１－Ｎにはそれぞれ、選択ゲート線SG_1，SG_2と制御ゲート線ＣＧ（１）～ＣＧ（８）が接続されており、ロウデコーダからこれら選択ゲート線SG_1，SG_2と制御ゲート線ＣＧ（１）～ＣＧ（８）に供給されたロウアドレスに応じてブロック及びＮＡＮＤセルの行が選択される。

【００１０】

図３３は、上記図３２に示したメモリセルアレイ１の一部の詳細な構成例を示しており、ＮＡＮＤセルがマトリックス配列されたメモリセルアレイの等価回路図である。図３２に示したメモリセルアレイ１中の各ブロック１－０～１－Ｎは、図３３における破線部の領域１－Ｌ（Ｌ＝０～Ｎ）に相当する。ここでは、同一のワード線や選択ゲート線を共有するＮＡＮＤセル群をブロックと呼び、図３３中の破線で囲まれた領域１－Ｌが１個のブロックと定義することにする。各ＮＡＮＤセルの選択ゲートトランジスタS_1のドレインはビット線BL_1，BL_2，…，BL_mに接続され、選択ゲートトランジスタS_2のソースは共通ソース線ＣＳに接続されている。そして、上記選択ゲートトランジスタS_1のソースとS_2のドレイン間に、メモリセルM_1，M_2，…，M_8が直列接続される。読み出し・書き込み等の動作は、通常、選択ゲートトランジスタS_1，S_2によって複数のブロックのうち１個を選択（選択ブロックと呼ぶ）して行われる。

【００１１】

図３４及び図３５はそれぞれ、上記図３３に示した回路における一つのＮＡＮＤセルを抽出して詳細に示している。図３４（ａ），（ｂ）はＮＡＮＤセル部分のパターン平面図と等価回路図であり、図３５（ａ），（ｂ）はそれぞれ図３４（ａ）に示したパターンのＡ－Ａ’線及びＢ－Ｂ’線に沿った断面構成図である。素子分離酸化膜１２で囲まれたｐ型シリコン基板（またはｐ型ウェル領域）１１には、複数のＮＡＮＤセルからなるメモリセルアレイが形成されている。この例では、一つのＮＡＮＤセルには８個のメモリセルM_1，M_2，…，M_8が直列接続されている。

【００１２】

各メモリセルM_1，M_2，…，M_8はそれぞれ、基板１１上にゲート絶縁膜１３を介して浮遊ゲート１４（14_1，14_2，…，14_8）が形成され、この上に絶縁膜１５を介して制御ゲート１６（16_1，16_2，…，16_8）が形成されて構成されている。これらのメモリセルのソース，ドレインであるｎ型拡散層１９（19_1，19_2，…，19_9）は、隣接するもの同士共用する形で接続され、これによりメモリセルM_1，M_2，…，

M_8が直列接続されている。

【００１３】

上記ＮＡＮＤセルのドレイン側、ソース側にはそれぞれ、メモリセルの浮遊ゲート、制御ゲートと同一工程で形成された選択ゲート14_9，16_9及び14_{10}，16_{10}が設けられている。上記選択ゲート14_9と16_9及び14_{10}と16_{10}はそれぞれ、図示しない領域で電気的に接続されており、選択ゲートトランジスタS_1，S_2のゲート電極として働く。このように素子形成された基板１１上は、ＣＶＤ酸化膜（層間絶縁膜）１７により覆われ、このＣＶＤ酸化膜１７上にビット線１８が配設されている。上記ビット線１８は、ＮＡＮＤセルの一端のドレイン側拡散層19_0にコンタクトされている。行方向に並ぶＮＡＮＤセルの制御ゲート１４は、共通に制御ゲート線ＣＧ（１），ＣＧ（２），…，ＣＧ（８）として配設されている。これら制御ゲート線はワード線として働く。選択ゲート14_9，16_9及び14_{10}，16_{10}もそれぞれ行方向に連続的に選択ゲート線SG_1，SG_2として配設されている。また、ビット線１８と制御ゲート線・選択ゲート専用配線層との間にソース線用配線層２２が配設され、ＮＡＮＤセルのソース側拡散層19_{10}（ビット線コンタクトと反対側の端）にコンタクトされている。

【００１４】

このように、従来はメモリセルアレイ内の各ブロックにおいて、全て同一寸法で同一構成のメモリセルが形成されていた。

【００１５】

ところで、図３２に示したようなメモリセルアレイでは、各ブロックが規則的に並んでいるため、制御ゲート線ＣＧ（１）～ＣＧ（８）と選択ゲート線SG_1，SG_2はメモリセルアレイ全体としてほぼ周期的に並んでおり、従ってメモリセルアレイ１の内部に位置するブロック（図３２中のブロック１－１～ブロック１－（Ｎ－１）に相当）ではワード線等の加工精度は比較的高くなる。しかしながら、メモリセルアレイ端に位置するブロック（図３２中のブロック１－０，ブロック１－Ｎに相当）中の特にメモリセルアレイ１の外周近傍（図３３の選択ゲート線SG_2近傍）では、配線パターンの周期性が崩れるため、エッチングの条件が均一にならず、加工精度が低下する。

【００１６】

通常、メモリセルアレイ端のブロックは加工精度の低下を懸念して不使用ブロックとするが、この場合にも充分な対策とはならず、図３２のブロック１－０，１－Ｎ中の選択ゲート線SG_2の断線、あるいは選択ゲート線SG_2の配線幅の増加によるソース線コンタクト部とのショート等が発生し、問題となっていた。一般に、選択ゲート線SG_1，SG_2は、ブロックの選択・非選択に応じてレベルが設定される配線であり、ブロックの非選択時にはビット線やソース線とＮＡＮＤセルを非選択状態とすることにより、書き込み・読み出し等の動作時の非選択ブロックによる影響をなくしている。しかしながら、断線した場合には上記した非導通状態の実現が困難になり、この場合にはビット線からのリーク電流の発生やビット線とソース線の負荷容量の増加、ビット線とソース線間のショート等の問題が発生し、動作マージンの低下や動作不良を招くことになる。また、選択ゲート線SG_2がソース線コンタクト部とショートした場合にも、ソース線電圧や選択ゲート線SG_2電圧が変動し、不良を招くことになる。

【００１７】

上述した配線パターンの周期性の崩れによる加工精度の低下の問題は、より高い精度が望まれる場合には、メモリセルアレイ全体のみならず、一つのＮＡＮＤセルに対しても同様に言える。次に、図３６及び図３７を用いて一つのＮＡＮＤセルに着目した場合の加工精度の低下について詳しく説明する。図３６（ａ），（ｂ）は、メモリセルアレイの一つのＮＡＮＤセル部分のパターン平面図と等価回路図であり、図３７（ａ），（ｂ）はそれぞれ図３６（ａ）のＡ－Ａ’線及びＢ－Ｂ’線に沿った断面構成図である。図３６（ａ），（ｂ）及び図３７（ａ），（ｂ）において図３４（ａ），（ｂ）及び図３５（ａ），（ｂ）と同一構成部分には同じ符号を付してその詳細な説明は省略する。

【００１８】

ここでは、図３６（ａ），（ｂ）及び図３７（ａ），（ｂ）における選択ゲート線SG_1，SG_2の線幅をＷｓｇ１，Ｗｓｇ２、制御ゲート線ＣＧ（１），ＣＧ（２），…，ＣＧ（８）の線幅をそれぞれＷｃｇ１，Ｗｃｇ２，…，Ｗｃｇ８、制御ゲート線間のスペースをそれぞれＳｃｇ１２，Ｓｃｇ２３，…，Ｓｃｇ７８、制御ゲート線と選択ゲート線間のスペースをＳｓｇ１，Ｓｓｇ２にてそれぞれ表している。これら図３６（ａ），（ｂ）及び図３７（ａ），（ｂ）に示すＮＡＮＤセルが上記図３４（ａ），（ｂ）及び図３５（ａ），（ｂ）に示したＮＡＮＤセルと異なるのは、ソース線用の配線層２２が設けられていない点である。

【００１９】

このようなＮＡＮＤセルにおいて、従来はＮＡＮＤセル内の全制御ゲート線幅の加工の狙い目が同一であった。つまり、図３６（ａ）及び図３７（ａ）において、Ｗｃｇ１＝Ｗｃｇ２＝，…，＝Ｗｃｇ８であった。また、制御ゲート線間のスペースも全て同一、つまりＳｃｇ１２＝Ｓｃｇ２３＝，…，＝Ｓｃｇ７８となっていた。一方、選択ゲート線幅は、選択ゲートトランジスタS_1やS_2のカットオフ特性を向上（SG_1＝SG_2＝０Ｖ時のリーク電流低減）させる目的で、選択ゲート線幅が制御ゲート線幅より少し太くなるように設定されていた。

【００２０】

更に、選択ゲート線SG_1やSG_2は配線層１４が連続している（選択ゲート線方向の隣接した選択ゲートトランジスタ間にて配線層１４が接続されている）のに対し、各制御ゲート線ＣＧでは配線層１４がメモリセル間にて分断されている（図３６（ａ）の斜線部参照）。このため、制御ゲート線部の配線層１４の加工時における選択ゲート線部の配線層１４へのダメージを低減するために、スペースＳｓｇ１やＳｓｇ２をＳｃｇ１２～Ｓｃｇ７８に比べて大きくする場合もあった。

【００２１】

このように、従来のＮＡＮＤセルでは、制御ゲート線ＣＧ（１）～ＣＧ（８）の間は線幅・スペースともに周期的（同一寸法）に配列されていたが、制御ゲート線の配列部以外の領域（図３６（ａ）の制御ゲート線ＣＧ（１）より上側の領域や制御ゲート線ＣＧ（８）より下側の領域に相当）では配線配列の周期性が崩れていた。このため、隣接配線との周期性が保たれている制御ゲート線ＧＧ（２）～ＣＧ（７）と比較して、ＣＧ線配列部の両端の制御ゲート線ＣＧ（１）やＣＧ（８）の加工が不安定、つまり加工精度が低下するという問題があった。加工精度が低下すると、加工ばらつきにより、選択ゲート線に隣接した制御ゲート線の線幅、つまり対応するメモリセルのチャネル長がばらつくことになる。

【００２２】

加工精度が低下した場合の最も大きな問題は、上記した両端の制御ゲート線ＣＧ（１）やＣＧ（８）の線幅が狙い目よりも細くなる場合である。図３８を用いてこの説明をする。制御ゲート線ＣＧ（１）が狙い目の線幅にある場合には、図３８（ａ）に示すように、メモリセルのカットオフ特性が良好なため、“１”データ（浮遊ゲートに負電荷が注入された状態）を持つメモリセルにはゲート電圧が０Ｖの際には電流（リーク電流ＩＬ）が流れない。一方、制御ゲート線ＣＧ（１）が狙い目よりも細くなった場合には、メモリセルM_1のチャネル長が短くなるため、メモリセルのカットオフ特性が低下（本来オフすべき状態でのリーク電流（図３８（ｂ）参照）が増大）するため、このメモリセルに書き込んだデータに拘わらず、つまり浮遊ゲート14_1中の電荷量に拘わらず、常にメモリセルM_1に電流ＩＬが流れる状態となり、常に“０”データが読み出されることになる。従って、正常なデータの書き込み・読み出しができなくなるという問題があった。制御ゲート線ＣＧ（１）の場合と同様に制御ゲート線ＣＧ（８）の線幅が狙い目より細くなった場合にも同じ問題が発生していた。この問題をなくすため制御ゲート線幅を８本とも一様に太くすると、メモリセルサイズが大きくなるという新たな問題が生じる。

【００２３】

ところで、上述したようなＮＡＮＤセルにおいて、従来は、メモリセルアレイ内からロ

ウデコーダ内への制御ゲート線と選択ゲート線との接続には、それぞれ図３９（ａ），（ｂ）のような配線構造を用いていた。通常、異なる配線層間を接続するためのコンタクトを取る際に、ＲＩＥ等によるエッチング工程において、コンタクトを取る配線層が帯電して配線の電位の絶対値が高くなる場合がある。この時には、ｐｎ接合に接続されていない配線は電圧降下を起こす電流パスがないため、高い電位が保たれることになる。この際、特に問題となるのが、メモリセルの制御ゲートに相当する制御ゲート線である。

【００２４】

一般に、ＮＡＮＤ型ＥＥＰＲＯＭ等のメモリセルでは、従来は制御ゲート線はｐｎ接合に接続しておらず、製造工程中に高い電位がかかる。また、データの書き込みや消去時に、制御ゲート線とｐ型ウェル領域間に２０Ｖ程度という高い電位差がかかる。更に、トンネル電流を用いて、浮遊ゲートへの電子の注入・放出を１００，０００回以上行えることが要求される。このように、制御ゲート線とｐ型ウェル領域の間にある絶縁膜（配線層16_i（ｉ＝１～８）と配線層14_i（ｉ＝１～８）の間の酸化膜、及び配線層14_i（ｉ＝１～８）とｐ型ウェル領域の間の酸化膜に相当）には大変高い電界がかかる。しかも、データは浮遊ゲート中の電荷により決定するため、浮遊ゲートの電荷保持特性が極めて重要であり、リーク電流による浮遊ゲートからの電荷の抜けは許されない。従って、制御ゲート線とｐ型ウェル領域の間にある絶縁膜の信頼性が極めて重要である。

【００２５】

ところが、従来は、制御ゲート線と選択ゲート線をメモリセルアレイからロウデコーダ内のトランジスタＱＮに接続する際に、制御ゲート線より上層に位置する２種類の配線層２２，１８を用いて配線を行っていた。このため、製造工程中に制御ゲート線としての配線層16_iにコンタクトを取る工程が２回（図３９（ａ）中の（ア）と（イ）に相当）もあった。この場合には、（ア）のコンタクト加工時に制御ゲート線が帯電するばかりでなく、既に配線層16_iと配線層２２がコンタクト（ア）により接続されているため、（イ）の加工時にも制御ゲート線が帯電することになる。このため、制御ゲート線に高い電圧がかかる時間が長くなり、制御ゲート線へ印加されるストレスが大きくなり、酸化膜の膜質が悪化するという問題があった。この結果、メモリセルの保持しているデータの信頼性が低下し、データ破壊の危険が高くなる。

【００２６】

一方、選択ゲート線の場合には、印加される電圧が最高でも１０Ｖ程度であることに加え、浮遊ゲートを持たない（配線層14_j（ｊ＝９，１０）は連続的に配設され、メモリセルアレイの内外にて直接電圧を印加されている）ため、通常は多少のストレスが印加されても信頼性上は大きな問題とならない。

【発明の開示】

【発明が解決しようとする課題】

【００２７】

このように、従来のＮＡＮＤセル型ＥＥＰＲＯＭ等の半導体記憶装置においては、メモリセルアレイ端のブロックの加工精度が低下し、動作マージン低下や動作不良が発生するという問題があった。

【００２８】

また、従来のＮＡＮＤセル型ＥＥＰＲＯＭ等の半導体記憶装置においては、選択ゲート線に隣接した制御ゲート線の加工精度が他の制御ゲート線に比べて低く、線幅が狙い目より細くなった場合には、正常なデータの書き込み・読み出しが行えなくなるという問題があった。また、この問題をなくすため制御ゲート線幅を一様に太くすると、メモリセルサイズが大きくなるという問題があった。

【００２９】

更に、従来のＮＡＮＤセル型ＥＥＰＲＯＭ等の半導体記憶装置においては、製造工程中に制御ゲート線に印加されるストレスが大きいため、メモリセルの浮遊ゲートまわりの絶縁膜の信頼性が低下し、データ破壊の危険が高くなるという問題があった。

【００３０】

本発明は上記のような事情に鑑みてなされたもので、その目的とするところは、メモリセルアレイ端領域の加工精度の低下に起因した不良を防ぐことができ、チップサイズをほとんど増加させることなく、動作の信頼性が高く且つ歩留まりも高いチップを実現できる半導体記憶装置を提供することにある。

【００３１】

また、本発明の他の目的は、ワード線まわりの配線の周期性の崩れに起因した加工精度の低下により起こる、極端に線幅が細いワード線の発生を防ぐことができ、チップサイズの大幅な増加を招くことなく、データ書き込み・読み出しの信頼性が高いチップを実現できる半導体記憶装置を提供することにある。

【００３２】

本発明の更に他の目的は、製造工程においてメモリセルに印加されるストレスを低減したり、ロウデコーダのパターン面積を縮小することができ、動作の信頼性や歩留まりが高い安価なチップを実現できる半導体記憶装置を提供することにある。

【課題を解決するための手段】

【００３３】

本発明の請求項１に記載した半導体記憶装置は、メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイと、前記メモリセルユニット中の選択トランジスタのゲートが連続的に延設されて形成された選択ゲート線と、前記メモリセルユニット中のメモリセルのゲートが連続的に延設されて形成された制御ゲート線と、前記メモリセルアレイの前記選択ゲート線及び前記制御ゲート線を選択し、電位を制御するロウデコーダとを備え、前記制御ゲート線のメモリセルアレイ端から前記ロウデコーダ中のトランジスタへの接続に用いる全ての配線層より上層に位置する第１の配線層を用いて前記選択ゲート線をメモリセルアレイ端から前記ロウデコーダ中のトランジスタへ接続することを特徴としている。

【００３４】

請求項２に記載したように、請求項１の半導体記憶装置において、前記制御ゲート線のメモリセルアレイ端から前記ロウデコーダ中のトランジスタへの接続に用いる配線層は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な第２の配線層より下層に位置する配線層により形成されることを特徴とする。

【００３５】

請求項３に記載したように、請求項１または２に記載の半導体記憶装置において、前記制御ゲート線のメモリセルアレイ端から前記ロウデコーダ中のトランジスタへの接続に用いる配線層の配線長のうち、前記第２の配線層による配線が少なくとも半分を占めることを特徴とする。

【００３６】

請求項４に記載したように、請求項１ないし３いずれか１つの項に記載の半導体記憶装置において、前記選択ゲート線のメモリセルアレイから前記ロウデコーダ中のトランジスタへの接続に用いる配線長のうち、前記第１の配線層による配線が少なくとも半分を占めることを特徴とする。

【００３７】

更に、本発明の請求項５に記載した半導体記憶装置は、メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイと、前記メモリセルユニット中の選択トランジスタのゲートが連続的に延設されて形成された選択ゲート線と、前記メモリセルユニット中のメモリセルのゲートが連続的に延設されて形成された制御ゲート線と、前記メモリセルアレイの前記選択ゲート線及び前記制御ゲート線を選択し、電位を制御するロウデコーダとを備え、前記制御ゲート線をメモリセルアレイ端から前記ロウデコーダ中のトランジスタに接続する第１の配線が、前記ロウデコーダ中のトランジスタのソース・ドレイン以外のｐｎ接合に接続されていることを特徴としている。

【００３８】

請求項６に記載したように、請求項５記載の半導体記憶装置において、前記ロウデコー

ダ中のトランジスタのソース・ドレイン以外のｐｎ接合との接続を持たない第２の配線により、前記選択ゲート線がメモリセルアレイから前記ロウデコーダ中のトランジスタまで接続されていることを特徴とする。

【００３９】

請求項７に記載したように、請求項５または６に記載の半導体記憶装置において、前記第１の配線を構成する配線層のうち最上層の配線層は、前記第２の配線を構成する配線層のうち最上層の配線層と同一の配線層であることを特徴とする。

【００４０】

請求項８に記載したように、請求項５または６に記載の半導体記憶装置において、前記第１の配線を構成する配線層のうち最上層の配線層は、前記第２の配線を構成する配線層のうち最上層の配線層より下層に位置する配線層であることを特徴とする。

【００４１】

更にまた、請求項９に記載したように、請求項５ないし８いずれか１つの項に記載の半導体記憶装置において、前記第１の配線は、ｐ型拡散層とｎ型拡散層の両方に接続されていることを特徴とする。

【００４２】

請求項１０に記載したように、請求項５ないし９いずれか１つの項に記載の半導体記憶装置において、前記第１の配線は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な配線層より下層に位置する配線層により構成されていることを特徴とする。

【００４３】

請求項１１に記載したように、請求項５ないし１０いずれか１つの項に記載の半導体記憶装置において、前記第２の配線は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な配線層より上層に位置する配線層を含むことを特徴とする。

【００４４】

請求項１２に記載したように、請求項１ないし１０いずれか１つの項に記載の半導体記憶装置において、前記メモリセルユニットは、ＮＡＮＤ型ＥＥＰＲＯＭであることを特徴とする。

【００４５】

請求項１のような構成によれば、制御ゲート線にコンタクトを取る回数を１回にできるので、製造工程中の制御ゲート線へのストレスを低減でき、浮遊ゲートまわりの絶縁膜の信頼性を向上させることができる。これによって、チップサイズの増加を招くことなく、動作の信頼性の高い動作を備えたチップを実現することができる。

【００４６】

請求項２に示すように、制御ゲート線のメモリセルアレイ端からロウデコーダ中のトランジスタへの接続に用いる配線層としては、第２の配線層より下層に位置する配線層を用いることができる。

【００４７】

請求項３に示すように、制御ゲート線のメモリセルアレイ端からロウデコーダ中のトランジスタへの接続に用いる配線層の配線長のうち、第２の配線層による配線が少なくとも半分を占めることが好ましく、請求項４に示すように、選択ゲート線のメモリセルアレイから前記ロウデコーダ中のトランジスタへの接続に用いる配線長のうち、前記第１の配線層による配線が少なくとも半分を占めることが好ましい。

【００４８】

請求項５のような構成によれば、制御ゲート線にコンタクトを取る回数を１回にでき、且つコンタクトの加工工程中に制御ゲートが高電圧に帯電するのを防止するためのｐｎ接合による電流パスを形成するので、製造工程中の制御ゲート線へのストレスを低減することができ、浮遊ゲートまわりの絶縁膜の信頼性を向上させることができる。この結果、チップサイズの増加を招くことなく、動作の信頼性の高い動作を備えたチップを実現するこ

とができる。
【００４９】
請求項６に示すように、ロウデコーダ中のトランジスタのソース・ドレイン以外のｐｎ接合との接続を持たない第２の配線により、選択ゲート線をメモリセルアレイからロウデコーダ中のトランジスタまで接続した場合でも、上記トランジスタのソース・ドレイン領域を利用して制御ゲートが高電圧に帯電するのを防止するための電流パスを形成することができる。
【００５０】
請求項７に示すように、第１の配線を構成する配線層のうち最上層の配線層を、第２の配線を構成する配線層のうち最上層の配線層と同一の配線層で形成すれば、同一の製造工程で両配線層を形成可能である。
【００５１】
請求項８に示すように、第１の配線を構成する配線層のうち最上層の配線層は、第２の配線を構成する配線層のうち最上層の配線層より下層に位置する配線層でも形成可能であり、この場合には第１の配線と第２の配線を重ねて形成でき、パターン面積を縮小できる。
【００５２】
請求項９に示すように、第１の配線をｐ型拡散層とｎ型拡散層の両方に接続すれば、製造工程中の配線間のコンタクト加工時に配線が帯電しようとした場合に、帯電が正の場合と負の場合の両方に対して電荷を放電する電流パスが形成されるため、エッチング工程中の帯電に起因したメモリセルへの印加ストレスを大幅に低減できる。しかも、ｐｎ接合の順方向電流を用いれば逆方向電流よりも電流量が大きく、より高い印加ストレスの緩和の効果が得られる。
【００５３】
請求項１０に示すように、第１の配線は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な配線層より下層に位置する配線層で形成できる。
【００５４】
請求項１１に示すように、第２の配線は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な配線層より上層に位置する配線層を含んで構成できる。
【００５５】
請求項１２に示すように、上記メモリセルユニットとしては、例えばＮＡＮＤ型ＥＥＰＲＯＭが好適である。
【発明の効果】
【００５６】
以上説明したように本発明によれば、メモリセルアレイ端領域の加工精度の低下に起因した不良を防ぐことができる。従って、チップサイズをほとんど増加させることなく、従来に比べて、動作の信頼性が高くまた歩留まりも高いチップを実現できる半導体記憶装置が得られる。
【００５７】
また、ワード線まわりの配線の周期性の崩れに起因した加工精度低下により起こる極端に線幅が細いワード線の発生を防ぐことができる。従って、チップサイズの大幅な増加を招くことなく、従来に比べて、データ書き込み・読み出しの信頼性が高いチップを実現できる半導体記憶装置が得られる。
【００５８】
更に、製造工程においてメモリセルに印加されるストレスを低減したり、ロウデコーダのパターン面積を縮小することができる。従って、従来に比べて、動作の信頼性や歩留まりが高い安価なチップを実現できる半導体記憶装置が得られる。
【発明を実施するための最良の形態】

【００５９】
以下、本発明の実施の形態について図面を参照して説明する。
［第１の実施の形態］
図１は、本発明の第１の実施の形態に係る半導体記憶装置について説明するためのもので、ＮＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイのブロック配置を示している。図１では、メモリセルアレイ２の両端のブロック２－０，２－Ｎを構成するＮＡＮＤセル（ＮＡＮＤ－Ｂセル）と、メモリセルアレイ２内の他のブロック２－１～２－（Ｎ－１）を構成するＮＡＮＤセル（ＮＡＮＤ－Ａセル）が異なる構成を有している。各ブロック２－０～２－Ｎにはそれぞれ、選択ゲート線$ＳＧ_1$，$ＳＧ_2$と制御ゲート線ＣＧ（１）～ＣＧ（８）が接続されており、これら選択ゲート線$ＳＧ_1$，$ＳＧ_2$と制御ゲート線ＣＧ（１）～ＣＧ（８）に供給されたロウアドレスに応じてブロック及びＮＡＮＤセルの行が選択されるようになっている。
【００６０】
図２は、ＮＡＮＤセルがマトリクス配列されたメモリセルアレイ２の等価回路図である。ここでは、同一のワード線や選択ゲート線を共有するＮＡＮＤセル群をブロックと呼び、図２中の破線で囲まれた領域２－Ｌ（Ｌ＝０～Ｎ）を１個のブロックと定義する。このブロックは、図１中の各ブロック２－０～２－Ｎに相当する。読み出し・書き込み等の動作は、通常、複数のブロックのうち１個を選択（選択ブロックと呼ぶ）して行われる。各ＮＡＮＤセルの選択ゲートトランジスタ$Ｓ_1$のドレインはビット線$ＢＬ_1$，$ＢＬ_2$，…，$ＢＬ_m$に接続され、選択ゲートトランジスタ$Ｓ_2$のソースは共通ソース線ＣＳに接続されている。そして、上記選択ゲートトランジスタ$Ｓ_1$のソースと$Ｓ_2$のドレイン間に、メモリセル$Ｍ_1$，$Ｍ_2$，…，$Ｍ_8$が直列接続される。
【００６１】
図３及び図４はそれぞれ、上記図１に示したメモリセルアレイ２における中央部のブロック２－１～２－（Ｎ－１）を構成するＮＡＮＤ－Ａセルについて説明するためのもので、図３（ａ），（ｂ）は上記図２における一つのＮＡＮＤセル部分のパターン平面図と等価回路図であり、図４（ａ），（ｂ）はそれぞれ図３（ａ）のＡ－Ａ’線及びＢ－Ｂ’線に沿った断面構成図である。素子分離酸化膜１２で囲まれたｐ型シリコン基板（またはｐ型ウェル領域）１１に複数のＮＡＮＤセルからなるメモリセルアレイが形成されている。この例では、一つのＮＡＮＤセルには８個のメモリセル$Ｍ_1$，$Ｍ_2$，…，$Ｍ_8$が直列接続されている。
【００６２】
各メモリセル$Ｍ_1$，$Ｍ_2$，…，$Ｍ_8$はそれぞれ、基板１１上にゲート絶縁膜１３を介して浮遊ゲート１４（１４_1，１４_2，…，１４_8）が形成され、この浮遊ゲート１４上に絶縁膜１５を介して制御ゲート１６（１６_1，１６_2，…，１６_8）が形成されて構成されている。これらのメモリセル$Ｍ_1$，$Ｍ_2$，…，$Ｍ_8$のソース，ドレインであるｎ型拡散層１９（１９_1，１９_2，…，１９_9）は、隣接するもの同士共用する形で接続され、これによりメモリセル$Ｍ_1$，$Ｍ_2$，…，$Ｍ_8$が直列接続されている。
【００６３】
上記ＮＡＮＤセルのドレイン側、ソース側にはそれぞれ、メモリセルの浮遊ゲート、制御ゲートと同一工程で形成された選択ゲート１４_9，１６_9及び１４_{10}，１６_{10}が設けられている。上記選択ゲート１４_9と１６_9及び１４_{10}と１６_{10}はそれぞれ、図示しない領域で電気的に接続されており、選択ゲートトランジスタ$Ｓ_1$，$Ｓ_2$のゲート電極として働く。上記のように素子形成された基板１１上は、ＣＶＤ酸化膜（層間絶縁膜）１７により覆われ、このＣＶＤ酸化膜１７上にビット線１８（ＢＬ）が配設されている。このビット線１８は、ＮＡＮＤセルの一端のドレイン側拡散層１９_0にコンタクトされている。行方向に並ぶＮＡＮＤセルの制御ゲート１４は、共通に制御ゲート線ＣＧ（１），ＣＧ（２），…，ＣＧ（８）として配設されている。これら制御ゲート線はワード線となる。選択ゲート１４_9，１６_9及び１４_{10}，１６_{10}もそれぞれ行方向に連続的に延設され、選択ゲート線$ＳＧ_1$，$ＳＧ_2$として用いられる。また、ビット線１８と制御ゲート線

・選択ゲート線用の配線層との間にソース線用配線層２２が配設され、ＮＡＮＤセルのソース側拡散層１９$_{10}$（ビット線コンタクトと反対側の端）にコンタクトされている。

【００６４】

図５及び図６は、上記図１に示したメモリセルアレイ端のブロック２－０，２－Ｎを構成するＮＡＮＤ－Ｂセルについて説明するためのもので、図５（ａ），（ｂ）は上記図２における一つのＮＡＮＤセル部分のパターン平面図と等価回路図であり、図６は図５（ａ）のＡ－Ａ’線に沿った断面構成図である。図５や図６のＮＡＮＤセルが図３及び図４と異なる部分は、選択ゲート線ＳＧ$_2$まわりの寸法である。

【００６５】

すなわち、図５、図６で示されるＮＡＮＤセルは、選択ゲート線ＳＧ$_2$の線幅が図３、図４中のＮＡＮＤセルよりも太いことが特徴であり、つまり

Ｗｓｇ２（図３）＜Ｗｓｇ２（図５）

となっており、このためＮＡＮＤセルの長辺方向の長さ（図３、図５中のＡ－Ａ’断面の長さに相当）、つまりセルサイズが図３、図４に示したＮＡＮＤセルに比べて少し長くなる。図５、図６中の選択ゲート線ＳＧ$_2$の線幅は加工精度が低下した場合においても断線しない程度の太さに設定してある。これによって、メモリセルアレイ２の端部に配置されたブロック２－０，２－Ｎにおける選択ゲート線ＳＧ$_2$の断線という問題を回避できる。また、メモリセルアレイ２中の他のブロック２－１～２－（Ｎ－１）には図５、図６のセルに比べてセルサイズが小さい図３、図４のセルを使用する。従って、図１に示した本発明と図３４に示した従来のセルアレイ全体の差は、

［図３のＮＡＮＤセルサイズ－図５のＮＡＮＤセルサイズ］×２

となる。通常、ブロック数は数百個から数千個程度であるため、この差がセルサイズ全体に占める割合は極めて小さく、無視できる程度である。つまり、上記第１の実施の形態により、チップサイズをほとんど増加させることなく、チップの動作の信頼性を向上できる。

【００６６】

上記第１の実施の形態では、

Ｗｓｇ２（ＮＡＮＤ－Ａセル）＜Ｗｓｇ２（ＮＡＮＤ－Ｂセル）

とすることによりセルアレイ端のブロック２－０，２－Ｎ内の選択ゲート線ＳＧ$_2$の断線を防ぐ方式について説明したが、本発明は上記第１の実施の形態に限定されるものではなく、種々変形可能である。以下に述べる変形例を用いる場合も、同様の理由により、チップサイズをほとんど増加させることなく、チップの動作の信頼性や歩留まりを向上できる。

【００６７】

例えば、選択ゲート線ＳＧ$_2$とソース線コンタクト間のスペースをＳｓ１とすると（図３（ａ）、図４（ａ）参照）、図１の場合において、

Ｓｓ１（ＮＡＮＤ－Ａセル）＜Ｓｓ１（ＮＡＮＤ－Ｂセル）

とすることにより、セルアレイ端のブロックの加工精度が低下して選択ゲート線ＳＧ$_2$が太くなった場合においても、選択ゲート線ＳＧ$_2$とソース線コンタクト間のスペースＳｓ１が広いため、選択ゲート線ＳＧ$_2$とソース線コンタクト間のショートの危険を大幅に低下させることができる。この方式も非常に有効であり、信頼性の高いチップを実現できる。

【００６８】

また、図７及び図８に示したように、ソース線コンタクトを削除したＮＡＮＤセルを図１中のＮＡＮＤ－Ｂセル（ブロック２－０，２－Ｎ）として用い、ＮＡＮＤ－Ａセル（ブロック２－１～２－（Ｎ－１））としては図３、図４に示したＮＡＮＤセルを用いる方式もある。この場合には、セルアレイ端ブロック中にはソース線コンタクトが存在しないため、セルアレイ端ブロックの加工精度が低下して選択ゲート線ＳＧ$_2$が太くなった場合においても、選択ゲート線ＳＧ$_2$とソース線コンタクト間のショートの危険をなくすことができる。

【００６９】
なお、図７、図８ではソース線コンタクトを削除したが、ソース線用配線層２２は残した状態にある。この配線層２２の存在に関しては、あってもなくても問題なく、配線層２２の加工精度等の観点から配線層２２の要・不要を決定する。つまり、この配線層２２の存在の有無に拘わらず本発明は有効である。
【００７０】
また、上記第１の実施の形態では、メモリセルアレイが図１のようなブロック配置の場合を例にとって本発明の説明を行ってきたが、他の場合、例えばブロック配置が図９のような場合にも本発明を適用することができる。
【００７１】
すなわち、図１ではメモリセルアレイ端の配線として選択ゲート線SG_2が設けられていたのに対し、図９では選択ゲート線SG_1が設けられている。この場合には、選択ゲート線SG_1の配線幅をＷｓｇ１とすると、
Ｗｓｇ１（ＮＡＮＤ－Ａセル）＜Ｗｓｇ１（ＮＡＮＤ－Ｂセル）
と設定することにより、メモリセルアレイ端のブロック内の選択ゲート線SG_1の断線を防ぐことができる。更に、選択ゲート線SG_1とビット線コンタクト間のスペースをＳｂ１とすると、上記第１の実施の形態の場合と同様に、図９に対して、
Ｓｂ１（ＮＡＮＤ－Ａセル）＜Ｓｂ１（ＮＡＮＤ－Ｂセル）
と設定することにより、セルアレイ端ブロックの加工精度が低下して選択ゲート線SG_1が太くなった場合においても、選択ゲート線SG_1とビット線間のショートの危険性を大幅に低下させることができる。
【００７２】
また、図１０及び図１１に示すように、セルアレイ端のブロック内のビット線コンタクトをなくすことにより、セルアレイ端のブロック２－０，２－Ｎの加工精度が低下して選択ゲート線SG_1が太くなった場合においても、選択ゲート線SG_1とビット線コンタクト間のショートの危険性をなくすことができる。
【００７３】
上述した第１の実施の形態に関係する種々の変形例は、複数組み合わせた場合も大変有効となる。
【００７４】
例えば、図１のブロック配置に対して、ＮＡＮＤ－Ａセルとして図３、図４のセル、ＮＡＮＤ－Ｂセルとして図５、図６のセルと図７、図８のセルを組み合わせたもの、つまり
Ｗｓｇ２（ＮＡＮＤ－Ａセル）＜Ｗｓｇ２（ＮＡＮＤ－Ｂセル）
且つソース線コンタクト削除のＮＡＮＤ－Ｂセルを用いる場合は、大幅に動作の信頼性や歩留まりを向上できる。
【００７５】
同様に、図９のブロック配置に対して、ＮＡＮＤ－Ａセルとして図３、図４のセルを用い、また、
Ｗｓｇ１（ＮＡＮＤ－Ａセル）＜Ｗｓｇ１（ＮＡＮＤ－Ｂセル）
且つビット線コンタクト削除（図１０（ａ）、図１１参照）のＮＡＮＤ－Ｂセルを用いる場合は、大幅に動作の信頼性や歩留まりを向上できる。
【００７６】
また、上記第１の実施の形態中では、メモリセルアレイ端の配線が上下のセルアレイ端にて同じ場合、つまり図１の配置例では上下とも選択ゲート線SG_2であり、図９の実施の形態では上下とも選択ゲート線SG_1の場合であったが、これ以外の場合にも本発明は有効である。例えば、上下のメモリセルアレイ端の配線がそれぞれ選択ゲート線SG_1，SG_2である場合（図１２参照）や、逆に選択ゲート線SG_2，SG_1である場合（図１３参照）のように上下で異なる場合にも本発明は有効であり、上記変形例を組み合わせるなどしても本発明を適用可能である。この場合には、メモリセルアレイ端のブロック２－０，２－Ｎとして上下の内の一方をＮＡＮＤ－Ｂブロック、他方をＮＡＮＤ－Ｃブロック

として、その他のブロックをＮＡＮＤ－Ａブックとするように３種類のブロックを設ければ良い。

【００７７】

また、上記第１の実施の形態では、メモリセルアレイ端のブロック２－０，２－Ｎ中の制御ゲート線やワード線数が他のブロック中と同じ場合を例にとって本発明の説明を行ったが、本発明はこの構成に限定されない。メモリセルアレイ端のブロックは、通常は不使用（データの書き込み・読み出しをしない）ブロックであるため、使用ブロックと同じ配線数にする必要はなく、隣接ブロックの加工精度が低下しない程度の配線数が配置されていれば良い。図１で言えば、使用ブロック２－１～ブロック２－（Ｎ－１）のうち、特にセルアレイ端のブロックに隣接したブロック２－１，２－（Ｎ－１）の加工精度を保つためにセルアレイ端ブロックが設けられており、このブロックには加工精度を保つための最少本数の配線が含まれていれば充分である。例えば、加工精度の問題により、セルアレイ端ブロック内の制御ゲート線を４本と他のブロックより少なくした場合（図１４参照）や、逆に加工精度を更に高めるために制御ゲート線数を１２本と多くした場合（図１５参照）など種々変更可能である。

【００７８】

また、上記第１の実施の形態では、メモリセルアレイ端の選択ゲート線の配線を太くしたり、セルアレイ端のコンタクトまわりを変更する等の場合を例にとって説明したが、他の場合、例えばセルアレイ端の選択ゲート線に加えて隣接した制御ゲート線を太くする場合やセルアレイ端のブロック内の配線を全体的に太くするなどの場合にも本発明は有効となる。

【００７９】

ＮＡＮＤセルでは、ブロックの非選択時には、最低でも選択トランジスタS_1，S_2のうち片方はオフ状態になくてはならず、さもなくばビット線とソース線が接続されることによる不良が発生する。動作方式によっては、非選択ブロック中では、選択トランジスタS_1のみをオフ状態とする方式もあるし、選択トランジスタS_2のみをオフ状態とする方式もある。従来例にて特に問題となるのは、選択トランジスタS_1のみオフ状態とする方式を採用した時に、メモリセルアレイ端が選択ゲート線SG_1である図９の場合や、選択トランジスタS_2のみオフ状態とする方式を採用した時にメモリセルアレイ端が選択ゲート線SG_2である図１の場合であり、これらの場合にはメモリセルアレイ端の選択ゲート線が加工ばらつきにより細くなって断線したり、選択トランジスタのチャネル長の短縮に起因したカットオフ特性の悪化により、ビット線とソース線がショートすることになり不良が発生する。このような場合に本発明を適用すると、メモリセルアレイ端の選択ゲート線の線幅を太く設定するため、選択トランジスタを確実にオフすることができ、不良を防ぐことができる。

【００８０】

上記したように、メモリセルアレイ端の選択ゲート線の線幅を太く設定することは、選択ゲート線加工用マスク中のデータパターン上にて、他の選択ゲート線に比べてメモリセルアレイ端の選択ゲート線の線幅を太く設定する方式を用いることにより実現できる。その他、他の方法を用いてメモリセルアレイ端の選択ゲート線の線幅を太く設定する場合にも本発明は有効であるのは勿論である。

【００８１】

また、メモリセルアレイ端の選択ゲート線の線幅として、加工後の線幅ばらつきは小さいものの、配線の周期性が崩れたことに起因して、マスク上の線幅に対する加工後の線幅の比率が、他の選択ゲート線に比べ、常に小さくなる場合がある。つまり、マスクのデータパターン上にて全ての選択ゲート線が同一の幅の時、メモリセルアレイ端選択ゲート線の線幅が他の選択ゲート線幅よりも常に細くなる場合である。このような時には、加工後の全ての選択ゲート線幅が同一となるように、マスクのデータパターン上にてセルアレイ端の選択ゲート線の線幅を他の選択ゲート線幅よりも太く設定する方式も有効である。この場合には、全ての選択ゲート線幅が同一となるため、全てのＮＡＮＤセル中の選択トラ

ンジスタのチャネル長も同一となり、ビット線やソース線のショートに起因した不良を防ぐことができる。

【００８２】

また、上記第１の実施の形態中では、メモリセルアレイ端のブロック以外のＮＡＮＤセル中の選択ゲート線SG_1とSG_2の配線幅が同一である場合を例にとって説明を行ったが、本発明はこれに限定されるものではない。例えば、セルアレイ端のブロック以外のＮＡＮＤセル中の選択ゲート線SG_1とSG_2の配線幅が異なる場合でも、セルアレイ端の配線が選択ゲート線SG_1の場合はマスクのデータパターン上にてセルアレイ端の選択ゲート線SG_1配線幅を他の選択ゲート線SG_1の配線幅より太くする方式は有効である。同様に、メモリセルアレイ端の配線が選択ゲート線SG_2の場合はマスクのデータパターン上にてセルアレイ端の選択ゲート線SG_2の配線幅を他の選択ゲート線SG_1の配線幅よりも太くする方式は有効であり、本発明を適用可能である。

【００８３】

上記したメモリセルアレイ端のブロックは、通常は、他のブロックの加工精度を向上する目的で設置され、メモリセルアレイ内におけるセルアレイ端のブロック以外での配線の周期性を保つことを実現している。このような場合には、セルアレイ端のブロック内での選択ゲート線や制御ゲート線の加工精度の低下が起こることはやむを得ず、このためセルアレイ端のブロックをダミーブロック（通常データ記憶領域として使用せず加工精度向上のみを目的として配置されたブロックであり、選択不可能且つ他のブロックとの置き換え不可能）とすれば良い。特に、上記第１の実施の形態のうち、セルアレイ端部分のソース線コンタクトやビット線コンタクトを削除したブロック（図８や図１１に相当）は、当然通常のデータ記憶・読み出し動作ができないためダミーブロックとなる。また、セルアレイ端ブロックにおいて、ビット線とソース線とのコンタクトを残し、且つブロック内の制御ゲート線数が他のブロックと同じ場合には、セルアレイ端のブロックをリダンダンシーブロック、つまり不良ブロックの置き換え用ブロック（ヒューズ切断等により不良ブロックとの置き換えが可能なブロック）として用いることも可能である。リダンダンシーセルブロックとして使用する場合の例としては、チップ製造後にまずメモリセルアレイ端のリダンダンシーブロックの動作を確認し、正常であればリダンダンシーブロックとし、異常があればダミーブロックとして使用する方法も可能である。これによって、セルアレイ端のブロックの加工状態に応じてリダンダンシーブロック数を増加でき、非常に大きな効果を得ることができる。本発明を用いることにより、セルアレイ端のブロックの加工後の状態を、従来よりも大幅に改善できるため、このリダンダンシーブロックとしての利用時にも本発明は大変有効となる。このように、セルアレイ端のブロックをダミーブロックとして、あるいはリダンダンシーブロックとして用いる場合にも本発明を適用することができる。

【００８４】

［第２の実施の形態］

次に、本発明の第２の実施の形態に係る半導体記憶装置について説明する。上記第１の実施の形態では、メモリセルアレイ端のブロックの加工精度の低下を問題にしたのに対し、この第２の実施の形態では一つのＮＡＮＤセルにおけるワード線まわりの配線の周期性の崩れに起因した加工精度の低下を防止するものである。

【００８５】

図１６（ａ），（ｂ）は、メモリセルアレイ中の一つのＮＡＮＤセル部分のパターン平面図と等価回路図であり、図１７（ａ），（ｂ）はそれぞれ図１６（ａ）のＡ－Ａ’線及びＢ－Ｂ’線に沿った断面構成図である。素子分離酸化膜１２で囲まれたｐ型シリコン基板（またはｐ型ウェル領域）１１に複数のＮＡＮＤセルからなるメモリセルアレイが形成されている。この第２の実施の形態では、上述した第１の実施の形態と同様に、８個のメモリセルM_1，M_2，…，M_8が直列接続されてＮＡＮＤセルを構成している。

【００８６】

各メモリセルM_1，M_2，…，M_8はそれぞれ、基板１１にゲート酸化膜１３を介して

浮遊ゲート１４（14_1，14_2，…，14_8）が形成され、この上に絶縁膜１５を介して制御ゲート１６（16_1，16_2，…，16_8）が形成されて構成されている。これらのメモリセルM_1，M_2，…，M_8のソース，ドレインであるｎ型拡散層１９（19_1，19_2，…，19_9）は、隣接するもの同士共用する形で接続され、これによりメモリセルM_1，M_2，…，M_8が直列接続される。

【００８７】

ＮＡＮＤセルのドレイン側、ソース側にはそれぞれ、メモリセルM_1，M_2，…，M_8の浮遊ゲート１４、制御ゲート１６と同時に形成された選択ゲート14_9，16_9及び14_{10}，16_{10}が設けられている。これら選択ゲート14_9と16_9及び14_{10}と16_{10}はそれぞれ、図示しない領域で電気的に接続されており、選択ゲートトランジスタS_1，S_2のゲート電極として働く。このように素子形成された基板１１上はＣＶＤ酸化膜（層間絶縁膜）１７により覆われ、このＣＶＤ酸化膜１７上にビット線１８（ＢＬ）が配設されている。ビット線１８はＮＡＮＤセルの一端のドレイン側拡散層19_0にコンタクトされている。行方向に並ぶＮＡＮＤセルの制御ゲート１４は、共通に制御ゲート線ＣＧ（１），ＣＧ（２），…，ＣＧ（８）として配設されている。これらの制御ゲート線はワード線として働く。選択ゲート14_9，16_9及び14_{10}，16_{10}もそれぞれ行方向に連続的に延設され、選択ゲート線SG_1，SG_2として働く。

【００８８】

この第２の実施の形態に係るＮＡＮＤセル型ＥＥＰＲＯＭの特徴は、図１６（ａ）、図１７（ａ）に示したように、制御ゲート線ＣＧ（２）～ＣＧ（７）に比べて、制御ゲート線ＣＧ（１）やＣＧ（８）の線幅が太いことである。

【００８９】

通常、選択ゲート線SG_1，SG_2は、選択ゲートトランジスタS_1，S_2のカットオフ特性の向上（オフ時のリーク電流低減）のため、制御ゲート線より線幅の狙い目を大きく設定してある。また、制御ゲート線ＣＧ（１）～ＣＧ（８）の部分の配線層１４の加工時の選択ゲート線SG_1，SG_2部分への影響を低減するため、制御ゲート線・選択ゲート線間のスペースＳｓｇ１，Ｓｓｇ２は、制御ゲート線間のスペースＳｃｇ１２～Ｓｃｇ７８に比べ狙い目を大きめに設定してある。従って、配線の周期的な配置がＣＧ（１），SG_1間やＣＧ（８），SG_2間にて崩れているため、ＣＧ（２）～ＣＧ（７）に比べて、ＣＧ（１），ＣＧ（８）の加工精度が低下し、加工ばらつきが大きくなる。

【００９０】

しかしながら、図１６（ａ）及び図１７（ａ）の実施の形態のように、選択ゲート線に隣接した制御ゲート線ＣＧ（１），ＣＧ（８）の線幅の狙い目を、他の制御ゲート線に比べて、大きく設定することにより、加工精度の低下によって多少制御ゲート線ＣＧ（１）やＣＧ（８）が細くなった場合にも、元々の線幅の狙い目が大きいために制御ゲート線ＣＧ（１）やＣＧ（８）の出来上がりの線幅が制御ゲート線ＣＧ（２）～ＣＧ（７）に比べて極端に小さくなることはない。この場合には、図３８（ｂ）に示したようなチャネル長が極端に細くなったことに起因するメモリセルのカットオフ特性の極端な低減を防ぐことができ、常に図３８（ａ）のようにカットオフ可能な状態を実現できる。

【００９１】

また、上記第２の実施の形態中では、ＮＡＮＤセル中の制御ゲート線のうち、線幅の狙い目を大きくする制御ゲート線としては選択ゲート線に隣接したもの２本のみであるため、線幅の狙い目を大きくすることによるＮＡＮＤセルサイズの増加はあまり大きくならない。

【００９２】

従って、上記第２の実施の形態を用いることにより、チップサイズの大幅な増加を招くことなく、データ書き込み・読み出しの信頼性が高いチップを実現できる。

【００９３】

上記第２の実施の形態では、ＮＡＮＤセル中制御ゲート線のうち、選択ゲート線に隣接した制御ゲート線のみに対して、線幅の狙い目を他の制御ゲート線に比べて大きくする場

合の実施の形態を示した。この実施の形態の内容を式にて表すと、
Ｗｃｇ１＞Ｗｃｇ２～Ｗｃｇ７
Ｗｃｇ８＞Ｗｃｇ２～Ｗｃｇ７
Ｗｃｇ２＝Ｗｃｇ３＝Ｗｃｇ４＝Ｗｃｇ５＝Ｗｃｇ６＝Ｗｃｇ７
となる。また、この場合にＷｃｇ１，Ｗｃｇ８の狙い目のＷｃｇ２～Ｗｃｇ７に対する増加量に関しては、周期性が崩れた場合に制御ゲート線ＣＧ（１），ＣＧ（８）のそれぞれが受ける影響の大きさ（加工精度の低減の度合い）に応じて最適な値を取れば良い。従って、制御ゲート線ＣＧ（１），ＣＧ（８）のそれぞれが受ける影響の大きさによりＷｃｇ１＝Ｗｃｇ８とするのが最適な場合もあれば、Ｗｃｇ１＞Ｗｃｇ８あるいはＷｃｇ１＜Ｗｃｇ８とするのが最適な場合もある。

【００９４】
この場合、Ｗｃｇ１やＷｃｇ８が他の制御ゲート線より太いため、Ｗｃｇ１，Ｗｃｇ２間やＷｃｇ７，Ｗｃｇ８間にて厳密に言えば周期性が崩れるが、Ｗｃｇ１，Ｗｃｇ８とＷｃｇ２，Ｗｃｇ７の差が比較的小さければ、Ｗｃｇ１，Ｗｃｇ２間やＷｃｇ７，Ｗｃｇ８間にて周期性が崩れた影響によるＷｃｇ２やＷｃｇ７等の加工精度の低下量は小さくなる。この第２の実施の形態では、制御ゲート線幅の違いによる周期性が崩れに起因した加工精度の低下量が小さい（問題とならないレベル）範囲内でのワード線幅の調整をする場合を考える。

【００９５】
一般的には、図１６（ａ）や図３８（ａ）中のＳｕ，Ｗｓｇ１，Ｓｓｇ１に対して、それぞれＳｌ，Ｗｓｇ２，Ｓｓｇ２が同程度の値であれば、加工精度の低下の度合いが制御ゲート線ＣＧ（１）とＣＧ（８）で同程度となるため、Ｗｃｇ１＝Ｗｃｇ８とすることが望ましい。一方、Ｓｕ，Ｗｓｇ１，Ｓｓｇ１に対してそれぞれＳｌ，Ｗｓｇ２，Ｓｓｇ２の方が比較的小さな値の場合にはＷｃｇ１＞Ｗｃｇ８が最適となり、また、Ｓｕ，Ｗｓｇ１，Ｓｓｇ１に対してそれぞれＳｌ，Ｗｓｇ２，Ｓｓｇ２の方が比較的大きな値の場合にはＷｃｇ１＜Ｗｃｇ８が最適となる可能性が高い。

【００９６】
上記第２の実施の形態では、ＮＡＮＤセル内の制御ゲート線と選択ゲート線との配線配置の周期性が崩れることにより、周期性が崩れる境界にある制御ゲート線ＣＧ（１），ＣＧ（８）の加工精度が低下する問題を解決する方法について説明した。通常は、制御ゲート線ＣＧ（１）～ＣＧ（８）の中でもＣＧ（１），ＣＧ（８）の加工精度の低下の度合いが特に大きいので、上記第２の実施の形態は有効である。

【００９７】
しかしながら、この周期性が崩れる影響は、境界にある配線以外にも影響を及ぼし、境界に近いほど影響が大きい（加工精度の低下が大きい）。例えば、図３６（ａ）中では、最も大きな影響を受けるのが制御ゲート線ＣＧ（１），ＣＧ（８）、続いて大きな影響を受けるのがＣＧ（２），ＣＧ（７）、次がＣＧ（３），ＣＧ（６）、…、となる。制御ゲート線ＣＧ（１），ＣＧ（８）以外にＣＧ（２），ＣＧ（７）等においても加工精度の低下が問題となる場合には、上記したように線幅の狙い目を大きくする方式を制御ゲート線ＣＧ（２），ＣＧ（７）等に対しても適用することは有効である。制御ゲート線ＣＧ（１），ＣＧ（８），ＣＧ（２），ＣＧ（７）の４つに対してのみ適用する場合には、
Ｗｃｇ１＞Ｗｃｇ２＞Ｗｃｇ３～Ｗｃｇ６
Ｗｃｇ８＞Ｗｃｇ７＞Ｗｃｇ３～Ｗｃｇ６
Ｗｃｇ３＝Ｗｃｇ４＝Ｗｃｇ５＝Ｗｃｇ６
のように周期性が崩れる境界に近い側の線幅の狙い目を大きくする方式が特に有効である。その他、周期性が崩れる影響に合わせて、
Ｗｃｇ１＞Ｗｃｇ２＞Ｗｃｇ３＞Ｗｃｇ４，Ｗｃｇ５
Ｗｃｇ８＞Ｗｃｇ７＞Ｗｃｇ６＞Ｗｃｇ４，Ｗｃｇ５
Ｗｃｇ４＝Ｗｃｇ５
とする方式も有効である。

【００９８】
また、上記第２の実施の形態では、線幅を大きめに設定する制御ゲート線の数として、選択ゲート線SG_1寄りの制御ゲート線と選択ゲート線SG_2寄りの制御ゲート線に対して同じ場合を例にとって説明したが、本発明はこれに限定されるものではない。例えば、周期性の崩れによる加工精度の低下の度合いが選択ゲート線SG_1寄りの制御ゲート線の方が大きい場合には、
Ｗｃｇ１＞Ｗｃｇ２＞Ｗｃｇ３＝Ｗｃｇ４＝Ｗｃｇ５＝Ｗｓｇ６＝Ｗｓｇ７
Ｗｃｇ８＞Ｗｃｇ３＝Ｗｃｇ４＝Ｗｃｇ５＝Ｗｓｇ６＝Ｗｓｇ７
とし、反対に周期性の崩れによる加工精度の低下の度合いが選択ゲート線SG_2寄りの制御ゲート線の方が大きい場合には、
Ｗｃｇ１＞Ｗｃｇ２＝Ｗｃｇ３＝Ｗｃｇ４＝Ｗｃｇ５＝Ｗｓｇ６
Ｗｃｇ８＞Ｗｓｇ７＞Ｗｃｇ２＝Ｗｃｇ３＝Ｗｃｇ４＝Ｗｃｇ５＝Ｗｓｇ６
とする方式が最も有効となる場合もある。また、周期性の崩れによる加工精度の低下の度合いが選択ゲート線SG_2寄りの制御ゲート線にて小さい場合には、
Ｗｃｇ１＞Ｗｃｇ２＝Ｗｃｇ３＝Ｗｃｇ４＝Ｗｃｇ５＝Ｗｓｇ６＝Ｗｓｇ７＝Ｗｓｇ８
のように、線幅の増加を選択ゲート線SG_1寄り制御ゲート線に対してのみ適用する方式が極めて有効となり、同様に周期性の崩れによる加工精度の低下の度合いがSG_1寄りの制御ゲート線にて小さい場合は、
Ｗｃｇ８＞Ｗｓｇ１＝Ｗｃｇ２＝Ｗｃｇ３＝Ｗｃｇ４＝Ｗｃｇ５＝Ｗｓｇ６＝Ｗｓｇ７
のように線幅増加を選択ゲート線SG_2寄り制御ゲート線に対してのみ適用する方式が極めて有効となる。

【００９９】
上述した第２の実施の形態中には、ＮＡＮＤセル中の大半の制御ゲート線の線幅を大きめに設定するものもあったが、大きく設定することが必要不可欠な線に対してのみ必要最小限の大きさだけ線幅を大きくする方式を用いているため、従来のような制御ゲート線幅を一様に大きく設定する方式に比べると、ＮＡＮＤセルサイズの増加量を小さくすることができる。また、加工精度とＮＡＮＤセルサイズを検討することにより、上記第２の実施の形態中のどの方式が最も有効であるかを調べることができる。

【０１００】
以上、配線等の周期性が崩れることによる加工精度の低下に起因した問題を解決するために、選択的にワード線幅の狙い目を変更する方式を用いる、という本発明の第２の実施の形態について説明したが、本発明はこの第２の実施の形態に限定されるものではなく、種々変形可能である。上記第２の実施の形態中では、選択ゲート線と制御ゲート線の間の周期性の崩れがある場合を例にとって本発明の説明を行ったが、他の部分の周期性の崩れ、例えば制御ゲート線の配置が周期的でない場合や、選択ゲート線や制御ゲート線以外の配線の影響等にて周期性を実現できない場合などにも有効であり、選択的にゲート線幅の狙い目を変更する方式を適用可能である。

【０１０１】
また、前記第２の実施の形態の説明では、制御ゲート線と選択ゲート線等の線幅の狙い目を選択的に大きくする方式について説明した。実際のチップの製造工程においては、マスク上におけるサイズを変更する方法が最も容易であり、通常この方法が用いられる。すなわち、制御ゲート線や選択ゲート線の加工用マスク中のデータパターン上にて、選択ゲート線に隣接した制御ゲート線幅を他の制御ゲート線幅よりも大きくすることにより上記第２の実施の形態を実現できる。しかしながら、マスクを用いる以外の方法を用いる場合にも、上記第２の実施の形態を実現できる方法であれば、本発明を適用できるのは勿論である。

【０１０２】
更に、上記第２の実施の形態にて線幅を大きめに設定した配線は、加工精度が比較的低いものであり、加工ばらつきにより線幅が細くなる度合いが最も大きい場合にもメモリセルのカットオフ特性が悪化しないように線幅の狙い目を設定したものである。従って、多

くの場合（加工ばらつきによって線幅が極端に細くならなかった場合）には、線幅の狙い目が大きい配線は加工後に配線幅が他の制御ゲート線より大きくなる。

【０１０３】

また、上記第２の実施の形態中では、制御ゲート線群の端に位置する制御ゲート線の加工精度が低下して加工ばらつきが大きくなる場合の説明を行ったが、他の場合にも本発明は適用可能であり有効である。例えば全制御ゲート線のマスク上の配線幅が同一の場合に、制御ゲート線群の端に位置する制御ゲート線の線幅が、配線の周期性の崩れのため、他の制御ゲート線より常に細く加工される場合にも適用できる。つまり、加工ばらつきは小さいが、制御ゲート線群の端に位置する制御ゲート線において、マスク上の配線幅に対する加工後の配線幅の割合が他の制御ゲート線よりも安定して小さな値となる場合にも適用できる。この場合には、加工後の配線幅が全ての制御ゲート線において同じとなるように、制御ゲート線群の端に位置する制御ゲート線のマスク上の配線幅を他の制御ゲート線の配線幅より少し大きくする方法が有効である。

【０１０４】

［第３の実施の形態］

次に、本発明の第３の実施の形態に係る半導体記憶装置について説明する。上記第１，第２の実施の形態では、メモリセルアレイ端のブロックや一つのＮＡＮＤセルにおけるワード線まわりの配線の周期性の崩れに起因した加工精度の低下を防止するのに対し、この第３の実施の形態は製造工程中に制御ゲート線に印加されるストレスにより、メモリセルの浮遊ゲートまわりの絶縁膜の信頼性が低下したり、記憶データが破壊されたりするのを防止するものである。

【０１０５】

図１８（ａ），（ｂ）は、メモリセルアレイ中の一つのＮＡＮＤセル部分のパターン平面図と等価回路図であり、図１９（ａ），（ｂ）はそれぞれ図１８（ａ）のＡ－Ａ’線及びＢ－Ｂ’線に沿った断面構成図である。素子分離酸化膜１２で囲まれたｐ型シリコン基板（またはｐ型ウェル領域）１１に複数のＮＡＮＤセルからなるメモリセルアレイが形成されている。この第３の実施の形態では、前述した第１，第２の実施の形態と同様に、８個のメモリセルM_1，M_2，…，M_8が直列接続されてＮＡＮＤセルを構成している。

【０１０６】

各メモリセルM_1，M_2，…，M_8はそれぞれ、基板１１にゲート酸化膜１３を介して浮遊ゲート１４（14_1，14_2，…，14_8）が形成され、この上に絶縁膜１５を介して制御ゲート１６（16_1，16_2，…，16_8）が形成されて構成されている。これらのメモリセルM_1，M_2，…，M_8のソース，ドレインであるｎ型拡散層１９（19_1，19_2，…，19_9）は、隣接するもの同士共用する形で接続され、これによりメモリセルM_1，M_2，…，M_8が直列接続されている。

【０１０７】

ＮＡＮＤセルのドレイン側、ソース側にはそれぞれ、メモリセルの浮遊ゲート及び制御ゲートと同一工程で形成された選択ゲート14_9，16_9及び14_{10}，16_{10}が設けられている。上記選択ゲート14_9と16_9及び14_{10}と16_{10}はそれぞれ、図示しない領域で電気的に接続されており、選択ゲートトランジスタS_1，S_2のゲート電極として働く。このようにして素子形成された基板１１上はＣＶＤ酸化膜（層間絶縁膜）１７により覆われ、このＣＶＤ酸化膜１７上にビット線１８（ＢＬ）が配設されている。ビット線１８はＮＡＮＤセルの一端のドレイン側拡散層19_0にコンタクトされている。行方向に並ぶＮＡＮＤセルの制御ゲート１４は、共通に制御ゲート線ＣＧ（１），ＣＧ（２），…，ＣＧ（８）として配設されている。これらの制御ゲート線はワード線として働く。選択ゲート14_9，16_9及び14_{10}，16_{10}もそれぞれ行方向に連続的に選択ゲート線SG_1，SG_2として配設されている。また、上記ビット線１８と制御ゲート線・選択ゲート線用配線層との間にソース線用の配線層２２が配設され、ＮＡＮＤセルのソース側拡散層19_{10}（ビット線コンタクトと反対側の端）にコンタクトされている。

【０１０８】

図２０は、メモリセルアレイとロウデコーダとの接続例、及びロウデコーダの構成例を示している。各ブロック毎のＮＡＮＤセルブロックデコード信号はナンドゲート５１に供給され、ロウデコーダ起動信号ＲＤＥＣＤはインバータ５２に供給される。上記ナンドゲート５１の出力信号及び上記インバータ５２の出力信号はそれぞれノアゲート５３に供給され、このノアゲート５３の出力信号が電圧切換回路５４に供給される。この電圧切換回路５４は、上記ノアゲート５３の出力信号に応答してノードＮ１，Ｎ２のレベルを切り換えるもので、インバータ５５とフリップフロップ５６とから構成されている。上記ノアゲート５３の出力信号と上記インバータ５５の出力信号が上記フリップフロップ５６に供給され、このフリップフロップ５６の出力が反転される。この電圧切換回路５４からノードＮ１を経てロウデコーダ５ａ，５ｂに電圧ＶＰＰＲＷが供給される。上記ロウデコーダ５ａには信号ＳＧＤ，ＳＧＤＳ，ＣＧＤ２，ＣＧＤ４，ＣＧＤ６，ＣＧＤ８が供給され、上記ロウデコーダ５ｂには信号ＣＧＤ１，ＣＧＤ３，ＣＧＤ５，ＣＧＤ７，ＳＧＳ及び電圧ＶＰＰＲＷが供給される。そして、メモリセルアレイ２に上記ロウデコーダ５ａ，５ｂによるデコード信号が供給されるようになっている。

【０１０９】

図２０から分かるように、メモリセルアレイ２中の制御ゲート線ＣＧ（１）～ＣＧ（８）や選択ゲート線SG_1，SG_2は、ロウデコーダ５ａ，５ｂ中のトランジスタのソース・ドレインの一方に接続されている。

【０１１０】

上記メモリセルアレイ２内からロウデコーダ５ａ，５ｂ内への制御ゲート線と選択ゲート線の接続に関する構成例を図２１に示す。図２１（ａ）は制御ゲート線の構成例、図２１（ｂ）選択ゲート線の構成例である。図２１（ａ）や図２１（ｂ）の右端のＮチャネル型トランジスタＱＮはロウデコーダ５ａ，５ｂ内のトランジスタに相当する。

【０１１１】

制御ゲート線は、図２１（ａ）の例では、メモリセルアレイ２からロウデコーダ５ａ，５ｂ内のトランジスタＱＮに接続する際には、制御ゲート線より上層の配線層としては１層の配線層２２しか用いていない。よって、このような構成によれば、製造工程中に制御ゲート線にコンタクトを取る回数が１回で済むため、コンタクト加工時に制御ゲート線が帯電して浮遊ゲートまわりの絶縁膜にストレスが印加される回数も１回となり、従来の２回と比べて大幅にストレスを低減できる。これによって、コンタクト加工時の浮遊ゲートまわりの絶縁膜膜質の悪化を従来よりも大幅に改善でき、メモリセルの高いデータ保持特性を実現できる。従って、データ破壊の危険性を従来よりも大幅に低減した信頼性の高いチップを実現できる。

【０１１２】

一方、選択ゲート線は、図２１（ｂ）の例では、メモリセルアレイからロウデコーダ５ａ，５ｂ内のトランジスタＱＮに接続する際に、制御ゲート線よりも上層の配線層として２層の配線層２２，１８を用いている。これは、選択ゲート線はＮＡＮＤセル内の選択トランジスタのゲート電極を構成しており、ゲート電極まわりの絶縁層の膜質に対して極めて高い要求が必要とされる動作や役目（メモリセルにおけるデータ保持に相当）がないため、選択ゲート線には多少のストレスが印加されても大きな問題とはならないからである。

【０１１３】

また、通常選択ゲート線はブロックの選択・非選択を制御する役目があり、信頼性の高い動作の実現のためには選択ゲート線の充放電が高速に行えることが望ましい。例えば、ビット線から読み出し動作時に非選択ブロックのＮＡＮＤセルを介して流れるリーク電流を低減するには、非選択ブロックの選択トランジスタを高速にオフする必要があり、このため選択ゲート線の充放電の高速化は重要となる。この高速化を実現するためには、メモリセルアレイ２からロウデコーダ５ａ，５ｂ内の選択ゲート線の配線抵抗の値が低いことが望ましい。通常、異なる配線層を比較すると、上層の配線の方が抵抗率が低くなるため、選択ゲート線の配線としては、少しでも上層の配線を用いることが望ましく、従って、

図２１（ｂ）の例では上層の配線層１８を用いて接続した。一方、制御ゲート線に関しては、通常、充放電の高速化よりもメモリセルのデータ保持特性を向上する方が重要であるため、図２１（ａ）においては配線層１８を用いることなしに接続を行っている。

【０１１４】

また、ロウデコーダ５ａ，５ｂのパターン作成に関しても図２１のように、セルアレイ２からロウデコーダ５ａ，５ｂへの配線として、制御ゲート線と選択ゲート線とで異なる配線層を用いることにより次のような利点が得られる。すなわち、ロウデコーダ５ａ，５ｂのパターンは、ＮＡＮＤセルの１ブロックの幅（図１８（ａ）の長辺方向の長さに相当）に、図２０に示したロウデコーダ５ａ，５ｂの全てのトランジスタを配置せねばならない。つまり、パターン作成時には上記した１ブロック幅に多く（制御ゲート線と選択ゲート線を合わせた数）の配線を通さねばならない。図３９（ａ），（ｂ）に示したように、制御ゲート線と選択ゲート線の配線層が同じ構造の場合には、制御ゲート線と選択ゲート線の配線を重ねて配置できないため、配線を通すために必要な幅が広くなり、ロウデコーダ５ａ，５ｂのパターン面積が増加する、配線のデザインルールを厳しくせざるを得ない（配線ピッチを小さくせざるを得ない）、等の問題が起こる。これに対し、図２１（ａ），（ｂ）に示したように、配線に用いる主な配線層（図２１における制御ゲート線として用いる配線層２２や選択ゲート線として用いる配線層１８に相当）が、制御ゲート線と選択ゲート線とで異なる場合には、制御ゲート線と選択ゲート線を重ねて配置できるため、デザインルールを厳しくすることなく、パターン面積の小さなロウデコーダ５ａ，５ｂを形成できる。

【０１１５】

上記し、また以下に述べる主な配線層若しくは主配線の配線層とは、選択ゲート線や制御ゲート線において、メモリセルアレイ端からロウデコーダ中へのトランジスタの接続に用いる配線層のうち、配線長が最も長い配線（第３の実施の形態の図面中で最も長く描かれている）を構成する配線層に相当し、図２１に示した制御ゲート線における配線層２２や、選択ゲート線における配線層１８に相当する。また、１本の選択ゲート線や１本の制御ゲート線と接続するロウデコーダ中のトランジスタが複数ある場合には、メモリセルアレイ端からの配線を最初に接続するトランジスタ（通常は最もメモリセルアレイ側に配置されたトランジスタに相当）の接続部とメモリセルアレイ端の間の配線のみを考えることにし、この範囲内で配線長が最も長い配線を構成する配線層を主配線の配線層と呼ぶことにする。

【０１１６】

上記第３実施の形態では、メモリセルアレイ２からロウデコーダ５ａ，５ｂへの配線層において、制御ゲート線に用いる配線層よりも上層にある配線層を制御ゲート線に用いることにより、選択ゲート線の高速な充放電動作と、コンタクト加工時のメモリセルへの印加ストレスの低減、ロウデコーダ５ａ，５ｂのパターン面積の低減を実現する方式について説明したが、本発明は上記第３の実施の形態に限定されるものではなく種々変形可能である。

【０１１７】

例えば、上記第３の実施の形態において制御ゲート線として図２１（ａ）に示した構成の代わりに図２２（ａ）や図２２（ｂ）に示した配線構造を用い、選択ゲート線としては図２１（ｂ）の配線構造を用いても同様な作用効果が得られる。図２２（ａ）は、制御ゲート線を一度配線層２２に接続した後、再び制御ゲート線と同じ工程で形成された配線層１６に接続するものである。また、図２２（ｂ）は、制御ゲート線を一度配線層２２に接続した後、配線層２２と配線層１６との間にある配線層２３に接続するものである。この配線層２３を用いる構成は、配線層１６と直接接続できない配線、例えばポリシリコン配線を用いる場合などに好適なものであり、この場合には配線層１６や配線層２３と接続可能な配線層２２を介在させて両配線層間を接続することになる。図２２（ａ）や図２２（ｂ）に示したような配線構造を用いる場合にも、図２１（ａ）の場合と同様に、制御ゲート線16_i（ｉ＝１～８）に対してストレスが印加されるコンタクトの加工工程が１回（

配線層２２と制御ゲート線16_i（ｉ＝１～８）間のコンタクト）で済む上、制御ゲート線に主として用いる配線層２２や２３が選択ゲート線に主に用いられる配線層１８（図２１（ｂ）参照）と異なるため、図２１に示した配線構造を用いたときと同様な効果が得られる。

【０１１８】

図２３（ａ），（ｂ），（ｃ）はそれぞれ、メモリセルアレイ２からロウデコーダ５ａ，５ｂへの配線構造の別の例を示しており、制御ゲート線の配線構造として図２３（ａ），（ｂ），（ｃ）を、選択ゲート線の配線として図２１（ｂ）を用いた場合について次に述べる。

【０１１９】

図２３（ａ）は、制御ゲート線として主に配線層１８を用い、且つ配線層16_i（ｉ＝１～８）を用いて制御ゲート線をｐｎ接合に接続した構成である。配線層１８は配線層２２を介して配線層16_iに接続されており、配線層16_iがn^+型拡散層２５にコンタクトされている。上記制御ゲート線は、動作時に０Ｖ～２０Ｖ程度の電圧範囲を取るため、ｐ型ウェル領域が０Ｖ以下の電圧であれば、通常動作時にはこのn^+型拡散層２５とｐ型ウェル領域間が順バイアスとなることはなく、動作に影響を与えない。図２３（ａ）のＮチャネル型トランジスタＱＮが形成されるｐ型ウェル電圧も通常０Ｖ以下にあるため、n^+型拡散層２５とトランジスタＱＮのソース・ドレイン領域を同じｐ型ウェル領域中に形成することも可能であり、この場合にはｐ型ウェル領域を２個設ける必要がなくなるためパターン面積を縮小できる。このように、配線層16_iをｐｎ接合に接続すると、製造工程中の配線層２２と配線層16_i間のコンタクト加工時や、配線層１８と配線層２２間のコンタクト加工時に配線層16_iが帯電しようとした場合に、このｐｎ接合が配線層16_iの電荷を放電する電流パスの役目をするため、配線層16_iの帯電に起因したメモリセルへの印加ストレスを低減できる。通常、配線層16_iはポリシリコンを用いて形成され、この場合には配線層16_iから直接n^+型拡散層２５にコンタクトを取った場合には、アルミニウム（Ａｌ）やタングステン（Ｗ）等の配線材を用いたコンタクトの抵抗に比べ、コンタクト抵抗が大きくなる傾向があるため、トランジスタＱＮのソース・ドレインを形成するn^+型拡散層に対してポリシリコン配線を直接接続する方式はあまり使用しない。しかしながら、上記したような製造工程中の配線の帯電を防止するための電流パスとしては、多少コンタクト抵抗が大きくても、ある程度の電流を流すパスとして機能すれば充分であり、ｐｎ接合と配線層16_iとの接続がない場合に比べると、大幅な印加ストレスの低減を実現できる。

【０１２０】

図２３（ｂ）では、ｐｎ接合への接続を配線層２２で行う場合を示している。この場合には、図２１（ａ）の場合と同様に、配線層２２と配線層16_iの接続用のコンタクト加工時に配線層16_iの帯電に起因したストレスが印加される。しかしながら、配線層１８と配線層２２の接続用のコンタクト加工時には、既に配線層２２とｐｎ接合の接続が完了しているため、放電用の電流パスが形成されており、配線層２２や１６の帯電に起因した印加ストレスの大幅な低減を図ることができる。

【０１２１】

従って、図２３（ａ）や図２３（ｂ）から分かるように、従来の配線構造で説明した図３８（ａ）と同様に、配線層１８を制御ゲート線の主配線として用いる場合でも、ｐｎ接合との接続部を設けることにより、コンタクト加工時の配線層16_iの帯電に起因したストレスの印加を大幅に低減できることは明らかである。

【０１２２】

図２３（ｃ）では、図２１（ａ）に示した配線構造に、配線層16_iのｐｎ接合への接続を追加した構成を示しており、この場合には配線層16_iへのコンタクト加工時のストレス印加回数が１回と少ない上、ストレスの印加時には既に配線層16_iのｐｎ接合への接続が完了した状態にあるため、この１回分の印加ストレスが更に低減されたものとなる。従って、極めて印加ストレスを小さく抑えることができる。

【０１２３】
また、図示はしていないが、図２２（ａ）や図２２（ｂ）の構成に配線層１６$_i$のｐｎ接合への接続を加えた場合等、上記第３の実施の形態は種々変形可能である。
【０１２４】
更に、上記第３の実施の形態では、選択ゲート線の構成例として、図２１（ｂ）を用いた場合の配線構造を用いて本発明の説明を行ったが、他の場合、例えば選択ゲート線の構成例として図２４（ａ）～（ｄ）のものを用いた場合にも本発明は有効である。
【０１２５】
まず、制御ゲート線の配線構造として図２２（ａ）を、選択ゲート線の配線構造として図２４（ａ）を用いる場合を考える。メモリセルアレイ２とロウデコーダ５ａ，５ｂ間の接続用に用いることができる配線層として、配線層１６と配線層２２の２つのみである場合に、より抵抗率が低い配線層（配線２２に相当）を選択ゲート線用配線として用い、残りの配線層１６を制御ゲート線用配線として用いる方式であり、制御ゲート線の充放電の高速化の実現やロウデコーダ５ａ，５ｂのパターン面積の縮小につながる。
【０１２６】
また、図２３（ｃ）と図２４（ａ）を用いる場合には、制御ゲート線と選択ゲート線の配線構成の違いはｐｎ接合への接続の有無のみとなる。ｐｎ接合はパターン面積の多少の増加や接続した配線の容量の増加などの欠点があるため、極力ｐｎ接合を接続する配線数は少ない方が望ましい。図２３（ｃ）と図２４（ａ）の配線構造を組み合わせた場合には、制御ゲート線をｐｎ接合へ接続し、選択ゲート線はｐｎ接合に接続しないため、ｐｎ接合の数が最小限（＝制御ゲート線数）となる利点がある。この変形例は、メモリセルアレイ２からロウデコーダ５ａ，５ｂへの接続用の配線に配線層２２のみしか用いることができない場合には特に有効となる方式である。
【０１２７】
上記第３の実施の形態では、選択ゲート線におけるコンタクト加工時の印加ストレスの低減に関しては考慮しない場合について説明してきた。しかしながら、選択ゲート線に印加されるストレスも低減する方が更に好ましく、この場合にはストレス低減の目的でｐｎ接合との接続を行う方式も有効となる。例えば、選択ゲート線の配線構造として図２４（ｂ）を、また制御ゲート線の配線構造として図２１（ａ）、図２２（ａ）、図２２（ｂ）、図２３（ｃ）などを用いた場合も、ロウデコーダ５ａ，５ｂのパターン面積の縮小（制御ゲート線と選択ゲート線の主配線が異なるため）や印加ストレスの低減、選択ゲート線の充放電動作の高速化（＝抵抗率の低い配線層（通常は、より上層に位置する配線層）を選択ゲート線の主配線に使用）等を実現できる。また、選択ゲート線の配線構造として図２４（ｃ）を、また制御ゲート線の配線構造として図２１（ａ）、図２２（ａ）、図２２（ｂ）、図２３（ｃ）などを用いた場合も、同様の効果を得ることができる。更に、選択ゲート線の配線構造として図２４（ｄ）を、また制御ゲート線の配線構造として図２２（ａ）、図２２（ｂ）などを用いた場合にも同様の効果を得ることができる。
【０１２８】
上記第３の実施の形態では、選択ゲート線と制御ゲート線をそれぞれ接続したｐｎ接合は、n^+型拡散層－ｐ型ウェル構成であり、配線層をn^+型拡散層に接続する場合を例にとって説明したが、他の場合、例えばp^+型拡散層－ｎ型ウェル構成のｐｎ接合のp^+型拡散層に接合する場合にも本発明は有効である。この場合には、p^+型拡散層－ｎ型ウェル構成のｐｎ接合が順バイアスとなって制御ゲート線の電圧が変動することを避けるため、通常動作時にはｎ型ウェル領域の電圧を接続された制御ゲート線や選択ゲート線以上の電圧とする必要がある。
【０１２９】
上述した電流パスとしてのｐｎ接合を介しての電流は、n^+型拡散層－ｐ型ウェル構成では配線層の帯電が正の場合にはｐｎ接合の逆方向電流、配線層の帯電が負の場合にはｐｎ接合の順方向電流に相当する。一方、p^+型拡散層－ｎ型ウェル構成では、配線層の帯電が正の場合にはｐｎ接合の順方向電流、配線層の帯電が負の場合にはｐｎ接合の逆方向

電流に相当する。一般的に同一のｐｎ接合においては、順方向電流は逆方向電流に比べずっと大きいため、コンタクト加工時の印加ストレス緩和の効果としては、電流パスを介した電流量がより大きいｐｎ接合の順方向電流を利用する方がより大きい。

【０１３０】

従って、コンタクト加工時の帯電が正の場合には、p^+型拡散層－ｎ型ウェル構成のｐｎ接合を用い、負の場合にはn^+型拡散層－ｐ型ウェル構成のｐｎ接合を用いる構成が印加ストレス低減の効果が最も高くなる。さらに、帯電を防止したい配線層に対して、p^+型拡散層－ｎ型ウェル構成とn^+型拡散層－ｐ型ウェル構成の両方のｐｎ接合を用いる場合には、帯電の正負に関係なくｐｎ接合の順方向電流による電流パスを実現でき、印加ストレスを最大限に緩和できる。

【０１３１】

図２５に、図２３（ｂ）に対して、p^+型拡散層－ｎ型ウェル構成とn^+型拡散層－ｐ型ウェル構成の両方のｐｎ接合を設けた配線構造の例を示す。一般的に、配線層16_iと直接n^+型拡散層やp^+型拡散層とを接続する場合には、配線層16_iがｐ型ポリシリコンの場合はn^+型拡散層２５－１とのコンタクト抵抗が、配線層16_iがｎ型ポリシリコンの場合はp^+型拡散層２５－２とのコンタクト抵抗が極めて大きくなることがあり、この場合にはＡｌやＷなどの（n^+型拡散層２５－１、p^+型拡散層２５－２ともコンタクト抵抗が比較的低い）配線層を介してｐｎ接合と配線層16_iとを接続するのが望ましく、図２５（ａ）ではこの方式を用いている。別の例としては、図２５（ｂ）のように、配線層16_iがｎ型ポリシリコンの場合にn^+型拡散層２５－１と配線層16_iは直接接続し、p^+型拡散層２５－２とは配線層２２を介して接続する、等種々変更可能である。

【０１３２】

図２６に更に他の変形例を示す。図２６では、制御ゲート線の配線が、図２６内に図示されたロウデコーダ５ａ，５ｂ内のトランジスタＱＮに接続される以外にも使用される時に、ロウデコーダ５ａ，５ｂ内にて更に上層にある配線層１８と接続される配線構造であり、この時の配線層１８と配線層２２の間の接続を取るコンタクト加工時の印加ストレスを低減する方式を示している。図２６（ａ）では、配線層２２はトランジスタＱＮのソース・ドレインとしてのn^+型拡散層に接続されている（n^+型拡散層－ｐ型ウェル構成のｐｎ接合と接続されている）ため、新規に配線層２２に接続するｐｎ接合はｎ型ウェル領域中に設けたp^+型拡散層２５－１だけで充分である。図２６（ｂ）では、同様に、配線層２２はトランジスタＱＮのp^+型拡散層に接続されている（p^+型拡散層－ｎ型ウェル構成のｐｎ接合と接続されている）ため、新規に配線層２２に接続するｐｎ接合はｐ型ウェル領域中に設けたn^+型拡散層２５－２だけで充分である。

【０１３３】

図２７に別の変形例を示す。図２７の配線構造は、図２１の変更例である。図２７（ａ）は、図２１（ａ）のトランジスタＱＮの上部に配線層１８を追加したものである。チップの評価時には、通常、ワード線と同電位であるノードに針を当ててワード線電位を測定する手法を用いる。一般的には、配線層の位置が上層であるほど針を当てるのが容易であり、従って、図２７（ａ）の配線層１８のノードは針当たりを容易にすることを目的として設けられている。また、図２７（ａ）を用いる場合のコンタクト開口時のダメージに関しては、図２１（ａ）に比べて、配線層１８と配線層２２との接続用のコンタクト開口時におけるダメージのみ異なるが、この場合には配線層２２が既にトランジスタのｐｎ接合に接続されているため、配線層２２や制御ゲート線14_i（ｉ＝１～８）が帯電することがなく、ほとんどダメージがない。このため、図２１（ａ）の代わりに図２７（ａ）の配線構造を用いる場合にも、従来に比べ大幅に信頼性の高いチップを実現できる。

【０１３４】

図２７（ｂ）は、配線層１８よりも更に上層に位置する配線層が存在する場合の変形例であり、図２７（ａ）に示した配線構造に配線層２４を追加した構成となっている。配線層２４は配線層１８よりも更に上層に位置するため、図２７（ｂ）の配線構造を用いると、図２７（ａ）よりも針当たりが容易になり、また配線層２２と配線層２４間のコンタク

ト開口時には、配線層２２が既にトランジスタＱＮのｐｎ接合に接続されているため、配線層２２や制御ゲート線１４$_{i}$（ｉ＝１～８）が帯電することがなく、ほとんどダメージがない。このため、図２７（ｂ）の配線構造を用いる場合にも、従来に比べ大幅に信頼性の高いチップを実現できる。

【０１３５】

図２７（ｃ）は、図２１（ｂ）に配線層２４を追加した場合の変形例であり、図２７（ｂ）の配線構造と同様に、針当たりを容易にするとともに、従来に比べ大幅に信頼性の高いチップを実現できる。

【０１３６】

以上、種々の変形例を用いて本発明の第３の実施の形態について説明を行ったが、本発明は上記第３の実施の形態に限定されるものではなく、種々変更可能である。例えば図２５及び図２６では、制御ゲート線の配線構造例を示したが、選択ゲート線に対して同様の配線構造を用いることもできる。

【０１３７】

また、上記第３の実施の形態中では、メモリセルアレイ端において、選択ゲート線の電圧を他の配線等と接続する場合に、配線層１４にコンタクトを取る場合を例にとって本発明の説明を行ったが、メモリセルアレイ内等にて選択ゲート線部の配線層１４と配線層１６が接続されている場合には、上記第３の実施の形態にて配線１４$_{j}$（ｊ＝９，１０）と接続していた部分を配線１６$_{j}$（ｊ＝９，１０）との接続に変更することも可能であり、上記第３の実施の形態と同様の効果を得ることができる。

【０１３８】

また、上記第３の実施の形態では、制御ゲート線のメモリセルアレイ２からロウデコーダ５ａ，５ｂの配線構造が全て同一である場合を例にとって説明を行ったが、上記複数の変形例を組み合わせた場合も有効である。例えば、選択ゲート線は図２１（ｂ）、制御ゲート線８本のうち、３本は図２３（ｂ）、５本は図２１（ａ）を用いる配線構造においても本発明は有効である。また、選択ゲート線は図２１（ｂ）を用い、制御ゲート線８本のうち２本が図２１（ａ）、３本が図２２（ａ）、３本が図２３（ｂ）のように３種類以上の変形例を組み合わせた場合においても本発明は有効となる。ロウデコーダ５ａ，５ｂのパターンを考えた場合、メモリセルアレイ２からロウデコーダ５ａ，５ｂにおける制御ゲート線と選択ゲート線の主配線の配線層が分かれていた方が各配線を重ねてパターンを作成できる。例えば、３つの配線層に分かれていれば３段に重ねて描けるため、パターン面積を小さくできる。その他パターン面積の縮小を実現するために、パターン作成時の都合により、上記変形例の複数を組み合わせて使用することは大変有効となる。

【０１３９】

上記第３の実施の形態中では、配線に用いる配線層の最上層が配線層１８である場合を例にとって本発明の説明を行ったが、上記以外の場合、例えば配線層１８の上層に位置し、配線層１８と直接接続可能な配線層を追加して使用する等の変更も可能であり、このような配線構造にも本発明は有効である。

【０１４０】

なお、上記第１ないし第３の実施の形態では１個のＮＡＮＤセル中で直列接続されたメモリセルの数が８個の場合について説明したが、直列接続するメモリセルの数が８個ではなく、例えば２，４，１６，３２，６４個などであっても同様に本発明は適用可能である。また、上記第１ないし第３の実施の形態中では、ＮＡＮＤセル型ＥＥＰＲＯＭを例にとって本発明の説明を行ったが、本発明はＮＡＮＤ型ＥＥＰＲＯＭに限られるものではなく他のデバイス、例えば第１，第３の実施の形態はＮＯＲセル型ＥＥＰＲＯＭ、ＤＩＮＯＲセル型ＥＥＰＲＯＭ、ＡＮＤセル型ＥＥＰＲＯＭ、選択トランジスタ付ＮＯＲセル型ＥＥＰＲＯＭなどにおいても適用可能であり、第２の実施の形態はＤＩＮＯＲセル型ＥＥＰＲＯＭ、ＡＮＤセル型ＥＥＰＲＯＭなどにも適用可能である。

【０１４１】

図２８にＮＯＲセル型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図を示す。こ

のメモリセルアレイは、ワード線WL_j，WL_{j+1}，WL_{j+2}，…とビット線BL_0，BL_1，…，BL_mとの各交差位置に、ＮＯＲセルM_{j0}～M_{j+2m}が設けられ、各ＮＯＲセルM_{j0}～M_{j+2m}の制御ゲートは行毎にワード線WL_j，WL_{j+1}，WL_{j+2}，…に、ドレインは列毎にビット線BL_0，BL_1，…，BL_mにそれぞれ接続され、ソースはソース線ＳＬに共通接続されて構成されている。

【０１４２】

また、図２９にＤＩＮＯＲセル型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図を示す。ＤＩＮＯＲセル型のメモリセルアレイでは、各メインビット線D_0，D_1，…，D_nに対応してＤＩＮＯＲセルのブロックが設けられる。各ＤＩＮＯＲセルは選択ゲートトランジスタSQ_0，SQ_1，…，SQ_nとメモリセルM_{00}～M_{31n}とから構成されており、上記選択ゲートトランジスタSQ_0，SQ_1，…，SQ_nのドレインは各メインビット線D_0，D_1，…，D_nに、ゲートは選択ゲート線ＳＴに、ソースはローカルビット線LB_0，LB_1，…，LB_nにそれぞれ接続される。各メモリセルM_{00}～M_{31n}のドレインは列毎に上記ローカルビット線LB_0，LB_1，…，LB_nに接続され、コントロールゲートは行毎に制御ゲート線W_0～W_{31}に接続され、ソースはソース線ＳＬに共通接続される。

【０１４３】

図３０は、ＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図を示している。ＡＮＤセル型のメモリセルアレイにあっては、各メインビット線D_0，D_1，…，D_nに対応してＡＮＤセルのブロックが設けられる。各ＡＮＤセルは第１の選択ゲートトランジスタSQ_{10}，SQ_{11}，…，SQ_{1n}、メモリセルM_{00}～M_{31n}及び第２の選択ゲートトランジスタSQ_{20}，SQ_{21}，…，SQ_{2n}から構成されており、上記第１の選択ゲートトランジスタSQ_{10}，SQ_{11}，…，SQ_{1n}のドレインは各メインビット線D_0，D_1，…，D_nに、ゲートは第１の選択ゲート線ST_1に、ソースはローカルビット線LB_0，LB_1，…，LB_nにそれぞれ接続される。各メモリセルM_{00}～M_{31n}のドレインは列毎にローカルビット線LB_0，LB_1，…，LB_nに接続され、コントロールゲートは行毎に制御ゲート線W_0～W_{31}に接続され、ソースはローカルソース線LS_0，LS_1，…，LS_nに接続される。上記第２の選択ゲートトランジスタSQ_{20}，SQ_{21}，…，SQ_{2n}のドレインは各ローカルソース線LS_0，LS_1，…，LS_nにそれぞれ接続され、ゲートは第２の選択ゲート線ST_2に、ソースはメインソース線ＭＳＬに共通接続される。

【０１４４】

更に、図３１に選択トランジスタ付ＮＯＲセル型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図を示す。このメモリセルアレイは、選択トランジスタＳＱとメモリセルトランジスタＭとから成るメモリセルＭＣがアレイ状に配置されて構成される。各選択トランジスタＳＱのドレインは列毎にビット線BL_0，BL_1，…，BL_nに接続され、ゲートは行毎に選択ゲート線ＳＴに接続され、ソースは対応するメモリセルトランジスタＭのドレインに接続される。上記メモリセルトランジスタＭの制御ゲートは行毎にワード線ＷＬに接続され、ソースはソース線ＳＬに共通接続される。

【０１４５】

なお、上記ＤＩＮＯＲセル型ＥＥＰＲＯＭの詳細に関しては“Ｈ．Ｏｎｏｄａ ｅｔ ａｌ．，ＩＥＤＭ Ｔｅｃｈ． Ｄｉｇｅｓｔ，１９９２，ｐｐ．５９９－６０２”を、上記ＡＮＤセル型ＥＥＰＲＯＭの詳細に関しては“Ｈ．Ｋｕｍｅ ｅｔ ａｌ．，ＩＥＤＭ Ｔｅｃｈ． Ｄｉｇｅｓｔ，１９９２，ｐｐ．９９１－９９３をそれぞれ参照されたい。

【０１４６】

ＤＩＮＯＲセルではメモリセル群の片方にしか選択ゲート線がないが、たとえ選択ゲート線がない部分でも制御ゲート線の周期性が崩れる（例えば、制御ゲート線群の選択ゲートがない側の端の制御ゲート線（図２９中のワード線Ｗ３１に相当）の部分）ことによる加工精度の低下に起因した問題を解決するために、選択的にワード線幅の狙い目を変更す

ることは有効であり、この場合にも本発明の第２の実施の形態を適用可能である。

【０１４７】

また、上記第１ないし第３の実施の形態では電気的に書き替えが可能な不揮発性半導体記憶装置を例にとって本発明の説明を行ったが、他のデバイスでも使用可能であり、例えば他の不揮発性半導体記憶装置、あるいは第１，第２の実施の形態はＤＲＡＭ、ＳＲＡＭ等のデバイスにも同様に適用可能である。

【０１４８】

以上、第１ないし第３の実施の形態とその種々の変形例を用いて本発明の説明を行ったが、本発明はその他、要旨を逸脱しない範囲で種々変更可能である。

【図面の簡単な説明】

【０１４９】

【図１】本発明の第１の実施の形態に係る半導体記憶装置について説明するためのもので、ＮＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイ中のブロック配置を示す図。

【図２】ＮＡＮＤセルがマトリクス配列されたメモリセルアレイの等価回路図。

【図３】図１に示したＮＡＮＤ－Ａセルにより構成されたブロックの構成例を示すもので、（ａ）図は図２におけるメモリセルアレイの一つのＮＡＮＤセル部分のパターン平面図、（ｂ）図はその等価回路図。

【図４】図１に示したＮＡＮＤ－Ａセルにより構成されたブロックの構成例を示すもので、（ａ）図は図３（ａ）のＡ－Ａ’線に沿った断面構成図、（ｂ）図はＢ－Ｂ’線に沿った断面構成図。

【図５】図１に示したＮＡＮＤ－Ｂセルにより構成されたブロックの構成例を示すもので、（ａ）図は図２におけるメモリセルアレイの一つのＮＡＮＤセル部分のパターン平面図、（ｂ）図はその等価回路図。

【図６】図１に示したＮＡＮＤ－Ｂセルにより構成されたブロックの構成例を示すもので、図５（ａ）のＡ－Ａ’線に沿った断面構成図。

【図７】図１に示したＮＡＮＤ－Ｂセルにより構成されたブロックの他の構成例を示すもので、（ａ）図は図２におけるメモリセルアレイの一つのＮＡＮＤセル部分のパターン平面図、（ｂ）図はその等価回路図。

【図８】図１に示したＮＡＮＤ－Ｂセルにより構成されたブロックの他の構成例を示すもので、図７（ａ）のＡ－Ａ’線に沿った断面構成図。

【図９】ＮＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイ中の他のブロック配置を示す図。

【図１０】図１に示したＮＡＮＤ－Ｂセルを構成するブロックの更に他の構成例を示すもので、（ａ）図は図２におけるメモリセルアレイの一つのＮＡＮＤセル部分のパターン平面図、（ｂ）図はその等価回路図。

【図１１】図１に示したＮＡＮＤ－Ｂセルを構成するブロックの更に他の構成例を示すもので、図１０（ａ）のＡ－Ａ’線に沿った断面構成図。

【図１２】ＮＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイ中の更に他のブロック配置を示す図。

【図１３】ＮＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイ中の別のブロック配置を示す図。

【図１４】ＮＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイ中の更に別のブロック配置を示す図。

【図１５】ＮＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイ中の更に他のブロック配置を示す図。

【図１６】本発明の第２の実施の形態に係る半導体記憶装置について説明するためのもので、（ａ）図はメモリセルアレイ中の一つのＮＡＮＤセル部分のパターン平面図、（ｂ）図はその等価回路図。

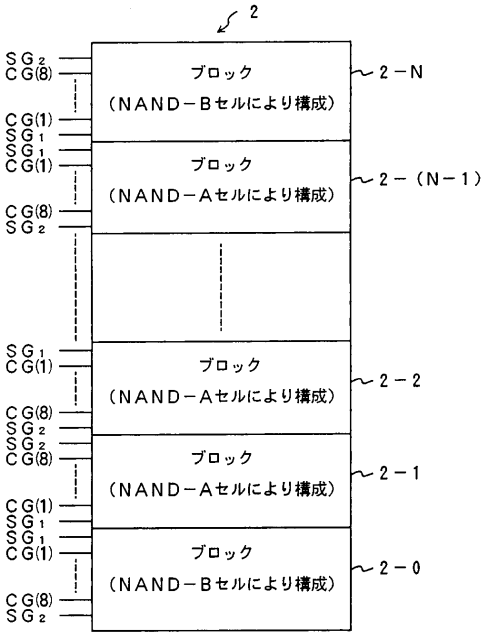
【図１７】本発明の第２の実施の形態に係る半導体記憶装置について説明するためのもので、（ａ）図は図１６（ａ）のＡ－Ａ’線に沿った断面構成図、（ｂ）図はＢ－Ｂ’線に

沿った断面構成図。
【図１８】本発明の第３の実施の形態に係る半導体記憶装置について説明するためのもので、（ａ）図はメモリセルアレイ中の一つのＮＡＮＤセル部分のパターン平面図、（ｂ）図はその等価回路図。
【図１９】本発明の第３の実施の形態に係る半導体記憶装置について説明するためのもので、（ａ）図は図１８（ａ）のＡ－Ａ’線に沿った断面構成図、（ｂ）図はＢ－Ｂ’線に沿った断面構成図。
【図２０】本発明の第３の実施の形態に係る半導体記憶装置について説明するためのもので、メモリセルアレイとロウデコーダの接続例、及びロウデコーダの構成例を示す回路図。
【図２１】図２０に示した回路におけるメモリセルアレイ内からロウデコーダ内への制御ゲート線と選択ゲート線の接続に関する構成例を示すもので、（ａ）図は制御ゲート線の断面構成図、（ｂ）図は選択ゲート線の断面構成図。
【図２２】図２１（ａ）に示した制御ゲート線の他の構成例を示すもので、（ａ）図は制御ゲート線を一度別の配線層に接続した後、再び制御ゲート線と同じ配線層に接続する場合、（ｂ）図は制御ゲート線を一度別の配線層に接続した後、この配線層と制御ゲート線の配線層との間にある配線層に接続する場合の断面構成図。
【図２３】制御ゲート線のメモリセルアレイからロウデコーダの配線構造の別の例を示しており、（ａ）図は制御ゲート線配線として最上層の配線層を用い且つ制御ゲートとｐｎ接合を制御ゲート線の配線層を用いて直接接続した場合、（ｂ）図はｐｎ接合への接続を行う配線層が制御ゲート線用配線層より上層の配線層の場合、（ｃ）図は（ａ）図に制御ゲート線のｐｎ接合への接続を追加した場合の断面構成図。
【図２４】選択ゲート線の構成例について説明するためのもので、（ａ）図は選択ゲート線の充放電の高速化の実現やロウデコーダのパターン面積の縮小を図った選択ゲート線の配線構造、（ｂ）図はストレス低減の目的でｐｎ接合との接続を行うようにした選択ゲート線の配線構造、（ｃ）図及び（ｄ）図はロウデコーダのパターン面積の縮小、ストレスの低減、選択ゲート線の充放電動作の高速化等を図った選択ゲート線の配線構造。
【図２５】選択ゲート線の構成例について説明するためのもので、（ａ）図は図２３（ｂ）の配線構造に対して、p^+型拡散層－ｎ型ウェル構成とn^+型拡散層－ｐ型ウェル構成の両方のｐｎ接合を設けた配線構造、（ｂ）図は配線層がｎ型ポリシリコンの場合にn^+型拡散層とこの配線層を直接接続し、p^+型拡散層とは別の配線層を介して接続する配線構造。
【図２６】選択ゲート線の異なる構成例について説明するためのもので、（ａ）図及び（ｂ）図はそれぞれロウデコーダ内のトランジスタのソース・ドレイン領域としての拡散層を利用してストレスを低減する配線構造。
【図２７】図２１に示した配線構造の変更例を示すもので、（ａ）図は図２１（ａ）のトランジスタの上部に電位測定用の針を当てる配線層を追加した配線構造、（ｂ）図は図２７（ａ）に示した配線構造に電位測定用の針を当てる配線層をさらに追加した配線構造、（ｃ）図は図２１（ｂ）に示した配線構造に電位測定用の針を当てる配線層を追加した配線構造。
【図２８】ＮＯＲセル型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図。
【図２９】ＤＩＮＯＲセル型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図。
【図３０】ＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図。
【図３１】選択トランジスタ付ＮＯＲセル型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図。
【図３２】従来の半導体記憶装置について説明するためのもので、ＮＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイ中のブロック配置を示す図。
【図３３】図３２に示したメモリセルアレイの一部の詳細な構成例を示しており、ＮＡＮＤセルがマトリックス配列されたメモリセルアレイの等価回路図。
【図３４】図３３に示した回路における一つのＮＡＮＤセルを抽出して詳細に示しており

、（ａ）図はＮＡＮＤセル部分のパターン平面図、（ｂ）図はその等価回路図。
【図３５】図３３に示した回路における一つのＮＡＮＤセルを抽出して詳細に示しており、（ａ）図は図３４（ａ）に示したパターンのＡ－Ａ’線に沿った断面構成図、（ｂ）図はＢ－Ｂ’線に沿った断面構成図。
【図３６】図３３に示した回路における一つのＮＡＮＤセルを抽出した他の詳細な構成例を示しており、（ａ）図はＮＡＮＤセル部分のパターン平面図、（ｂ）図はその等価回路図。
【図３７】図３３に示した回路における一つのＮＡＮＤセルを抽出した他の詳細な構成例を示しており、（ａ）図は図３６（ａ）に示したパターンのＡ－Ａ’線に沿った断面構成図、（ｂ）図はＢ－Ｂ’線に沿った断面構成図。
【図３８】加工精度が低下した場合の問題について説明するためのもので、（ａ）図は制御ゲート線が狙い目の線幅にある場合、（ｂ）図は制御ゲート線が狙い目よりも細くなった場合のメモリセルの断面構成図。
【図３９】メモリセルアレイ内からロウデコーダ内への制御ゲート線と選択ゲート線との接続に用いられる配線構造について説明するためのもので、（ａ）図は制御ゲート線、（ｂ）図は選択ゲート線の配線構造を示す図。
【符号の説明】
【０１５０】
２…メモリセルアレイ、２－０～２－Ｎ…ブロック、５ａ，５ｂ…ロウデコーダ、１１…ｐ型シリコン基板（またはｐ型ウェル領域）、１２…素子分離酸化膜、１３…ゲート絶縁膜、１４（14_1，14_2，…，14_8）…浮遊ゲート、１５…絶縁膜、１６（16_1，16_2，…，16_8）…制御ゲート（配線層）、１７…ＣＶＤ酸化膜（層間絶縁膜）、１８，ＢＬ，BL_1～BL_m…ビット線（配線層）、１９（19_1，19_2，…，19_9）…ｎ型拡散層、２２，２４…配線層、２５…n^+型拡散層、M_1，M_2，…，M_8…メモリセル、SG_1，SG_2…選択ゲート線、ＣＧ（１）～ＣＧ（８）…制御ゲート線、ＱＮ…Ｎチャネル型トランジスタ。

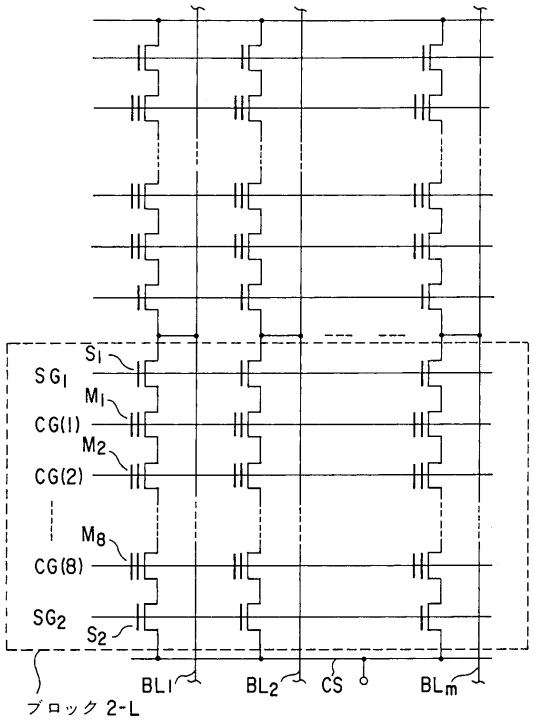
【図１】

図１



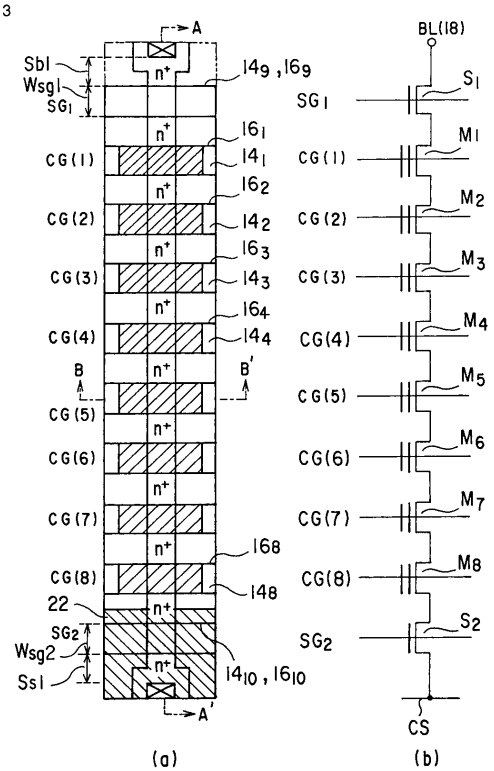
【図２】

図２



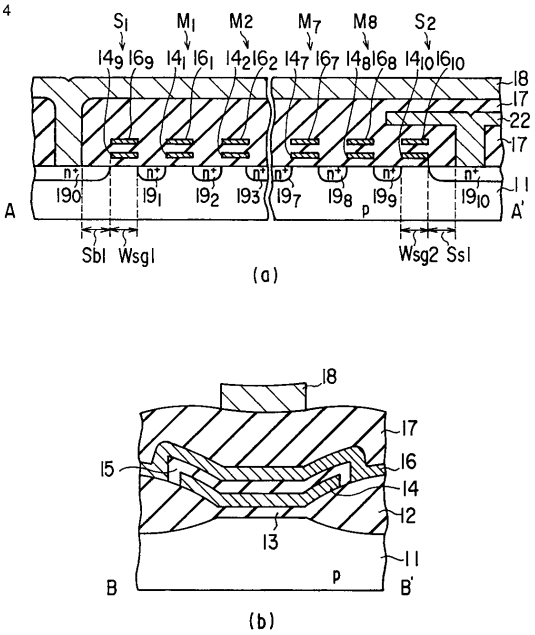
【図３】

図３



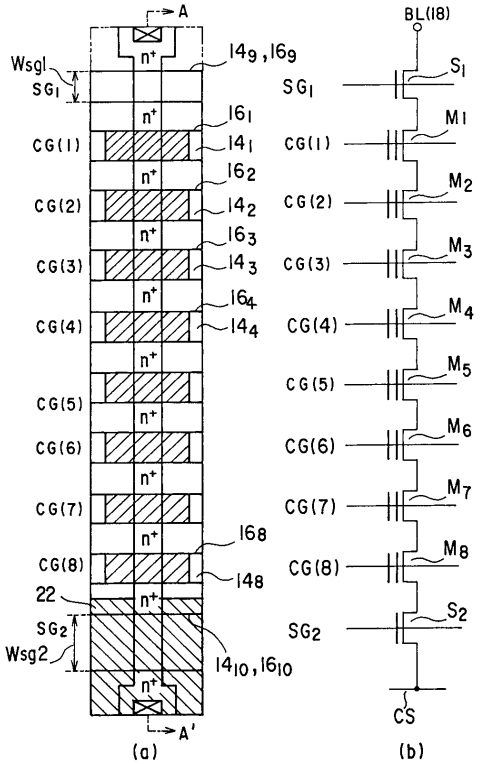
【図４】

図４



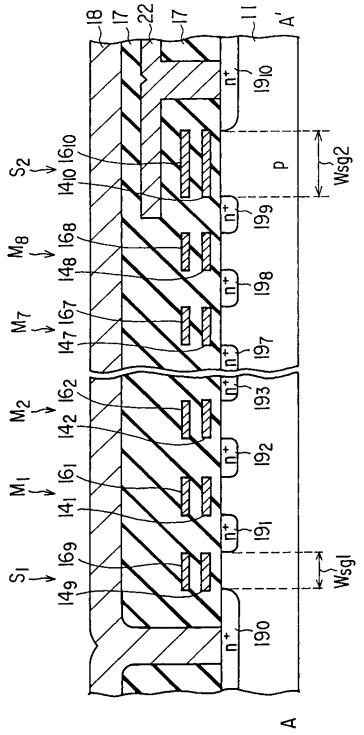
【図５】

図５



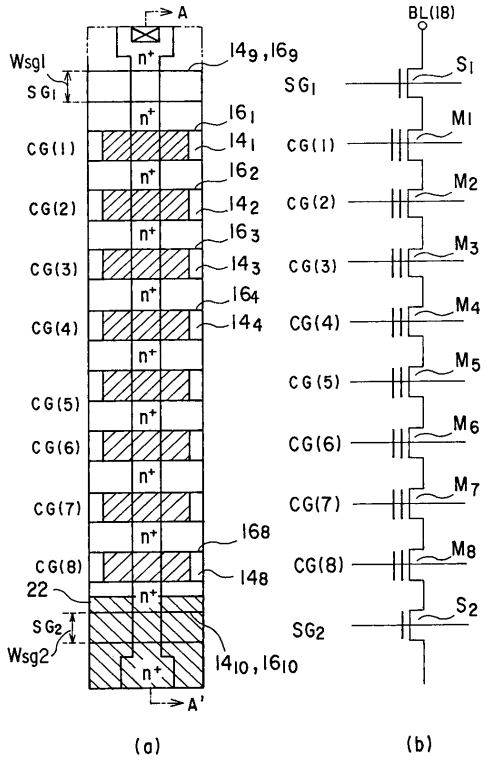
【図６】

図６



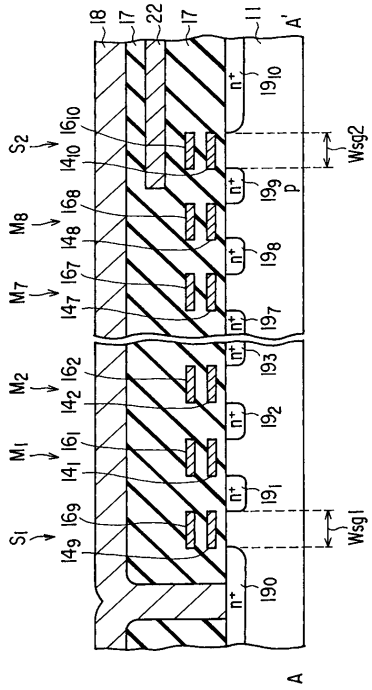
【図７】

図７



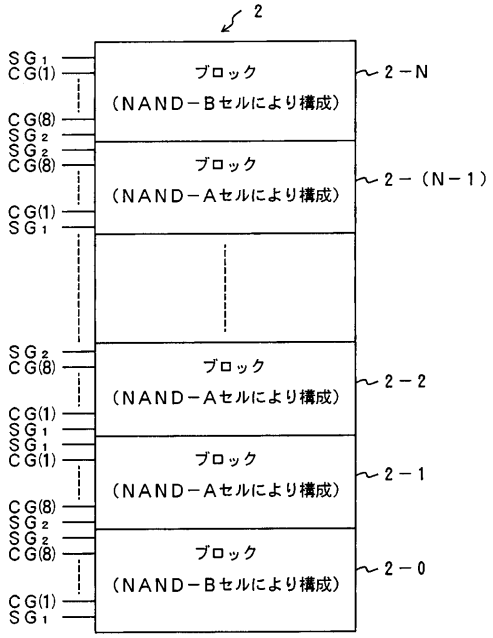
【図８】

図８



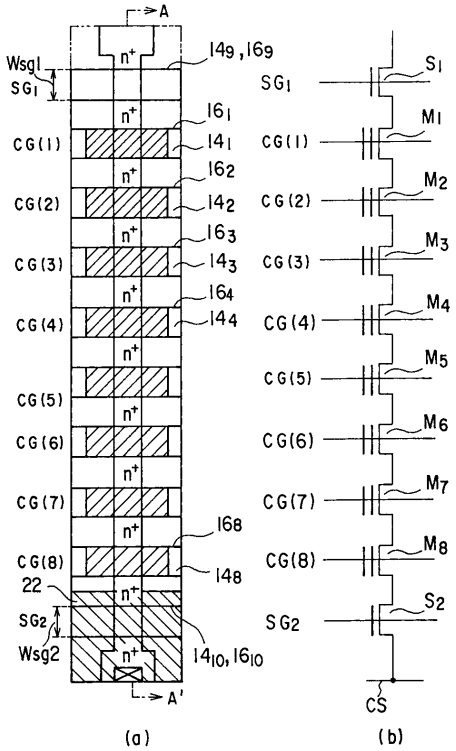
【図９】

図9



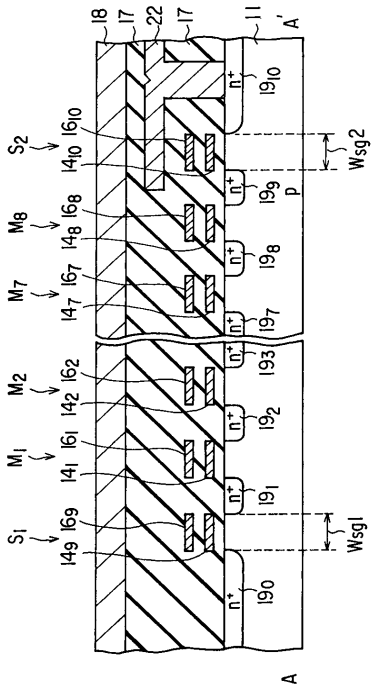
【図１０】

図10



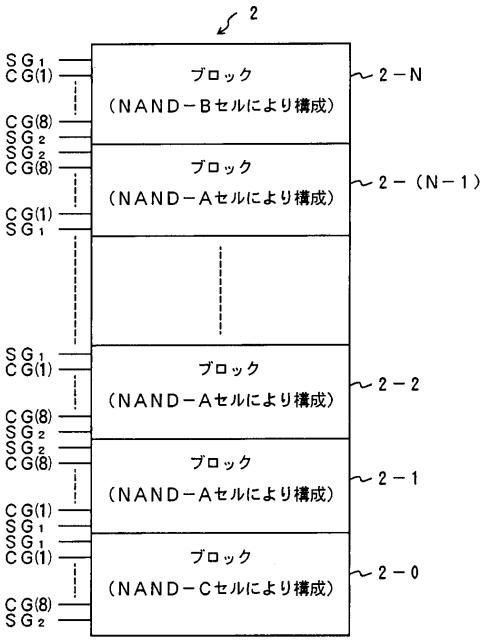
【図１１】

図11



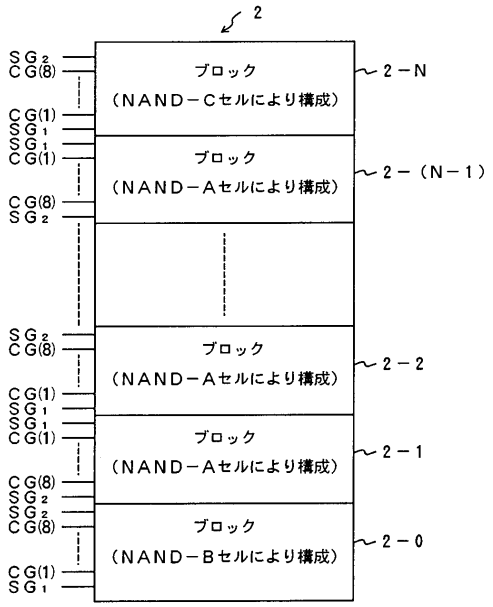
【図１２】

図12



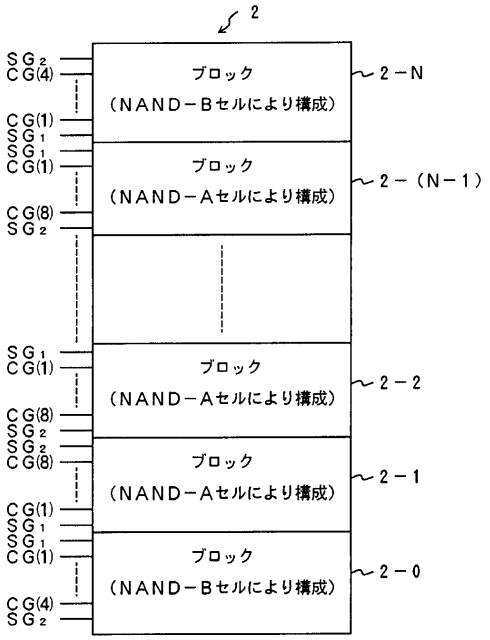
【図１３】

図13



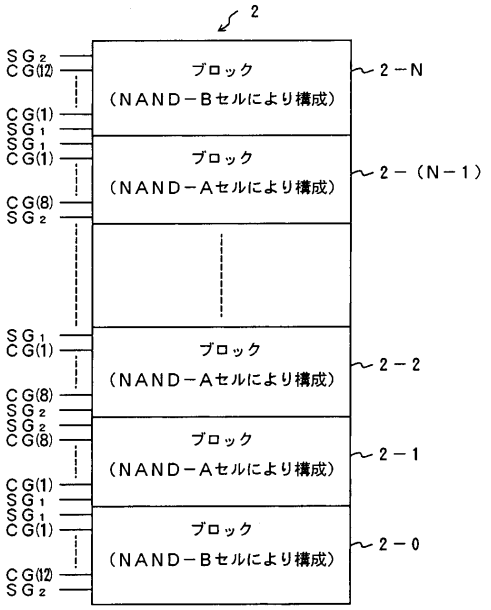
【図１４】

図14



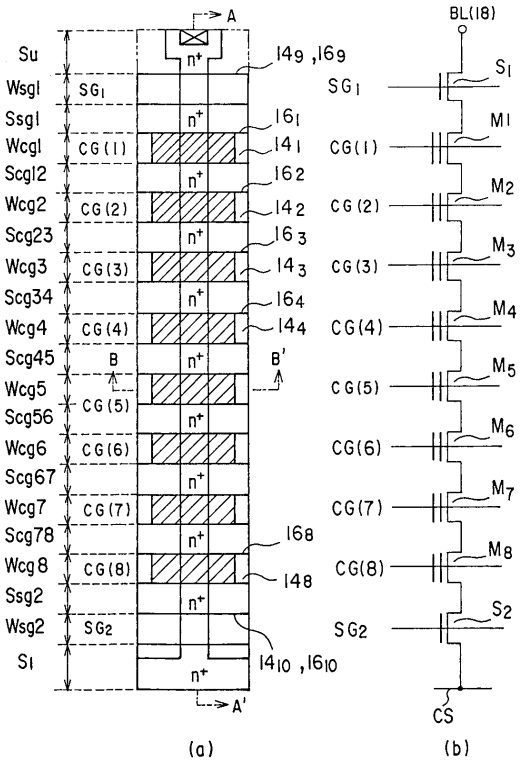
【図１５】

図15



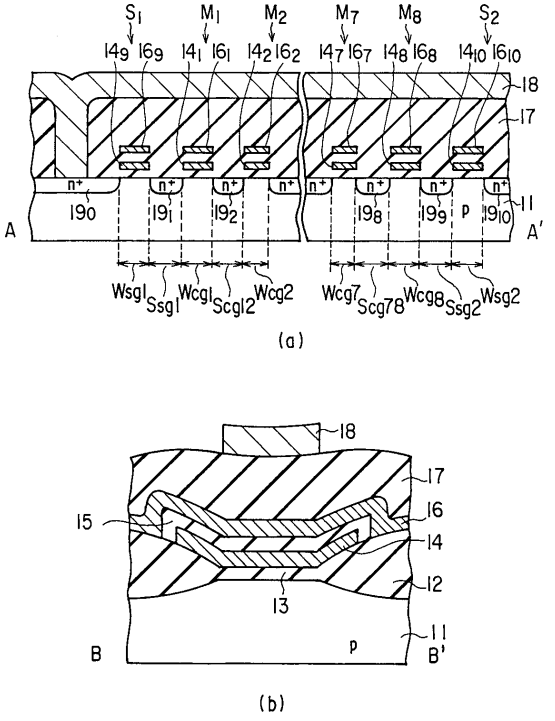
【図１６】

図16



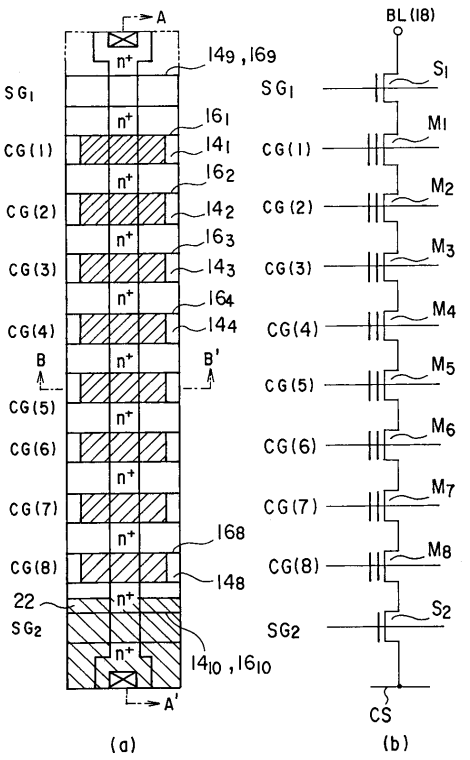
【図１７】

図17



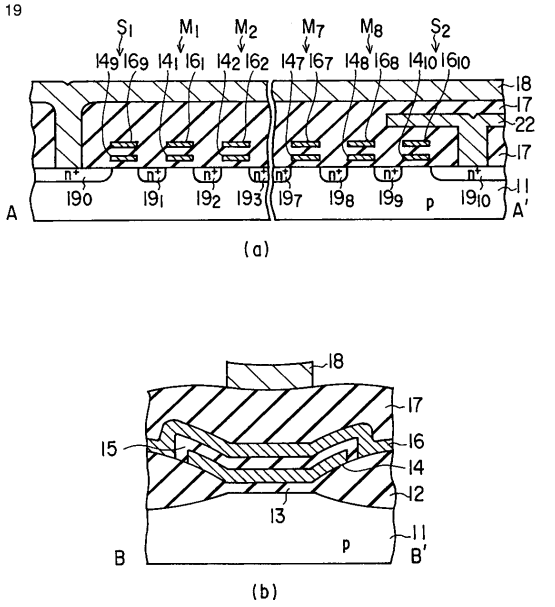
【図１８】

図18



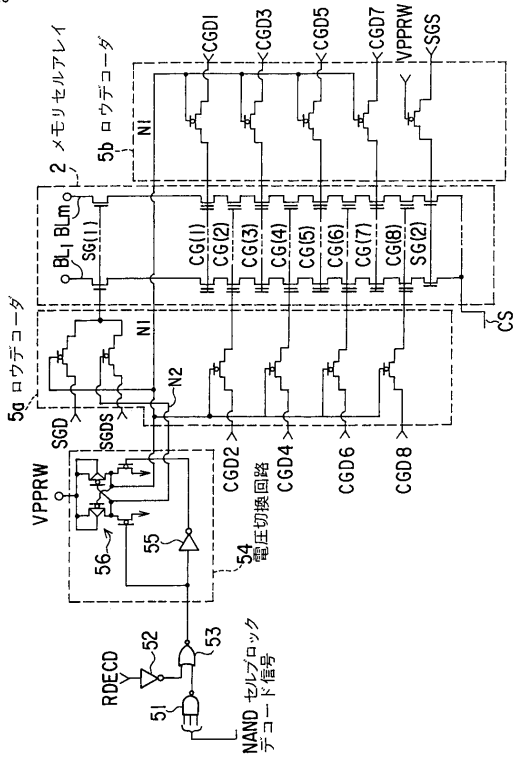
【図１９】

図19



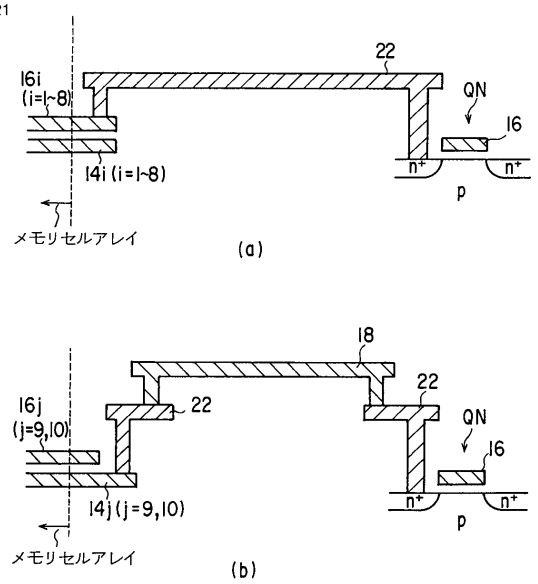
【図２０】

図20



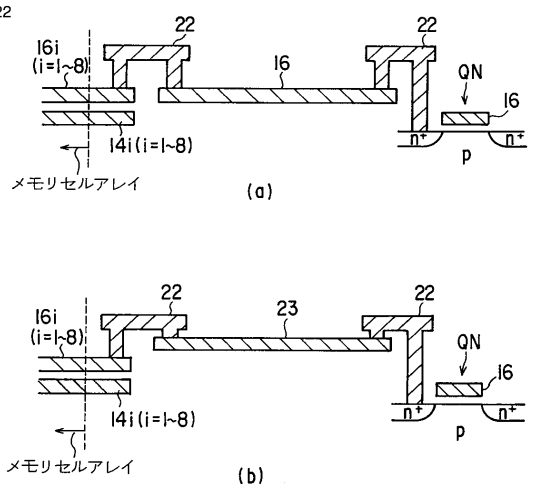
【図２１】

図21



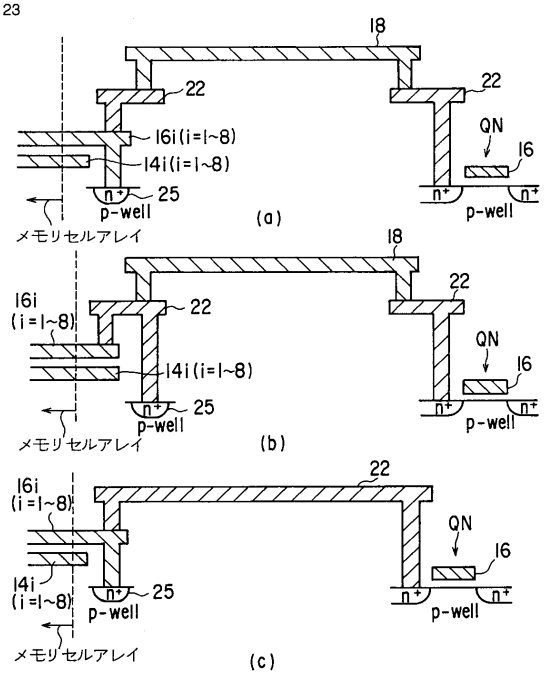
【図２２】

図22



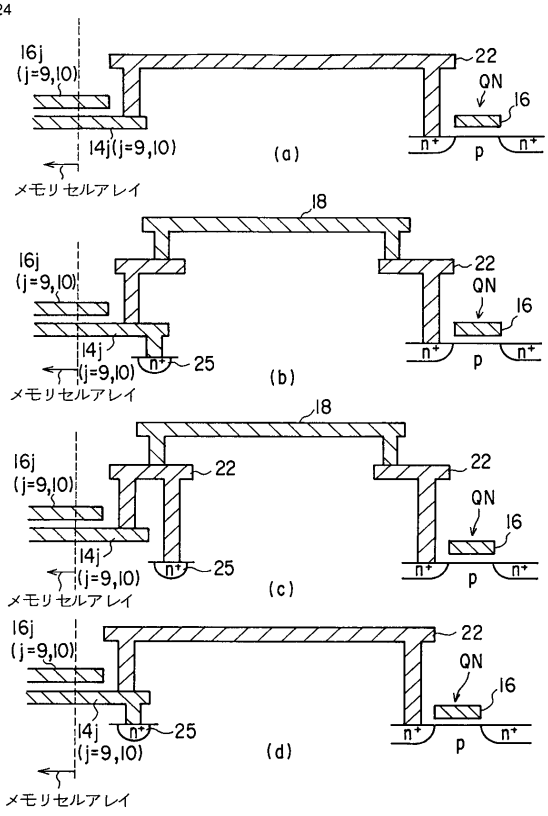
【図２３】

図23



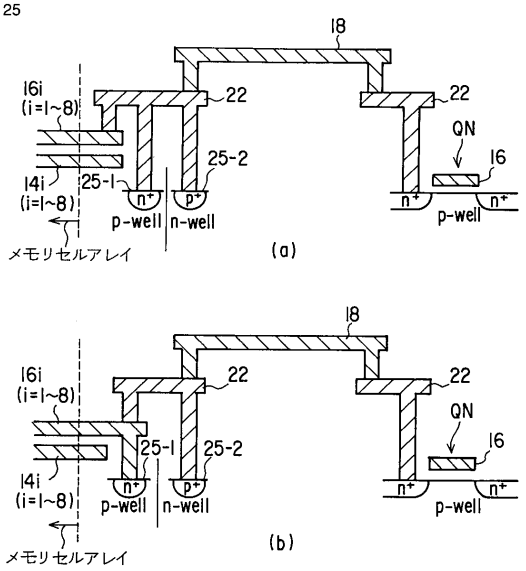
【図２４】

図24



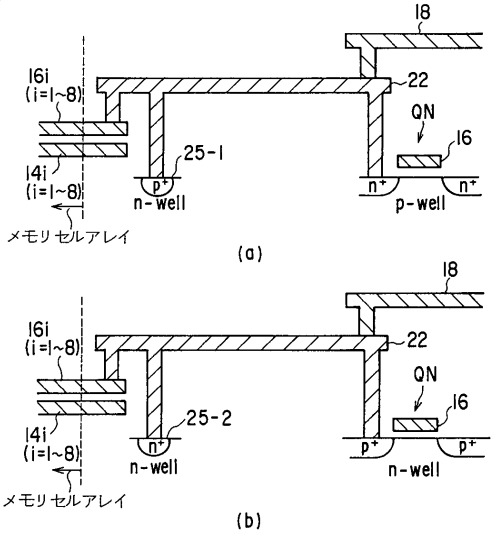
【図２５】

図25



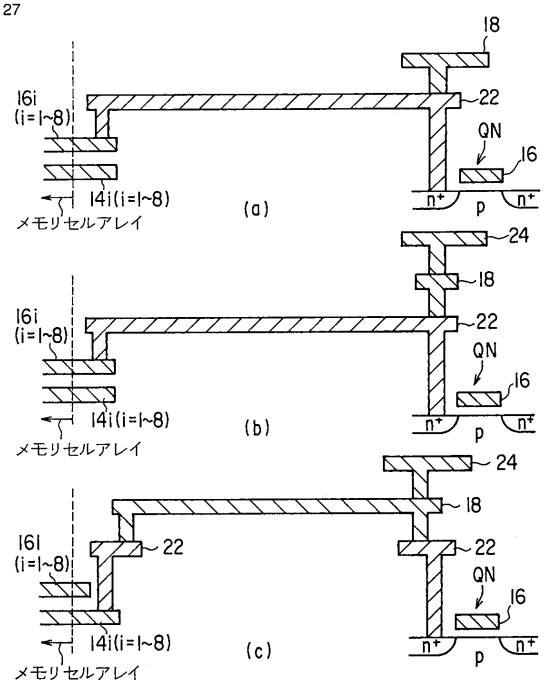
【図２６】

図26



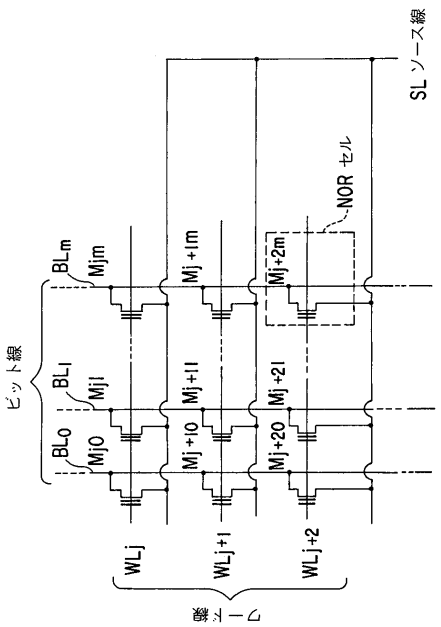
【図２７】

図27



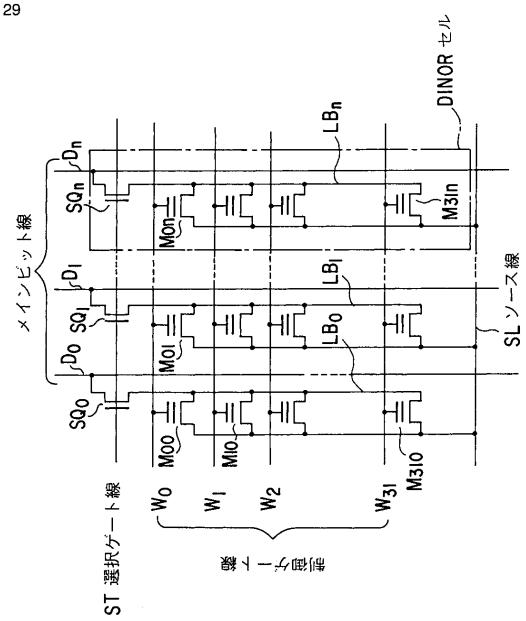
【図２８】

図28



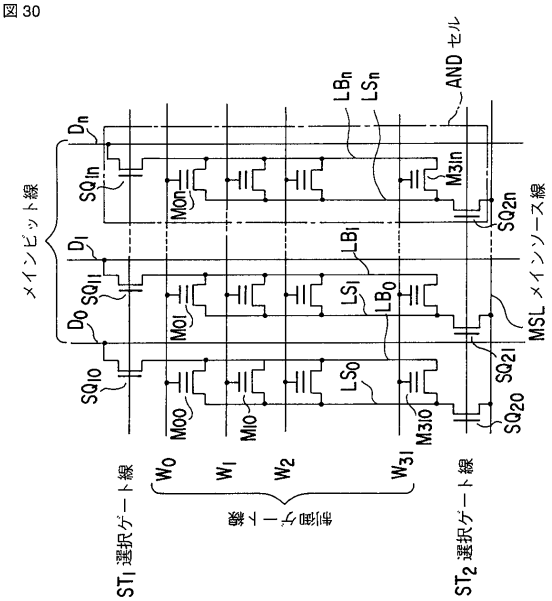
【図２９】

図29



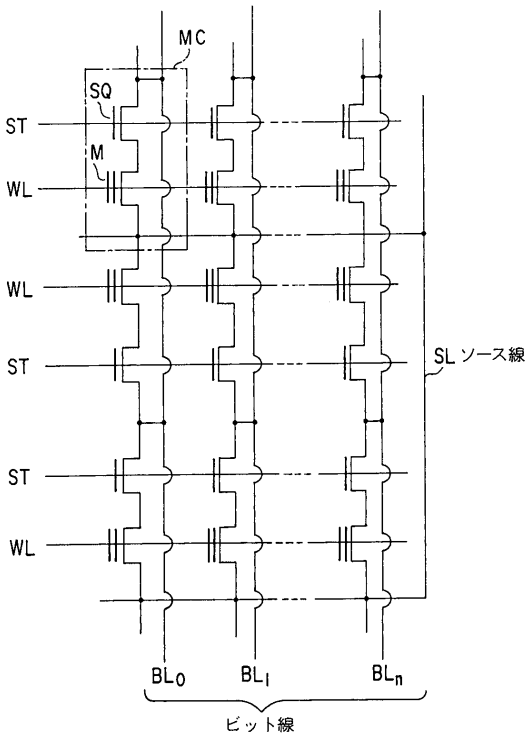
【図３０】

図30



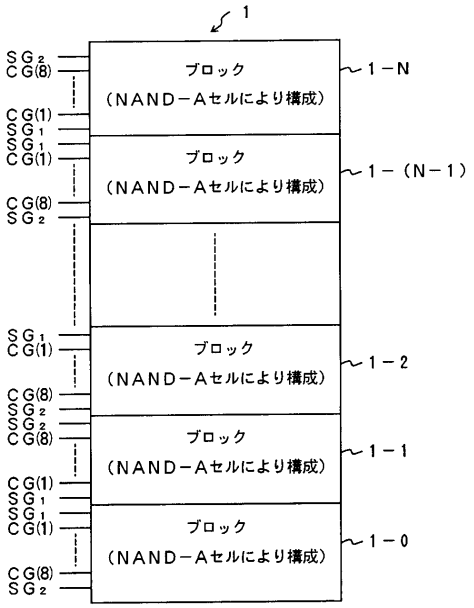
【図３１】

図31



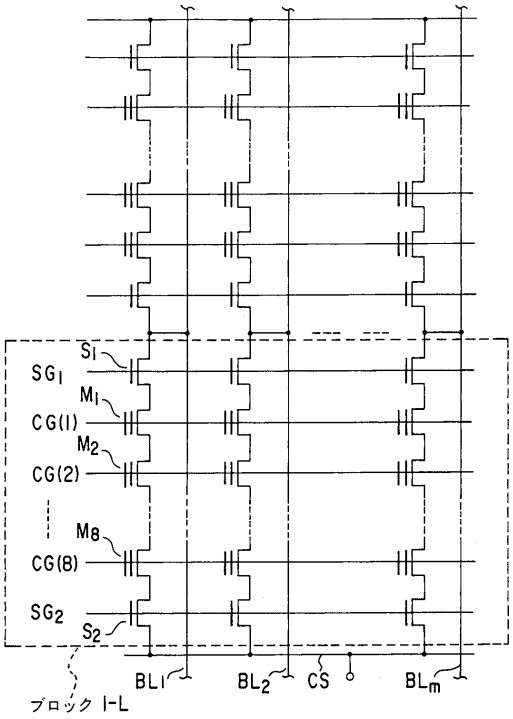
【図３２】

図32



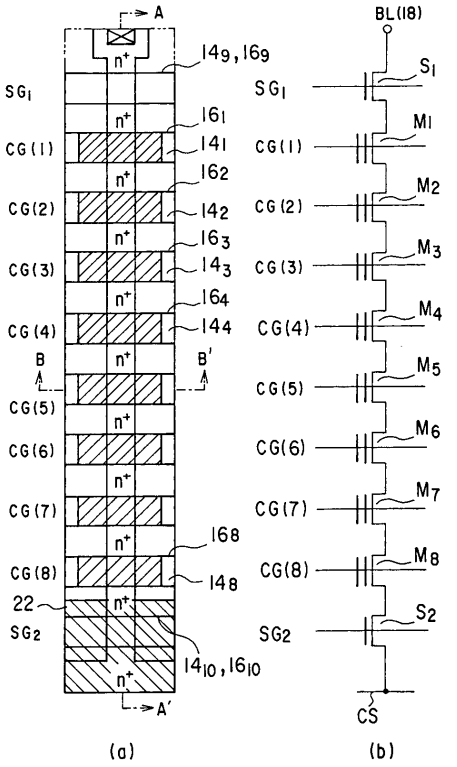
【図３３】

図33



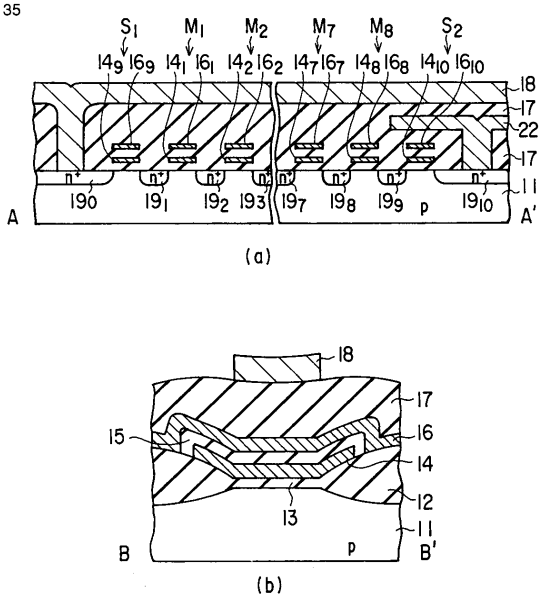
【図３４】

図34



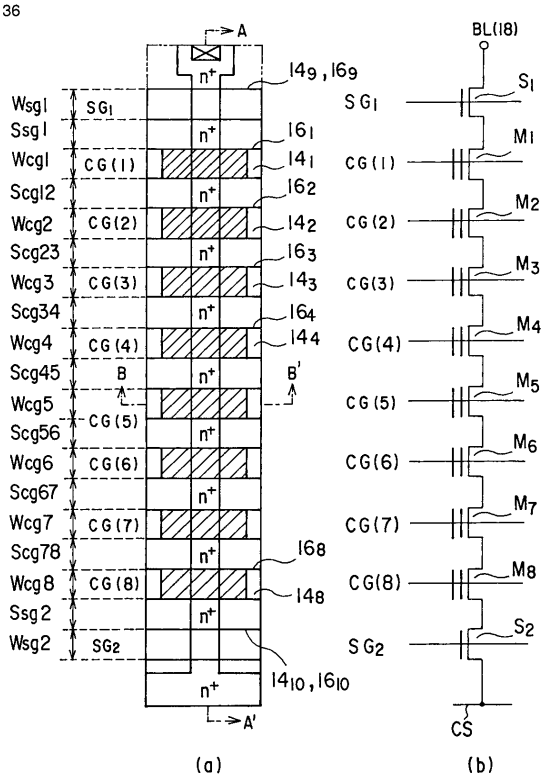
【図３５】

図35



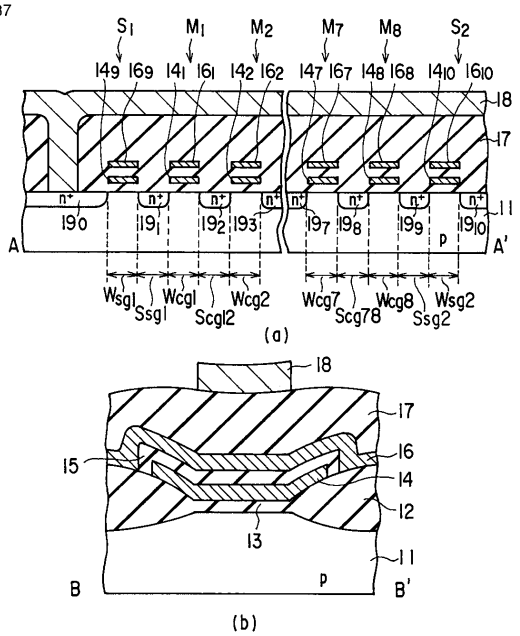
【図３６】

図36



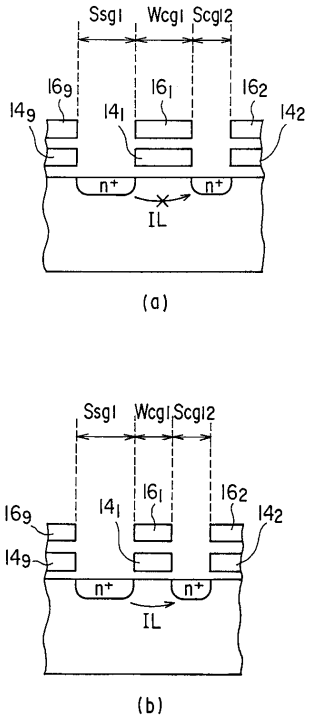
【図３７】

図37



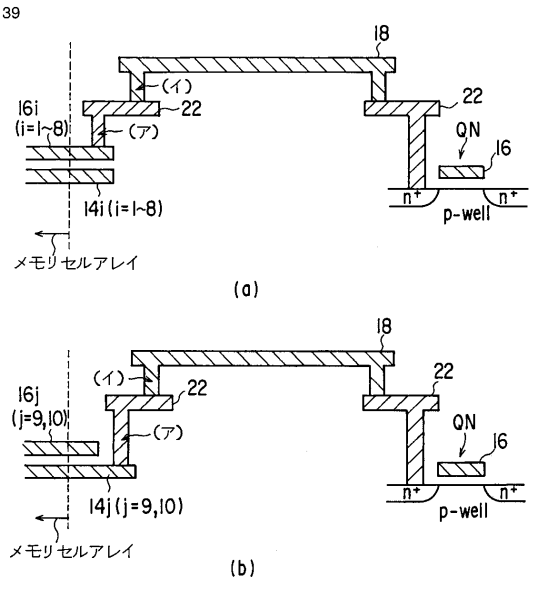
【図３８】

図38



【図３９】

図39



フロントページの続き

(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100092196
弁理士 橋本 良郎
(72)発明者 中村 寛
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内
(72)発明者 有留 誠一
神奈川県横浜市磯子区新杉田町８番地 株式会社東芝横浜事業所内
(72)発明者 今宮 賢一
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内
(72)発明者 大平 秀子
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内
(72)発明者 竹内 健
神奈川県川崎市幸区堀川町５８０番１号 株式会社東芝半導体システム技術センター内
(72)発明者 清水 和裕
神奈川県横浜市磯子区新杉田町８番地 株式会社東芝横浜事業所内
(72)発明者 成田 一仁
神奈川県横浜市磯子区新杉田町８番地 株式会社東芝横浜事業所内

Ｆターム(参考) 5B125 BA02 CA06 CA27 CA30 EA05 EB01 FA07
5F083 EP02 EP23 EP76 EP77 EP78 EP79 KA05 KA11 LA05 ZA10
ZA28
5F101 BA05 BB05 BD02 BD21 BD33 BD34 BE01 BG07