(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4043683号
(P4043683)

(45)発行日　平成20年2月6日(2008.2.6)　(24)登録日　平成19年11月22日(2007.11.22)

(51)Int.Cl.　F I
*H01L 21/822 (2006.01)*　H01L 27/04 H
*H01L 27/04 (2006.01)*　H01L 27/04 B

請求項の数 10　(全 11 頁)

(21)出願番号　特願2000-62872(P2000-62872)
(22)出願日　平成12年3月8日(2000.3.8)
(65)公開番号　特開2000-260951(P2000-260951A)
(43)公開日　平成12年9月22日(2000.9.22)
審査請求日　平成13年6月29日(2001.6.29)
(31)優先権主張番号　09/264070
(32)優先日　平成11年3月8日(1999.3.8)
(33)優先権主張国　米国(US)

前置審査

(73)特許権者　596092698
ルーセント　テクノロジーズ　インコーポレーテッド
アメリカ合衆国．０７９７４－０６３６　ニュージャーシィ，マレイ　ヒル，マウンテン　アヴェニュー　６００
(74)代理人　100064447
弁理士　岡部　正夫
(74)代理人　100085176
弁理士　加藤　伸晃
(74)代理人　100096943
弁理士　臼井　伸一
(74)代理人　100101498
弁理士　越智　隆夫

最終頁に続く

(54)【発明の名称】プロセスに対して寛容性のある集積回路の設計手法

(57)【特許請求の範囲】

【請求項１】

少なくとも１つのプロセス・パラメータと少なくとも１つの環境パラメータとの関数ｆ$_1$として回路の動作パラメータが変化する回路を製造する方法であって、該方法は、

環境パラメータがプロセス・パラメータの関数ｆ$_2$であるように、関数ｆ$_1$の既知の特性に少なくとも部分的に基づいて関数ｆ$_2$を予め選択することによって回路を構成する段階を含み、回路動作パラメータへのプロセス・パラメータの影響が環境パラメータへのプロセス・パラメータの影響によって少なくとも一部相殺されることを特徴とする方法。

【請求項２】

請求項１に記載の方法において、回路動作パラメータへのプロセス・パラメータの影響が、環境パラメータへのプロセス・パラメータの影響によって実質的に相殺されることを特徴とする方法。

【請求項３】

請求項１に記載の方法において、少なくとも１つのプロセス・パラメータは、伝導閾電圧、チャネル移動度、ゲート容量、ドレイン容量、アーリー電圧、飽和パラメータ、および走行時間の１またはそれ以上からなることを特徴とする方法。

【請求項４】

請求項１に記載の方法において、少なくとも１つの環境パラメータは、電力供給電圧、電流発生器制御電圧、能動的負荷制御電圧、逆バイアス電圧、および動作温度の１またはそれ以上からなることを特徴とする方法。

【請求項５】
請求項１に記載の方法において、回路動作パラメータが発振周期であり、プロセス・パラメータが伝導閾電圧とチャネル移動度とを含み、環境パラメータは電力供給電圧を含むことを特徴とする方法。
【請求項６】
請求項１に記載の方法において、回路を構成する段階は、回路の第２の部分の既知のプロセス・パラメータの変化に少なくとも一部基づき決まる基準電圧を回路の第１の部分に生成する段階を含む方法。
【請求項７】
少なくとも１つのプロセス・パラメータと少なくとも１つの環境パラメータとの関数$f_1$として変化する動作パラメータを有する回路であって、該回路は、
出力を生成するための第１の回路部分を含み、該第１の回路部分は環境パラメータがプロセス・パラメータの関数$f_2$であるように、関数$f_1$の既知の特性に少なくとも部分的に基づいて関数$f_2$を予め選択するように構成されており、該回路はさらに、
第１の回路部分によって生成される出力を入力として受信するように構成され、動作パラメータに従って出力を生成するように動作する第２の回路部分であって、第２の回路部分における回路動作パラメータへのプロセス・パラメータの影響が環境パラメータへのプロセス・パラメータの影響によって少なくとも一部相殺される第２の回路部分を含むことを特徴とする回路。
【請求項８】
その動作パラメータがプロセスに関連するトランジスタの伝導パラメータと印加供給電圧の双方の関数$f_1$として変化する、集積回路を製造する方法であって、該方法は、
印加電圧が伝導パラメータの関数$f_2$であるように、関数$f_1$の既知の特性に少なくとも部分的に基づいて関数$f_2$を予め選択することによって回路を構成する段階を含み、回路動作パラメータへの伝導パラメータの影響が印加電圧への伝導パラメータの影響によって少なくとも一部相殺されることを特徴とする方法。
【請求項９】
プロセスに関連するトランジスタの伝導パラメータと印加供給電圧との双方の関数$f_1$として変化する動作パラメータを有する集積回路であって、回路動作パラメータへの伝導パラメータの影響が印加電圧への伝導パラメータの影響によって少なくとも一部相殺されるように、印加電圧が伝導パラメータの関数$f_2$として、関数$f_1$の既知の特性に少なくとも部分的に基づいて関数$f_2$を予め選択することによって選択されることを特徴とする集積回路。
【請求項１０】
プロセスに関連するトランジスタの伝導パラメータと印加電圧との双方の関数$f_1$として変化する動作パラメータを有する集積回路であって、該集積回路は、
印加電圧を伝導パラメータの関数$f_2$として生成する電圧調整器を含み、動作パラメータへの伝導パラメータの影響が印加電圧への伝導パラメータの影響によって少なくとも一部相殺されるように、関数$f_2$が、関数$f_1$の既知の特性に少なくとも部分的に基づいて予め選択されており、該集積回路はさらに、
供給電圧入力を電圧調整器の出力に結合し、動作パラメータに従い出力を生成するように動作する回路部分を含むことを特徴とする集積回路。
【発明の詳細な説明】
【０００１】
【発明の分野】
本発明は、広くは相補型金属酸化膜半導体（Complemetary metal-oxide-semiconductor：ＣＭＯＳ）集積回路または他のタイプの電子回路に用いるプロセスに対して寛容性のある設計技法(process-tolerant design technique)に関する。
【０００２】
【発明の背景】

プロセスの変化(process variation)は多くの異なるタイプの集積回路の設計において重要な要件である。回路性能に対するプロセス変化の影響を示す役割を果たすＣＭＯＳ集積回路１０の一部を図１に示す。回路１０は、位相ロック・ループ（Phase-Locked Loop：ＰＬＬ）１２、電圧制御発振器（Voltage-Controlled Oscillator：ＶＣＯ）１４、および電圧調整器回路(Voltage regulator circuit)１６を含む。電圧調整器回路１６は、通常、変化する供給電圧$V_{DD}$から調整した出力電圧を生成する。供給電圧$V_{DD}$の変化は、しばしばその正常値の約±２０％である。調整した電圧はＶＣＯ１４に供給され、それによりＰＬＬ１２に供給される。ＰＬＬ１２は入力ストリームを受信し、ＰＬＬ出力が入力ストリームに位相ロックされるように、ＶＣＯ出力の周波数を調整する制御電圧を生成する。回路１０は、しばしばＧＨｚ範囲の周波数またはそれ以上で動作することが要求され、供給電圧$V_{DD}$に、例えば±２０％の変化がある場合でも指定された性能基準を満たさねばならない。さらに、回路１０は回路の製作に使用されるＣＭＯＳウェーハ・プロセスに変化がある場合でも指定された性能基準を満たさねばならない。

【０００３】

回路１０において、電圧調整器回路１６は供給電圧$V_{DD}$の変化を除去する役割をし、ＰＬＬ１２とＶＣＯ１４との間に負帰還ループを用いてプロセス変化の影響を処理する。電圧調整器回路１６の出力は供給電圧$V_{DD}$の変化とは無関係の定電圧の形であり、いわゆるバンドギャップ電圧基準回路を使用して生成することができる。$V_{DD}$における指定変化に適応させるに十分な余裕（margin)を与えるため、調整器出力電圧は、一般に、予期される最小$V_{DD}$値より多少低く生成され、通常、$V_{BE}$は約６００ｍＶ、あるいは予期される最小$V_{DD}$値よりも低く生成される。用いられる回路の実装とＣＭＯＳプロセスに依存して、$V_{DD}$値が、例えば５Ｖから３．３Ｖまたは２．５Ｖに下がると、望ましい量の電圧余裕をもたせることが益々難しくなる。

【０００４】

プロセス変化に関連して、回路１０におけるＰＬＬ１２からＶＣＯ１４への制御電圧は、回路の動作周波数が変化しなくても、一般に、プロセスの変化に依存して変化することになる。例えば、Ｎチャネル電界効果トランジスタ（N-channel Field Effect Transistor：ＮＦＥＴ）がＶＣＯの遅延を制御するのであれば、プロセスがそのより低速側にシフトされるときにはＶＣＯへの制御電圧はより高くなる。このタイプの変化は設計の余裕を一層狭める。

【０００５】

図１の回路１０における供給電圧の変化とプロセスの変化に向けて用いられるような従来の集積回路設計技法は、特に$V_{DD}$が例えば、３．３Ｖ以下になると、プロセスの変化に対する寛容性(tolerant)が十分ではない。さらに、このような技法は、一般に、経時的に変化する回路の動作パラメータをプロセス変化に実質的に無関係にすることはできない。従って、改良された集積回路設計技法を求める必要性が存在する。

【０００６】

【発明の概要】

本発明は、集積回路の動作パラメータに影響する環境パラメータが１つまたはそれ以上のプロセス・パラメータの関数になるように回路を構成することにより、プロセス変化(process variation)に対して回路の動作パラメータを実質的に不感受性(insensitive)とするものである。このようにして、回路動作パラメータへのプロセス・パラメータの影響を環境パラメータへのプロセス・パラメータの影響によって一部または実質的に相殺することができる。この補償技法に用いることができる環境パラメータの例には電力供給電圧、電流発生器制御電圧、能動的負荷制御電圧(active load control voltage)、逆バイアス電圧、および動作温度が含まれる。この補償技法への採用に適したプロセス・パラメータの例には集積回路の電界効果トランジスタ（Field Effect Transistor：ＦＥＴ）に関連する伝導閾電圧、チャネル移動度、ゲート容量(gate capacitor)、ドレイン容量、アーリー電圧(Early voltage)、飽和パラメータ、走行時間、および他のパラメータが含まれる。

【０００７】
実施例においては、回路動作パラメータはリング発振器(ring oscillator)の発振周期である。電圧調整器は、リング発振器における既知のプロセス・パラメータ変化に少なくとも一部基づいて決定された基準電圧を生成する。リング発振器は、電圧調整器が生成する基準電圧をその電力供給電圧として使用し、それにより、その発振周期はプロセス・パラメータの変化に不感受性になる。さらに、逆バイアス効果を電圧調整器に導入してリング発振器の特殊な構成に起因する逆バイアス効果を補償することができる。
【０００８】
本発明の設計技法は、多種にわたる異なるタイプの回路、動作パラメータ、環境パラメータおよびプロセス・パラメータに適用できる。さらに、本発明は上記発振周期のような時間の関数として変化する回路動作パラメータを実質的にプロセスとは無関係にすることができる。本発明は、例えば、固定動作周波数の集積回路を高い歩留りで製造し、低電力供給電圧、例えば、２Ｖまたはそれ以下で指定された性能を達成すべく適用できる。本発明のプロセス変化に対する寛容性のある設計技法は、特に高速ＣＭＯＳ集積回路に使用するのに適しているが、本発明は他のタイプの回路と一緒に使用するのにも適している。本発明のこれらおよび他の利点および特徴は添付の図面および以下の詳細な説明から明らかになるだろう。
【０００９】
【発明の詳細な記述】
リング発振器と電圧調整器とを含む例示としての実施例に関し本発明を以下に説明する。しかし、本発明は何らかの特定タイプ回路への使用に限定はしないが、代わりにプロセスの変化に改善された寛容性(tolerant)を与えることが望ましい何らかの電子回路または装置により広く適用できることを理解されたい。
【００１０】
図２にリング発振器回路２０と電圧調整器回路３０を含む本発明の実施例を示す。リング発振器回路２０には３段にカスケード配列したインバータが含まれる。カスケード配列のインバータは対のトランジスタＭ１－Ｍ２、Ｍ３－Ｍ４、Ｍ５－Ｍ６によって形成される。リング発振器回路２０にはこれらトランジスタの寄生容量を表す容量$C_1$、$C_2$、$C_3$も含まれる。電圧調整器回路３０にはトランジスタＭ７、Ｍ８と負荷抵抗器Ｒが含まれる。電圧調整器回路３０の基準電圧出力とリング発振器回路２０の実効$V_{DD}$電圧入力との間には電圧フォロア・スケーラ(voltage follower-scaler)３２が結合されている。電圧フォロア・スケーラ３２は電圧調整器回路３０の一部として考えられる。数値が後続する記号Ｍは金属酸化物半導体（Metal-Oxide-Ｓemiconductor：ＭＯＳ）電界効果トランジスタ（Field Effect Transistor：ＦＥＴ）を指すのに用いられる。装置Ｍ１、Ｍ３、Ｍ５、Ｍ７はＰチャネルＦＥＴ（P-channel ＦＥＴ：ＰＦＥＴ）であり、装置Ｍ２、Ｍ４、Ｍ６、Ｍ８はＮチャネルＦＥＴ（N-channel ＦＥＴ：ＮＦＥＴ）である。ＮＦＥＴ装置Ｍ２、Ｍ４、Ｍ６、Ｍ８のソースがアースまたは$V_{SS}$に接続されている。以下に詳細に説明するように、本発明によれば、リング発振器回路２０の発振周期がプロセス変化とは実質的に無関係となるよう選択された調整基準電圧$V_{RFE}$を生成するよう、電圧調整器回路３０が設計されている。電圧調整器回路３０は、それ故、リング発振器へ印加したときに、プロセス変化に別途関連する発振周期への影響を無効または最小にする電圧を生成する。
【００１１】
図３は、電圧制御リング発振器回路４０と電圧調整器回路５０とを含む本発明の他の実施例である。リング発振器回路４０は、前述のリング発振器回路２０の素子と、図示されたように配置された３つの付加的なＮＦＥＴ　Ｍ１０、Ｍ１１、Ｍ１２を含む。ＮＦＥＴ　Ｍ１０、Ｍ１１、Ｍ１２のゲートが、図１のＰＬＬ１２のようなＰＬＬから供給される発振器回路４０の周波数制御電圧入力に結合される。電圧調整器回路５０は、前述の電圧調整器回路３０の素子と、ソースをアースまたは$V_{SS}$に接続し、ゲートとドレインをＮＦＥＴ　Ｍ８のソースに接続した付加的なＮＦＥＴ　Ｍ９とを含む。電圧調整器回路５０に付

加的なＮＦＥＴを使用すると、リング発振器４０のＮＦＥＴ　Ｍ２、Ｍ４、Ｍ６がもはやアースまたは$V_{SS}$に直接接続されていないという事実に起因する逆バイアス効果を補償する付加的な逆バイアス効果が生まれる。

【００１２】

図２および図３の電圧調整器回路３０と５０の代替の実装を図４および図５に示す。図４の電圧調整器回路３０’は、図２の実施例におけるＰＦＥＴ　Ｍ７、ＮＦＥＴ　Ｍ８と負荷抵抗器Ｒが含まれるが、ＮＦＥＴのソースは負荷抵抗器に接続され、ＰＦＥＴは供給電圧$V_{DD}$に直接接続されている。同様に、図５の電圧調整器回路５０’は、図３の実施例におけるＰＦＥＴ　Ｍ７、ＮＥＦＴ　Ｍ８、Ｍ９と負荷抵抗器Ｒが含まれるが、ＮＦＥＴ　Ｍ９のソースは負荷抵抗器Ｒに接続され、ＰＦＥＴは供給電圧$V_{DD}$に直接接続されている。図４および図５の回路は、例えば、独立したＰ－ｔｕｂをもつＮ基板ＣＭＯＳ回路への使用に適している。

【００１３】

実質的にプロセスとは無関係の発振周期が提供されるような電圧調整回路を設計する方法について、図２のリング発振器回路２０を用いて説明する。しかし、分析は図３の実施例にも、多くの別タイプの回路にも適用できることを理解されたい。

【００１４】

図６に、図２の３段リング発振器回路２０の発振周期を示す。以下の分析のため、リング発振器回路２０のＰＦＥＴ　Ｍ１、Ｍ３、Ｍ５は、角度８５度での０．２５ミクロンＣＭＯＳプロセスにおいて第２の最小サイズのＰＦＥＴとしてそれぞれ実装され、かつ、回路２０におけるＮＦＥＴ　Ｍ２、Ｍ４、Ｍ６が、このプロセスの最小サイズのＮＦＥＴとして実装されると仮定する。$V_{DD}$が下がると発振周期が拡大することはプロットから理解できる。$V_{DD}$を$V_{THN}+V_{THP}$以下まで下げると曲線は急勾配になる。、ここで、$V_{THN}$と$V_{THP}$はそれぞれＮＦＥＴとＰＦＥＴの伝導閾電圧である。この実施例において、これらの伝導閾電圧はＦＥＴの副次限界伝導電流(sub-threshold conduction current)を無視して決定される。そこで、プロセスの変化が$V_{THN}$または$V_{THP}$を拡大する方向にシフトすると、調整器出力電圧は従って増大し、発振周期はほぼ一定に維持される。

【００１５】

$V_{DD}$によって駆動すると出力が図６のプロットを特徴とする図２のリング発振回路２０を分析し、本発明によるプロセス変化の補償を利用することによって得られる利点を示す。この分析において、漸進チャネル(gradual channel)低電界ＭＯＳＦＥＴモデルを使用した。ＮＦＥＴ電流$I_{DN}$は以下のようにこのモデルによって与えられる。

【００１６】

$I_{DN}=0$　　（$V_G \leqq V_{THN}$の場合）

$I_{DN}=B_N[V_G-V_{THN}-(1/2)V_D]V_D$

($V_G > V_{THN}$および$V_D \leqq V_G-V_{THN}$の場合)

$I_{DN}=(B_N/2)(V_G-V_{THN})_2$　　（上記以外の場合）

ＰＦＥＴ電流$I_{DP}$は以下を代入した上記方程式を用いて確認できる。

$B_N \rightarrow B_P$，$V_{THN} \rightarrow V_{THP}$，$V_G \rightarrow V_{DD}-V_G$，$V_D \rightarrow V_{DD}-V_D$

【００１７】

正規化単位における以下の値は分析に使用した。

$V_{DD}=0.8$、$V_{THN}=V_{THP}=0.2$、$B_N=B_P=1.0$、$C=1.0$

ここで、Ｃはノード容量である。プロセス変化の補償に０．８から１．０までの電圧範囲が使用されるため、$V_{DD}$は０．８に設定し、１．０には設定しない。この標準動作条件において、正規化ＦＥＴ相互コンダクタンス値で除算した正規化容量値に基づく正規化単位で発振周期は25.2728であった。標準動作条件に対するこの発振周期値は比較のため以下に参照される。標準動作条件からの$V_{DD}$とプロセス・パラメータの小さな変化は以下の表１および表２に示すように発振周期に変化をもたらした。発振器は良好なクロック波形を達成するためプルアップ／プルダウン対称を備えた設計に最もなり易いため、分析では上記のように$V_{THN}=V_{THP}$と$B_N=B_P$であると仮定する。０．２５ミクロン以

下のＣＭＯＳにあっては、Ｐ＋Ｎ＋ポリシリコン・プロセスが採用され、従って、等しい伝導閾電圧$V_{THN}=V_{THP}$と対称的バッファ・インバータを仮定することは正しいことである。そこで、$V_{THN}$および$V_{THP}$と$B_N$および$B_P$の変化は同一の周期変化をもたらす。しかし、この制約は例示としての設計計画の完璧性にとって必須なものではない。

【表１】

| $V_{DD}$ | 周期 | $V_{THN}$ | 周期 | $V_{THP}$ | 周期 |
|---|---|---|---|---|---|
| 0.9 | 20.7407 | 0.15 | 23.1581 | 0.15 | 23.1581 |
| 0.8 | 25.2728 | 0.20 | 25.2728 | 0.20 | 25.2728 |
| 0.7 | 32.1229 | 0.25 | 27.7941 | 0.25 | 27.7941 |

表１：パラメータ変動対発振周期

| $B_N$ | 周期 | $B_P$ | 周期 |
|---|---|---|---|
| 1.1 | 24.1050 | 1.1 | 24.1050 |
| 1.0 | 25.2728 | 1.0 | 25.2728 |
| 0.9 | 26.6580 | 0.9 | 26.6580 |

表２：パラメータ変動対発振周期

【００１８】

上記データからリング発振器２０の発振周期$T_P$は以下のように書き表される。

$T_P=25.2728-56.9125\Delta V_{DD}+46.34(\Delta V_{THN}+\Delta V_{THP})-12.765(\Delta B_N+\Delta B_P)$

ここで、$\Delta V_{DD}=V_{DD}-0.8$、$\Delta V_{THN}=\Delta V_{THN}-0.2$、$\Delta B_N=B_N-1.0$等は標準動作条件からのパラメータ変化を表す。発振周期$T_P$をこれらの変化に無関係にするため、変化項は以下の式を満たさねばならない。

$\Delta V_{DD}=0.814(\Delta V_{THN}+\Delta V_{THP})-0.2243(\Delta B_N+\Delta B_P)$

図２の実施例における調整器回路３０の出力電圧が調整されてこの式が満たされると、発振周期はパラメータの変化に関わらず標準状態に関連する周期では変化しないままである。

【００１９】

本発明の上記パラメータ補償の実効性を説明するため、２つの極端な条件、「低速」条件と「高速」条件を検討した。低速と高速の条件はプロセス・パラメータ$V_{THN}$、$V_{THP}$、$B_N$、および$B_P$がこれらパラメータに対するプロセス変化範囲のそれぞれ低速端と高速端にある条件を表す。低速条件では、プロセス・パラメータは、$V_{THN}=0.25$、$V_{THP}=0.24$、$B_N=0.70$、および$B_P=0.80$であると仮定した。その結果得られる補償した$V_{DD}$は0.9854であり、発振周期は27.3424である。$V_{DD}$が０．８に維持されると、周期は40.0682である。高速条件では、プロセス・パラメータは$V_{THN}=0.19$、$V_{THP}=0.17$、$B_N=1.10$、および$B_P=1.30$であると仮定した。その結果得られる補償した$V_{DD}$は0.6777であり、発振周期は26.1793である。$V_{DD}$が０．８に維持されると、周期は19.6978である。標準条件の場合、周期は上述のように25.2728であった。上記から、本発明に従い決定される補償された$V_{DD}$値を採用すると、補償しないときに結果として生ずる変化に対する発振周期の変化を有意量減ずる効果がある。

【００２０】

図７および図８に、上記分析にそれぞれ基づくもので、補償の行われなかった場合と補償が行われた場合に対する正規化発振周期のヒストグラムを示す。プロセス・パラメータＶ

$_{THN}$、$V_{THP}$、$B_N$、および$B_P$は、それぞれの各公称値を中心に±１５％だけ相互に関係なく変化すると仮定した。この変化は実際のＣＭＯＳプロセスを代表するものであり、多くの用途で確認された±１５％の$V_{DD}$変化に一致する。リング発振器回路２０の上記モデルの生成に用いたＣ言語プログラムでは、これらパラメータの値は従来のモンテカルロ分析(Monte Carlo analysis)を用い任意に生成された。$V_{DD}$が０．８に維持、即ち$V_{DD}$が補償されない場合について発振周期が計算され、図７は、プロセス・パラメータ$V_{THN}$、$V_{THP}$、$B_N$、および$B_P$の５００個の任意に生成した値に対応する結果を示す。図８は、プロセス・パラメータ$V_{THN}$、$V_{THP}$、$B_N$、および$B_P$の５００個の任意に生成した値に対し再度、本発明の技法を用いて$V_{DD}$が補償される場合の結果である。これらの結果から発振周期の安定上、相当な改善が本発明の技法を用い得られることが示される。プロセス変化に原因を帰することができる発振周期の変化は、補償が行われない場合の約±１０％から補償が行われる場合の約±１％まで減少する。

【００２１】

リング発振器の供給電圧がプロセス・パラメータ$V_{THN}$、$V_{THP}$、$B_N$、および$B_P$次第で決まるようにするため、図２の電圧調整器回路３０、図３の電圧調整器回路５０、図４の電圧調整器回路３０′、図５の電圧調整器回路５０′は下式で表される形の基準電圧$V_{REF}$を生成する。

$$V_{REF} = a V_{THN} + b V_{THP} + c B_N + d B_P$$

ここで、ａ、ｂ、ｃ、ｄの値は、リング発振器回路、即ち図２の回路２０、図３の回路４０に印加する電圧がパラメータ変化項の相互間における前に説明した関係を満たすように選択される。図２、図３、図４および図５に示すように、電圧調整器回路には直列に接続したＰＦＥＴ　Ｍ７とＮＦＥＴ　Ｍ８および負荷抵抗器Ｒが含まれる。直列接続のＦＥＴが生成する電圧は、例えば、広く周知のアナログ回路技法を用い、電圧フォロア・スケーラ３２によってスケーリング計測された電圧または軽減されたインピーダンスである。

【００２２】

負荷抵抗器Ｒは小さなプロセス変化を有する、即ち負荷抵抗器は高精度の抵抗器にすべきであるが、その特定値が極めて重大ではないことに留意されたい。負荷抵抗器Ｒは外部抵抗器、即ち、「チップ外(off-chip)」の抵抗器にすることができ、あるいはＣＭＯＳプロセスの一部として集積回路に内在するものとして形成することができる。ＣＭＯＳプロセスにあって、一タイプの抵抗器は、通常、他のものよりも一層正確に定義づけられる。例えば、Ｐタイプ基板ＣＭＯＳプロセスにあって、通常、長い帯状構造のＮＦＥＴソースとして形成されるＮ＋抵抗器は一般に最も正確に定義づけされる抵抗器であるが、他方、Ｎタイプ基板ＣＭＯＳプロセスにおいて、通常、長い帯状構造のＰＦＥＴソースのとして形成されるＰ＋抵抗器は一般に最も高精度である。図２の電圧調整器回路３０の負荷抵抗器ＲはＮ＋抵抗器にすることができ、図４の電圧調整器回路３０’の負荷抵抗器ＲはＰ＋抵抗器にすることができる。負荷抵抗器は他の適切な電流発生器で代えることができる。回路シミュレーションを用いて負荷抵抗器または電流発生器に対する適切なパラメータを決定することができる。

【００２３】

図２および図４の電圧調整器回路におけるＰＦＥＴ　Ｍ７とＮＦＥＴ　Ｍ８の接続に関し、以下に更に詳細に説明する。最初に図２の電圧調整器回路３０を参照すると、ＣＭＯＳ基板はＮタブを隔離したＰタイプ基板にすることができるため、ＰＦＥＴ　Ｍ７は独立した装置として考えることができる。この場合、ＮＦＥＴ　Ｍ８ソースがアースまたは$V_{SS}$に接続し、ＮＦＥＴドレインがＮＦＥＴゲートに接続し、ＰＦＥＴドレインおよびＰＦＥＴゲートとＰＦＥＴソースおよびＰＦＥＴ　Ｎタブが負荷抵抗器Ｒに一体接続される。この場合Ｍ７は独自のＮタブをもつ完全に独立したＰＦＥＴである。図４の電圧調整器回路３０’について説明すると、ＣＭＯＳ基板はＰタブを隔離したＮタイプ基板にすることができるため、ＮＦＥＴ　Ｍ８は独立した装置、即ち、独自のＰタブをもつ完全に独立したＮＦＥＴである。この場合、ＰＦＥＴソースは自動的に$V_{DD}$に接続され、ＰＦＥＴドレインはＰＦＥＴゲートに接続され、ＮＦＥＴドレインおよびＮＦＥＴゲートと、ＮＦＥＴソ

ースおよびＮタイプ基板は負荷抵抗器Ｒに接続される。

【００２４】

上記タイプの接続は逆ゲート・バイアス効果を避けるために使用する。しかし、本発明の技法を用い補償しようとする目標の回路が直接アースまたは$V_{SS}$（ＮＦＥＴ）、あるいは$V_{DD}$（ＰＦＥＴ）にソースを接続しないＦＥＴを備えていれば、付加的な逆バイアス効果を便宜的に用いさらに一層正確な補償を達成することができる。このような実施例におけるＦＥＴに生じる電圧は回路の速度を指示するインジケータであり、伝導閾電圧$V_{THN}$および$V_{THP}$と、移動度$B_N$および$B_P$との双方を含む。例えば、図３の実施例との関連で先に注記したように、ＮＦＥＴ　Ｍ２、Ｍ４、Ｍ６の付加的な逆バイアス効果はＭ８を直接アースまたは$V_{SS}$に接続しないことで結果的に得られる逆バイアス効果によって補償される。

【００２５】

図２および図３の実施例において、ウェーハ加工変化の関数として、即ち、リング発振器回路の発振周期として別途変化すると考えられる回路動作パラメータはこうしたプロセスの変化に対し実質的に不感受性となる。この改善はリング発振器回路に印加される電圧、即ち電圧調整器回路が生成する電圧をプロセス・パラメータ$V_{THN}$、$V_{THP}$、$B_N$、および$B_P$の関数として選択することによって得られる。その結果、プロセス・パラメータの変化が相殺されるため、回路動作パラメータは実質的に変化しないままである。所定のＣＭＯＳプロセスには回路遅延時間を決定するＦＥＴ相互コンダクタンスの「目標」値があり、しかもプロセスの変化に不感受性でもあるため、このタイプの補償は可能となる。相互コンダクタンスそれ自体は伝導閾電圧と移動度のさらに基礎的なプロセス・パラメータによって決まる。上記例示としての実施例には環境パラメータ、例えば、遅延時間にも影響する供給電圧の決定に２つのさらに基礎的なプロセス・パラメータが使用される。供給電圧の変化は基礎的なプロセス・パラメータの変化を相殺するため、リング発振器回路の発振周期は実質的にプロセスとは無関係になる。

【００２６】

本発明は以下のように一層汎用化することができる。集積回路プロセス条件を指定し、回路動作パラメータＸに影響するプロセス・パラメータＰ１、Ｐ２、．．．があると仮定する。回路動作パラメータＸは環境パラメータＥ１、Ｅ２、．．．によっても影響されると仮定する。プロセス・パラメータＰ１、Ｐ２、．．．の例にはそれぞれＮＦＥＴとＰＦＥＴの伝導閾電圧$V_{THN}$と$V_{THP}$、ＮＦＥＴとＰＦＥＴのチャネル移動度$B_N$と$B_P$、ＮＦＥＴとＰＦＥＴのゲート容量、ＮＦＥＴとＰＦＥＴのドレイン容量、ＮＦＥＴとＰＦＥＴのアーリー電圧、ＮＦＥＴとＰＦＥＴの飽和パラメータ、そして走行時間がある。アーリー電圧はＦＥＴチャネルの実効短縮によりＦＥＴ電流が僅かに増加する伝導閾電圧以上のドレイン電圧を指す。この現象はアーリー効果(Early effect)として周知である。環境パラメータＥ１、Ｅ２、．．．の例には、電力供給電圧、ＦＥＴ電流発生器制御電圧、能動的負荷制御電圧、浮動アース－$V_{DD}$装置の場合の逆バイアス電圧、および動作温度がある。

【００２７】

そこで、動作条件において、プロセス変化の影響が実質的に相殺されるか、あるいは別途有意量軽減されるように、本発明はプロセス・パラメータ、例えば、$E1 = f_{E1}$（Ｐ１、Ｐ２、．．．）の関数として環境パラメータ１つまたは複数を選択するとして特徴づけられる。回路パラメータＸは、ここで、式$X = f_X(f_{E1}(P1, P2, \ldots)P1, P2, \ldots)$に従いプロセス・パラメータによって決まることを理解されたい。従って、$f_{E1}$（Ｐ１、Ｐ２、．．．）なる関数の形を適正に選択することによって回路パラメータＸをプロセスの変化とは無関係にすることができる。図２と図３との関連で述べた例示としての実施例にあって、回路パラメータＸはリング発振周期であり、プロセス・パラメータはＦＥＴ伝導閾電圧$V_{THN}$および$V_{THP}$とＦＥＴチャネル移動度$B_N$および$B_P$であり、環境パラメータは電力供給電圧$V_{DD}$である。

【００２８】

本発明の上記実施例は単に例示としてのものに過ぎない。例えば、本発明は電圧調整器お

よびリング発振器回路に関して説明してきたが、例えば、集積回路および離散的に構成された回路の双方を含む何らかのタイプの回路１つまたは複数に適用できる。さらに、本発明は種々の異なるプロセス・パラメータ、環境パラメータ、および回路動作パラメータに使用できる。当業者であれば、数多くの他の代替の実施例を特許請求の範囲から逸脱することなく考案することができる。

【図面の簡単な説明】

【図１】従来の集積回路の一部のブロック図である。

【図２】リング発振器回路に調整電圧が印加される本発明の第１の実施例である。

【図３】リング発振器回路に調整電圧が印加される本発明の第２の実施例である。

【図４】図２または図３の実施例への使用に適した電圧調整器回路の別の実施例である。

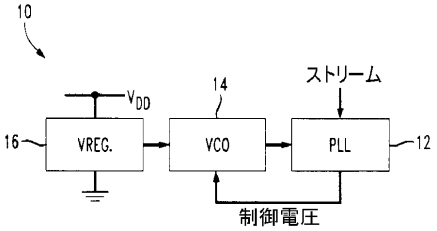
【図５】図２または図３の実施例への使用に適した電圧調整器回路の別の実施例である。

【図６】電圧調整なしで供給電圧$V_{DD}$により直接駆動されるリング発振器回路における$V_{DD}$の関数としての発振周期の変化を示す。

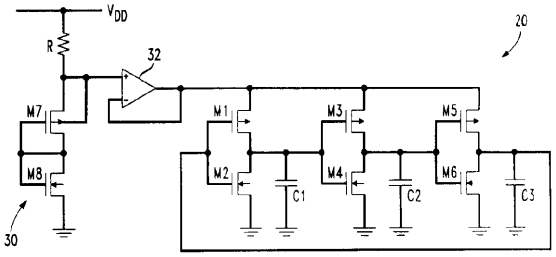
【図７】統計的分析によって決定される、補償されていないリング発振器回路の正規化発振周期のヒストグラムである。

【図８】統計的分析によって決定される、補償したリング発振回路の正規化発振周期のヒストグラムである。

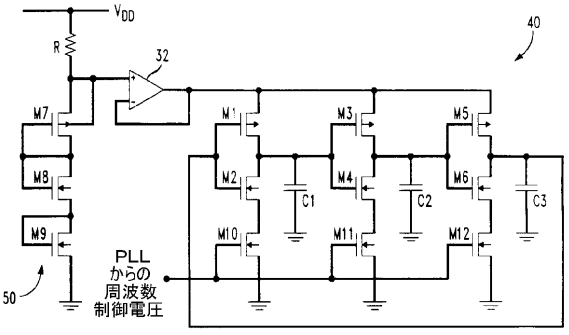
【図１】



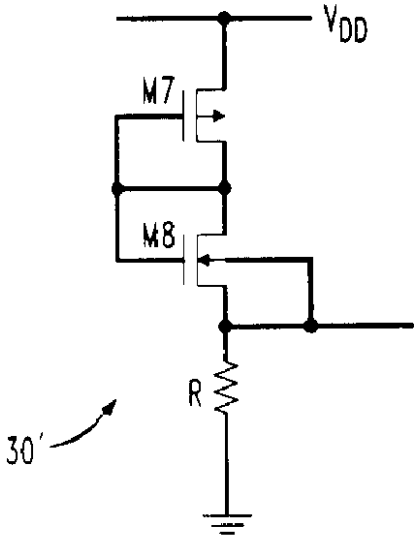

【図２】



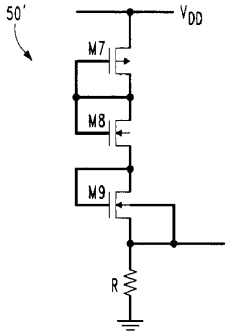

【図３】



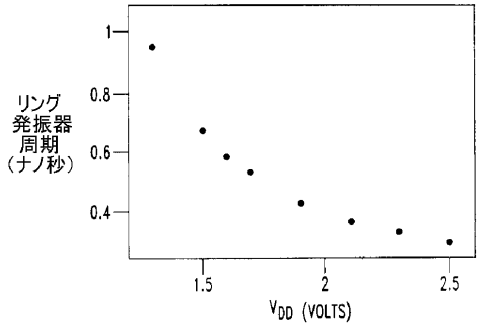
【図４】


VDD
M7
M8
R
30'

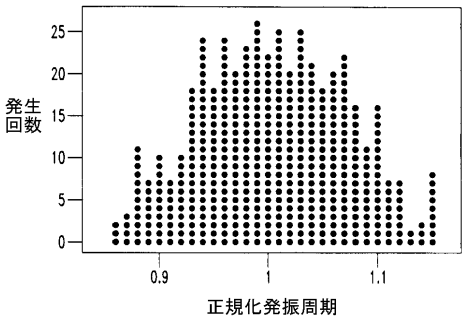
【図５】


50'
VDD
M7
M8
M9
R

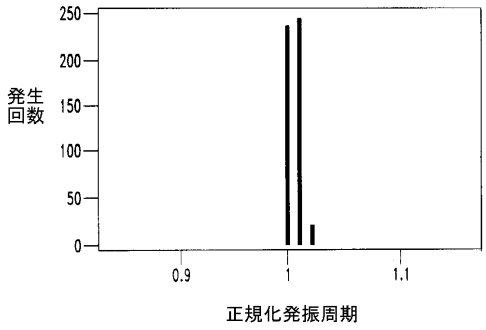
【図６】


リング
発振器
周期
（ナノ秒）
1
0.8
0.6
0.4
1.5
2
2.5
VDD (VOLTS)

【図７】


発生
回数
25
20
15
10
5
0
0.9
1
1.1
正規化発振周期

【図８】


発生
回数
250
200
150
100
50
0
0.9
1
1.1
正規化発振周期

フロントページの続き

(74)代理人 100104352
弁理士 朝日 伸光
(72)発明者 マサカズ ショージ
アメリカ合衆国 ０７０５９ ニュージャーシィ，ウォーレン，ハイマウント アヴェニュー ４

審査官 大嶋 洋一

(56)参考文献 特開平１０－０６５５３３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/822
H01L 27/04