

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/10

H01L 27/04 H01L 21/82



[12] 发明专利说明书

[21] ZL 专利号 98119837.6

[45] 授权公告日 2003 年 12 月 10 日

[11] 授权公告号 CN 1130774C

[22] 申请日 1998.9.18 [21] 申请号 98119837.6

[30] 优先权

[32] 1997.9.19 [33] JP [31] 255697/1997

[71] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川县

[72] 发明人 石毛清一

审查员 朱芳芳

[74] 专利代理机构 中科专利商标代理有限责任公司

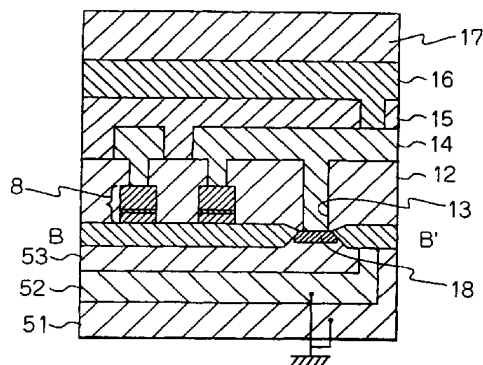
代理人 张祥龄

权利要求书 3 页 说明书 7 页 附图 9 页

[54] 发明名称 非易失性半导体存储装置及其生产方法

[57] 摘要

本发明可防止在非易失性半导体存储装置中的布线刻蚀期间的充电。该装置具有一浮置栅和一控制栅，其在存储器工作时加在正负两种电压。在第一导电型的芯片 51 上制作一相反于第一型的第二导电型的第一阱 52，在第一阱 52 中制作一第一导电型的第二阱 53，在第二阱 53 的主表面上相继制作一复合门 8，包括了一第一绝缘膜 4、一浮置栅 5、一第二门绝缘膜 6 和一控制栅 7。在第二阱 53 的表面用离子注入法制作一源、一漏和一第二导电型的防止充电元件扩散层 18。



ISSN 1008-4274

1、一种非易失性半导体存储装置，在其第一导电型的半导体基片上具有一浮置栅和一控制栅，其特征在于其中，

在所说的半导体基片上制作一与所说的半导体基片的所说的第一导电型相反的第二导电型的第一阱；和在所说的第一阱中制作一所说的第一导电型的半导体层，该半导体层是与所说的控制栅电连接。

2、一种非易失性半导体存储装置，在其第一导电型的半导体基片上具有一浮置栅和一控制栅，其特征在于其中，

在所说的半导体基片上制作一与所说的半导体基片的所说的第一导电型相反的第二导电型的第一阱；和在所说的第一阱中制作一所说的第一导电型的第二阱，在该第二阱中制作一所说的第二导电型的半导体层，所说的半导体层和所说的控制栅电连接。

3、一种如权利要求2的非易失性半导体存储装置，其特征在于所说的半导体基片和所说的第一阱是接地的，且所说的第二阱是浮置的或者是接地的。

4、一种用于生产非易失性半导体存储装置的方法，该装置在半导体基片上具有一浮置栅和一控制栅，其特征在于，所说的方法包括的步骤为：

在第一导电型的所说的半导体基片上制作一与第一导电型相反的第二导电型的半导体层。

将所说的半导体层与所说的控制栅电连接，和

在布线层刻蚀期间将所说的半导体层与所说的控制栅电绝缘。

5、一种用于生产非易失性半导体存储装置的方法，该装置在半导体基片上具有一浮置栅和一控制栅，其特征在于，所说的方法包括的步骤为：

在第一导电型的所说的半导体基片上制作一与第一导电型相反的第二导电型的半导体层。

将所说的半导体层与所说的控制栅电连接，和
在布线层刻蚀之后将所说的半导体层与所说的控制栅电绝缘。

6、一种用于产生非易失性半导体存储装置的方法，该装置在半导体基片上具有一浮置栅和一控制栅，其特征在于所说的方法包括的步骤为：

在第一导电型的所说的半导体基片上制作一与和第一导电型相反的第二导电型的半导体层，

将所说的半导体层与所说的控制栅电连接，和

当布线层刻蚀期间切断所说的半导体层到控制栅的所说的布线连接。

7、一种用于产生非易失性半导体存储装置的方法，该装置在半导体基片上具有一浮置栅和一控制栅，其特征在于所说的方法包括的步骤为：

在第一导电型的所说的半导体基片上制作一与和第一导电型相反的第二导电型的半导体层，

将所说的半导体层与所说的控制栅用布线作电连接，和

在布线层刻蚀期间切断之后所说的半导体层到所说的控制栅的所说的布线连接。

8、一种如权利要求1的非易失性半导体存储装置，其特征在于其中所说的非易失性半导体存储装置是闪速存储器。

9、一种如权利要求2的非易失性半导体存储装置，其特征在于其中所说的非易失性半导体存储装置是闪速存储器。

10、一种如权利要求3的非易失性半导体存储装置，其特征在于其中所说的非易失性半导体存储装置是闪速存储器。

11、一种如权利要求4的非易失性半导体存储装置的生产方法，其特征在于其中所说的非易失性半导体存储装置是闪速存储器。

12、一种如权利要求5的方法，其特征在于其中所说的非易失性半导体存储装置是闪速存储器。

13、一种如权利要求6的方法，其特征在于其中所说的非易失性半导体存储装置是闪速存储器。

14、一种如权利要求7的方法，其特征在于其中所说的非易失性半导体存储装置是闪速存储器。

非易失性半导体存储装置及其生产方法

技术领域

本发明涉及一种非易失性半导体存储装置如闪速存储器，具有一浮置栅和一控制栅，其上当存储单元工作时，加有正负电压。

背景技术

图15到17为常规的该类型非易失性半导体存储装置的简图。图17是该常规非易失性半导体存储装置的平面视图。图15是图17中沿A—A'线的剖面图，图16是图17中沿B—B'线的剖面图。参照上述附图，对该常规非易失性半导体存储装置进行描述如下。

在P型半导体基片1上，对着P型半导体基片1，制作一个N型阱2，在N型阱上，再对着N型阱2制作一个P型阱3，在P型阱的主表面上制作一个复合门8。该复合门8包括依次叠压的一个第一绝缘膜4，一浮置栅5，一第二绝缘膜6，和一控制栅7。在邻近复合门6旁边的P型阱3的表面上还用N⁺扩散层制出一源10和漏11。而且，在部分P型阱3上再覆上一层第一层间绝缘膜12，和一接点13，再在它们上面覆盖一第一金属布线14，一第二层间绝缘膜15，一第二金属布线16，和一包覆膜17。

还有，已知将控制栅7通过一导线层连接一二极管，就可以防止刻蚀时的充电。然而在该类型的非易失性半导体存储装置中，在存储单元工作时，控制栅7上已加有正负两种电压。所以就不可能再将控制栅7连接到防止充电的二极管上。于是，充电就不可避免地加到具有浮置栅5的存储单元上。

常规工艺所存在的问题是当刻蚀布线层时，充电使得存储单元的浮置栅可以陷落电子或空穴，致使性能不稳定，绝缘膜可靠性下降或绝缘遭损。这是因为当存储单元工作时，控制栅上加有正负两种电压，而且

控制栅又不能连接到一个防止充电二极管上，亦即，如果将防止充电二极管连接到控制栅上，则防止充电二极管就会由于施加其上的正压或负压而正向上产生偏压，相应地控制栅上就不可能被施加所需的电压了。

发明内容

所以本发明的一个目的就是提供一种非易失性半导体存储装置，该装置具有一浮置栅和一控制栅，当存储单元工作时，其上都加有正负电压，该装置可以在布线层刻蚀时防止因充电而引起的性能不稳定和绝缘可靠性下降或绝缘受损。

根据本发明的非易失性半导体存储装置是一种改进了的在一半导体基片上具有一浮置栅和一控制栅的非易失性半导体存储装置，根据本发明的第一实施例的非易失性半导体存储装置，其特征在于在半导体基片上制作一个与半导体基片的第一导电型相反的第二导电型的第一阱。在第一阱上制作一第一导电型的半导体层，该半导体层与控制栅电连接。

根据本发明的第二实施例的非易失性半导体存储装置，其特征在于，在第一导电型的半导体基片上制作一个与半导体基片上的第一导电型相反的第二导电型的第一阱，在第一阱上制作一第一导电型的第二阱，其上制作一第二导电型的半导体层，该半导体层是与控制栅电连接的。亦即，在半导体基片上制作有一个与半导体基片具有相反导电型的第一阱。再在第一阱上制作一个与第一阱具有相反导电型的第二阱，并在第二阱上制作一个与第二阱具有相反导电型的半导体层。该半导体层连接到存储单元的控制栅上，以便构成一个防止充电元件。

根据本发明的非易失性半导体存储装置的生产方法是一个改进了的用以生产具有在半导体基片上的一浮置栅和一控制栅的非易失性半导体存储装置的方法。该方法的第一实施例的特征在于其有下列步骤：在第一导电型的半导体基片上制作一个与第一导电型相反的第二导电型的半导体层；将该半导体层与控制栅作电气连接，而当导线层刻蚀过程中绝缘开。

根据第二实施例的非易失性半导体存储装置的生产方法的特征在于

具有下列步骤：在第一导电型的半导体基层上制作一个与第一导电型相反的第二导电型的半导体层；将该半导体层用布线与控制栅作电气连接，而当刻蚀该导电层过程中或在其过程之后，切断半导体层与控制栅之间的布线连接；换言之，存储单元控制栅是连接到防止充电二极管上，而在最后布线层刻蚀期间，控制栅再和防止充电二极管切断。

根据本发明，用于防止在导线层刻蚀期间充电的防止充电元件可保证有一电流通路，以便防止充电而引起存储单元特性的波动和绝缘膜可靠性的下降或绝缘的破坏，而且又能在存储单元工作时，加上正负两个电压。

更具体的是，有一N型阱被制作在P型基片上。在N型阱上制作一P型阱，在P型阱中，制作 N^+ 扩散层，该扩散层与控制栅相连，其中P型基片和N型阱是接地的。当布线层刻蚀期间发生充电而引起一正电压加到上述的 N^+ 扩散层上时，则从P型阱到N型阱的方向上是正方向，又因为N型阱是接地的，所以有可能用一个在P型阱上具有 N^+ 扩散层的二极管以保证一个电流通路。而且，当布线层刻蚀期间充电而引起一负电压加到上述的 N^+ 扩散层上时，则从 N^+ 扩散层到P型阱的方向是正向偏置的，这样就可以用一个在N型阱上有P型的二极管以保证电流的通路。

加之，在防止充电二极管连接控制栅上这种情况中，在最后的布线层刻蚀期间，控制栅与防止充电二极管的连接被切断，于是即可用防止充电二极管确保电流通路，且利用刻蚀（如一最后布线层刻蚀）断开防止充电二极管以实现在存储器元件工作时可以加上正负电压。

附图说明

图1是沿图3中A—A'线的剖面视图，以表示本发明第一实施例的非易失性半导体存储装置。

图2是沿图3中B—B'线的剖面视图，以表示本发明第一实施例的非易失性半导体存储装置。

图3是本发明第一实施例的非易失性半导体存储装置的平面视图。

图4是沿图6中A—A'线的剖面视图，以表示第一实施例中的布线层刻蚀时的情况。

图 5 是沿图 6 中 B—B' 线的剖面视图, 以表示第一实施例中的布线层刻蚀时的情况。

图 6 是第一实施例的布线层刻蚀时的平面视图。

图 7 是沿图 9 中 A—A' 线的剖面视图, 以表示第一实施例的一个特例。

图 8 是沿图 9 中 B—B' 线的剖面视图, 以表示第一实施例的一个特例。

图 9 是第一实施例的特例的平面视图。

图 10 是沿图 12 中 A—A' 线的剖面视图以表示特例中布线层刻蚀的情况。

图 11 是沿图 12 中 B—B' 线的剖面视图以表示特例中布线层刻蚀的情况。

图 12 是特例中布线层刻蚀的平面视图。

图 13 是图 14 中沿 B—B' 线的剖面视图, 以表示本发明第二实施例的非易失性半导体存储装置。

图 14 是本发明第二实施例的非易失性半导体存储装置的平面视图。

图 15 是图 17 中沿 A—A' 线的剖面视图, 以表示常规的非易失性半导体存储装置。

图 16 是图 17 中沿 B—B' 线的剖面视图, 以表示常规的非易失性半导体存储装置。

图 17 是常规非易失性半导体存储装置的平面视图。

现在参考附图详细描述本发明的各实施例。

具体实施方式

图 1 到图 3 简略地表示了本发明的第一实施例的非易失性半导体存储装置。图 1 是图 3 沿 A—A' 线的剖面视图, 而图 2 是图 3 沿 B—B' 线的剖面视图。图 3 是表示第一实施例的非易失性半导体存储装置的平面视图。后面就参考这些附图进行说明。

在第一导电型的半导体基片 51 上, 制作一个与第一导电型相反的第二导电型的第一阱 52。在第一阱 52 中, 制作一第一导电型的第二

阱53。在第二阱53的主表面上，一层接一层地相继制作一第一门绝缘膜4，一浮置栅5，一第二门绝缘6和一控制栅7以构成一组合门8。在邻近复合门8的第二阱53的表面上，在即将成为一防止充电元件扩散层的一部分中，用离子注入方法制作出一源10、一漏11，和一防止充电元件扩散层18。它们部分地被第一层间绝缘膜12和一触点13所复盖，再在其上相继制作出一第一金属布线14，一第二层间绝缘膜15，一第二金属布线16，和一包覆膜17，从而构成一非易失性半导体存储装置。

而且，控制栅7是用第一金属布线14与防止充电扩散层18相连接的。第一金属布线14和第二金属布线16相连接。半导体基片51和第一阱52是接地的。

应该指明，在本实施例中有两层金属布线层，但也可以用一层或三层甚至更多层金属布线层。

图4至图6简略地表示了本实施例的布线刻蚀过程。图4是图6沿A—A'线的剖面视图，而图5是图6沿B—B'的剖面视图。图6是平面视图。此后即参考这些附图说明本实施例的功能。

半导体基片51和第二阱53是第一导电型的，而第一阱52和防止充电元件扩散层18则是第二导电型的。半导体基片51和第一阱52又是接地的。因此，当在布线层刻蚀期间发生充电时从扩散层18到第二阱53上加有一个正向的电压；则第二阱53和第一阱52就相当于起一个防止充电二极管的功能（图4）。而且，当由于充电而从扩散层18到第二阱53上有一反向电压时，则有一正向的电流从第二阱53流到第一阱52所以扩散层18和第二阱53就相当于起一防止充电二极管的功能（图5）。

图7到图9简略地表示了本实施例的一个特例。图7是图9中沿A—A'线的剖面视图，图8是图9中沿B—B'线的剖面视图。图9是平面视图。下面即结合附图进行说明。

在P型半导体基片上，制有一相反于P型半导体基片1的导电型的N型阱2，在N型阱中，制有一相反于N导电型的P型阱3。在P型阱3的主表面上制作一复合门8，它包括：一第一门绝缘膜4、其厚度是

100埃的量级，一浮置栅5，其厚度为1000埃的量级，一第二门绝缘膜6，其厚度为150埃，和一控制栅7，其厚度为2000埃量级，且逐层制出。在邻近复合门8的P型阱3的表面，在将成为防止充电元件扩散层的这一部分上用离子注入方法制作出一源10，一漏11，和一防止充电元件扩散层18。这些都将具有厚度为7000埃量级的一第一层间绝缘膜12，和第一触点13所覆盖，再在其上相继制作出一第一金属布线14，其厚度为5000埃量级，一第二层间绝缘膜15，其厚度为6000埃量级，一第二金属布线16，其厚度为7000埃量级，和一具有9000埃量级厚度的包覆膜17，从而构成一闪速存储器。

而且，控制栅7是用第一金属布线14和防止充电元件扩散层18相连接的。第一金属布线14是与第二金属布线16相连接，而且，P型半导体基片1和N型阱是接地的。

图10到图12简略地表示了本实施例中布线层的刻蚀过程。图10是图12中A—A'线的剖面视图，图11是图12中沿B—B'线的剖面视图。图12是一平面视图。下面将参考附图对本实施例的功能予以说明。

P型半导体基片1和P型阱3具有一种相同的导电类型，而N型阱2和防止充电元件扩散层18则是另一种相同的导电类型。半导体基片1和N型阱2是接地的。因此，当布线层刻蚀期间发生充电时有一正向的电压从扩散层18加到P型阱3上，则P型阱3和N型阱2就起一个防止充电二极管的功能（图10）。而且，当因充电而引起的从扩散层18到P型阱3上有一反向电压时，则有一正向的电流从P型阱3流向N型阱2。因此扩散层18和P型阱3就起了一个防止充电二极管的作用（图11）。

图13和图14简略地表示了本发明第二实施例的非易失性半导体存储装置。图13是图14中沿B—B'线的剖面视图，图14是平面视图。下面将参考附图给予说明。与图1中相似的部件则采用相同的标号，并省略了对它们的注释。

在第二实施例中，为了防止布线层刻蚀时充电，在存储单元运作期

间，当只有正负电压加到控制栅 7 上时，采用一个防止充电二极管，且有一电流通路以确保防止充电。在最后的布线刻蚀时，控制栅 7 再从存储单元中的防止充电二极管上切断开。这样，可在存储单元运作期间加上正负两个电压，同时又在布线层刻蚀期间防止充电。

必须指明，上述的将控制栅 7 从存储单元中防止充电二极管上切断开，可以不在刻蚀最后布线层这一步骤时进行，而是在一专门的切断刻蚀过程中进行。

在一非易失性半导体存储装置，例如闪速存储器中，其控制栅上加有正负两个电压；本发明可以在布线层刻蚀期间发生充电时，在存储单元浮置栅中防止电子或空穴的陷落。这样，就可以防止存储单元性能的不稳定和绝缘膜可靠性的下降或绝缘破坏。

本发明的优点可理解如下，在提供了一防止充电元件之后，即使在存储单元控制栅上加上正负两种电压也不致使运行出现困难。该防止充电元件连接控制栅，或有一防止充电二极管通过一布线层而接在控制栅上，但随后即在一刻蚀（如最后的布线层刻蚀）期间彼此切断开。这样，就可以在布线层刻蚀期间，在存储单元运行期间加有正负两种电压时，防止对存储单元的充电。

本发明可用其他别的方式实施而并不脱离其本质或主要特征，本实施例的各个方面都用于图解说明，但并不以此为限，本发明的范围则由所申请的权利要求表示，而不局限于前述的说明，各种在权利要求的等同物的范围和含意之中的变化亦应属此范畴之内。

日本特许申请号 9-255697（1997.09.19 申请）的全部公开文本包括其说明书、权利要求书、附图和摘要作为一个整体都包含在本申请文本之中。



图 1

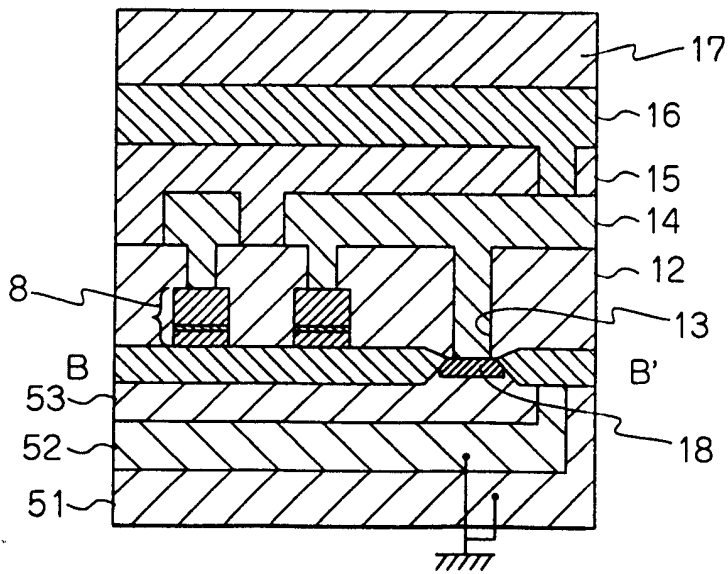


图 2

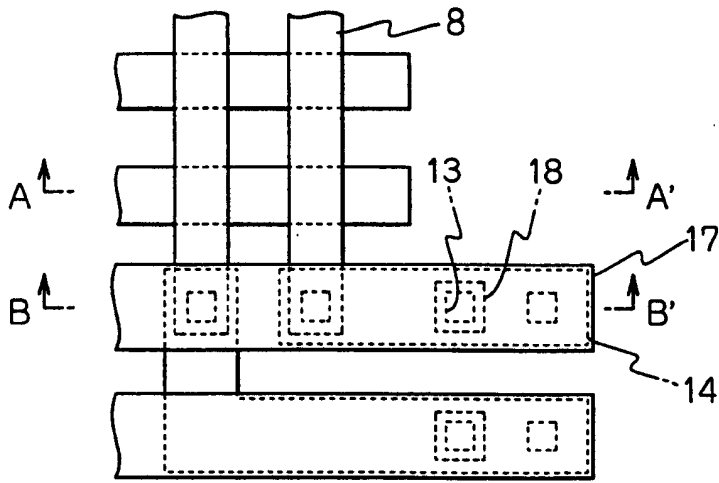


图 3

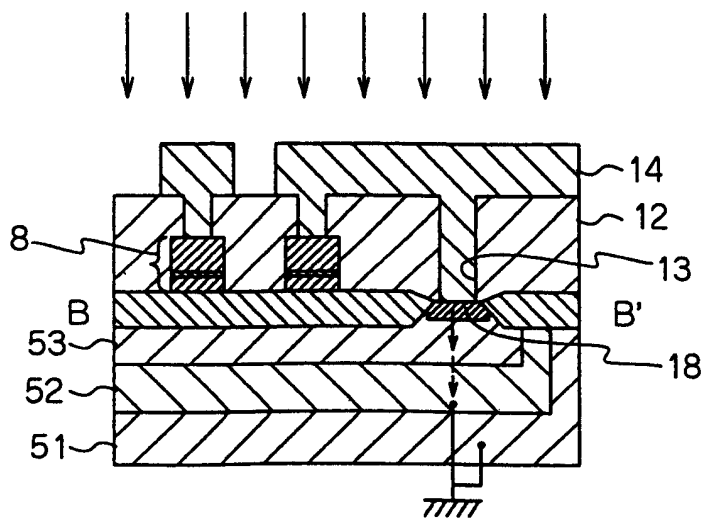


图 4

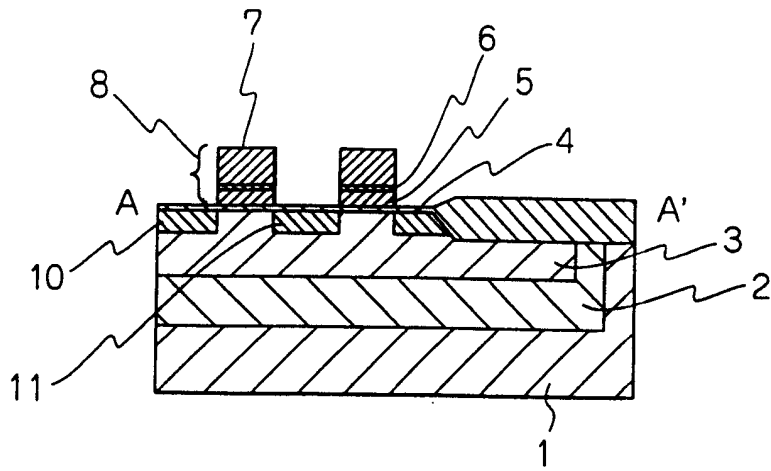


图 7

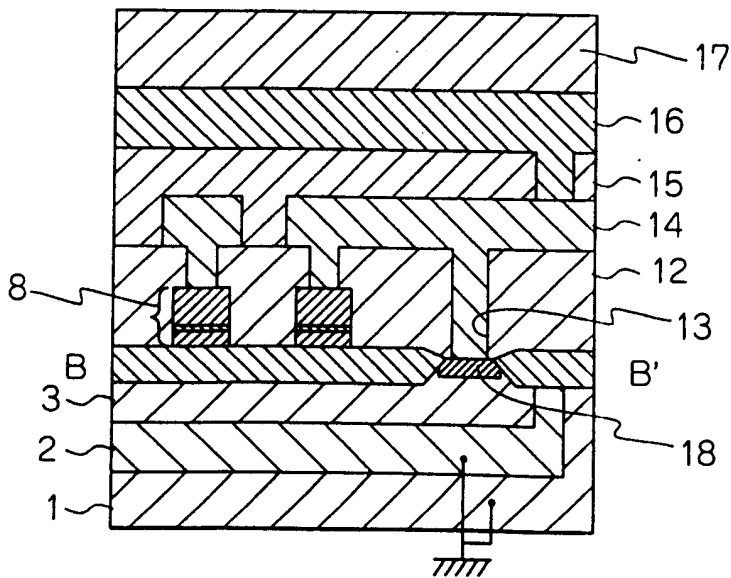


图 8

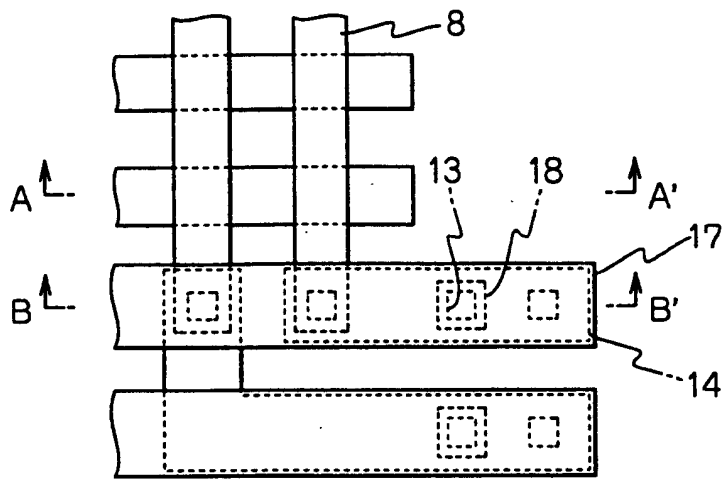


图 9

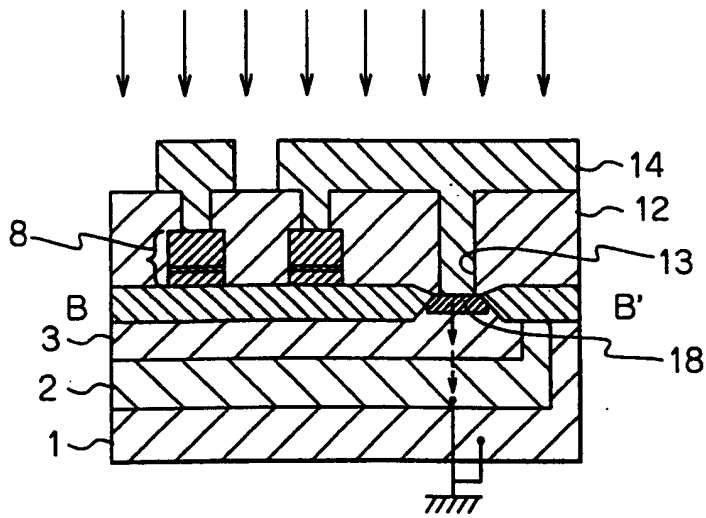


图 10

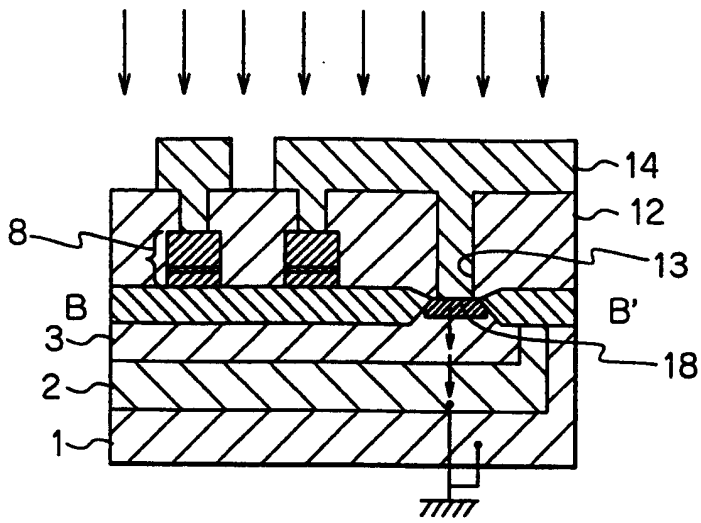


图 11

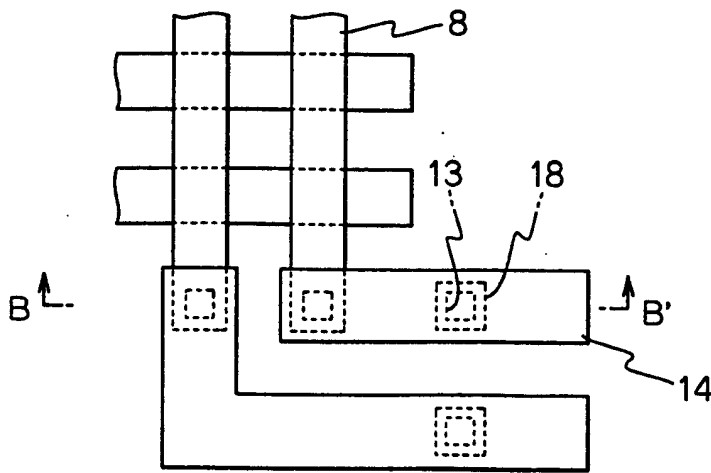


图 12

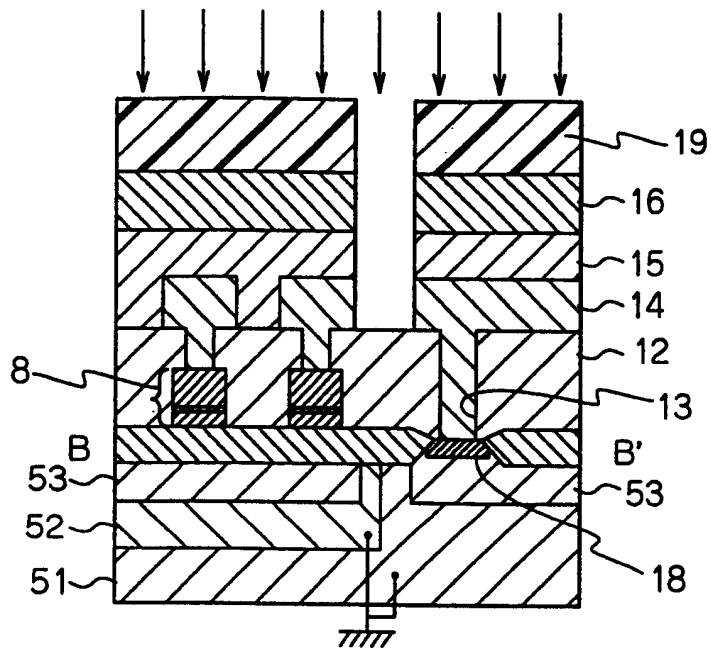


图 13

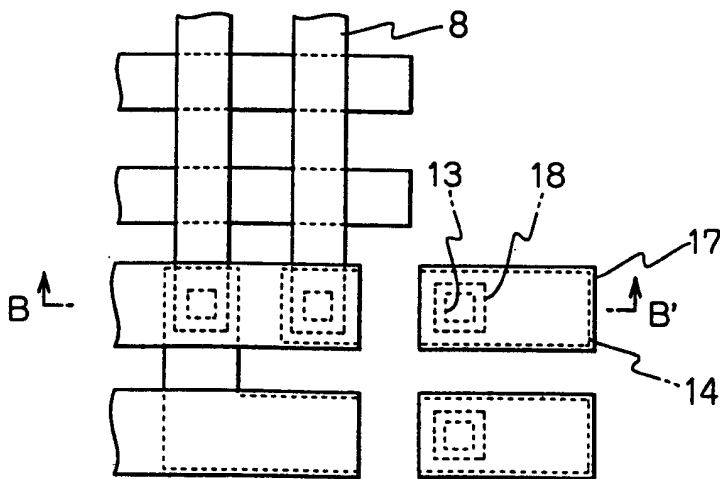


图 14

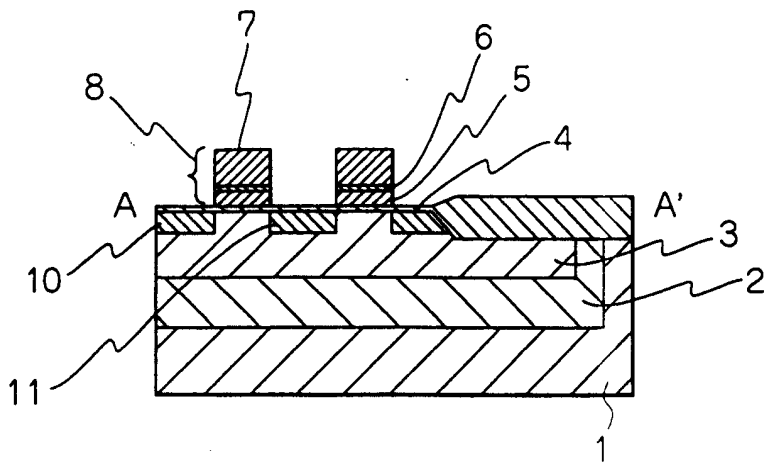


图 15

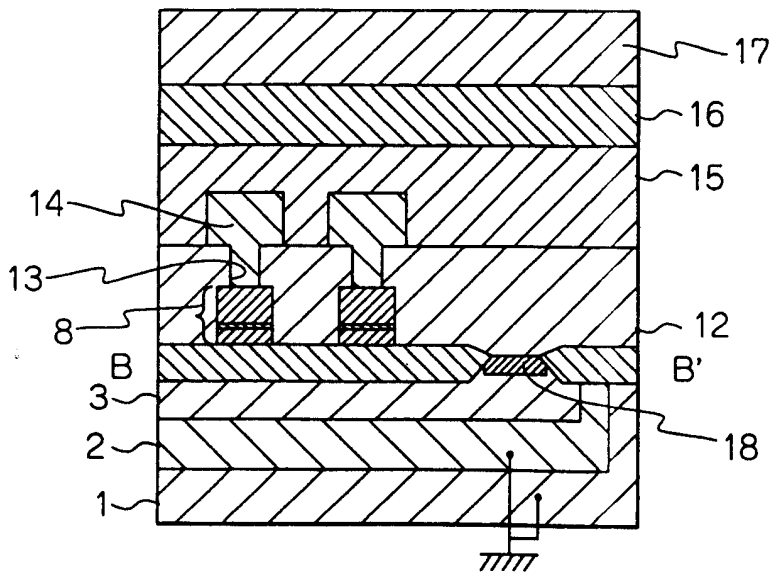


图 16

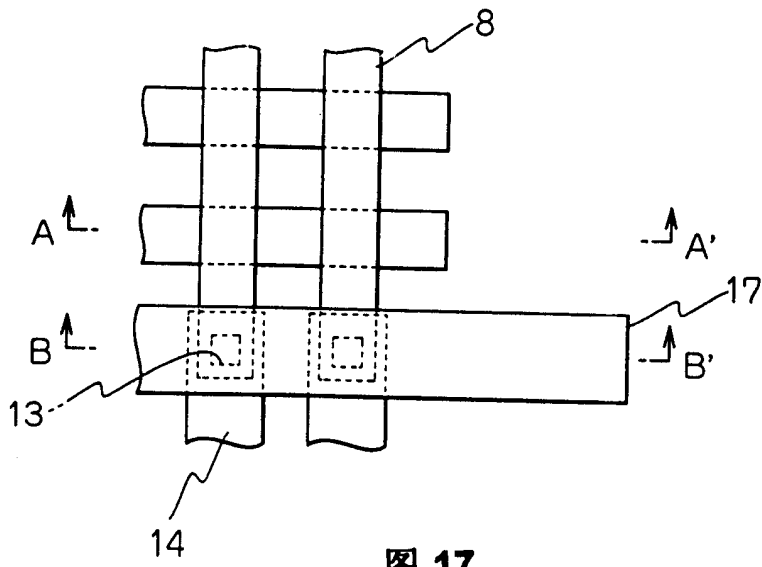


图 17