

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-515655

(P2005-515655A)

(43) 公表日 平成17年5月26日(2005.5.26)

(51) Int.C1.<sup>7</sup>

HO3F 3/217

HO3F 1/32

F 1

HO3F 3/217

HO3F 1/32

テーマコード(参考)

5J500

審査請求 未請求 予備審査請求 有 (全 13 頁)

(21) 出願番号 特願2003-502952 (P2003-502952)  
 (86) (22) 出願日 平成14年4月24日 (2002.4.24)  
 (85) 翻訳文提出日 平成15年11月13日 (2003.11.13)  
 (86) 國際出願番号 PCT/US2002/013214  
 (87) 國際公開番号 WO2002/099966  
 (87) 國際公開日 平成14年12月12日 (2002.12.12)  
 (31) 優先権主張番号 09/872,283  
 (32) 優先日 平成13年5月31日 (2001.5.31)  
 (33) 優先権主張国 米国(US)

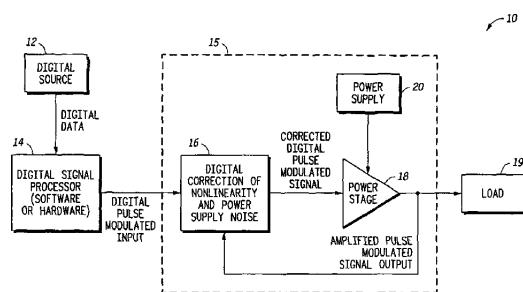
(71) 出願人 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国 78735 テキサス州  
 オースティン ウィリアム キャノンド  
 ライブ ウエスト 6501  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 ミドヤ、パラブ  
 アメリカ合衆国 60173 イリノイ州  
 シャンバード ケシー コート 92  
 9 ナンバー6

最終頁に続く

(54) 【発明の名称】デジタル訂正を行うスイッチング増幅器およびデジタル訂正の方法

## (57) 【要約】

スイッチング増幅器(15)には電力段(18)とデジタル訂正回路(16)がある。デジタル訂正回路(16)は、電力段増幅中にデジタル信号に発生する非線形性と電源ノイズとを訂正する。デジタル訂正回路(16)は、処理装置(14)からのデジタルパルス変調入力信号および電力段(18)からの増幅パルス変調出力信号を受信し、訂正デジタルパルス変調信号を供給する為にデジタルパルス変調入力信号に対し離散時間型パルス端訂正を行う。訂正デジタルパルス変調信号は電力段(18)への入力として利用される。



**【特許請求の範囲】****【請求項 1】**

スイッチング増幅器であって、

  入力、および増幅パルス変調出力信号を供給するための出力を有する電力段と、

  デジタルパルス変調入力信号を受信するための第1の入力、上記電力段の出力に結合され上記増幅パルス変調出力信号を受信するための第2の入力、および上記電力段の入力に結合された出力を有するデジタル訂正回路とを備え、

  上記デジタル訂正回路は、訂正デジタルパルス変調信号を上記電力段の入力に供給して、電力段での増幅中に増幅パルス変調出力信号の非線形性を訂正することを特徴とするスイッチング増幅器。10

**【請求項 2】**

上記デジタル訂正回路が上記訂正デジタルパルス変調信号を供給する為に上記デジタルパルス変調入力信号に対し離散時間型パルス端訂正を行う請求項1のスイッチング増幅器。

**【請求項 3】**

上記離散時間型パルス端訂正が上記デジタルパルス変調入力信号の立上がりに対して行われる請求項2のスイッチング増幅器。

**【請求項 4】**

請求項1のスイッチング増幅器であって、上記デジタル訂正回路が、

  デジタルパルス変調基準信号を受信するための第1の入力、上記増幅パルス変調出力信号を受信するための第2の入力、およびアナログ訂正信号を供給するための出力を有する積分エラー増幅器と、20

  上記積分エラー増幅器の上記出力に結合され上記アナログ訂正信号を受信するための入力、およびデジタル訂正信号を供給するための出力を有するアナログ デジタル変換器と、

  上記アナログ デジタル変換器の上記出力に結合された第1の入力、上記デジタルパルス変調入力信号を受信するための第2の入力、および上記電力段の上記入力に結合された出力を有するデジタルパルス端訂正装置と、

  を含むスイッチング増幅器。

**【請求項 5】**

上記デジタルパルス端訂正装置がタップ付き遅延線を有し、上記タップ付き遅延線は上記デジタル訂正信号に基づく所定の遅延または進行により上記デジタルパルス変調入力信号を訂正する請求項4のスイッチング増幅器。30

**【請求項 6】**

請求項4のスイッチング増幅器であって、上記積分エラー増幅器が、

  上記デジタルパルス変調基準信号を受信するための第1の入力、上記増幅パルス変調出力信号を受信するための第2の入力、第3の入力、および出力とを有する第1の加算素子と、

  上記第1の加算素子の上記出力に結合された入力、および出力を有する第1の積分器と、

  上記第1の積分器の上記出力に結合された入力、および上記第1の加算素子の上記第3の入力に結合された出力を有する第2の積分器と、40

  上記第2の積分器の上記出力に結合された第1の入力、第2の入力、および出力を有する第2の加算素子と、

  上記第2の加算素子の上記出力に結合された入力、および出力を有する第3の積分器と、

  上記第3の積分器の上記出力に結合された入力、および上記第2の加算素子の上記第2の入力に結合された出力を有する第4の積分器と、

  上記第1の積分器の上記出力に結合された第1の入力、上記第2の積分器の上記出力に結合された第2の入力、上記第3の積分器の上記出力に結合された第3の入力、上記第4の積分器の上記出力に結合された第4の入力、および上記アナログ訂正信号を供給するた50

めの出力を有するための第3の加算素子と、  
を含むスイッチング増幅器。

【請求項7】

上記デジタルパルス変調基準信号を生成する為に、上記デジタルパルス変調入力信号に基づき電力段遅延とジッタと電源ノイズとの補償を行うデジタルパルス変調入力信号調整器を更に含む請求項4のスイッチング増幅器。

【請求項8】

スイッチング増幅器の非線形性を訂正する方法であって、

デジタルパルス変調入力信号を受信する工程と、

加算結果を生成する為に増幅パルス変調出力信号とデジタルパルス変調基準信号とを合計する工程と、

アナログ訂正信号を生成する為に上記加算結果を積分する工程と、

上記アナログ訂正信号をデジタル訂正信号に変換する工程と、

訂正デジタルパルス変調信号を生成する為に上記デジタルパルス変調入力信号に離散時間型パルス端訂正を適用する工程と、

上記増幅パルス変調出力信号を生成する為に上記スイッチング増幅器の上記訂正デジタルパルス変調信号を増幅する工程と、

を備えることを特徴とする方法。

【請求項9】

上記離散時間型パルス端訂正を適用する工程が、上記デジタルパルス変調入力信号の立上がりおよび立下りの両方に上記離散時間型パルス端訂正を適用する工程を更に備える請求項8の方法。

【請求項10】

請求項8の方法であって、

上記デジタルパルス変調入力信号を調整することで上記デジタルパルス変調基準信号を生成する工程を更に備える方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般にデジタル増幅器に関し、特にデジタル増幅器のエラー訂正に関する。

【背景技術】

【0002】

デジタル可聴周波スイッチング電力増幅器は周知であり広く利用されている。該増幅器はパルス変調されたデジタル可聴信号を受信する。最も効率の高いデジタル可聴周波スイッチング電力増幅器はパルス幅変調(PWM)に基づく。PWMはデジタル可聴周波増幅器などの様々な用途やモータコントローラを含む制御の用途に広く利用されている。上記用途の多くは効率と精度とを高める為に、サンプリングされたデジタル信号をデジタルパルス幅変調信号に変換する。PWM信号はスイッチング増幅器へと渡され、該スイッチング増幅器はデジタルPWM入力信号を電圧レベルの非常に高いデジタルPWM信号に変える為にレベルシフティング機能を働かせる。電力増幅を行う為に、高圧電源が利用され、ここで電源電圧はデジタル論理の1つの値として直接に用いられる。

【発明の開示】

【発明が解決しようとする課題】

【0003】

電源には電圧に結合されたノイズがあるので、ノイズがスイッチング増幅器の誤差要因となる。デジタルスイッチング増幅器には電源ノイズを排除する能力がない。スイッチング増幅器を実際に実施すると歪んだ出力パルス信号が生成される。これら歪みは変調出力信号の非線形増幅につながる。従って、殆どのスイッチング増幅器は非線形性である上に電源ノイズエラーを起こす。

【課題を解決するための手段】

10

20

30

40

50

**【 0 0 0 4 】**

本発明は一例として図示されるもので添付の図面に限定されず、該図面では同じ参照事項は類似の要素を示す。

図中の要素を簡単かつ明瞭にする為に図示されており、必ずしも一定の率で縮尺して描かれてはいないことを、当業者は理解するであろう。例えば、図中の幾つかの要素の大きさは本発明の実施の形態の理解向上に役立つように他の要素に比べ誇張されている。

**【 発明を実施するための最良の形態 】****【 0 0 0 5 】**

図1は、非線形性により引き起こされるエラーと電源ノイズとにデジタル訂正を行うスイッチング増幅器システム10を示す。デジタルソース12には、デジタルデータをデジタル信号処理装置14の入力に供給する出力がある。デジタル信号処理装置機能の実施はソフトウェアでもハードウェア部品によってもよい。理解されるべきことは、デジタル信号処理装置14は受信されたデジタルデータを幾つかの所定の方法で処理する任意のタイプの信号処理機能でよいことである。図示の形態では、デジタル信号処理装置14の出力は非線形性および電源ノイズのデジタル訂正モジュール16の入力に接続されている。非線形性および電源ノイズのデジタル訂正モジュール16はデジタル訂正回路として機能する。非線形性および電源ノイズのデジタル訂正モジュール16の出力は訂正デジタルパルス変調信号を供給する為に電力段18の入力に接続されている。電力段18の出力はロード19の入力と非線形性および電源ノイズのデジタル訂正モジュール16の制御入力とに接続されている。電力段18の出力は増幅パルス変調出力信号を供給する。電力段18に電力を供給する為に電源20が電力段18に接続される。図示のように、非線形性および電源ノイズのデジタル訂正モジュール16と電源20と電力段18とは、スイッチング電力増幅器およびデジタル訂正の回路15を表す。

**【 0 0 0 6 】**

操作では、デジタルソース12はデジタルデータをデジタル信号処理装置14に供給する。デジタルデータは、音楽でもよいし、モータ制御信号など他の形式の情報でもよい。デジタル信号処理装置14はデジタルデータの形式を変換することでデジタルデータを処理する。1つの実施の形態では、デジタル信号処理装置14はパルス変調を用いてデジタルデータを変調する。2つの形式のパルス変調は、パルス幅変調(PWM)とパルス密度変調(PDM)である。好みの形式では、デジタル信号処理装置14はPWMを用いてデジタルデータを変調する。注意すべきことは、デジタル信号処理装置14の機能の実施は、ソフトウェアコードを用いてなされてもよいし、ハードウェアで変調を行うことによってなされてもよい点である。デジタルパルス変調信号はその後、非線形性および電源ノイズから生じるエラーを訂正するよう機能する非線形性および電源ノイズのデジタル訂正モジュール16へと渡される。訂正デジタルパルス変調信号は電力段18へと渡され、該電力段18はデジタルパルス変調信号の増幅するわちレベルシフトを行い、増幅パルス変調信号出力を供給する。増幅パルス変調信号出力はロードを駆動する為に利用できる。デジタルデータが音楽や可聴情報の場合には、ロード19はモータやスピーカなど任意のタイプのロードとして実施されてよい。幾つかの用途では、電力段18とロード19との間に低域フィルタ(図示せず)が接続される。低域フィルタはスイッチング周波数とその高調波とがロードに結合されないようにする。電力段18に電力を供給する為に電源20が利用され、論理の1つの出力値を持つよう供給電圧レール値を決定する。更に電力段18のデジタル出力は、非線形性および電源ノイズのデジタル訂正モジュール16へのフィードバック信号として利用され、図2に関連して更に説明されるようにデジタルスイッチング増幅器のデジタル訂正を行う。

**【 0 0 0 7 】**

図2に図示されているのは、図1のスイッチング電力増幅器およびデジタル訂正の回路15の更に詳細な実施の1つである。デジタルパルス変調入力調整器28の入力およびデジタルパルス端訂正装置34の第1の入力の両方にデジタルパルス変調入力が接続される。1つの形式では、デジタルパルス変調入力はデジタルパルス幅変調(PWM)入力信号

10

20

30

40

50

であるが、他のタイプのデジタルパルス変調信号が利用されてもよい。デジタルパルス変調入力調整器 28 の出力は、デジタルパルス変調基準信号を供給する為に積分エラー増幅器 30 の第 1 の入力に接続される。積分エラー増幅器 30 の出力は、アナログ訂正信号を供給する為にアナログ デジタル変換器 32 の第 1 の入力に接続される。アナログ デジタル変換器 32 の出力は、デジタル訂正信号を供給する為にデジタルパルス端訂正装置 34 の第 2 の入力に接続される。第 1 のクロック信号は、スイッチング周波数  $F_{sw}$  の 2 倍の周波数のクロックを供給する為に、アナログ デジタル変換器 32 の第 1 のクロック入力と、デジタルパルス端訂正装置 34 の第 1 のクロック入力と、デジタルパルス変調入力調整器 28 の第 1 のクロック入力とに接続される。1つの形式では、 $2 * F_{sw}$  周波数は 750 kHz である。第 2 のクロック信号は、 $F_c$  と表示されるクロック信号を供給する為に、アナログ デジタル変換器 32 の第 2 のクロック入力と、デジタルパルス端訂正装置 34 の第 2 のクロック入力と、デジタルパルス変調入力調整器 28 の第 2 のクロック入力とに接続される。1つの形式では、 $F_c$  周波数は 48 MHz である。デジタルパルス端訂正装置 34 の出力は電力段 18 の入力に接続され、訂正デジタルパルス変調信号を供給する。電力段 18 の出力は積分エラー増幅器 30 の第 2 の入力に接続され、増幅パルス変調信号出力信号を供給する。

#### 【0008】

操作では、デジタルパルス変調入力信号がデジタルパルス端訂正装置 34 に供給される。デジタルパルス端訂正装置 34 は、各デジタルパルスの一端もしくは両端の発生するタイミングを調整することで電源ノイズエラーおよび非線形性を補償するよう働き、これにより離散時間型パルス端訂正を行う。調整はデジタルパルス変調入力信号の立上がりや立下り、または両方の端に対し行われる場合がある。補償されたデジタル信号はその後で、デジタル信号をレベルシフトさせる電力段 18 に供給される。電力段 18 の出力はロードに接続または結合されているが図 2 には図示されていない。本願で教示される補償方法はフィードバックを利用し、従って、電力段 18 の出力は増幅パルス変調信号出力の形で積分エラー増幅器 30 に接続されている。注意すべき点は、幾つかの用途では積分エラー増幅器 30 により信号が利用される前に増幅パルス変調信号の減衰が必要な場合もあることである。上記の用途では、電力段 18 の出力と積分エラー増幅器 30 の第 2 の入力との間に抵抗素子（図示せず）が接続される。積分エラー増幅器 30 は電力段 18 により供給されるデジタル出力信号およびデジタルパルス変調入力調整器 28 により供給されるデジタル基準信号の両方を利用する。デジタルパルス変調入力調整器 28 およびデジタルパルス端訂正装置 34 の両方に同一のデジタルパルス変調入力信号が接続されるので、デジタルパルス変調入力調整器は信号遅延を供給する形で幾らかの位相補償を行わなくてはならない。積分エラー増幅器 30 に向けられる基準信号および増幅パルス変調信号出力の両方が同様の位相およびタイミングをとるように、位相補償が必要である。デジタルパルス変調入力調整器 28 は電力段遅延の補償を行うデジタルパルス変調入力信号調整器である。デジタルパルス変調入力調整器 28 は以前に入力へと入ってしまったジッタおよび電源ノイズを全て低減することでデジタルパルス変調入力の補償も行う。

#### 【0009】

積分エラー増幅器 30 は基準信号を電力段 18 の出力と比較するよう働く。該 2 つの信号の間の差が全てエラーと解釈される。積分エラー増幅器 30 は更に、パルス変調およびその高調波のスイッチング周波数を抑制しながらエラーを増幅するよう働く。増幅されたエラーは、デジタルパルス端訂正装置 34 で利用されるアナログ訂正信号を生成する為に利用されて、続くデジタル入力信号端に適用される。しかし積分エラー増幅器 30 により供給されたアナログ訂正信号はアナログ形式である。従って、デジタルパルス端訂正装置 34 をデジタル制御信号で制御する為に訂正信号の変換がアナログ デジタル変換器 32 により行われる。理解すべきことは、アナログ デジタル変換器 32 の実施には様々なタイプの A/D 変換器が利用されてよいことである。更に、スイッチング電力増幅器およびデジタル訂正の回路 15 に供給されるデジタルパルスは任意のビット幅のデジタル入力信号でよい。

## 【0010】

注意すべきことは、既知のデジタルスイッチング増幅器に存在するエラーソースがデジタル信号端の動きにより訂正されている点である。スイッチング電力増幅器およびデジタル訂正の回路15は、電力段18の出力を変更する非理想性の訂正に適切なループゲインを供給する負のフィードバックシステムを供給する。デジタルパルスの端を選択的に調整することで、エラーソースの訂正が可能である。エラーソースの内容に依存して、幾つかのデジタルパルス端は遅れずに進められ、その他のデジタルパルス端は遅延される。このようにして、デジタルパルス端訂正装置34は、非線形性および電源ノイズを補償する為にデジタルパルス幅を修正するタップ付き遅延線またはクロック制御された遅延段として働く。デジタルパルス端訂正装置34は、デジタル訂正信号に基づき所定の遅延や進行を実施することでデジタルパルス変調入力信号を訂正する。

## 【0011】

図3に図示されているのは、図2の積分エラー増幅器30の代表的な実施の形態である。積分エラー増幅器30には一般に、加算器50(加算素子)と、積分器52と、積分器54と、加算器56と、積分器58と、積分器60と、加算器62とがある。デジタルパルス変調入力調整器28からのデジタルパルス変調基準信号は加算器50の加算入力に接続され、電力段18からの増幅パルス変調信号出力は加算器50の減算入力に接続される。加算器50の出力は積分器52の入力に接続される。積分器52の出力は積分器54の入力および加算器62の第1の加算入力に接続される。積分器54の出力は加算器56の加算入力と、計数回路55の入力と、加算器62の第2の加算入力とに接続される。計数回路55の出力は加算器50の第2の減算入力に接続される。加算器56の出力は積分器58の入力に接続される。積分器58の出力は積分器60の入力および加算器62の第3の加算入力に接続される。積分器60の出力は計数回路61の入力および加算器62の第4の加算入力に接続される。計数回路61の出力は加算器56の減算入力に接続される。積分器52の出力は項 $K_1 * I_1$ である。積分器54の出力は項 $K_2 * I_2$ である。積分器58の出力は項 $K_3 * I_3$ である。積分器60の出力は項 $K_4 * I_4$ である。計数回路55の出力は項 $I_1$ であり、計数回路61の出力は項 $I_2$ である。

## 【0012】

操作では、積分エラー増幅器30は基準信号と増幅パルス変調信号出力との間のエラーにフィルタリングを選択的に行うようフィルタリング操作を実行する。積分エラー増幅器30はn次の帯域フィルタを実施し、ここでnは正整数である。加算器50はデジタルパルス変調基準信号と電力段18からの増幅パルス変調信号出力とを受信するよう働く。2つの入力および積分器54の出力から差信号(即ち、加算結果)が生成される。3つの信号の合計は、連続的に積分器52および54により積分される信号の形成に利用される。積分器52は $K_1 * I_1$ と表示される第1の項を供給し、第1の項は加算器62に接続される。積分器54は $K_2 * I_2$ と表示される第2の項を供給し、第2の項は $K_1 * I_1$ と合計される。積分器54の出力は加算器56に供給され、該出力は積分器60の出力と共に差信号を形成する。それぞれが項 $K_3 * I_3$ および項 $K_4 * I_4$ を生成する積分器58および積分器60の両方により差信号は連続的に積分される。項 $K_3 * I_3$ および項 $K_4 * I_4$ は、図2のアナログ訂正信号を供給する為に加算器62により $K_1 * I_1$ および $K_2 * I_2$ と合計される。理解されるべき点は、図示の形式では4つの積分器が実施されているが、積分器は任意の数だけ使用されてよいことである。使用される積分器の数はシステム全体の持つ極の数を決定する。

## 【0013】

1つの形式では、積分器52、54、58、60の各々は従来のRC(抵抗/容量)積分増幅器(シングルエンド増幅器または差動増幅器)として実施される。抵抗値と容量値の選択は、確実に積分エラー増幅器30を安定な状態に維持する為には重要である。閉ループシステムに存在する周波数の極の合計数は積分増幅器30の極の合計数より1つ多い。システムの極の数は当初明らかでない場合もある。積分エラー増幅器30の抵抗と容量の適切な値を選択する方法を理解するには、短い数学的な分析が役に立つ。

## 【0014】

図3の4次の積分エラー増幅器30については、アナログ訂正信号の伝達関数は以下の通りである。

## 【0015】

## 【数1】

$$H(s) = \frac{K_1 s^3 + K_2 s^2 + (K_1 \gamma_2 + K_3) s + K_2 \gamma_2 + K_4}{(s^2 + \gamma_1)(s^2 + \gamma_2)} \quad (1)$$

アナログ訂正信号と、アナログ デジタル変換器32によるアナログ訂正信号からデジタル訂正信号への変換と、デジタルパルス端訂正装置34により行われるパルス端訂正との間には、時間遅延がある。パルス幅変調システムでは、該遅延が平均してスイッチング時間の1/4に等しく、ここでスイッチング時間は連続するパルス同士の間の時間として規定される。該時間遅延は以下の式によりモデル化できる。

## 【0016】

## 【数2】

$$e^{-s/2} \cong \frac{1-s/4}{1+s/4} \quad (2)$$

総合的な閉ループシステム伝達関数を得る為に式1と式2とを組み合わせると以下の式となる。

## 【0017】

## 【数3】

$$T(s) = \frac{s^5 + 4s^4 + (\gamma_1 + \gamma_2)s^3 + 4(\gamma_1 + \gamma_2)s^2 + \gamma_1\gamma_2 s + 4\gamma_1\gamma_2}{s^5 + (4-K_1)s^4 + (\gamma_1 + \gamma_2 + 4K_1 - K_2)s^3 + (4\gamma_1 + 4\gamma_2 + 4K_2 - \gamma_2 K_1 - K_3)s^2 + (\gamma_1\gamma_2 + 4\gamma_2 K_1 + 4K_3 - \gamma_2 K_2 - K_4)s + (4\gamma_1\gamma_2 + 4\gamma_2 K_2 + 4K_4)} \quad (3)$$

上述の時間遅延の結果として更なるシステムの極が導入される。特に、上記の例では、図3の4次の積分エラー増幅器に第5の極が導入される。

## 【0018】

図4に図示されるのは、s領域の4次の積分エラー増幅器30を有する閉ループシステムの根軌跡プロットである。2次元グラフにグラフ化されているのは、閉ループシステムの5つの極それぞれの理想的な位置であり、それぞれ「x」で示されている。根軌跡は、積分エラー増幅器30のRC積分器それぞれの抵抗および容量の値の変化に従いグラフ化されている。縦軸は複素数の周波数成分を示す虚軸jである。横軸は実数の周波数成分を示す実軸( )である。5つの極それぞれの理想的な位置は実数および複素数の周波数軸の交点を中心とする円弧内にある。更に、理想的な極位置の周囲の線はそれぞれ、RC値の変化に従う理想的な極の動きを示す。周波数の安定した閉ループシステムを設計する為には、システムの極の全てが虚軸jの左半分になくてはならない。

## 【0019】

非線形性エラーおよび電源ノイズを補償するデジタルスイッチング増幅器が供給されたことが、ここまでで明白になったはずである。電力段での増幅中に増幅パルス変調出力信号の非線形性を訂正する為に、訂正デジタルパルス変調信号は電力段18の入力に供給される。本発明により、高い性能を維持すると同時に低コストの電源および電力段の利用が可能になる。本願で教示される補償の方法と装置は、単一の集積回路への組み込みに非常に適している。更に、図示のシステムの一部は専用のハードウェアを用いるよりむしろソフトウェアコードにより容易に実施されるであろう。本発明は、上位のシステムにおける安定性を向上させる複数ビット訂正を実施する。複数ビット操作はシステムのダイナミックレンジの能力を更に高める。

## 【0020】

本発明を実施する装置は、その大部分が当業者に既知の電子部品および電気回路で構成されているので、本発明の基本的概念の理解と評価の為に、また本発明の教示を不明瞭に

10

20

30

40

50

したりこれからそらしたりしない為にも、回路の細部については以上に示した程度に必要と考えられるより多くは説明しない。

### 【0021】

前述の明細書では、本発明は特定の実施の形態を参照して説明された。しかし、以下の請求項で述べる本発明の範囲を外れることなく様々な変形や変更が可能であることが、当業者には評価される。従って、明細書および図面は限定的な意味ではなく説明的な意味のものであると考えられるべきであり、全てのそのような変形は本発明の範囲内に含まれることを意図されている。

### 【0022】

利益や他の利点や問題の解決策は、特定の実施の形態に関して以上に説明された。しかし、利益や利点や問題の解決策や、見出されるまたは更に明白になるあらゆる利益や利点や解決策をもたらすあらゆる構成要素（単数または複数）は、請求項のいずれかまたは全てに決定的または必要または本質的な特徴や構成要素であると解釈されるべきではない。構成要素のリストを含む工程や方法や物や装置が、その構成要素のみを含むのではなく、上記の工程や方法や物や装置に特にリストアップされていないまたは固有ではない他の構成要素をも含むように、用語「含む」や「含んでいる」やこれらの他の変形物は、本願で使用されたように非排他的な包括に及ぶことを意図している。

### 【図面の簡単な説明】

### 【0023】

【図1】本発明に従うデジタル訂正を行うスイッチング増幅器を示すブロック図。

10

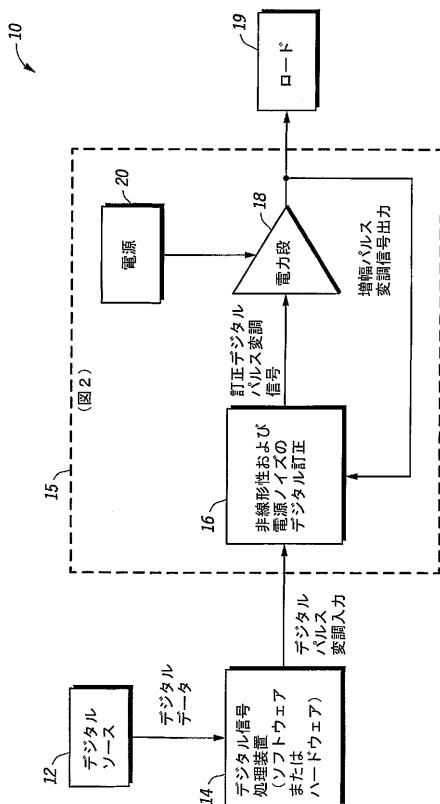
【図2】非線形性および電源ノイズのデジタル訂正を示すブロック図。

20

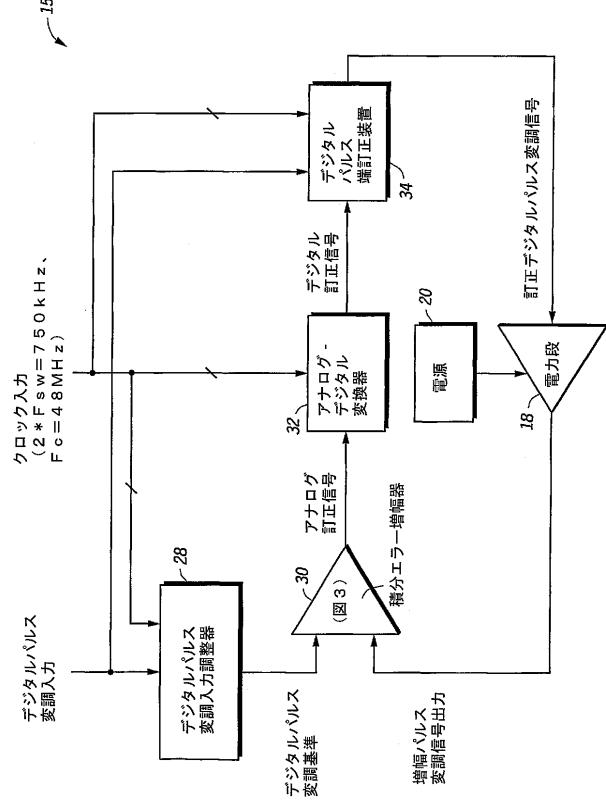
【図3】図2の積分エラー増幅器を示すブロック図。

【図4】図2のデジタル訂正システムの根軌跡プロットを示すグラフ。

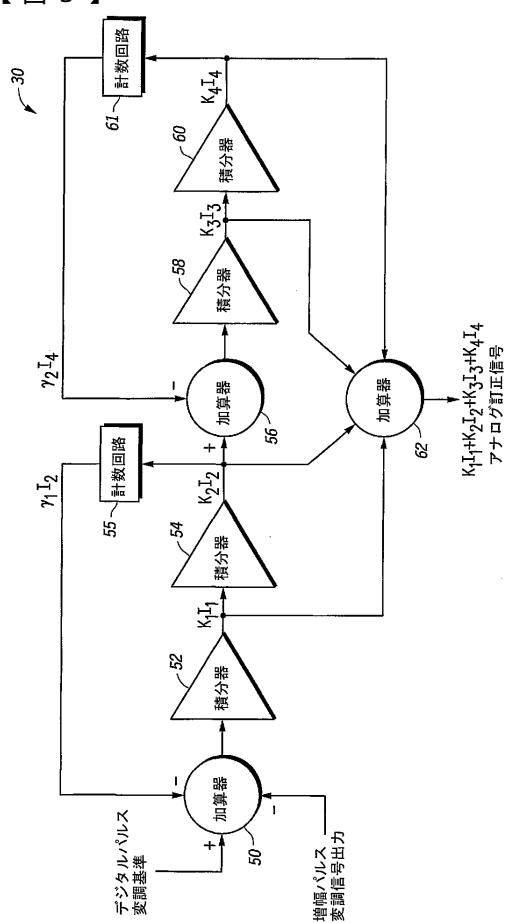
【図1】



【図2】



【図3】



【図4】

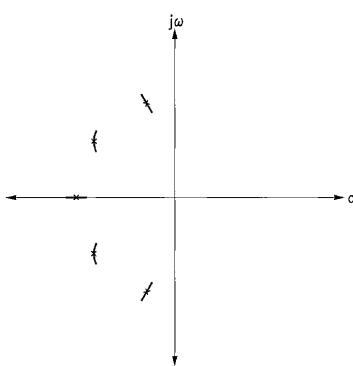


FIG.4

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/US 02/13214

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H03F3/217		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H03F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 01 10016 A (TRIPATH TECHNOLOGY INC) 8 February 2001 (2001-02-08) page 6 -page 7; figure 5 ---	1-3
A		4,5
X	WO 01 22585 A (AUDIOLOGIC INC) 29 March 2001 (2001-03-29) abstract; figure 3 ---	1-3
X	WO 98 44626 A (NIELSEN KARSTEN) 8 October 1998 (1998-10-08) abstract; figure 3 ---	1 -/-
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents:		
*A* document defining the general state of the art which is not considered to be of particular relevance		
*E* earlier document but published on or after the international filing date		
*L* document which may throw doubts on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		
*O* document referring to an oral disclosure, use, exhibition or other means		
*P* document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search  18 October 2002	Date of mailing of the international search report  29/10/2002	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-5016	Authorized officer  Agerbaek, T	

**INTERNATIONAL SEARCH REPORT**

International Application No
F11/US 02/13214

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category "	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	NIELSEN K: "PEDEC-a novel pulse referenced control method for high quality digital PWM switching power amplification", POWER ELECTRONICS SPECIALISTS CONFERENCE, 1998. PESC 98 RECORD. 29TH ANNUAL IEEE FUKUOKA, JAPAN 17-22 MAY 1998, NEW YORK, NY, USA, IEEE, US, PAGE(S) 200-207 XP010294870 ISBN: 0-7803-4489-8 page 204; figure 8 -----	1

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International Application No
PCT/US 02/13214

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
WO 0110016	A 08-02-2001	US	6351184 B1	26-02-2002
		AU	6377500 A	19-02-2001
		EP	1210764 A1	05-06-2002
		WO	0110016 A1	08-02-2001
		US	2002089376 A1	11-07-2002
WO 0122585	A 29-03-2001	US	6294954 B1	25-09-2001
		AU	1366501 A	24-04-2001
		EP	1230734 A1	14-08-2002
		WO	0122585 A1	29-03-2001
WO 9844626	A 08-10-1998	AU	730339 B2	01-03-2001
		AU	6495098 A	22-10-1998
		CN	1251697 T	26-04-2000
		WO	9844626 A2	08-10-1998
		EP	1042865 A2	11-10-2000
		JP	2001517393 T	02-10-2001

---

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN, TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE, GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,P L,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZM,ZW

(72)発明者 レックナー、ウィリアム ジェイ.

アメリカ合衆国 60110 イリノイ州 カーペンターズビル オーク クノール レーン 3  
005

(72)発明者 ワグ、プージャン エイ.

アメリカ合衆国 60118 イリノイ州 スリーピー ホロー プラム コート 19  
FTチーム(参考) 5J500 AA01 AA24 AA27 AA41 AA66 AC23 AC46 AF17 AK26 AK31  
AM11 AT01 AT02 NG06 NH01 NH03 NN11 WU01