

(12) **FASCICULE DE BREVET EUROPÉEN**

(45) Date de publication du fascicule du brevet :
17.08.88

(51) Int. Cl.⁴ : **G 09 G 1/16**

(21) Numéro de dépôt : **85400735.8**

(22) Date de dépôt : **12.04.85**

(54) **Dispositif pour l'obtention de tracés continus sur l'écran d'une console de visualisation commandée par un processeur graphique.**

(30) Priorité : **17.04.84 FR 8406053**

(43) Date de publication de la demande :
13.11.85 Bulletin 85/46

(45) Mention de la délivrance du brevet :
17.08.88 Bulletin 88/33

(84) Etats contractants désignés :
DE GB

(56) Documents cités :
EP-A- 0 092 973
US-A- 4 303 986
WESCON CONFERENCE RECORD, vol. 25, septembre
1981, pages 31/5-1 - 31/5-10, El Segundo, CA., US; J.L.
WISE et al.: "Color graphics with an advanced LSI
controller"

(73) Titulaire : **THOMSON VIDEO EQUIPEMENT**
94, rue du Fossé Blanc
F-92230 Gennevilliers (FR)

(72) Inventeur : **Pham Van Cang, Luc**
THOMSON-CSF SCPI 173, bld Haussmann
F-75379 Paris Cedex 08 (FR)

(74) Mandataire : **Lincot, Georges**
THOMSON-CSF SCPI 19, avenue de Messine
F-75008 Paris (FR)

EP 0 161 176 B1

Il est rappelé que : Dans un délai de neuf mois à compter de la date de publication de la mention de la délivrance du brevet européen toute personne peut faire opposition au brevet européen délivré, auprès de l'Office européen des brevets. L'opposition doit être formée par écrit et motivée. Elle n'est réputée formée qu'après paiement de la taxe d'opposition (Art. 99(1) Convention sur le brevet européen).

Description

La présente invention concerne un dispositif pour l'obtention de tracés continus sur l'écran d'une console de visualisation commandée par un processeur graphique.

Les consoles de visualisation adaptées pour le tracé d'images graphique forment des images à partir d'une matrice ordonnée de points ou de pixels régulièrement répartis à la surface de l'écran et dont la pigmentation est déterminée en fonction du dessin ou du graphique qui est à exécuter. Cette matrice est généralement orthogonale et est constituée par $M \times N$ pixels ou points placés sur la surface de l'écran de la console aux intersections de M rangées et de N lignes. Le produit $M \times N$ représente le nombre total de pixels ou de points visibles sur l'écran de la console, de lui dépendent les performances du processeur. Dans les réalisations connues, les formats utilisés vont des matrices de points constitués de 512 par 512 à 1024 par 1024 points ou pixels. Ces images sont représentées sur les consoles de visualisation ou sur des moniteurs de télévision noir et blanc ou couleurs à l'aide d'un système d'analyse « colonne-ligne ».

Le mode de balayage de télévision par ligne et trame est apprécié dans ces dispositifs pour présenter de nombreux avantages. Cependant la structure échantillonnée de la mémoire graphique qui est interposée entre la console de visualisation et le processus provoque des défauts caractéristiques appelés globalement « défauts d'aliasing » dans la littérature anglo-saxonne qui se présentent soit sous la forme d'un crénelage visible sur les obliques et les courbes des tracés obtenus sur les écrans lorsque l'image est fixe, soit par la disparition ou l'apparition brutale de détails en fonction d'un faible déplacement de l'image. Ces défauts sont principalement dus à l'échantillonnage du signal aux points discrets de la mémoire d'image interposée entre l'écran de la console et le processeur.

Dans les équipements graphiques de hautes performances ces défauts sont corrigés par diverses techniques consistant, par exemple, à augmenter la définition de l'image visualisée ou à augmenter la capacité de la mémoire graphique en groupant corrélativement chaque pixel ou point analysé avec ses points voisins, ou à compenser les arrondis de position du tracé par une variation de teinte du pixel entourant le tracé ou encore, en effectuant des traitements lors de la lecture de la mémoire graphique consistant à opérer des filtrages et des calculs d'interpolation sur les signaux lus dans la mémoire graphique. En fait, les procédés qui consistent à augmenter les définitions de l'image visualisée tendent à être remplacés par des procédés de traitement par filtrage et interpolation qui apparaissent nettement plus efficaces et moins coûteux. Ces méthodes de traitement ont toutefois pour inconvénient d'occuper beaucoup de temps de cycles de calcul des processeurs graphiques ce qui rend ces méthodes de tracé relativement lentes. Pour augmenter les vitesses de tracé, des logiques câblées sont utilisées pour remplacer les logiciels des processeurs graphiques mais ces logiques ont pour inconvénient d'être onéreuses et de nécessiter encore, pour obtenir des corrections satisfaisantes, des traitements intermédiaires en utilisant par exemple des mémoires caches, ces traitements étant exécutés à grande vitesse et à haute définition par échange de données entre la mémoire cache et le processeur avant que les résultats soient inscrits dans la mémoire graphique.

Le but de l'invention est de pallier les inconvénients précités.

A cet effet, l'invention a pour objet, un dispositif pour l'obtention de tracés continus sur l'écran d'une console de visualisation commandée par un processeur graphique, l'image étant constituée par une matrice ordonnée de points d'images ou pixels formés par M rangées de N points ou pixels balayés suivant le principe de balayage des images de télévision, le dispositif comprenant une mémoire graphique pour mémoriser sous une forme binaire l'image de la matrice des points visualisés sur l'écran et une mémoire d'attribut pour contenir les attributs de chacun des points de l'image, caractérisé en ce qu'il comprend également une mémoire d'interpolation dans laquelle se trouve mémorisée une table de calcul des attributs des points intermédiaires entre points consécutifs de la matrice de points, la table du circuit d'interpolation étant adressée sur une première entrée par la valeur pré-existante PA du pixel à modifier trouvée dans la mémoire d'attribut, sur une deuxième entrée par la valeur nouvelle PN de l'attribut des pixels à modifier pour les faire figurer sur le tracé et sur une troisième entrée par une valeur d'interpolation F, calculée par le processeur, égale à la partie fractionnaire de la position du point intermédiaire à modifier, chaque emplacement de la table contenant une valeur d'attribut PM vérifiant la relation

$$PM = F \cdot PA + (1-F) \cdot PN$$

la valeur PM obtenue étant transférée dans la mémoire d'attribut pour mettre à jour le contenu de l'emplacement correspondant à l'adresse du pixel modifié.

D'autres caractéristiques et avantages de l'invention apparaîtront au cours de la description faite au regard des dessins annexés donnés uniquement à titre d'exemple et dans lesquels :

— les figures 1 à 3 sont les représentations des défauts de reconstitution de tracés sur des écrans de consoles graphiques engendrés par l'échantillonnage de points ou pixels de la matrice d'image enregistrés dans la mémoire graphique ;

— les figures 4 à 5 illustrent des procédés connus mis en oeuvre dans certains processeurs graphiques pour obtenir des tracés ne présentant pas de discontinuité ;

— la figure 6 est une représentation du dispositif selon l'invention pour obtenir des tracés sans discontinuités ;

— la figure 7 est une représentation des diagrammes des temps du cycle de rafraîchissement de l'écran d'une console de visualisation balayé suivant le principe de balayage des écrans de télévision, du cycle de lecture, de modification ou d'écriture de la mémoire graphique ainsi que du cycle d'accès direct DMA à la mémoire graphique ;

— la figure 8 illustre la méthode d'interpolation linéaire mise en oeuvre par l'invention pour corriger les discontinuités de tracés.

La théorie de l'information montre que l'échantillonnage d'un signal $S(t)$ dépendant du temps, à une cadence C_i donne des défauts appelés globalement « défauts d'aliasing » si le spectre en fréquence du signal $S(t)$ dépasse la moitié de la fréquence d'échantillonnage du signal d'échantillonnage. Ce défaut traduit le recouvrement entre la moitié supérieure du spectre du signal $S(t)$ et la moitié inférieure lorsque ce dernier est replié autour de la fréquence $C_i/2$ moitié de la fréquence C_i de cadencement du signal d'échantillonnage.

Dans un espace à deux dimensions, les coordonnées X et Y échantillonnées et discrètes de la position de chaque point ou pixel d'une mémoire graphique organisée à la façon d'une matrice orthogonale ayant des colonnes et des lignes obéissent aux mêmes critères, à la différence toutefois que pour le signal graphique la variable se trouve située dans le domaine spatial et non pas dans le domaine temporel. Si le spectre spatial du signal graphique dépasse la demi fréquence spatiale d'échantillonnage les mêmes défauts « d'aliasing » se retrouvent pour les signaux graphiques de la même façon que pour les signaux dépendant du temps.

A titre d'exemple, la figure 1 illustre les défauts de reconstitution d'un signal sinusoïdal A échantillonné à des instants T_n à T_{n+3} régulièrement espacés les uns des autres et le signal B reconstitué qui en résulte et qui apparaît crénelé sous la forme de marches d'escalier, chaque palier ayant une amplitude constante entre deux instants d'échantillonnage.

La figure 2 illustre les « défauts d'aliasing » spatiaux engendrés par des signaux d'échantillonnage à cadence fixe d'un signal rectangulaire S représentant la position d'un point sur un tracé qui est représenté à l'entrée d'une console graphique dont la mémoire est organisée suivant la forme d'une matrice de points. Suivant la position du signal S par rapport aux instants d'échantillonnage T_n et T_{n+1} on peut constater sur la figure 2 que ce signal est ou n'est pas mémorisé à l'intérieur de la mémoire. Dans le cas par exemple du signal S qui est représenté à la ligne F_1 entre les instants d'échantillonnage T_n et T_{n+1} l'image de ce signal (ligne F_2) n'est pas enregistrée dans la mémoire graphique puisque le point qu'elle représente est intermédiaire entre la position P_n et P_{n+1} de la mémoire graphique correspondant aux instants d'échantillonnage T_n à T_{n+1} et que par conséquent ce signal ne peut être visualisé sur la console de visualisation.

Une manière de remédier à ce défaut est représentée à la figure 3 et consiste à filtrer chaque signal d'entrée pour le transformer en un signal S_F sur les graphes H_1 à M_1 avant de l'échantillonner pour l'inscrire dans la mémoire graphique. Les constantes de filtrage sont définies pour que, quelque soit la position du signal filtré par rapport aux instants d'échantillonnage T_n et T_{n+1} , il y ait toujours un échantillon de signal qui puisse être mémorisé à l'intérieur de la mémoire graphique, on profite ensuite des constantes de réponse de l'écran qui opère un filtrage naturel, signal S_V sur les graphes H_2 à M_2 , sur la grandeur des échantillons restitués par la mémoire graphique.

S'il est relativement simple de filtrer un signal dans le domaine temporel, le filtrage spatial qui vient d'être décrit est cependant plus complexe à réaliser et nécessite en particulier de multiples accès à la mémoire graphique dans la direction des lignes et des colonnes lorsque le filtrage mis en oeuvre est bidimensionnel. Les figures 4 et 5 illustrent un procédé moins compliqué et donnant de bons résultats qui est quelque fois employé pour obtenir des traces sans discontinuité sur un écran d'une console graphique de visualisation. La figure 4 montre une trace oblique dirigée selon la direction D obtenue en accolant deux mots M_1 et M_2 de sept pixels chacune, de même teinte T_{16} , disposés respectivement sur les lignes L_n et L_{n+1} . La trace représentée montre une discontinuité au point 0 au passage de la ligne supérieure L_n à la ligne directement inférieure L_{n+1} . Pour remédier à cette difficulté les dispositifs connus de correction « d'anti-aliasing » opèrent suivant le principe représenté à la figure 5 qui montre la même trace que celle figurée à la figure 4 qui est obtenue, à la différence de ce qui est représenté à la figure 4, en corrigeant la teinte des pixels autour de la droite Δ de direction D . La teinte des pixels entourant la droite Δ de direction D est pondérée par une fonction d'interpolation qui a pour argument l'erreur de position de chaque pixel par rapport à la droite Δ de direction D . La perte de modulation est négligeable dans ce cas et est largement compensée par des contours plus nets. Ce procédé présente toutefois l'inconvénient de nécessiter l'emploi d'un logiciel ce qui pénalise la vitesse avec laquelle les tracés peuvent être effectués. Le procédé selon l'invention permet de remédier à ces difficultés et consiste à utiliser un dispositif câblé pour exécuter les fonctions d'interpolation linéaire nécessaires en cours de tracé pour supprimer les discontinuités, le principe de ces interpolations consistant à modifier chaque valeur pré-existante d'un pixel situé sur ou à proximité du tracé en fonction de la nouvelle valeur des pixels du tracé et de la position du pixel par rapport à la direction du tracé.

Le dispositif pour la mise en oeuvre du procédé selon l'invention est représenté à l'intérieur d'une ligne en pointillés 1 sur la figure 6. Le dispositif 1 est couplé entre un processeur 2 désigné par

l'abréviation CPU qui est la contraction du terme anglo-saxon Central Processing Unit et une console de visualisation 3.

Le dispositif 1 comprend une mémoire graphique 4 qui contient une représentation binaire matricielle de tous les points caractéristiques de l'image graphique qui est visualisée sur la console de visualisation 3, chaque bit d'information contenu dans la mémoire graphique 4 ayant, par exemple, la valeur 0 lorsqu'il correspond au fond uniforme du graphique et la valeur binaire 1 lorsqu'il correspond à un point ou pixel du graphique qui se détache sur le fond de celui-ci. La mémoire graphique est organisée en mots de n bits représentant l'état de n pixels, chaque mot étant adressé soit par le processeur 2 ou par la console de visualisation 3 par l'intermédiaire d'un circuit multiplexeur d'adresse 5 à deux entrées de multiplexage, une première entrée de multiplexage étant reliée par la ligne d'adresse 6 à la sortie d'adresse du processeur 2 et une deuxième entrée d'adresse étant reliée par la ligne d'adresse 7 à la sortie d'adresse de la console de visualisation 3. La sortie du multiplexeur d'adresse 5 est reliée aux entrées d'adressage de la mémoire graphique 4 au moyen de la ligne d'adresse 8. Les mots lus dans la mémoire graphique 4 aux emplacements de mémoire désignés par les mots d'adresse appliqués sur la ligne d'adresse 8 sont appliqués respectivement aux entrées d'un registre parallèle-série 10 et aux entrées d'un circuit multiplexeur 11. Le dispositif 1 comprend également une mémoire d'attribut 12 formée éventuellement par p plans de mémoires supplémentaires de la mémoire graphique 4 qui contient les attributs codés sur p bits respectifs à chacun des n pixels représentés dans chaque mot de n bits contenus dans la mémoire graphique 4, cette mémoire d'attribut 12 étant adressée simultanément à la mémoire graphique 4 par la ligne d'adresse 8. Les mots lus dans la mémoire graphique et dans la mémoire d'attribut 12 sont appliqués aux circuits non représentés de la console de visualisation 3, par l'intermédiaire du registre 10, pour permettre la visualisation des pixels qu'ils représentent par la console de visualisation. Les mots d'attribut PA de chaque pixel, adressés par chacun des mots d'adresse appliqués sur la ligne d'adressage 8, sont appliqués par une ligne de données 13, sur une première entrée d'un circuit d'interpolation 14 au travers du multiplexeur 11 et d'un décodeur 19 reliés en série. Le circuit d'interpolation 14 est relié par des deuxième et troisième entrées aux sorties de données du processeur 2 au moyen d'une ligne de données 15. Les données de modification notées FM et PN sont appliquées par la ligne de donnée 15 sur les deuxième et troisième entrées du circuit d'interpolation 14, pour modifier les valeurs des attributs PA appliqués sur la première entrée du circuit d'interpolation 14 par la ligne de données 13. La sortie du circuit d'interpolation 14 est reliée par une ligne de donnée 16 à une entrée de donnée d'un circuit de reformation 17 pour enregistrer chaque attribut PM modifié par le circuit d'interpolation 14 à l'emplacement qu'il occupe dans la mémoire d'attribut 12. Le circuit de reformation 17 est également relié par une deuxième entrée, au moyen de la ligne 18, à la sortie du décodeur 19 adressé par la ligne d'adresse 8 et relié par son entrée à la sortie du multiplexeur 11. Le décodeur 19 adressé par la ligne d'adresse 8 a pour but de sélectionner, à l'intérieur du mot de n bits appliqué à l'entrée du multiplexeur 11 chaque bit désigné par le mot d'adresse appliqué sur son entrée et le mot d'attribut PA codé sur p bits qui lui correspond. Le bit représentatif du pixel sélectionné et son attribut PA sont appliqués respectivement à une quatrième entrée et à la première entrée du circuit d'interpolation 14 dans le but de modifier éventuellement leurs valeurs en fonction des données d'interpolation qui sont appliquées sur les deuxième et troisième entrées du circuit d'interpolation 14. Les bits non sélectionnés par le décodeur 19 sont appliqués par la ligne 18 à l'entrée du circuit de reformation 17 qui réforme, en fonction de l'information modifiée ou non fournie à la sortie du circuit d'interpolation 14, un nouveau mot binaire qui est appliqué à l'entrée d'un démultiplexeur d'écriture 20 au moyen d'une ligne de données 21 pour écrire le mot éventuellement modifié et les attributs correspondants aux adresses qu'ils occupent normalement dans la mémoire graphique 4 et la mémoire d'attribut 12. Les données de modification de chacun des mots contenus dans la mémoire graphique 4 et la mémoire d'attribut 12 sont introduites à partir d'un clavier 22 qui est relié au processeur 2 par l'intermédiaire de la ligne de liaison 23. Une mémoire de masse 24 est éventuellement couplée par une ligne 25 au processeur 2 pour transférer à l'intérieur du processeur 2 les instructions de programme nécessaires au fonctionnement de l'ensemble. Le processeur 2 est également relié à une mémoire vive MMU 26 chargée de mémoriser en cours de fonctionnement les instructions et les données introduites à partir du clavier 22 ou de la mémoire de masse 24.

La mémoire graphique selon l'invention est à double accès par partage de cycle. Un premier cycle est réservé au fonctionnement de la console de visualisation 3, un deuxième cycle est réservé au fonctionnement du processus de modification contrôlé par le processeur 2, ce cycle de modification étant caractérisé par un cycle de lecture, un cycle de modification et un cycle de ré-écriture des informations modifiées dans la mémoire graphique et un troisième cycle de lecture directe de la mémoire graphique, l'ensemble de ces cycles étant représenté par le diagramme des temps de la figure 7. Les cycles de la figure 7 sont exécutés par le processeur 2 qui applique des signaux de commande sur le bus de commande 27 pour rafraîchir les points ou pixels du graphique visualisés sur l'écran de la console de visualisation et commander les cycles de lecture et d'écriture des différents plans de la mémoire graphique 4 qui contiennent les attributs 12 de chaque pixel et qui constituent la mémoire d'attribut 12. Sur la figure 7 le cycle de rafraîchissement, marqué « VISU », de la console de visualisation est représenté avec une durée T sur une période de $2T$, le cycle de lecture L des informations contenues dans la mémoire graphique 4 et dans la mémoire d'attribut 12 est représenté entrelacé pendant une durée T en dehors de-

la durée de rafraîchissement de la console de visualisation 3 sur une période de durée 4T, le cycle de modification M suit le cycle de lecture L avec une même durée T et une même période égale de durée 4T, le cycle d'écriture E suit le cycle de modification M avec une même durée T durant une période égale à 4T et le cycle d'accès direct à la mémoire graphique et à la mémoire d'attribut a lieu pendant une durée T entre les instants de rafraîchissement de la console de visualisation 3. A titre d'exemple, ce mode de partage de cycles peut être avantageusement utilisé pour la visualisation de mots de 16 pixels pendant une durée de 1184 nanosecondes et l'exécution de cycles de lecture-modification-écriture de deux fois 1184 nanosecondes par pixel ou point à modifier ce qui permet, de couvrir des plages de fonctionnement élevées, par exemple, un traitement de 720 points d'images ou pixels par ligne de balayage sur 576 lignes en respectant les normes CCIR du balayage de télévision à 625 lignes, le débit de la console de visualisation correspondant dans ce cas au standard de télévision numérique de 13,5 MHz pour 25 image/seconde et la durée de cycle T étant voisine de 400 nanosecondes. Ces résultats sont obtenus en organisant par exemple la mémoire graphique en mots de 16 pixels et la mémoire d'attribut 12 en mots d'attribut de 3 bits, chacun des mots étant adressé par le processeur 2 par les bits d'adresse appliqués sur le bus d'adresse 8. Chaque mot lu dans la mémoire graphique 4 est appliqué à l'entrée du multiplexeur 11. La place d'un bit dans le mot correspondant au point ou pixel à modifier est sélectionnée par le multiplexeur 11 et le décodeur 19 à partir des quatre bits de poids faible du mot d'adresse en même temps que 3 bits d'attribut correspondants sont adressés dans la mémoire d'attribut 12 par le bus d'adresse 8. Les bits du mot non désignés par le multiplexeur 11 et le décodeur 19 sont dirigés directement vers les entrées du dispositif de reformation du mot 17 tandis que le bit sélectionné est pris en compte par le circuit d'interpolation 14. Les 3 bits d'attribut lus dans la mémoire d'attribut 12 correspondant au point ou au pixel à modifier sont appliqués sur la première entrée du circuit d'interpolation 14 pendant que le processeur 2 applique simultanément par la ligne de données 15,4 bits de modification PN en même temps que 6 bits de fonction correspondant à la fonction d'interpolation FM choisie par l'opérateur permettant ainsi l'exécution de 64 fonctions d'interpolation. Le bit du mot mémoire sélectionné et l'attribut correspondant sont modifiés pour former un mot PM sur 4 bits qui est obtenu à la sortie du circuit d'interpolation 14 qui est fonction de la valeur 0 ou 1 du bit du point ou du pixel à modifier lu dans la mémoire graphique 4, de l'attribut correspondant lu dans la mémoire d'attribut 12, des données de modification PN fournies par le processeur 2 à l'entrée du circuit d'interpolation 14 et de la fonction d'interpolation transmise également sur la troisième entrée du circuit d'interpolation 14 par le processeur 2.

Pour des commodités de réalisation le circuit d'interpolation est constitué par des mémoires mortes électriquement programmables du type connu sous la désignation anglo saxonne « EPROM » ou des mémoires vives du type connu sous la désignation anglo saxonne « RAM » qui contiennent en mémoire des tables de fonction de modification de la teinte des points de l'image pour la mise en oeuvre du procédé d'interpolation selon l'invention. A chaque modification de pixel ces tables sont adressées par les bits du mot PA lu dans la mémoire d'attribut représentant la valeur pré-existante du pixel modifié, par la nouvelle valeur PN du pixel que l'on cherche à obtenir pour les points appartenant au tracé et par une valeur d'interpolation qui représente une valeur intermédiaire d'adresse entre deux pixels adjacents de la matrice d'image pour permettre la détermination de la teinte des points de l'écran situés dans l'espace intermédiaire entre la position des pixels de la matrice d'image. Le procédé d'interpolation est inscrit dans un programme d'interpolation qui est exécuté par le processeur 2 et dont les étapes peuvent être exécutées de la façon suivante :

Dans une première étape le processeur 2 calcule l'adresse fractionnaire correspondant à la position du pixel à modifier à l'intérieur des points de la matrice d'image, cette adresse étant déterminée en nombre F de pas d'interpolation dans les directions horizontale et verticale de l'image compris entre deux pixels P_n et P_{n+1} successifs de la matrice d'image à la manière représentée à la figure 8. A titre d'exemple trois bits fractionnaires pourront être utilisés pour adresser les points intermédiaires situés entre deux pixels de la matrice d'image ce qui correspond à huit pas d'interpolation successifs. Le procédé consiste ensuite à calculer dans une deuxième étape la valeur PM du pixel ou point correspondant à l'adresse fractionnaire calculée suivant la relation

$$PM = F \cdot PA + (1-F) \cdot PN$$

Ce procédé peut s'appliquer à l'exécution de tracés quelconques sur l'écran de la console de visualisation, ces tracés pouvant être obtenus à partir, par exemple, du tracé de plusieurs vecteurs successifs reliant des points de coordonnées bien définies sur l'écran.

Ce procédé a l'avantage d'être simple à mettre en oeuvre car le tracé d'un vecteur reliant deux points rapprochés de coordonnées (X_0, Y_0) et (X_1, Y_1) de l'écran situés aux axes orthonormés X et Y n'exige l'écriture que de quelques lignes de programme. En adoptant les notations $DX = X_1 - X_0$ et $DY = Y_1 - Y_0$ avec $DX > 0$ et $DY > 0$ et en supposant que la position de deux points est telle que les valeurs absolues $|DX|$ et $|DY|$ des écarts DX et DY vérifient entre elles les relations $|DX| > |DY|$ l'exécution du programme est assurée dans une première phase par le calcul de l'incrément qu'il faut donner dans la direction verticale de l'écran (axe Y) à chaque pas d'incrément exécuté dans la direction horizontale (axe X). Cette première phase de calcul est suivie par une deuxième phase d'initialisation et une troisième phase

d'exécution, l'ensemble de ces trois phases exigeant la suite des instructions suivantes :

```

    Calcul de l'incrément  $DY1 = DY/DX \leq 0$ 
    Initialisation       $DY0 = 0$ 
                         $X = X0$ 
5      Début :  $X = X + 1$ 
           $DY0 = DY0 + DY1$  :  $F = \text{PARTIE FRACTIONNAIRE de } DY0$ 
          (3 bits)
           $Y = Y0 + \text{PARTIE ENTIERE } DY0$ 
10       $DY0 = DY0 - \text{PARTIE ENTIERE } DY0$ 
          ECRIRE X,Y,F
          ECRIRE X,Y + 1, (1-F)
          Si  $X > X1$  OU  $Y > Y1$  FIN, SINON DEBUT
          PROCEDURE ECRIRE X,Y,F
15      PN = NOUVEAU ATTRIBUT
          PA = ANCIEN ATTRIBUT
          PM =  $F * PA + (1-F) * PN$ 
          ECRIRE PM
          (LOGICIEL CABLE)
          (fourni par le C.P.U.)
          (fourni par la Mémoire)

```

20 Naturellement l'exécution du procédé selon l'invention n'est pas limitée au programme de tracé de vecteurs qui vient d'être décrit ni au format des bits d'attribut et pixels qui peut comporter un nombre très étendu de bits. Au niveau de la programmation l'homme de l'art pourra concevoir très facilement d'autres programmes de tracés pour permettre l'exécution d'arcs de cercles, d'ellipses ou de courbes paramétriques interpolées en utilisant des fonctions du type BSPLINE ou BEZIERS sans pour autant s'écarter du

25 procédé d'interpolation selon l'invention. Egalement comme le procédé « anti-aliasing » décrit ci-dessus repose sur la valeur en amplitude du pixel, il est évident que les résultats corrects ne pourront être obtenus que si l'attribut défini par exemple sur quatre bits peut décrire les seize couleurs d'un pixel à l'intérieur d'une palette à définir par une autre table de couleurs. Le processus « anti-aliasing » qui vient d'être décrit ne concerne en fait que les systèmes sur lesquels au moins trois bits d'attributs ou pixels

30 sont réservés à l'intensité lumineuse ce qui les différencie des systèmes à quatre bits ne disposant que d'un seul bit d'intensité. On conçoit que le procédé « anti-aliasing » de l'invention ne devient réellement performant lorsque les attributs sont définis sur des longueurs supérieures à quatre bits et plus typiquement pour des systèmes où l'attribut comporte huit bits et plus.

35 Revendications

1. Dispositif pour l'obtention de tracés continus sur l'écran d'une console de visualisation (3) commandée par un processeur graphique (2) l'image étant constituée par une matrice ordonnée de

40 points d'images ou pixels formés par M rangées de N points ou pixels balayés suivant le principe de balayage des images de télévision, le dispositif comprenant une mémoire graphique (4) pour mémoriser sous une forme binaire l'image de la matrice des points visualisés sur l'écran et une mémoire d'attribut (12) pour contenir les attributs de chacun des points de l'image, caractérisé en ce qu'il comprend également un circuit d'interpolation (14) dans lequel se trouve mémorisée une table de calcul des

45 attributs des points intermédiaires entre points consécutifs de la matrice de points, la table du circuit d'interpolation étant adressée sur une première entrée par la valeur pré-existante PA du pixel à modifier trouvée dans la mémoire d'attribut, sur une deuxième entrée par la valeur nouvelle PN de l'attribut des pixels à modifier pour les faire figurer sur le tracé et sur une troisième entrée par une valeur d'interpolation F calculée par le processeur égale à la partie fractionnaire de la position du point

50 intermédiaire à modifier, chaque emplacement de la table contenant une valeur d'attribut PM vérifiant la relation

$$PM = F \cdot PA + (1-F) \cdot PN$$

55 la valeur PM obtenue étant transférée dans la mémoire d'attribut (12) pour mettre à jour le contenu de l'emplacement correspondant à l'adresse du point ou pixel modifié.

2. Dispositif selon la revendication 1, caractérisé en ce que le circuit d'interpolation est constitué par au moins une mémoire programmable pour contenir la table du circuit d'interpolation, la mémoire étant adressée par le processeur graphique (2) et par les bits d'attribut de chaque mot d'attribut sélectionné

60 dans la mémoire d'attribut (12).

3. Dispositif selon l'une quelconque des revendications 1 et 2, caractérisé en ce que le circuit d'interpolation est commandé par le processeur graphique (2) à partir d'instructions entrées dans le processeur (2) à partir d'un clavier (22).

4. Dispositif selon l'une quelconque des revendications 1 à 3, caractérisé en ce que la mémoire

65 graphique (4) est adressée d'une part par la console de visualisation et d'autre part par le processeur

graphique (2) au travers un multiplexeur d'adresse commandé par le processeur pour partager les cycles d'accès à la mémoire graphique initialisés par la console de visualisation (3) et le processeur (2).

5. Dispositif selon la revendication 4, caractérisé en ce que la mémoire graphique (4) est organisée en mots de longueur fixe.

5 6. Dispositif selon les revendications 4 et 5, caractérisé en ce que le cycle d'accès du processeur (2) à la mémoire graphique (4) se décompose en un cycle de lecture de chaque mot dans lequel se trouve le bit d'un point d'image à modifier, et du mot d'attribut correspondant dans la mémoire d'attribut (12), suivi par un cycle, de modification du bit du point correspondant à modifier, identifié à l'intérieur du mot lu dans la mémoire graphique, et de modification du mot d'attribut lu dans la mémoire d'attribut (12),
10 également suivi par un cycle de ré-écriture du mot contenant le bit modifié dans la mémoire graphique (4) et de ré-écriture du mot d'attribut modifié dans la mémoire d'attribut (12).

7. Dispositif selon l'une quelconque des revendications 2 à 6, caractérisé en ce que les mémoires programmables du circuit d'interpolation (14) sont des mémoires mortes électriquement programmables.

8. Dispositif selon l'une quelconque des revendications 2 à 6, caractérisé en ce que les mémoires
15 programmables du circuit d'interpolation (14) sont des mémoires vives.

Claims

20 1. A device for obtaining continuous traces on the screen of a visualizing console (3) controlled by a graphic processor (2), the image being constituted by an ordered matrix of image points or pixels in M rows of N points or pixels swept in accordance with television image sweep principle, the device comprising a graphic memory (4) adapted to store in a binary form the image of the matrix of visualized
25 points on the screen and an attribute memory (12) to contain the attributes of each of the points of the image characterized in that it also comprises an interpolating circuit (14) in which there is stored an attribute computation table of the intermediate points between the consecutive points of the point matrix, the table of the interpolation circuit being addressed via a first input by the pre-existing value PA of the pixel to be modified located in the attribute memory, via a second input by the new value PN of the
30 attribute of the pixels to be modified to cause them to appear on the trace and via a third input by an interpolation value E computed by the processor and equal to the fractional part of the position of the intermediate point to be modified, each location of the table containing an attribute value PM verifying the relationship

$$P = F \cdot PA + (1-F) \cdot PN$$

35 the value PM obtained being transferred into the attribute memory (12) in order to update the content of the location corresponding to the address of the point or pixel which has been modified.

2. The device as claimed in claim 1 characterized in that the interpolation circuit is constituted by at least one programmable memory to hold the table for the interpolation circuit, the memory being
40 addressed by the graphic processor (2) and by the attribute bits of each attribute word selected in the attribute memory (12).

3. The device as claimed in claim 1 or claim 2 characterized in that the interpolation circuit is controlled by the graphic processor (2) on the basis of instructions produced in the processor (2) using a keyboard (22).

45 4. The device as claimed in any one of the claims 1 through 3 characterized in that the graphic memory (4) is addressed on the one hand by the visualizing console and on the other hand by the graphic processor (2) via an address multiplexer controlled by the processor in order to share the access cycles to the graphic memory initialized between the visualizing console (3) and the processor (2).

5. The device as claimed in claim 4 characterized in that the graphic memory (4) is organized in fixed
50 length words.

6. The device as claimed in claims 4 and 5 characterized in that the access cycles of the processor (2) to the graphic memory (4) are made up of a read cycle for each word in which the bit of an image point to be modified is located, and of the corresponding attribute word in the attribute memory (12), followed by a cycle, for modification of the read attribute word in the attribute memory (12), also followed by a re-write
55 cycle of the word containing the modified bit into the graphic memory (4) and for re-writing the modified attribute word into the attribute memory (12).

7. The device as claimed in any one of the claims 2 through 6 characterized in that the programmable memories of the interpolation circuit (14) are electrically programmable ROMS.

8. The device as claimed in any one of the claims 2 through 6 characterized in that the programmable
60 memories of the interpolation circuit (14) are RAMS.

Patentansprüche

65 1. Vorrichtung zur Erzeugung von durchgehenden Linien auf dem Bildschirm eines Sichtanzeigegeräts

räts (3), das über einen graphischen Prozessor (2) gesteuert wird, wobei das Bild aus einer geordneten Matrix aus Bildpunkten oder Pixeln besteht, die aus M Reihen von N Punkten oder Pixeln gebildet sind, die nach dem Abtastprinzip der Fernsehbilder abgetastet werden, wobei die Vorrichtung einen graphischen Speicher (4) zum Speichern des Matrixbildes der auf dem Bildschirm sichtbar gemachten Punkte in Binärform sowie einen Attributspeicher (12) umfaßt, um die Attribute jedes der Bildpunkte zu beinhalten, dadurch gekennzeichnet, daß sie ferner eine Interpolationschaltung (14) umfaßt, in welcher eine Rechentabelle für die Attribute der Zwischenpunkte zwischen aufeinanderfolgenden Punkten der Punktmatrix gespeichert ist, wobei die Tabelle der Interpolationschaltung an einem ersten Eingang durch den vorher bestehenden Wert PA des zu verändernden Pixels adressiert wird, der in dem Attributspeicher gefunden wurde, und an einem zweiten Eingang durch den neuen Wert PN des Attributs der zu verändernden Pixel, damit sie auf der Linie abgebildet werden, und an einem dritten Eingang durch einen Interpolationswert F adressiert wird, der durch den Prozessor berechnet wird und gleich dem Bruchteil der Position des zu verändernden Zwischenpunktes ist, wobei jede Stelle der Tabelle einen der Gleichung

$$PM = F \cdot PA + (1-F) \cdot PN$$

gehorchenden Attributwert PM beinhaltet, und wobei der erhaltene Wert PM in den Attributspeicher (12) übertragen wird, damit der Inhalt der der Adresse des Punktes oder des veränderten Pixels entsprechenden Stelle aktualisiert wird.

2. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Interpolationschaltung aus wenigstens einem programmierbaren Speicher zum Enthalten der Tabelle der Interpolationschaltung besteht, wobei der Speicher über den graphischen Prozessor (2) und die Attributbits jedes Attributworts, das in dem Attributspeicher (12) selektiert wird, adressiert wird.

3. Vorrichtung nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß die Interpolationschaltung über den graphischen Prozessor (2) ausgehend von über eine Tastatur (22) in den Prozessor (2) eingegebenen Befehlen gesteuert wird.

4. Vorrichtung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der graphische Speicher (4) einerseits durch das Sichtanzeigegerät und andererseits den graphischen Prozessor (2) adressiert wird, mittels eines Adressenmultiplexers, der durch den Prozessor zur Teilung der Zugriffszyklen für den graphischen Speicher, welche durch das Sichtanzeigegerät (3) und den Prozessor (2) initiiert werden, gesteuert ist.

5. Vorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß der graphische Speicher (4) in Worten mit fester Länge organisiert ist.

6. Vorrichtung nach den Ansprüchen 4 oder 5, dadurch gekennzeichnet, daß der Zugriffszyklus des Prozessors (2) für den graphischen Speicher (4) aus einem Zyklus zum Auslesen jedes Worts, in welchem sich das Bit eines zu verändernden Bildpunktes befindet, sowie des entsprechenden Attributworts in dem Attributspeicher (12) besteht, worauf ein Zyklus zur Veränderung des Bits des zu verändernden entsprechenden Punktes, der innerhalb des in dem graphischen Speicher gelesenen Worts identifiziert wird, und zur Veränderung des in dem Attributspeicher (12) gelesenen Attributworts folgt, auf den wiederum ein Zyklus zum Neueinschreiben des das veränderte Bit enthaltenden Wortes in den graphischen Speicher (4) und ein Zyklus zum Neueinschreiben des in dem Attributspeicher (12) veränderten Attributwortes folgen.

7. Vorrichtung nach einem der Ansprüche 2 bis 6, dadurch gekennzeichnet, daß die programmierbaren Speicher der Interpolationschaltung (14) elektrisch programmierbare Festwertspeicher sind.

8. Vorrichtung nach einem der Ansprüche 2 bis 6, dadurch gekennzeichnet, daß die programmierbaren Speicher der Interpolationschaltung (14) Arbeitsspeicher sind.

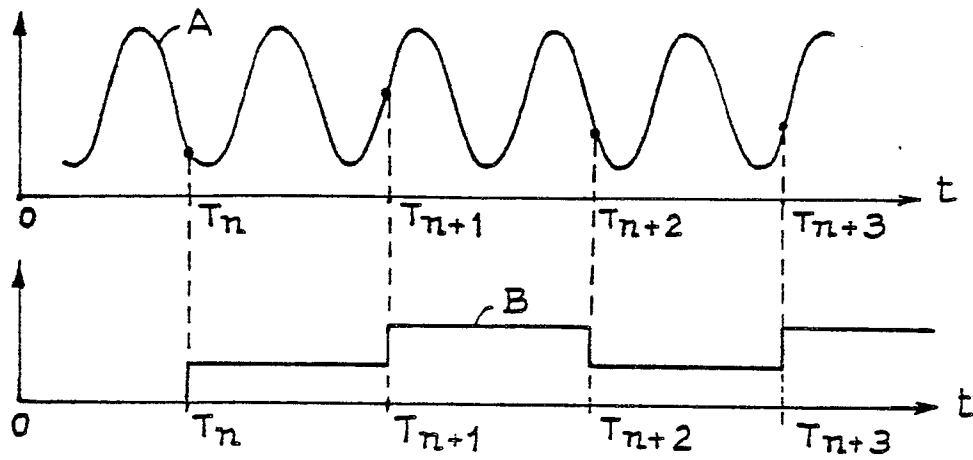


Fig.1

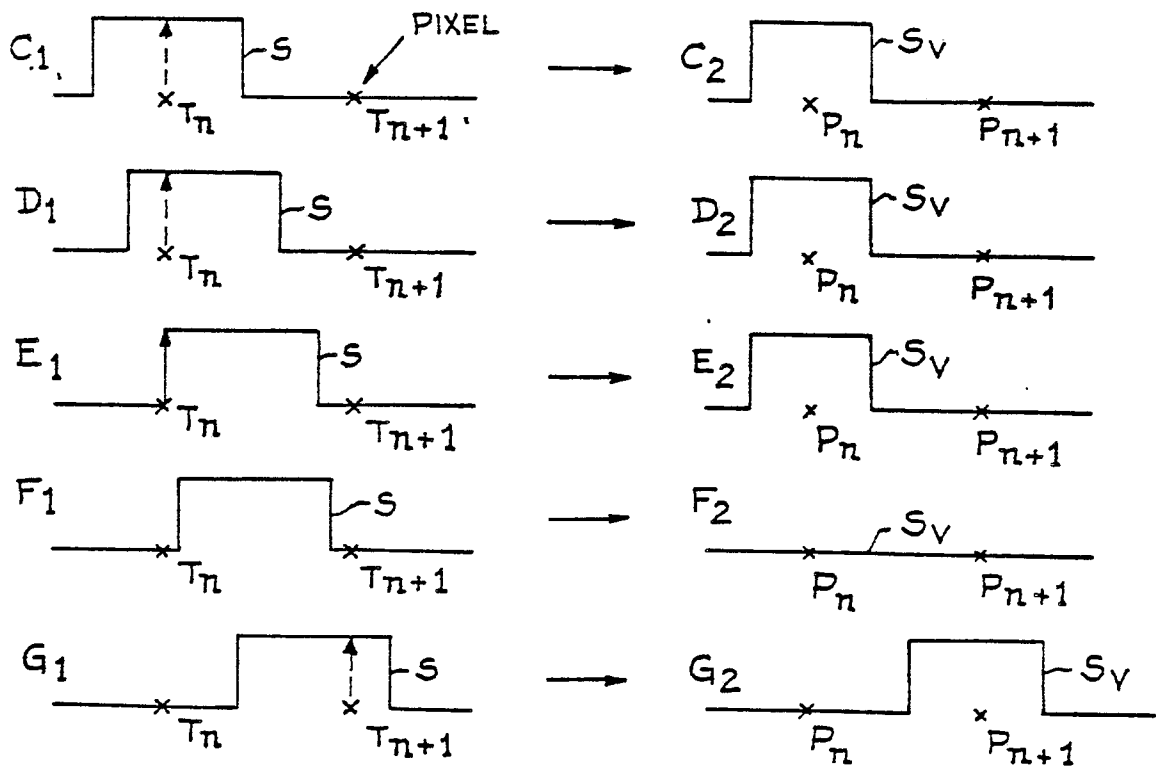


Fig.2

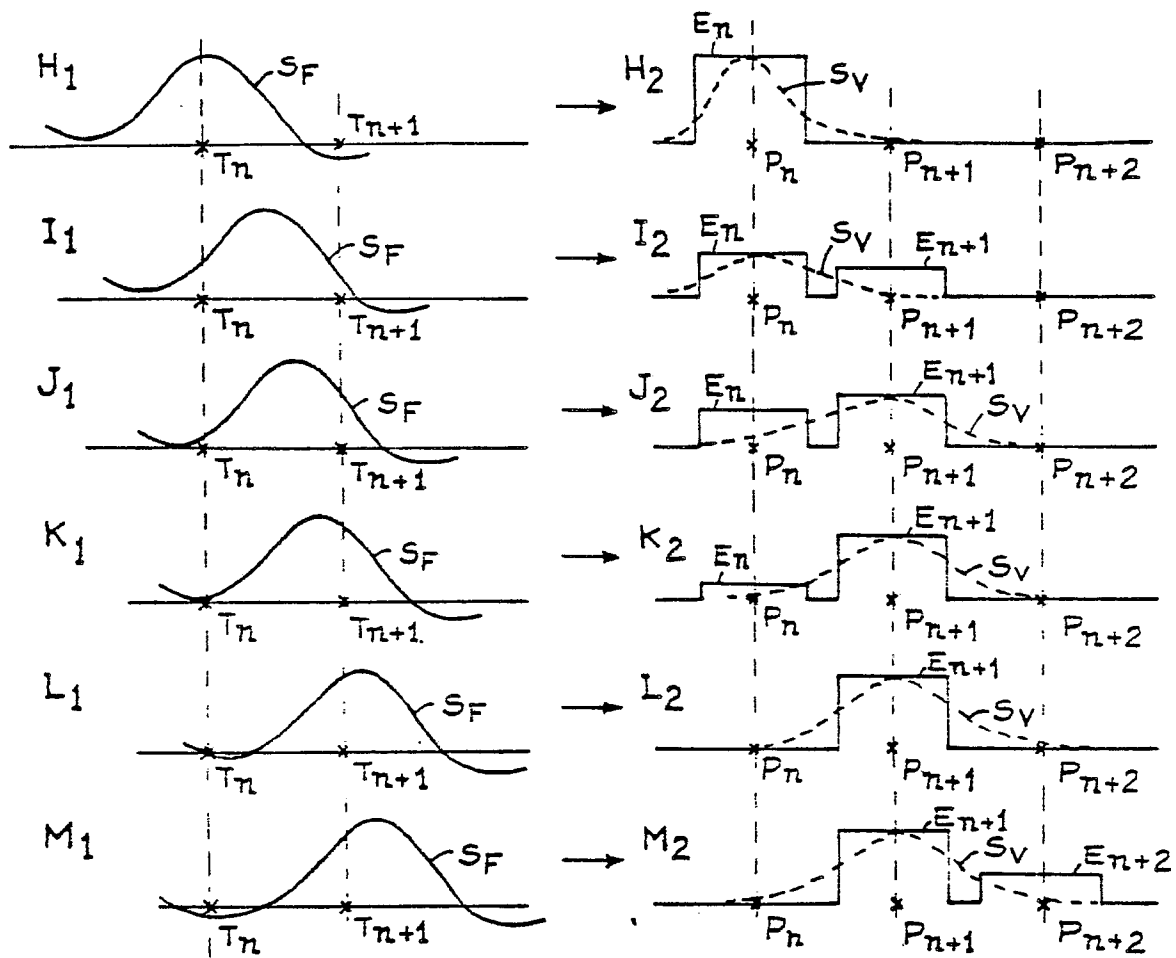


Fig.3

Fig.4

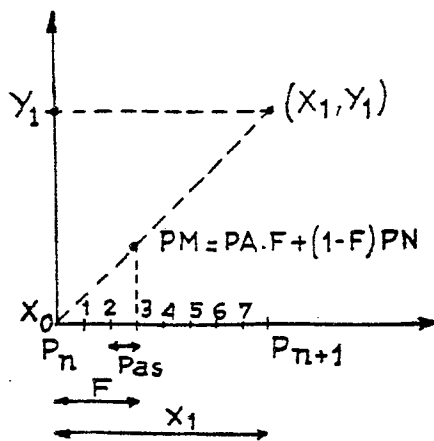
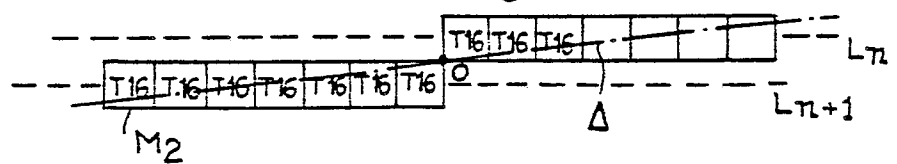


Fig.8

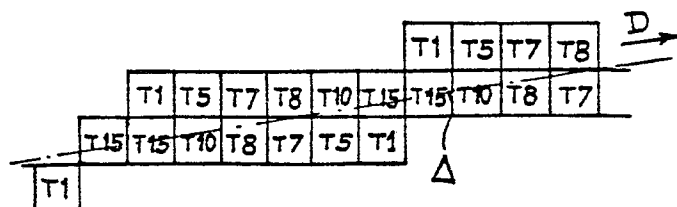


Fig.5

