



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0097188
 (43) 공개일자 2010년09월02일

(51) Int. Cl.
H01L 33/12 (2010.01) *H01L 33/22* (2010.01)
 (21) 출원번호 10-2010-7014175
 (22) 출원일자(국제출원일자) 2008년11월26일
 심사청구일자 없음
 (85) 번역문제출일자 2010년06월25일
 (86) 국제출원번호 PCT/DE2008/001957
 (87) 국제공개번호 WO 2009/068006
 국제공개일자 2009년06월04일
 (30) 우선권주장
 10 2007 057 756.9 2007년11월30일 독일(DE)

(71) 출원인
오스람 옵토 세미컨덕터스 게엠베하
 독일 레겐스부르크 라이브니츠슈트라쎄 4 (우:93055)
 (72) 발명자
웨이스, 귀도
 독일, 93059 레겐스부르크, 세이펜시에더가쎄 4에이
한, 베르톨트
 독일, 93155 헤마우, 암 판넨스티엘 2
 (뒷면에 계속)
 (74) 대리인
허용특

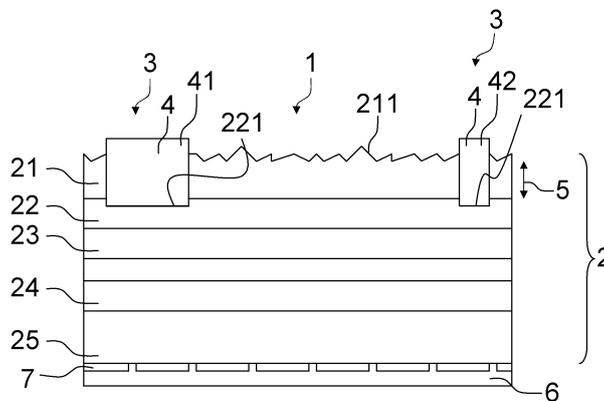
전체 청구항 수 : 총 15 항

(54) 광전 반도체 몸체 및 광전 반도체 몸체의 제조 방법

(57) 요약

질화물 화합물 반도체체인 에피택시얼 반도체 층 시퀀스를 포함한 광전 반도체 몸체가 기술된다. 반도체 층 시퀀스는 명목상 도핑되지 않거나, 적어도 일부 n형 도핑된 버퍼층, 전자기 복사를 방출하거나 수신하는 데 적합한 활성 영역, 및 상기 버퍼층과 활성 영역 사이에 배치되며 n형 도핑된 접촉층을 포함한다. n형 도펀트 농도는 버퍼층에서보다 접촉층에서 더 높다. 반도체 층 시퀀스에는 버퍼층을 관통하여 연장되는 리세스가 포함되고, 상기 리세스에서 전기 접촉 물질이 배치되며 접촉층에 접한다. 또한, 상기와 같은 반도체 몸체를 제조하기에 적합한 방법도 기술된다.

대표도 - 도2



(72) 발명자
젠더, 울리츠
독일, 93191 레텐바흐, 아움바흐 311

웨이마르, 안드레아스
독일, 93055 레겐스부르크, 액커세겐웨그 3

특허청구의 범위

청구항 1

질화물 화합물 반도체계이며 에피택시얼 버퍼층, 활성 영역 및 에피택시얼 접촉층을 구비한 에피택시얼 반도체 층 시퀀스를 포함하는 광전 반도체 몸체에 있어서,

상기 버퍼층은 명목상 도핑되지 않거나, 적어도 부분적으로 n형 도핑되고,

상기 활성 영역은 전자기 복사를 방출하거나 수신하기에 적합하고,

상기 접촉층은 상기 버퍼층과 상기 활성 영역 사이에 배치되고, n형 도핑되며, 상기 접촉층의 n형 도펀트 농도는 상기 버퍼층의 경우보다 크며, 그리고

상기 반도체 층 시퀀스는 리세스를 포함하고, 상기 리세스는 상기 버퍼층을 관통하여 연장되며, 상기 리세스에 전기 접촉 물질이 배치되어 상기 접촉층에 접하는 것을 특징으로 하는 광전 반도체 몸체.

청구항 2

청구항 1에 있어서,

상기 버퍼층의 두께는 0.15 μm 이상인 것을 특징으로 하는 광전 반도체 몸체.

청구항 3

청구항 1에 있어서,

상기 버퍼층의 두께는 0.5 μm 이상인 것을 특징으로 하는 광전 반도체 몸체.

청구항 4

청구항 1 내지 청구항 3 중 어느 한 항에 있어서,

상기 버퍼층의 외부면의 평균 거칠기는 상기 리세스의 바닥면의 평균 거칠기에 비해 2배보다 더 큰 것을 특징으로 하는 광전 반도체 몸체.

청구항 5

청구항 1 내지 청구항 4 중 어느 한 항에 있어서,

상기 버퍼층의 외부면의 평균 거칠기는 상기 리세스의 바닥면의 평균 거칠기에 비해 적어도 5배인 것을 특징으로 하는 광전 반도체 몸체.

청구항 6

청구항 1 내지 청구항 5 중 어느 한 항에 있어서,

상기 전기 접촉 물질은 상기 반도체 몸체의 본딩 패드와 전기 전도적으로 결합되거나, 본딩 패드를 형성하는 것을 특징으로 하는 광전 반도체 몸체.

청구항 7

청구항 1 내지 청구항 6 중 어느 한 항에 있어서,

상기 접촉층의 도펀트 농도는 $3 \times 10^{18} \text{ cm}^{-3}$ 이상인 것을 특징으로 하는 광전 반도체 몸체.

청구항 8

청구항 1 내지 청구항 7 중 어느 한 항에 있어서,

상기 접촉층의 도펀트 농도는 $7 \times 10^{18} \text{ cm}^{-3}$ 이상인 것을 특징으로 하는 광전 반도체 몸체.

청구항 9

청구항 1 내지 청구항 8 중 어느 한 항에 있어서,
 상기 리세스는 상기 접촉층안으로 연장되는 것을 특징으로 하는 광전 반도체 몸체.

청구항 10

청구항 1 내지 청구항 9 중 어느 한 항에 있어서,
 상기 반도체 몸체는 에피택시 기판을 포함하지 않는 것을 특징으로 하는 광전 반도체 몸체.

청구항 11

청구항 1 내지 청구항 10 중 어느 한 항에 있어서,
 상기 리세스에 대향된 반도체 층 시퀀스의 측에 다른 전기 접촉 물질이 배치되는 것을 특징으로 하는 광전 반도체 몸체.

청구항 12

청구항 1 내지 청구항 11 중 어느 한 항에 있어서,
 상기 버퍼층의 외부면의 평균 거칠기는 상기 반도체 층 시퀀스와 반대 방향인 전기 접촉 물질의 면의 평균 거칠기에 비해 적어도 5배인 것을 특징으로 하는 광전 반도체 몸체.

청구항 13

청구항 1 내지 청구항 12 중 어느 한 항에 있어서,
 상기 리세스에서 상기 전기 접촉 물질의 일부는 하부에서 전기 절연 물질을 포함하고, 상기 전기 절연 물질은 상기 전기 접촉 물질과 상기 접촉층 사이에 배치되는 것을 특징으로 하는 광전 반도체 몸체.

청구항 14

청구항 1 내지 청구항 13 중 어느 한 항에 있어서,
 상기 전기 접촉 물질은 본딩 패드 및 전기 접촉 트랙을 형성하고;
 상기 리세스는 서로 다른 깊이로 형성된 영역들을 가지며; 그리고
 상기 접촉 트랙이 형성된 리세스의 부분들은 상기 본딩 패드가 형성된 리세스의 부분들보다 더 깊게 형성되는 것을 특징으로 하는 광전 반도체 몸체.

청구항 15

청구항 1 내지 청구항 14 중 어느 한 항에 있어서,
 상기 전기 접촉 물질은 본딩 패드 및 전기 접촉 트랙을 형성하고, 상기 본딩 패드 및 상기 전기 접촉 트랙 모두 상기 접촉층에 접하는 것을 특징으로 하는 광전 반도체 몸체.

명세서

기술분야

[0001] 본 출원은 독일 특허 출원 10 2007 057756.9의 우선권을 청구하며, 그 공개 내용은 참조로 포함된다.

[0002] 본 출원은 질화물 화합물 반도체계인 에피택시얼 반도체 층 시퀀스(epitaxial semiconductor layer sequence)를 포함한 광전 반도체 몸체에 관한 것이다. 반도체 층 시퀀스는 전기 접촉 물질을 구비하되, 상기 전기 접촉 물질이 n형 도핑된 상기 반도체 층 시퀀스의 에피택시얼 반도체층에 접하도록 한다. 본 출원은 이러한 광전 반도체 몸체의 제조 방법에 관한 것이기도 하다.

배경기술

[0003] US 2007/0012944 A1에는 서두에 언급한 기술분야의 광전 반도체 몸체가 공개되어 있다. 기술된 반도체 몸체는 예를 들면 GaN계의 n형 도핑된 에피택시얼층을 포함하고, 상기 층은 반도체 몸체의 외부 주요면을 형성하며, 상기 주요면은 p형 도핑된 에피택시얼층과 반대 방향에 있다. n형 도핑된 에피택시얼 반도체층의 주요면상에는 금속 본딩 패드의 형태로 전기 접촉 물질이 배치된다. 상기 주요면에 대향된 에피택시얼 반도체 층 시퀀스의 측상에서 다른 전기 접촉 물질이 p형 도핑된 에피택시얼 반도체층에 접한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 과제는 전기 접촉 물질과 질화물 화합물 반도체계의 n형 도핑된 에피택시얼 반도체 물질 사이에 매우 신뢰할만한 전기 전도 접촉이 구현될 수 있는 광전 반도체 몸체를 제공하는 것이며, 이때 상기 접촉은 가능한 낮은 전기 저항을 가져야 한다. 또한, 본 발명의 과제는 상기와 같은 광전 반도체 몸체의 제조 방법을 제공하는 것이기도 하다.

과제의 해결 수단

[0005] 질화물 화합물 반도체계의 에피택시얼 반도체 층 시퀀스를 포함한 광전 반도체 몸체가 기술된다. 반도체 층 시퀀스는 에피택시얼 버퍼층, 활성 영역, 및 상기 버퍼층과 활성 영역 사이에 배치된 에피택시얼 접촉층을 포함한다. 일 실시예에서, 특히 버퍼층 및 접촉층은 질화물 화합물 반도체계이다.

[0006] 질화물 화합물 반도체계란, 반도체 층 시퀀스가 하나 이상의 질화물 화합물 반도체 물질이 함유된 적어도 하나의 층 및 바람직하게는 복수 개의 층들을 포함한다는 것을 의미한다. 질화물 화합물 반도체는 $0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$ 인 경우의 $In_xAl_yGa_{1-x-y}N$ 계 물질과 같이 질소를 포함한 화합물 반도체 물질이다. 이때 상기 물질은 상기 수식에 따라 수학적으로 정확한 조성을 반드시 포함할 필요는 없다. 오히려, 상기 물질의 물리적 성질을 실질적으로 변경시키지 않는 하나 이상의 도펀트 및 부가 구성 성분을 포함할 수 있다. 그러나, 결정 격자의 실질적 구성 성분들(Al, Ga, In, N)만은, 비록 이러한 성분이 미량의 다른 성분으로 일부 대체되거나 보완될 수 있다고 하더라도 상기 수식에 포함되는 것이 간단하다.

[0007] 일 실시예에서, 버퍼층은 GaN을 포함한다. 부가적 또는 대안적으로, 접촉층은 GaN을 포함한다. 즉, 상기 층들에서 각각 Ga뿐만 아니라 N도 상기 물질의 실질적 구성 성분으로서 포함된다. 그러나, 층들의 물질은 반드시 2 성분 반도체 물질일 필요는 없고, 3성분 또는 4성분의 반도체 물질일 수 있다. GaN을 포함하는 물질은 본 출원의 견지에서 특히 AlGaN, InGaN 또는 AlInGaN일 수 있다. 유리한 실시예에서, 버퍼층 및, 부가적 또는 대안적으로 접촉층은 GaN이 함유된 2성분 반도체 물질을 포함한다.

[0008] 광전 반도체 몸체는 반도체 층 시퀀스에서 리세스를 포함하고, 상기 리세스는 반도체 층 시퀀스의 일 측으로부터 버퍼층을 관통하여 연장된다. 반도체 몸체의 일 실시예에 따르면, 리세스는 접촉층의 영역에서 종결된다.

[0009] 리세스에는 전기 접촉 물질이 배치되며, 상기 전기 접촉 물질은 리세스에서 접촉층에 접한다. 따라서, 접촉 물질과 에피택시얼 반도체 층 시퀀스의 외부층 사이의 전기 접촉이 형성되지 않거나, 형성될 뿐만 아니라, 특히 접촉 물질과 접촉층 사이의 접촉도 형성될 수 있다. 상기 접촉층은 버퍼층에 의해 덮이며 리세스를 통해 부분적으로 노출된다. 그러므로, 전기 접촉 물질을 이용하여, 버퍼층은 예를 들면 결정 품질과 관련하여 최적화될 수 있으며, 접촉층은 접촉력과 관련하여 최적화될 수 있다.

[0010] 전기 접촉 물질은 에피택시얼 반도체 층 시퀀스의 반도체 물질이 아니다. 일 실시예에서, 전기 접촉 물질은 금속 도전 물질을 포함한다. 일 발전예에서, 접촉 물질은 적어도 하나의 금속 및/또는 적어도 하나의 투명 전기 전도 산화물(TCO, transparent conductive oxide)을 포함한다.

[0011] 반도체 몸체의 다른 실시예에 따르면, 버퍼층은 접촉층보다 n형 도펀트 농도가 더 낮다. 버퍼층은, 특히 명목상(nominal) 도핑되지 않거나 명목상 부분적으로만 n형 도핑되어 있을 수 있다. 일 형성예에서, 버퍼층내의 최대 n형 도펀트 농도는 $3 \times 10^{18} \text{ cm}^{-3}$ 보다 낮거나, $1 \times 10^{18} \text{ cm}^{-3}$ 보다 낮다. 버퍼층내의 최대 n형 도펀트 농도는 $7 \times 10^{17} \text{ cm}^{-3}$ 보다 낮거나, $5 \times 10^{17} \text{ cm}^{-3}$ 보다 낮은 것이 유리할 수 있다.

[0012] 일 실시예에서, 접촉층의 n형 도펀트 농도는 적어도 $3 \times 10^{18} \text{ cm}^{-3}$, $5 \times 10^{18} \text{ cm}^{-3}$, $7 \times 10^{18} \text{ cm}^{-3}$ 또는 $1 \times 10^{19} \text{ cm}^{-3}$ 이다. 일반적으로, 접촉층에서 n형 도펀트 농도는 가능한 한 높은 것이 유리하다.

- [0013] 다른 실시예에서, 버퍼층의 두께는 0.15 μm 이상, 바람직하게는 0.5 μm 이다. 상기 두께는 특히 0.7 μm 보다 크거나 1 μm 보다 클 수 있다.
- [0014] 다른 실시예에서, 버퍼층의 외부면은 평균 거칠기(roughness)를 포함하며, 이는 리세스 바닥면의 평균 거칠기에 비해 2배보다 더 크다. 유리하게는, 외부면의 평균 거칠기는 리세스 바닥면의 평균 거칠기에 비해 5배보다 더 크다.
- [0015] 부가적 또는 대안적으로, 버퍼층의 외부면의 평균 거칠기는 반도체 층 시퀀스와 반대 방향인 전기 접촉 물질의 면의 평균 거칠기에 비해 2배보다 더 크다. 유리하게는, 외부면의 평균 거칠기는 반도체 층 시퀀스와 반대 방향인 전기 접촉 물질의 면의 평균 거칠기에 비해 5배보다 더 크다.
- [0016] 다른 실시예에서, 전기 접촉 물질은 반도체 몸체의 본딩 패드와 전기 전도적으로 결합되거나, 본딩 패드를 형성한다.
- [0017] 다른 실시예에서, 리세스는 접촉층안으로 연장된다.
- [0018] 다른 실시예에서, 반도체 몸체는 에피택시 기판을 포함하지 않는다.
- [0019] 다른 실시예에서, 리세스에 대향된 반도체 층 시퀀스의 측상에 다른 전기 접촉 물질이 배치된다.
- [0020] 질화물 화합물 반도체계인 에피택시얼 반도체 층 시퀀스를 제공하는 광전 반도체 몸체의 제조 방법이 기술된다. 반도체 층 시퀀스는 에피택시얼 버퍼층, 활성 영역 및 에피택시얼 접촉층을 포함한다. 버퍼층은 명목상 도핑되지 않거나, 적어도 일부 n형 도핑된다. 활성 영역은 전자기 복사를 방출하거나 수신하기에 적합하다. 접촉층은 버퍼층과 활성 영역 사이에 배치된다. 이후의 단계에서, 리세스는 버퍼층을 관통하고 적어도 접촉층까지 이르며 형성된다. 전기 접촉 물질은 리세스에 배치되어, 상기 전기 접촉 물질이 접촉층에 접한다.
- [0021] 방법의 유리한 실시예에서, 접촉층의 n형 도펀트 농도는 버퍼층보다 높다.
- [0022] 다른 실시예에서, 리세스는 상기 리세스가 접촉층안으로 연장되도록 깊게 형성된다.
- [0023] 다른 실시예에서, 버퍼층의 외부면은 거칠게 형성된다. 유리하게는, 버퍼층의 외부면의 거칠기 단계는 리세스에 접촉 물질이 배치된 이후에 수행된다.
- [0024] 이하, 광전 반도체 몸체의 다른 이점, 바람직한 실시예 및 발전에는 도면과 관련하여 설명된 실시예로부터 도출된다.

도면의 간단한 설명

- [0025] 도 1은 광전 반도체 몸체의 실시예의 개략적 평면도이다.
- 도 2는 도 1에 도시된 광전 반도체 몸체의 개략적 단면도이다.
- 도 3은 제2실시예에 따른 광전 반도체 몸체의 개략적 단면도이다.
- 도 4는 제3실시예에 따른 광전 반도체 몸체의 개략적 단면도이다.
- 도 5 내지 도 7은 제1실시예에 따른 방법의 다양한 단계를 거치는 에피택시얼 반도체 층 시퀀스의 개략적 단면도이다.
- 도 8 및 도 9는 제2실시예에 따른 방법의 다양한 단계를 거치는 에피택시얼 반도체 층 시퀀스의 개략적 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 실시예 및 도면에서 동일하거나 동일하게 작용하는 구성 요소는 각각 동일한 참조 번호를 가진다. 도시된 구성 요소들 및 구성 요소들간의 크기 비율은 축척에 맞는 것으로 볼 수 없다. 오히려, 도면의 일부 개별 사항은 더 나은 이해를 위해 과장되어 확대 도시되었다.
- [0027] 도 1에 도시된 광전 반도체 몸체(1)의 평면도에서, 에피택시얼 반도체 층 스택의 버퍼층(21) 및 접촉 물질(4)을 확인할 수 있다. 도시된 실시예에서, 버퍼층(21)은 반도체 층 스택의 외부층이며, 즉 반도체 층 스택과 반대 방향인 상기 버퍼층의 주요면은 반도체 층 스택의 2개의 주요층들 중 하나에서 상기 반도체 층 스택에 접한다. 층의 주요면이란, 각각 상기 층을 상기 층의 주 연장면에 대해 수직으로 한정하는 서로 대향된 두 개의 면들로

이해할 수 있다. 그에 상응하여 반도체 층 스택의 주요측은 반도체 층 스택의 층들의 주요면에 의해 한정되는 양 측을 가리킨다.

- [0028] 그러나, 버퍼층은 반드시 외부층일 필요는 없다. 오히려, 버퍼층은 예를 들면 층 스택의 다른 에피택시얼 반도체층에 의해 적어도 일부 덮일 수 있으며, 상기 다른 에피택시얼 반도체층은 예를 들면 반도체 층 스택의 주요측상에서 외부면의 실질적 부분을 형성한다.
- [0029] 전기 접촉 물질(4)은 프레임의 형태로 형성된다. 도 1에서, 프레임은 닫힌 형상이나, 불연속부를 포함할 수 있다. 이와 마찬가지로, 기본적으로, 전기 접촉 물질(4)은 임의의 다른 형태로 반도체 층 스택상에 배치될 수 있다.
- [0030] 전기 접촉 물질(4)의 일부는 본딩 패드(41)를 형성하거나, 본딩 패드(41)와 전기 전도적으로 결합된다. 본딩 패드(41)는 상기 본딩 패드의 외부면을 형성하는 물질과 본딩 와이어가 기계적 및 전기 전도적으로 고정되기에 적합한 외부면을 포함한다.
- [0031] 본딩 패드(41)로부터 전기 접촉 트랙(42)이 시작된다. 접촉 트랙의 목적은, 광전 반도체 몸체의 동작 시 전기 전류가 가능한 한 균일하게 전체 반도체 층 시퀀스에 걸쳐 분포하면서 반도체 층 시퀀스로 주입되도록 하는 것이다. 접촉 트랙(42)은 예를 들면 반도체 층 시퀀스의 측면 테두리를 따라 연장된다. 그러나, 예를 들면 적어도 하나의 접촉 트랙은 반도체 층 시퀀스의 중앙을 관통하여 연장될 수 있다.
- [0032] 도 2 내지 도 9에는 다양한 실시예에 따른 광전 반도체 몸체 또는 에피택시얼 반도체 층 시퀀스의 개략적 단면도가 각각 도시되어 있으며, 이때 단면도는 도 1에 표시된 점선(AB)을 따르는 단면을 위에서 본 것에 대략적으로 상응한다.
- [0033] 도 2에 도시된 실시예에서, 전기 접촉 물질(4)은 적어도 하나의 리세스(3)에 배치된다. 리세스(3)는 반도체 층 시퀀스(2)의 외부 주요면으로부터 버퍼층(21)을 관통하여, 적어도 접촉층(22)에 이르기까지 연장된다. 도시된 예에서, 버퍼층은 접촉층(23)에 직접 접한다. 그러나, 기본적으로, 버퍼층과 접촉층 사이에 적어도 하나의 다른 반도체층이 더 배치될 수 있다.
- [0034] 리세스(3)는 예를 들면 접촉층(22)안으로 연장된다. 접촉층(22)의 총 두께와 관련하여, 리세스는 예를 들면 상기 두께의 20%이상 80%이하로 접촉층(22)안으로 연장될 수 있다. 예를 들면 리세스(3)는 대량 접촉층(22)의 절반의 두께부분에서 종결된다. 상기 두께는 접촉층의 주 연장면에 대해 수직으로 측정된다.
- [0035] 리세스(3)에는 전기 접촉 물질(4)이 배치되며, 상기 접촉 물질은 상기 리세스내에서 접촉층(22)에 접한다. 접촉 물질(4)은 특히 리세스(3)의 바닥면(221)에 접하며, 상기 바닥면은 적어도 부분적으로 접촉층(22)의 물질로 형성된다. 바닥면(221)과 전기 접촉 물질(4) 사이의 경계면에서 상기 접촉 물질(4)과 접촉층(22) 사이의 전기적으로 양호한 도전 접촉이 형성된다. 전기 접촉은 거의 오믹 접촉의 특성을 가진다. 해당분야에서 이러한 접촉은 오믹 접촉으로 간단히 표현하는 경우가 많다.
- [0036] 전기 접촉 물질(4)은 리세스(3)로부터 부분적으로 돌출하고, 즉 전기 접촉 물질(4)의 일부는 에피택시얼 반도체 층 스택(2)으로부터 멀어지며 돌출된다. 이를 통해, 전기 접촉 물질(4)은 특히 본딩 패드(41)의 영역에서 외부로부터 양호하게 전기 접촉될 수 있다.
- [0037] 리세스(3)는 적어도 버퍼층(21)의 두께(5)와 같은 깊이를 가진다. 바람직하게는, 리세스(3)의 깊이는 버퍼층(21)의 두께(5)보다 크다. 버퍼층(21)의 두께(5)는 예를 들면 0.15 μm 보다 크다. 상기 두께는 예를 들면 5 μm 보다 작다. 양호한 적합한 두께(5)는 예를 들면 0.5 μm , 1 μm , 1.5 μm 또는 2 μm 이다.
- [0038] 반도체 몸체는 특히 복사를 방출하거나/방출하고 복사를 검출하는 질화물 화합물 반도체계 반도체칩이다. 여기에는, 특히, 에피택시얼 제조된 반도체 층 시퀀스는 적어도 하나의 개별층을 포함하고, 상기 개별층은 질화물 화합물 반도체 물질계 물질을 함유하는 경우의 반도체칩에 해당한다.
- [0039] 활성 영역은 복사 생성을 위해 pn접합, 이중 이중 구조, 단일 양자 우물(SQW, single quantum well) 또는 다중 양자 우물 구조(MQW, multi quantum well)을 포함한다. 양자 우물 구조란 명칭은 양자화의 차원성과 관련한 의미는 없다. 상기 명칭은 특히 양자상자, 양자선, 양자점 및 이들 구조들의 각 조합을 포괄한다. MQW 구조에 대한 예는 문헌 WO 01/39282, US 5,831,277, US 6,172,382 B1, US 5,684,309에 기술되어 있으며, 그 공개 내용은 참조로 포함된다.
- [0040] 예를 들면, 버퍼층(21) 및 접촉층(22)은 각각 GaN층이다.

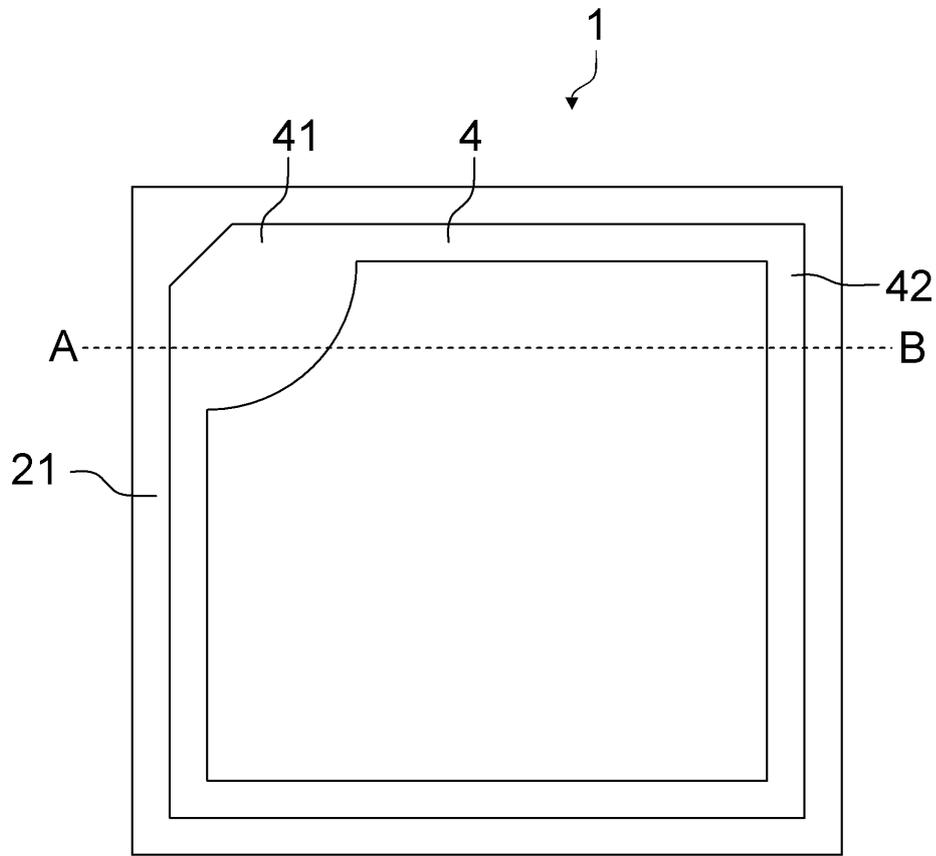
- [0041] 버퍼층(21)의 외부면(211)은 거칠게 형성된다. 상기 외부면은 상기 외부면(211)에서의 전반사를 줄이고, 외부면(211)을 경유하여 반도체 층 스택(2)으로부터의 복사 아웃커플링을 증가시키기에 적합한, 울퉁불퉁한 평면부를 포함한다. 외부면(211)은 특히 마이크로구조화된다. 마이크로구조화된 아웃커플링면을 포함한 반도체칩 및 질화물 화합물 반도체 물질계의 복사 방출 반도체층 시퀀스의 복사 아웃커플링면의 마이크로구조화 방법은 예를 들면 WO 2005/106972에 공개되어 있으며, 그 공개 내용은 본 출원에 포함된다.
- [0042] 리세스(3)의 바닥면(221)은 버퍼층(21)의 외부면(211)과는 달리 가능한 한 평편하다. 상기 바닥면은 예를 들면 외부면(211)의 거칠기에 비해 5배보다 더 작은 거칠기를 포함한다. 접촉 물질(4)과 접촉층(22) 사이의 전기 전도 접촉을 형성할 때 가능한 한 매끄러운 바닥면(221)이 유리하다는 것이 확인되었다.
- [0043] 접촉 물질(4)은 예를 들면 하나 이상의 금속을 포함하거나 하나 이상의 금속으로 구성된다. 부가적 또는 대안적으로, 전기 접촉 물질(4)은 투명 전도성 산화물, 소위 TCO를 포함할 수 있고, 이는 예를 들면 인듐 주석 산화물(ITO)이 있다.
- [0044] 일 실시예에서, 접촉 물질(4)은 바닥면(221)에 접하는 티타늄층, 상기 티타늄층상에 배치된 백금층 및 상기 백금층상에 배치된 금층을 포함한다. 티타늄을 포함한 층의 두께는 예를 들면 50 이상 200 nm이하이며, 예를 들면 100 nm이다. 백금을 포함한 층의 두께는 예를 들면 50 이상 300 nm이하이며, 예를 들면 100 nm이다. 금을 포함한 층의 두께는 예를 들면 0.5 μm이상 4 μm이하이다. 특히 금을 포함한 층들은 더 두꺼울 수 있다. 층들은 각각 기술된 물질로 구성될 수 있다.
- [0045] 버퍼층(21)은 예를 들면 명목상 도핑되지 않은 GaN층이다. 명목상 도핑되지 않음은, 명목상 n형 도핑된 에피택시얼 반도체 층 스택(2)의 반도체층들에 비해 현저히 낮은 n형 도펀트 농도를 가진다는 것을 의미한다. 예를 들면, 전체 버퍼층에서의 도펀트 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 보다 작으며, 바람직하게는 $7 \times 10^{17} \text{ cm}^{-3}$ 보다 작고, 더욱 바람직하게는 $5 \times 10^{17} \text{ cm}^{-3}$ 보다 작다. 도펀트 농도는 예를 들면 최대 약 $3 \times 10^{17} \text{ cm}^{-3}$ 일 수 있다.
- [0046] 또는, 버퍼층(21)은 적어도 부분적으로 n형 도핑될 수 있다. 버퍼층(21)의 도펀트 농도는 접촉층(22)의 도펀트 농도보다 더 낮다. 예를 들면, 전체 버퍼층(21)의 도펀트 농도는 $3 \times 10^{18} \text{ cm}^{-3}$ 보다 작다. 버퍼층에 비해, 접촉층(22)은 상대적으로 높은 도펀트 농도를 포함한다. 접촉층은 예를 들면 n형 도핑되며, 이때 도펀트 농도는 예를 들면 $8 \times 10^{18} \text{ cm}^{-3}$ 이상이다. 예를 들면 접촉층의 n형 도펀트 농도는 약 $1 \times 10^{19} \text{ cm}^{-3}$ 이상이다. 또한, 접촉층(22)의 일부만 상기와 같이 높은 도펀트 농도를 가지고, 접촉층(22)의 나머지 부분에서 도펀트 농도가 약간 더 낮을 수도 있다.
- [0047] 에피택시얼 반도체 층 시퀀스(2)는 결정 품질 및 에피택시얼 접촉력과 관련하여, 버퍼층(21)에서의 도펀트 농도가 가능한 한 낮고, 그에 비해 접촉층(22)에서의 도펀트 농도가 가능한 한 높은 경우에 유리하게 구현되는 것으로 확인되었다. 가능한 한 두꺼우면서 가능한 한 낮은 농도로 도핑된 버퍼층(21)은 반도체 층 시퀀스의 결정 품질에 긍정적으로 작용할 수 있다.
- [0048] 도 2에 도시된 반도체 몸체(1)는 예를 들면 에피택시 기판을 포함하지 않는다. 반도체 층 시퀀스(2)는 예를 들면 버퍼층(21)으로부터 시작하여 에피택시 기판상에 성장되었다. 이어서, 에피택시 기판이 제거된다. 에피택시 기판의 각 물질은 완전히 제거될 수 있다. 또는, 에피택시 기판의 물질의 일부가 제거되지 않고 반도체 몸체의 일부분으로 잔류할 수도 있다.
- [0049] 일반적으로, 광전 반도체 몸체는 특히 박막-전계 발광 다이오드칩(thin-luminescence diode chip)이다.
- [0050] 박막-전계 발광 다이오드칩은 특히 이하의 특징적 특성들 중 적어도 하나로 특징지어진다:
- [0051] - 복사를 생성하는 에피택시얼 반도체 층 시퀀스에서 캐리어 부재를 향한 제1주요면에 반사층이 배치되거나 형성되고, 상기 반사층은 상기 에피택시얼 반도체 층 시퀀스에서 생성된 전자기 복사의 적어도 일부분을 상기 반도체 층 시퀀스로 재귀 반사함;
- [0052] - 박막 반도체칩은 캐리어 부재를 포함하고, 상기 캐리어 부재는 반도체 층 시퀀스가 에피택시얼 성장되었던 성장 기판을 가리지 않고, 차후에 상기 에피택시얼 반도체 층 시퀀스에 고정된 별도의 캐리어 부재를 가리킴;
- [0053] - 에피택시얼 반도체 층 시퀀스의 성장 기판은 에피택시얼 반도체 층 시퀀스로부터 제거되거나, 상기 에피택시얼 반도체 층 시퀀스와 함께 독자적으로 자체 지지력을 갖지 못할만큼 얇아짐; 또는

- [0054] - 에피택시얼 반도체 층 시퀀스의 두께는 20 μm 이하의 범위, 특히 10 μm 의 범위에 있음.
- [0055] 캐리어 부재는 반도체칩으로부터 방출된 복사에 대해 투과성으로 형성되는 것이 바람직하다.
- [0056] 또한, 바람직하게는, 에피택시얼 반도체 층 시퀀스는 혼합 구조를 가진 적어도 하나의 면을 구비한 적어도 하나의 반도체층을 포함하며, 상기 혼합 구조는 이상적인 경우 에피택시얼 반도체 층 시퀀스에서 광이 거의 에르고딕(ergodic)으로 분포하도록 하며, 즉 가능한 한 에르고딕적인 확률적 산란 거동을 포함한다.
- [0057] 박막 반도체칩의 기본 원리는 예를 들면 I.Schnitzer et al., Appl. Phys. Lett. 63(16), 1993.10.18, 2174-2176에 기술되어 있으며, 그 공개 내용은 참조로 포함된다. 박막 반도체칩에 대한 예는 문헌 EP 0905797 A2 및 WO 02/13281 A1에 기술되어 있으며, 그 공개 내용은 참조로 포함된다.
- [0058] 반도체 몸체는 전계 발광 다이오드칩일 필요는 없으며, 예를 들면 광학 센서를 위한 복사 검출칩일 수 있다.
- [0059] 도 2에 도시된 반도체 몸체에서, 리세스(3)에 대향된 반도체 층 시퀀스(2)의 측상에 예를 들면 다른 전기 접촉 물질(6)이 배치되며, 상기 접촉 물질은 반도체 몸체(1)의 접촉 전극을 형성한다. 리세스(3)의 접촉 물질(4)은 n형 전극 또는 그러한 n형 전극의 일부를 형성한다. 대향된 전극의 접촉 물질(6)은 전기 절연층(7)상에 배치된다.
- [0060] 전기 절연층(7)은 예를 들면 유전체 물질을 포함하거나 그러한 것으로 구성되고, 유전체 물질은 예를 들면 이산화규소가 있다. 또한, 층(7)은 상기 층(7)을 수직으로 관통하여 연장되는 적어도 하나의 리세스를 포함한다. 리세스의 영역에서 반도체 층 스택(2)은 전기 전도적으로 접촉될 수 있다. 바람직하게는, 전기 절연층(7)은 그러한 복수 개의 리세스를 포함한다. 전기 절연 물질(7) 및 전기 접촉 물질(6)이 이와 같이 조합됨으로써 높은 반사도가 얻어질 수 있다.
- [0061] 반도체 층 시퀀스(2)는 버퍼층(21) 및 접촉층(22) 외에 예를 들면 활성 영역(24) 및 p형 도핑된 반도체층(25)을 포함한다. p형 도핑된 반도체층(25)과 전기 접촉 물질(6) 사이에, 예를 들면 선택적으로 n형 도핑된 반도체층이 배치될 수 있으나, 이는 도 2에 미도시되었다. 이 경우, p형 도핑된 반도체층(25)과 상기 n형 도핑된 반도체층 사이에 터널 접착이 형성될 수 있다.
- [0062] 또한, 접촉층(22)과 활성 영역(24) 사이에 하나 이상의 다른 반도체층이 배치될 수 있다. 예를 들면, 상기 위치에서 n형 도핑된 반도체층(23)이 배치되며, 상기 반도체층은 접촉층(22)에 접하고, 약 $3.5 \times 10^{18} \text{ cm}^{-3}$ 의 도펀트 농도로 n형 도핑된다. n형 도펀트로서 예를 들면 규소가 적합하다.
- [0063] 앞서 도 2와 관련하여 기술된 실시예와 달리, 도 3에 도시된 반도체 몸체(1)의 경우, 리세스(3)에서 전기 접촉 물질(4)의 적어도 일부는 하부에서 전기 절연 물질(43)을 포함한다. 예를 들면, 본딩 패드(41)는 하부에서 부분적으로 또는 완전히 절연 물질(43)을 포함한다. 절연 물질로서 예를 들면 이산화규소와 같은 유전체가 적합하다. 절연 물질은 리세스의 바닥면(221)상에 배치되며, 특히 바닥면에 접한다. 전기 절연 물질(43)에 의해, 반도체 몸체의 동작 시 본딩 패드(41)의 하부에서 국부적으로 너무 높은 전기 전류 밀도가 존재하여 광전 반도체 몸체의 기능성에 부정적으로 작용할 수 있는 경우가 방지될 수 있다.
- [0064] 도 4에 도시된 실시예에 따르면, 리세스(3)는 서로 다른 깊이로 형성된 영역들을 포함한다. 예를 들면, 리세스(3)에서 전기 접촉 트랙(42)이 배치된 부분들은 본딩 패드(41)가 배치된 리세스의 부분들에 비해 더 깊게 형성된다. 기본적으로, 본딩 패드(41)는 부분적으로 또는 완전히 리세스(3)의 외부에 배치될 수 있으며, 즉 본딩 패드는 적어도 부분적으로 외부면(211)상에 배치된다.
- [0065] 접촉 트랙(42)의 영역에서, 접촉 물질(4)은 완전히 리세스(3)의 내부에 배치되며, 즉 접촉 물질은 리세스(3)로부터 돌출되지 않는다. 그에 반해, 본딩 패드(41)의 영역에서, 접촉 물질(4)은 적어도 부분적으로 반도체 층 스택(2)으로부터 멀어지며 돌출되는데, 이는 반도체 몸체(1)의 외부 전기 접촉력과 관련하여 유용하다. 그러나, 기본적으로, 본딩 패드(41)를 형성하는 전기 접촉 물질(4)은 적어도 일부 영역들에서 또는 전체가 완전히 리세스(3)에 배치되며, 리세스(3)보다 돌출되거나, 리세스의 테두리까지 도달하지 않을 수 있다.
- [0066] 도 5 내지 도 7에는 방법의 실시예가 도시되어 있다. 방법에서, 반도체 층 시퀀스(2)가 제공되며, 상기 반도체 층 시퀀스는 버퍼층(21), 접촉층(22), n형 도핑된 층(23), 활성 영역(24) 및 p형 도핑된 층(25)을 포함한다. 반도체 층 시퀀스는 예를 들면 n형 도핑된 층(23)과 활성 영역(24) 사이에 다른 층들을 더 포함할 수 있다.
- [0067] 반도체 층 시퀀스는 상기 반도체 층 시퀀스의 2개의 주요측들 중 하나에서 외부면(211)을 포함한다. 이러한 외부면은 예를 들면 버퍼층(21)의 2개의 주요면들 중 하나로 형성된다.

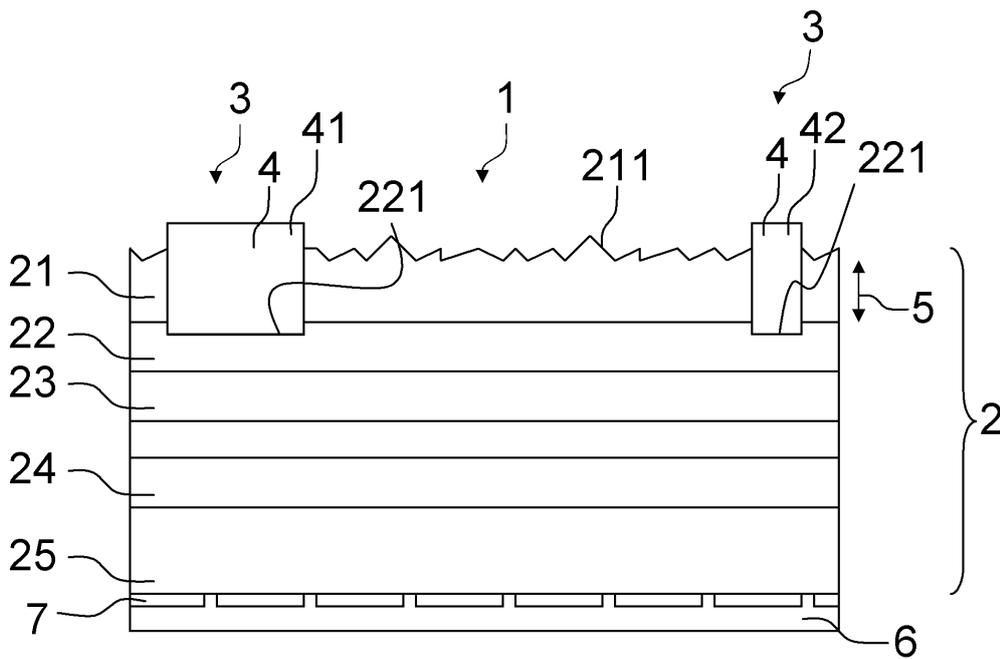
- [0068] 에피택시얼 반도체 층 시퀀스(2)는 층들이 적합한 에피택시 기판상에 성장되면서 제조될 수 있다. 에피택시 기판은 예를 들면 탄화규소 또는 사파이어를 포함한다. 반도체 층 시퀀스(2)는 예를 들면 버퍼층(21)으로 시작하여 에피택시 기판상에 성장된다. 이어서, 에피택시 기판은 예를 들면 반도체 층 시퀀스로부터 제거된다.
- [0069] 바람직하게는, 에피택시 기판의 제거 단계 전에, 도 2 내지 도 4에 각각 도시되며 전기 절연층(7) 및 전기 접촉 물질(6)을 포함한 접촉 구조가 형성될 수 있으나, 이는 도 5 내지 도 7에 미도시되었다. 이러한 접촉 구조의 형성 단계는 기본적으로 에피택시 기판의 제거 이후 수행될 수 있다.
- [0070] 이후, 반도체 층 시퀀스(2)에 적어도 하나의 리세스(3)가 형성된다. 리세스의 형성은 예를 들면 포토구조화될 수 있는 마스크층을 이용하여 포토리소그래피 기술로 수행될 수 있다. 상기와 같은 마스크층은, 도 7을 참조하여 적합한 실시예에서 전기 접촉 물질(4)의 배치 단계 동안에도 존재할 수 있긴 하나, 도 6 내지 도 7에 미도시되었다. 유리하게는, 불필요한 전기 접촉 물질은 리프트 오프 공정에서 포토구조화될 수 있는 마스크층과 함께 제거될 수 있다. 기본적으로, 상기와 같은 방법 단계는 당업자에게 공지되어 있다.
- [0071] 리세스의 형성 단계는 예를 들면 반응 이온 식각을 이용하여 그리고/또는 예를 들면 습식 화학적으로 수행될 수 있다. 전기 접촉 물질(4)의 형성을 위해, 예를 들면 증발증착 및/또는 스퍼터링과 같은 종래의 방법 단계가 사용될 수 있다.
- [0072] 방법의 실시예에서, 외부면(211)을 거칠게 형성하는 단계는 리세스(3)에 전기 접촉 물질이 배치된 이후에 비로소 수행된다. 이를 통해, 간단한 방식으로, 리세스(221)의 바닥면이 가능한 한 평편하거나 매끄럽게 형성되고, 거칠기 단계 시 그와 관련하여 부정적 영향이 끼치지 않도록 할 수 있다. 외부면(211)을 거칠게 형성하기 위한 방법은 예를 들면 WO 2005/106972에 공개되어 있으며, 그 공개 내용은 앞에서 이미 참조로 본 출원에 포함된다. 방법의 결과로 얻어진 반도체 몸체(1)는 도 2에 도시되어 있다.
- [0073] 방법의 대안적 예는 도 8 및 도 9에 도시되어 있다. 상이점은, 외부면(211)의 거칠기 단계가 리세스(3)의 형성 단계 전에 수행된다는 것이다. 리세스(3)는 예를 들면 거친 표면안으로의 식각에 의해 제조되며, 그 결과 리세스(3)의 바닥면(211)도 마찬가지로 거칠다. 바닥면(221)의 거칠기는 외부면(211)의 거칠기에 비해 약간은 덜 심하게 보일 수 있다. 예를 들면, 바닥면(221)의 거칠기는 외부면(211)의 거칠기에 비해 5배보다 작거나 2배보다 더 작다. 바닥면(221) 자체가 거친 경우, 전기 접촉 물질(4)과 접촉층(22) 사이의 전기 전도 접촉이 양호하게 형성될 수 있음이 확인되었다. 가능한 한 매끄러운 리세스의 바닥면이 유리한 것으로 보이긴 하나, 바닥면(221)은 거칠게 형성될 수 있다.
- [0074] 광전 반도체 몸체 및 방법은 실시예에 따른 설명에 의하여 상기 설명에 한정되지 않는다. 오히려, 본 출원은 각 새로운 특징 및 특징들의 각 조합을 포함하고, 이는 특히 특허 청구 범위에서 특징들의 각 조합을 포괄하며, 비록 이러한 특징 또는 이러한 조합이 그 자체로 명백하게 특허 청구 범위 또는 실시예들에 제공되지 않더라도 그러하다.

도면

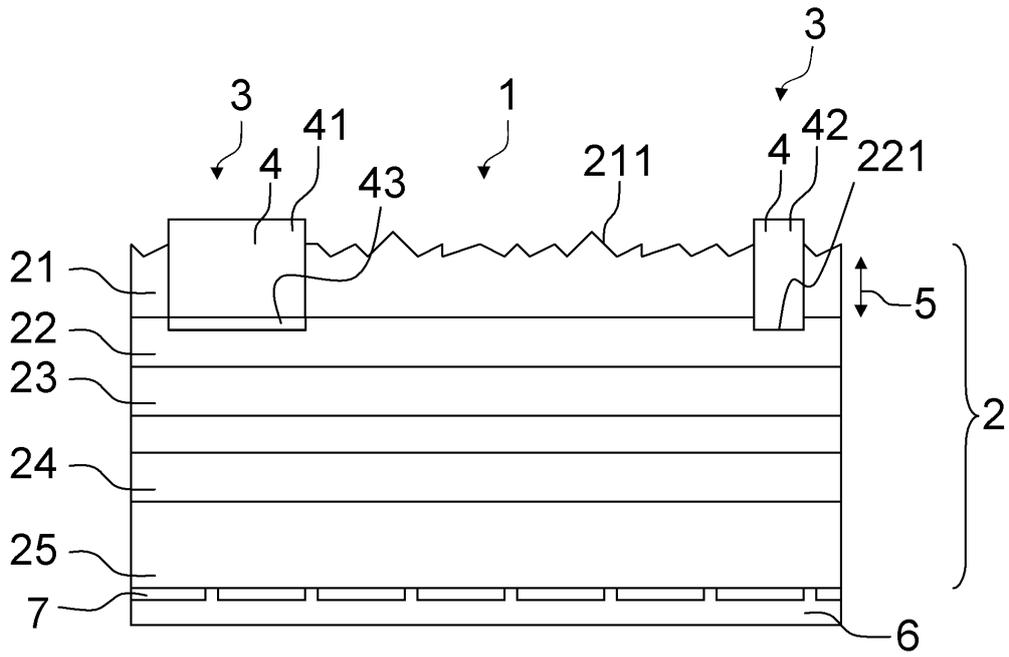
도면1



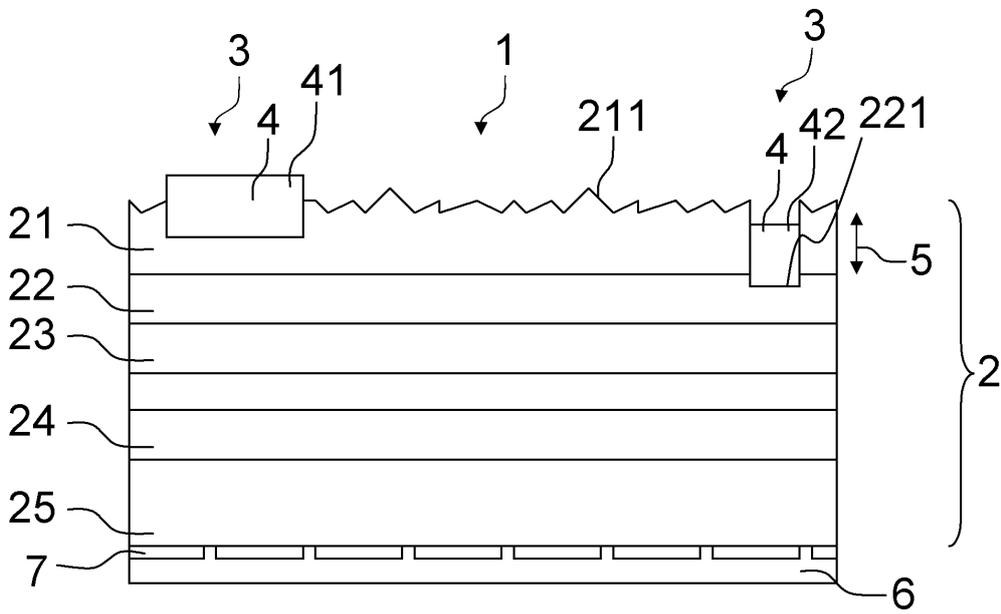
도면2



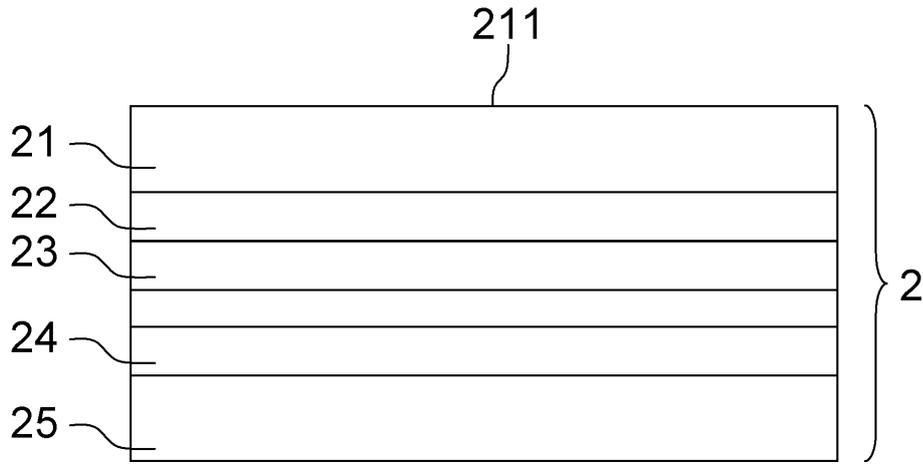
도면3



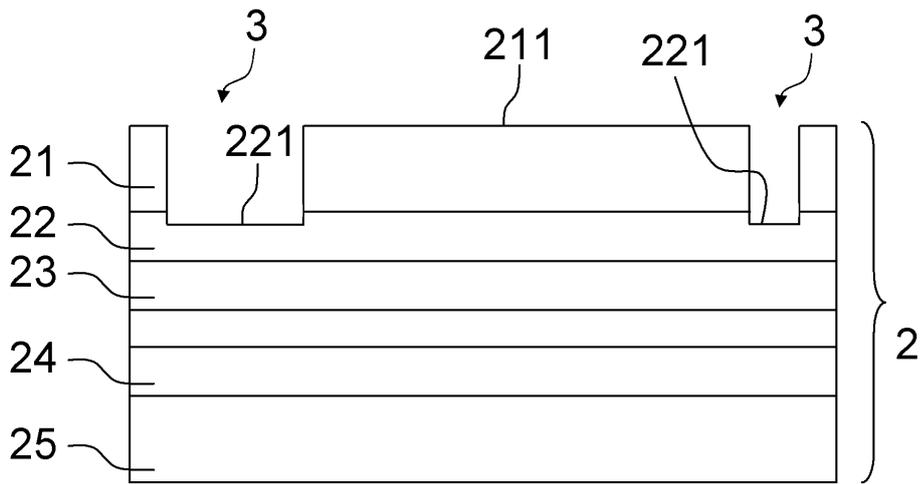
도면4



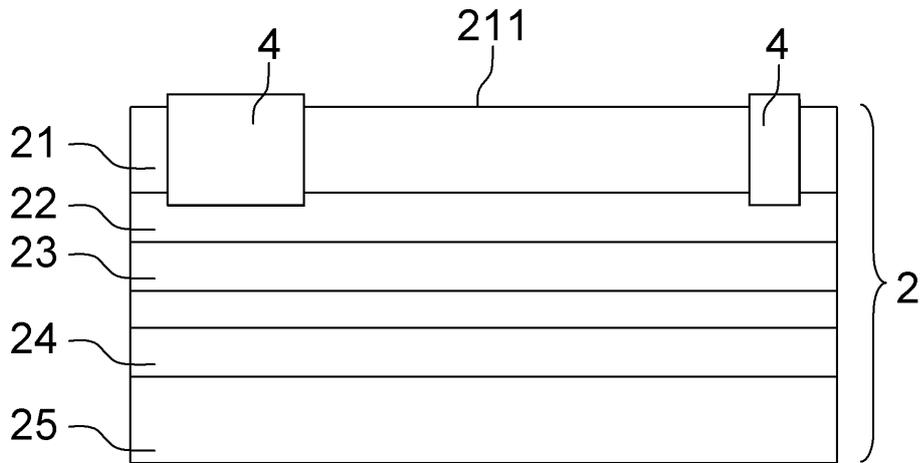
도면5



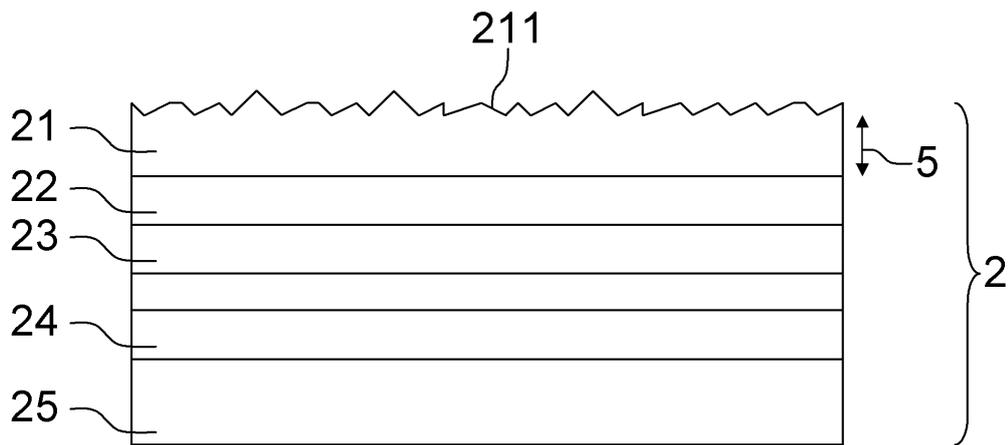
도면6



도면7



도면8



도면9

