



ロツパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：遮断装置

技術分野

[0001] 本発明は、電流経路に過電流が流れることを防止するため、該電流経路に流れる電流を遮断する遮断装置に関する。

背景技術

[0002] 車両には、バッテリーから負荷への電流経路に設けられたスイッチをオフに切替えることによって、該電流経路に過電流が流れることを防止する電源装置（例えば、特許文献１を参照）が搭載されている。

[0003] 図１は従来の電源装置８の回路図である。特許文献１に記載してあるような従来の電源装置８では、バッテリー８０の正極はスイッチ８２を介して負荷８１の一端に接続され、バッテリー８０の負極と負荷８１の他端とは接地されている。

[0004] スイッチ８３はＰＮＰ型のバイポーラトランジスタであり、スイッチ８４はＮＰＮ型のバイポーラトランジスタである。スイッチ８３について、エミッタはバッテリー８０の正極に接続され、コレクタは負荷８１及び抵抗Ｒ_a夫々の一端に接続され、ベースは抵抗Ｒ_bの一端に接続されている。抵抗Ｒ_aの他端は、スイッチ８４のベースと、スイッチ８５及び抵抗Ｒ_cの一端とに接続されている。スイッチ８４のコレクタは抵抗Ｒ_bの他端に接続されている。スイッチ８４のエミッタと、スイッチ８５及び抵抗Ｒ_c夫々の他端とは接地されている。

[0005] 従来の電源装置８では、負荷８１が停止している場合、スイッチ８２，８３，８４，８５夫々はオフ、オン、オン及びオフである。

スイッチ８２がオフであるため、電流がバッテリー８０の正極からスイッチ８３及び抵抗Ｒ_a，Ｒ_cの順に流れ、抵抗Ｒ_a，Ｒ_cはバッテリー８０の出力電圧を分圧し、分圧された電圧がスイッチ８４のベースに印加される。これにより、スイッチ８４ではベースからエミッタに電流が流れ、スイッチ８４

はオンに維持されている。

[0006] スイッチ 84 がオンである場合、電流が、バッテリー 80 の正極から、スイッチ 83 のエミッタ及びベースの順に流れる。スイッチ 83 のベースから、電流は抵抗 R_b 及びスイッチ 84 の順に流れる。これにより、スイッチ 83 もオンに維持されている。バッテリー 80 はスイッチ 83 を介して負荷 81 に暗電流を供給する。

[0007] 負荷 81 が短絡した場合、抵抗 R_a に流れる電流の値 I_a がゼロアンペアとなるため、スイッチ 84 におけるベースとエミッタとの電圧差がゼロボルトとなり、電流がベースからエミッタに流れず、スイッチ 84 はオフに切替えられる。スイッチ 84 がオフに切替えられた場合、抵抗 R_b を流れる電流の値 I_b 、即ち、スイッチ 83 において、エミッタからベースに流れる電流の値がゼロアンペアとなるため、スイッチ 83 もオフに切替えられる。これにより、スイッチ 83 を介してバッテリー 80 から負荷 81 に過電流が流れることが防止される。

[0008] 以上のことから、スイッチ 83, 84, 85 及び抵抗 R_a , R_b , R_c によって構成される回路は、スイッチ 83 をオフに切替えることによって、バッテリー 80 から負荷 81 への電流経路に流れる電流を遮断し、該電流経路に過電流が流れることを防止する遮断装置として機能する。

先行技術文献

特許文献

[0009] 特許文献1：特開 2014-34291 号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら従来の電源装置 8 においては、負荷 81 が停止している間、負荷 81 に供給されている電流の値に無関係に、抵抗 R_a , R_b 夫々に一定の電流が流れ続け、抵抗 R_a , R_b , R_c において電力が消費され続けている。このため、遮断装置として機能する回路には、消費電力が大きいという

問題がある。

[0011] 本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、消費電力が小さい遮断装置を提供することにある。

課題を解決するための手段

[0012] 本発明に係る遮断装置は、所定値以上の電流が電流経路に流れた場合に該電流経路に流れる電流を遮断する遮断装置において、該電流経路に設けられたスイッチと、該スイッチの一端側及び他端側夫々から電流を引き込み、引き込んだ2つの電流が合わされた電流を出力するカレントミラー回路と、該カレントミラー回路が出力する電流の値が電流閾値以上である場合に前記スイッチをオフに切替える切替え回路とを備え、前記カレントミラー回路が引き込む2つの電流夫々の値は、前記スイッチに流れる電流の値が大きい程、大きいことを特徴とする。

[0013] 本発明にあつては、電流経路にスイッチが設けられており、カレントミラー回路は、スイッチの一端側及び他端側夫々から電流を引き込み、引き込んだ2つの電流を合わせた電流を出力する。カレントミラー回路が引き込む2つの電流夫々の値は、スイッチに流れる電流の値が大きい程大きい。電流経路に所定値以上の電流が流れた場合、カレントミラー回路から出力される電流の値は電流閾値以上となり、切替え回路はスイッチをオフに切替え、電流経路に流れる電流を遮断する。

[0014] これにより、電流経路に過電流が流れることが防止される。更に、カレントミラー回路が引き込む2つの電流夫々の値は、スイッチに流れる電流の値が大きい程大きいので、電流経路に流れる電流の値が小さい場合、カレントミラー回路を介して流れる電流の値も小さい。このため、例えば、電流経路がバッテリーから負荷への電流経路である場合において、負荷が動作を停止して電力を殆ど消費していないとき、装置も電力を殆ど消費することはなく、消費電力は小さい。

[0015] 本発明に係る遮断装置は、前記切替え回路は、前記スイッチをオフに切替えた後、前記カレントミラー回路が出力する電流の値に無関係に、前記スイ

ツチのオフを維持するように構成してあり、前記スイッチのオフの維持を解除する解除部を更に備えることを特徴とする。

[0016] 本発明にあっては、切替え回路がスイッチをオフに切替えた場合、スイッチに電流が流れないため、カレントミラー回路が出力する電流の値は低下する。しかしながら、切替え回路は、カレントミラー回路が出力する電流の値に無関係にスイッチのオフを維持する。そして、例えば、このオフの維持の解除をするための信号が装置に入力された場合、切替え回路が行っているスイッチのオフの維持が解除される。

[0017] 以上のように、スイッチがオフに維持されるので、電流経路に過電流が流れ続けることが防止される。更に、スイッチのオフの維持を解除することによって、再び電流経路に電流を流すことが可能である。

[0018] 本発明に係る遮断装置は、前記スイッチは、トランジスタであって、電流が入力される端子の電位を基準とした制御端子の電圧値が、ゼロ未満の電圧閾値以上である場合に非導通状態となり、前記制御端子の電圧値が前記電圧閾値未満である場合に導通状態となるように構成してあることを特徴とする。

[0019] 本発明にあっては、スイッチは、トランジスタ、例えば、Pチャネル型のFET (Field Effective Transistor) である。スイッチにおいて、電流が入力される端子、例えばソースの電位を基準とした制御端子、例えばゲートの電圧値が、ゼロ未満の電圧閾値以上である場合、スイッチは非導通状態となってオフに切替えられる。また、スイッチにおいて、電流が入力される端子の電位を基準とした制御端子の電圧値が電圧閾値未満である場合、スイッチは導通状態となってオンに切替えられる。

[0020] 従って、電流が入力される端子と制御端子との間の電圧をゼロボルト又は略ゼロボルトに保つことによってスイッチをオンに維持することが可能であり、例えば、チャージポンプ回路を用いて、制御端子の電位を、電流が入力される端子の電位を超える電位に維持する必要がない。このため、消費電力がより小さい。

- [0021] 本発明に係る遮断装置は、少なくとも1つの抵抗を有し、前記カレントミラー回路が出力した電流が流れる抵抗回路を更に備え、前記切替え回路は、該抵抗回路の両端間の電圧値が第2の電圧閾値以上である場合に前記スイッチをオフに切替えるように構成してあることを特徴とする。
- [0022] 本発明にあつては、少なくとも1つの抵抗を有する抵抗回路を、カレントミラー回路が出力した電流が流れる。このため、抵抗回路の両端間の電圧値は、カレントミラー回路が出力する電流の値が大きい程、高い。切替え回路は、カレントミラー回路が出力する電流が電流閾値以上である場合、抵抗回路の両端間の電圧値が第2の電圧閾値以上となって、スイッチをオフに切替える。これにより、電流経路に所定値以上の電流が流れた場合に電流経路を流れる電流を遮断する構成が容易に実現される。
- [0023] 本発明に係る遮断装置は、前記抵抗回路は、第1抵抗と、該第1抵抗に並列に接続された第2抵抗及びコンデンサの直列回路とを有することを特徴とする。
- [0024] 本発明にあつては、抵抗回路は、第1抵抗に、第2抵抗及びコンデンサの直列回路が並列に接続されている。コンデンサに電力が蓄積されていない場合、抵抗回路の抵抗値は、実質的に、第1抵抗及び第2抵抗からなる並列回路の抵抗値である。コンデンサに蓄積されている電力が増加するにつれて、抵抗回路の抵抗値は、上昇し、第1抵抗の抵抗値に近づく。
- [0025] 電流経路を介して電流が供給される負荷として、作動時に一時的に大きな電流が供給される負荷が考えられる。この場合において、負荷が作動した時点では、コンデンサに蓄積されている電力は小さく、抵抗回路の抵抗値は小さい。このため、負荷が作動して電流経路に大きな電流が一時的に流れた場合であっても、抵抗回路の両端間の電圧が電圧閾値以上となることはなく、スイッチがオフに切替えられることはない。
- [0026] 本発明に係る遮断装置は、前記切替え回路は、前記スイッチをオフに切替えた場合に、前記電流経路に流れる電流の遮断を示す遮断信号を出力するように構成してあることを特徴とする。

[0027] 本発明にあっては、スイッチがオフに切替えられた場合に、電流経路に流れる電流の遮断を示す遮断信号が切替え回路から出力されるので、例えば、電流経路に流れる電流を遮断したことを報知することが可能となる。

発明の効果

[0028] 本発明によれば、スイッチに流れる電流の値が大きい程、カレントミラー回路が出力する電流の値が大きくなるので、消費電力が小さい。

図面の簡単な説明

[0029] [図1]従来の電源装置の回路図である。

[図2]実施の形態1における電源装置の要部構成を示すブロック図である。

[図3]遮断装置の回路図である。

[図4]遮断装置の動作を説明するためのタイミングチャートである。

[図5]実施の形態2における遮断装置の回路図である。

[図6]抵抗回路の効果を説明するためのタイミングチャートである。

発明を実施するための形態

[0030] 以下、本発明をその実施の形態を示す図面に基づいて詳述する。

(実施の形態1)

図2は実施の形態1における電源装置1の要部構成を示すブロック図である。電源装置1は、好適に車両に搭載されており、遮断装置10、バッテリー11、負荷12及び報知部13を備える。遮断装置10は、バッテリー11の正極と、負荷12の一端と、報知部13とに各別に接続されている。バッテリー11の負極と、負荷12の他端とは接地されている。

[0031] 負荷12は、車両に搭載される電気機器であり、遮断装置10を介してバッテリー11から給電される。負荷12は、作動している間、一定の電力を消費し、負荷12には一定の電流が流れる。負荷12は、停止している間、殆ど電力を消費することはない、負荷12に流れる電流の値はゼロアンペア又は略ゼロアンペアである。

[0032] 遮断装置10は、通常、バッテリー11が負荷12に給電することができるように構成されている。遮断装置10は、バッテリー11から負荷12への電

流経路に所定値以上の電流が流れた場合、この電流経路に流れる電流を遮断する。遮断装置 10 は、電流を遮断した場合、バッテリー 11 から負荷 12 への電流経路に流れる電流の遮断を示す遮断信号を報知部 13 に出力する。

[0033] 報知部 13 は遮断装置 10 から遮断信号が入力される。報知部 13 は、遮断装置 10 から遮断信号が入力された場合、報知を行う。報知部 13 は、例えば、図示しない表示部に、バッテリー 11 から負荷 12 への電流経路に流れる電流の遮断を示すメッセージを表示することによって報知を行う。

[0034] 遮断装置 10 には、バッテリー 11 から負荷 12 への電流経路に流れる電流の遮断を解除するための解除信号が入力される。解除信号は、ハイレベル及びローレベルの電圧からなる 2 値信号である。解除信号がローレベルの電圧である場合、遮断装置 10 は、電流の遮断及び非遮断に関する現状の状態を維持する。遮断装置 10 が遮断状態である場合において、解除信号がローレベルの電圧からハイレベルの電圧に切替わったとき、遮断装置 10 は電流の遮断を解除する。

[0035] 図 3 は遮断装置 10 の回路図である。遮断装置 10 は、P チャネル型の FET 20、カレントミラー回路 21、抵抗回路 22、N チャネル型の FET 23、切替え回路 24 及び抵抗 R1 を有する。FET 20、23 夫々は、端子として、ドレイン、ソース及びゲートを有する。FET 20 のソースはバッテリー 11 の正極に接続されており、FET 20 のドレインは負荷 12 の一端に接続されている。FET 20 のソースは、更に、抵抗 R1 の一端に接続されている。FET 20 のドレインと抵抗 R1 の他端とはカレントミラー回路 21 に各別に接続されている。

[0036] カレントミラー回路 21 は、更に、抵抗回路 22 の一端に接続されている。抵抗回路 22 の一端は、更に、FET 23 のドレインに接続されている。抵抗回路 22 の他端と、FET 23 のソースとは接地されている。

[0037] 切替え回路 24 は、バッテリー 11 の正極と、FET 20 のゲートと、抵抗回路 22 の一端とに各別に接続されている。FET 20 のゲートは報知部 13 にも接続されている。

- [0038] FET20は、スイッチとして機能し、バッテリー11から負荷12への電流経路に設けられている。FET20では、電流がソースからドレインに流れる。FET20は、ソースの電位を基準としたゲートの電圧値が、ゼロボルト未満である所定の電圧閾値以上である場合に非導通状態となってオフに切替えられる。また、FET20は、ソースの電位を基準としたゲートの電圧値が電圧閾値未満である場合に導通状態となってオンに切替えられる。ゲートは制御端子として機能し、ソースは電流が入力される端子として機能する。
- [0039] FET20がオンである場合、バッテリー11から負荷12へ電流が流れることができ、バッテリー11は負荷12に給電することができる。FET20がオフである場合、FET20のソース及びドレイン間に電流が流れず、バッテリー11から負荷12へ流れる電流が遮断される。
- [0040] カレントミラー回路21は、2つのPNP型のバイポーラトランジスタ30、31と、2つのNPN型のバイポーラトランジスタ32、33とを有する。バイポーラトランジスタ30、31、32、33夫々は、端子として、エミッタ、コレクタ及びベースを有する。バイポーラトランジスタ30のエミッタはFET20のドレインに接続され、バイポーラトランジスタ31のエミッタは抵抗R1の他端に接続されている。バイポーラトランジスタ30のベースは、バイポーラトランジスタ30のコレクタと、バイポーラトランジスタ31のベースとに接続されている。
- [0041] バイポーラトランジスタ30のコレクタは、更に、バイポーラトランジスタ32のコレクタに接続されている。バイポーラトランジスタ31のコレクタは、バイポーラトランジスタ32のベースと、バイポーラトランジスタ33のコレクタ及びベースとに接続されている。バイポーラトランジスタ32、33夫々のエミッタは抵抗回路22の一端に接続されている。
- [0042] バイポーラトランジスタ30、31夫々では、電流がエミッタからコレクタに流れる。バイポーラトランジスタ30、31夫々について、エミッタ及びコレクタ間の抵抗値は、エミッタの電位を基準としたベースの電圧が高い

程大きく、エミッタ及びコレクタ間の抵抗値は、エミッタの電位を基準としたベースの電圧が低い程小さい。

[0043] バイポーラトランジスタ 30, 31 は同一又は略同一の特性を有する。従って、バイポーラトランジスタ 30, 31 夫々について、エミッタの電位を基準としたベースの電圧に対応するエミッタ及びコレクタ間の抵抗値は同じ又は略同じである。

[0044] また、バイポーラトランジスタ 32, 33 夫々では、電流がコレクタからエミッタに流れる。バイポーラトランジスタ 32, 33 夫々について、コレクタ及びエミッタ間の抵抗値は、エミッタの電位を基準としたベースの電圧が高い程小さく、エミッタの電位を基準としたベースの電圧が低い程大きい。

[0045] バイポーラトランジスタ 32, 33 も同一又は略同一の特性を有する。従って、バイポーラトランジスタ 32, 33 夫々について、エミッタの電位を基準としたベースの電圧に対するエミッタ及びコレクタ間の抵抗値は同じ又は略同じである。

[0046] 以上のように構成されたカレントミラー回路 21 は、FET 20 のソース側及びドレイン側夫々から電流を引き込む。カレントミラー回路 21 が引き込む 2 つの電流夫々の値は同一又は略同一である。カレントミラー回路 21 は、引き込んだ 2 つの電流夫々の値 I_c を、バイポーラトランジスタ 30, 31 夫々のエミッタの電位が同一又は略同一になるように調整する。

[0047] FET 20 がオンである場合における FET 20 のソース及びドレイン間の抵抗値、FET 20 のソースからドレインに流れる電流の値、及び、抵抗 R_1 の抵抗値夫々を、 r_{on} 、 I_d 及び r_1 とする。

[0048] バイポーラトランジスタ 30, 31 夫々のエミッタの電位が同一又は略同一であることは、FET 20 のソース及びドレイン間の電圧値と抵抗 R_1 の両端間の電圧値とが同一又は略同一であることに相当する。従って、FET 20 がオンである場合においては、 $r_{on} \times I_d$ は $r_1 \times I_c$ と同じであるか又は略同じである。言い換えると、電流値 I_c は、 $(r_{on} \times I_d) / r$

1 に一致するか又は略一致する。

[0049] 従って、電流値 I_c は、電流値 I_d に比例し、電流値 I_d が小さい程小さく、電流値 I_d が大きい程大きい。電流値 I_d がゼロアンペア又は略ゼロアンペアである場合、電流値 I_c もゼロアンペアか又は略ゼロアンペアである。

[0050] カレントミラー回路 21 は、FET 20 のソース側及びドレイン側から引き込んだ 2 つの電流が合わされた電流を出力する。FET 20 がオンである場合において、カレントミラー回路 21 が出力する電流の値は $2 \times I_c$ 、即ち、 $(2 \times r_{on} \times I_d) / r_1$ に一致するか又は略一致する。

[0051] FET 23 も、FET 20 と同様にスイッチとして機能する。FET 23 では、電流がドレインからソースに流れる。FET 23 は、接地電位を基準としたゲートの電圧が一定の電圧以上である場合に導通状態となってオンに切替えられる。また、FET 23 は、接地電位を基準としたゲートの電圧が一定の電圧未満である場合に非導通状態となってオフに切替えられる。

[0052] 解除信号がハイレベルの電圧である場合、FET 23 において接地電位を基準としたゲートの電圧が一定の電圧以上となって、FET 23 はオンに切替えられる。解除信号がローレベルの電圧である場合、FET 23 において接地電位を基準としたゲートの電圧が一定の電圧未満となって、FET 23 はオフに切替えられる。

[0053] 抵抗回路 22 は抵抗 R_2 を有する。抵抗 R_2 の一端は、抵抗回路 22 の一端であり、カレントミラー回路 21 が有するバイポーラトランジスタ 32, 33 夫々のエミッタに接続されている。抵抗 R_2 の他端は、抵抗回路 22 の他端であり、接地されている。FET 23 と、後述する FET 40 とがオフである場合、カレントミラー回路 21 が出力した電流は、抵抗回路 22 の抵抗 R_2 を流れる。

[0054] 抵抗 R_2 の抵抗値を r_2 とする。FET 23, 40 が共にオフである場合、抵抗回路 22 の両端間の電圧値 V_1 は、 $(2 \times r_{on} \times r_2 \times I_d) / r_1$ ($= 2 \times r_2 \times I_c$) に一致するか又は略一致する。カレントミラー回路

21が出力する電流の値($2 \times I_c$)が大きい程、電圧値 V_1 は高い。

[0055] 切替え回路24は、Pチャネル型のFET40、Nチャネル型のFET41、ダイオードD1及び抵抗R3、R4、R5、R6を有する。FET40、41夫々も、端子として、ソース、ドレイン及びゲートを有する。FET40のソースと抵抗R3の一端とはバッテリー11の正極に接続されている。抵抗R3の他端は、FET40のゲートと抵抗R4の一端とに接続されている。抵抗R4の他端はFET41のドレインに接続され、FET41のソースは接地されている。

[0056] FET41のゲートは、FET23のドレインと抵抗R2の一端とに接続されている。FET40のドレインは、報知部13と、FET20のゲートと、ダイオードD1のアノードと、抵抗R5の一端とに接続されている。抵抗R5の他端は接地されている。ダイオードD1のカソードは抵抗R6の一端に接続され、抵抗R6の他端はFET41のゲートに接続されている。

[0057] FET40もスイッチとして機能し、FET40において、電流はソースからドレインに流れる。FET40は、ソースの電位を基準としたゲートの電圧値、即ち、接地電位を基準としたゲートの電圧値 V_2 からバッテリー11の出力電圧値 V_b を引いた値が、ゼロボルト未満である電圧閾値($V_{th2} - V_b$)以上である場合に非導通状態となってオフに切替えられる。また、FET40は、ソースの電位を基準としたゲートの電圧値、即ち、電圧値 V_2 から出力電圧値 V_b を引いた値が、電圧閾値($V_{th2} - V_b$)未満である場合に導通状態となってオンに切替えられる。

[0058] 言い換えると、FET40は、電圧値 V_2 が電圧閾値 V_{th2} 以上である場合にオフに切替えられ、電圧値 V_2 が電圧閾値 V_{th2} 未満である場合にオンに切替えられる。電圧閾値 V_{th2} はバッテリー11の出力電圧値 V_b 未満の電圧値である。

[0059] FET41もスイッチとして機能し、FET41において電流はドレインからソースに流れる。電圧値 V_1 は、抵抗回路22の両端間の電圧値であると共に、FET41のゲート及びソース間の電圧値である。FET41は、

電圧値 V_1 が電圧閾値 V_{th1} 以上である場合に導通状態となってオンに切替えられる。また、FET41は、電圧値 V_1 が電圧閾値 V_{th1} 未満である場合に非導通状態となってオフに切替えられる。

[0060] 電圧値 V_1 が電圧閾値 V_{th1} 未満である場合、FET41はオフである。FET41がオフである場合、抵抗 R_3 、 R_4 に電流が流れず、電圧値 V_2 は、バッテリー11の出力電圧値 V_b と一致するか又は略一致する。このとき、電圧値 V_2 は電圧閾値 V_{th2} 以上であるため、FET40はオフである。FET40がオフである場合、抵抗 R_5 に電流が流れないため、接地電位を基準としたFET40のドレインの電圧値 V_3 はゼロボルト又は略ゼロボルトである。

[0061] FET20において、ソースの電位を基準としたゲートの電圧値は $(V_3 - V_b)$ と表すことができる。前述した所定の電圧閾値を $(V_{th3} - V_b)$ と表した場合、電圧値 V_3 が電圧閾値 V_{th3} 以上である場合にFET20はオフに切替えられ、電圧値 V_3 が電圧閾値 V_{th3} 未満である場合にFET20はオンに切替えられる。電圧閾値 V_{th3} はバッテリー11の出力電圧値 V_b 未満の電圧値である。

電圧値 V_3 がゼロボルト又は略ゼロボルトである場合、電圧値 V_3 は電圧閾値 V_{th3} 未満であり、FET20はオンである。

[0062] 電圧値 V_1 が電圧閾値 V_{th1} 以上となった場合、FET41はオンに切替えられ、電流がバッテリー11の正極から抵抗 R_3 、 R_4 及びFET41の順に流れる。このとき、抵抗 R_3 、 R_4 はバッテリー11の出力電圧を分圧し、分圧した電圧をFET40のゲートに印加する。このとき、電圧値 V_2 は電圧閾値 V_{th2} 未満となり、FET40はオンに切替えられる。FET40がオンに切替えられた場合、電流がバッテリー11の正極からFET40及び抵抗 R_5 の順に流れ、電圧値 V_3 はバッテリー11の出力電圧値 V_b に一致するか又は略一致する。

[0063] 電圧値 V_3 が出力電圧値 V_b に一致したか又は略一致した場合、電圧値 V_3 は電圧閾値 V_{th3} 以上となり、FET20がオフに切替えられる。これ

により、バッテリー 11 から負荷 12 への電流経路に流れる電流が遮断される。

[0064] FET 20 がオフに切替えられた場合、電流値 I_d がゼロアンペア又は略ゼロアンペアになるため、電流値 I_c はゼロアンペア又は略ゼロアンペアになり、カレントミラー回路 21 が出力する電流の値もゼロアンペア又は略ゼロアンペアとなる。また、FET 20 がオフに切替えられた場合、電流がバッテリー 11 の正極から、FET 40、ダイオード D1 及び抵抗 R6, R2 の順に流れ、電圧値 V_1 は電圧閾値 V_{th1} 以上の電圧値に維持される。このため、FET 20 がオフに切替えられてカレントミラー回路 21 が出力する電流の値がゼロアンペア又は略ゼロアンペアになった場合であっても、FET 40, 41 夫々はオンが維持され、FET 20 もオフが維持される。

[0065] 以上のように、FET 20 がオンである状態で電圧値 V_1 が電圧閾値 V_{th1} 以上となった場合、切替え回路 24 は FET 20 をオンからオフに切替える。言い換えると、FET 20 がオンである状態で、カレントミラー回路 21 が出力する電流の値が電流閾値 (V_{th1} / r_2) 以上である場合、切替え回路 24 は FET 20 をオンからオフに切替える。電圧閾値 V_{th1} は第 2 の電圧閾値に該当する。

[0066] バッテリー 11 から負荷 12 に流れる電流の値 I_e は、 $(I_d - I_c)$ で表され、 $((r_1 - r_{on}) \times I_d) / r_1$ に一致するか又は略一致する。従って、電流値 I_d は $(r_1 \times I_e) / (r_1 - r_{on})$ と一致するか又は略一致する。FET 20 がオンである場合において、電圧値 V_1 は、前述したように、 $(2 \times r_{on} \times r_2 \times I_d) / r_1$ に一致するか又は略一致する。従って、電圧値 V_1 は、 $(2 \times r_{on} \times r_2 \times I_e) / (r_1 - r_{on})$ に一致するか又は略一致する。電流値 I_e は、 $((r_1 - r_{on}) \times V_1) / (2 \times r_{on} \times r_2)$ に一致するか又は略一致する。

[0067] 電圧値 V_1 が電圧閾値 V_{th1} である場合における電流値 I_e 、即ち、バッテリー 11 から負荷 12 への電流経路に流れる電流が遮断される電流閾値 I_{eth} は、 $((r_1 - r_{on}) \times V_{th1}) / (2 \times r_{on} \times r_2)$ に一致

するか又は略一致する。この電流閾値 I_{eth} は前述した所定値である。

また、電圧値 V_1 が電圧閾値 V_{th1} である場合における電流値 I_d 、即ち、バッテリー 11 から負荷 12 への電流経路に流れる電流が遮断される電流閾値 I_{dth} は $(r_1 \times V_{th1}) / (2 \times r_{on} \times r_2)$ に一致するか又は略一致する。

[0068] 電圧値 V_1 が電圧閾値 V_{th1} 以上であって FET 20 がオフに維持されている場合において、解除信号がローレベルの電圧からハイレベルの電圧に切替わったとき、FET 23 がオフからオンに切替わり、電圧値 V_1 は電圧閾値 V_{th1} 未満となる。これにより、FET 41, 40 が順次オフとなつて、FET 20 がオフからオンに切替わり、FET 20 のオフの維持が解除される。

[0069] 以上のように、切替え回路 24 は、FET 20 をオンからオフに切替えた後、カレントミラー回路 21 が出力する電流の値に無関係に FET 20 をオフに維持する。FET 23 は、切替え回路 24 が行っている FET 20 のオフの維持を解除する。FET 23 は解除部として機能する。

[0070] 図 4 は遮断装置 10 の動作を説明するためのタイミングチャートである。図 4 には、電流値 I_e , I_c 、電圧値 V_1 , V_2 , V_3 、解除信号、及び、FET 20 のオン／オフ夫々の推移が示されている。図 4 では、ハイレベルの電圧を「H」で示し、ローレベルの電圧を「L」で示している。

[0071] 遮断装置 10 では、通常、電流値 I_e が電流閾値 I_{eth} 未満である場合においては、解除信号はローレベルの電圧に維持されている。電流値 I_e が電流閾値 I_{eth} 未満である場合、電圧値 V_1 が電圧閾値 V_{th1} 未満であるので、FET 41 はオフである。これにより、電圧値 V_2 は、バッテリー 11 の出力電圧値 V_b に一致するか又は略一致し、電圧閾値 V_{th2} 以上である。電圧値 V_2 が電圧閾値 V_{th2} 以上であるので、FET 40 はオフであり、電圧値 V_3 はゼロボルト又は略ゼロボルトである。従つて、電圧値 V_3 は電圧閾値 V_{th3} 未満であるので、FET 20 はオンに維持される。

[0072] 電流値 I_e が電流閾値 I_{eth} 未満である間、FET 20 はオンに維持さ

れる。従って、負荷 12 が停止して電流値 I_e がゼロアンペア又は略ゼロアンペアである間も FET 20 はオンに維持される。更に、負荷 12 が作動して電流値 I_e がゼロアンペアを超えている場合においても、電流値 I_e が電流閾値 I_{eth} 未満である間、FET 20 はオンに維持される。FET 20 がオンである間、電圧値 V_3 はゼロボルト又は略ゼロボルトであり、切替え回路 24 は、ゼロボルト又は略ゼロボルトを報知部 13 に出力している。

[0073] 電流値 I_c は、 $(r_{on} \times I_e) / (r_1 - r_{on})$ に一致するか又は略一致し、電流値 I_e が小さい程小さく、電流値 I_e が大きい程大きい。更には、電流値 I_e がゼロアンペア又は略ゼロアンペアである場合、電流値 I_c もゼロアンペア又は略ゼロアンペアである。従って、負荷 12 が動作を停止して電力を殆ど消費していないとき、遮断装置 10 も電力を殆ど消費することではなく、遮断装置 10 の消費電力は小さい。

電圧値 V_1 は、前述したように、 $(2 \times r_{on} \times r_2 \times I_e) / (r_1 - r_{on})$ に一致するか又は略一致するので、電流値 I_e が小さい程小さく、電流値 I_e が大きい程大きい。

[0074] また、FET 20 は P チャネル型の FET であるため、ソース及びゲート間の電圧をゼロボルト又は略ゼロボルトに保つことによって、FET 20 をオンに維持することができ、例えば、チャージポンプ回路を用いて、ゲートの電位をソースの電位を超える電位に維持する必要がある。このため、遮断装置 10 の消費電力はより小さい。

[0075] 異常によって電流値 I_e が上昇した場合、電流値 I_c 及び電圧値 V_1 も上昇する。電流値 I_e が電流閾値 I_{eth} 以上となった場合、電圧値 V_1 が電圧閾値 V_{th1} 以上となり、FET 41 がオンに切替えられる。FET 41 がオンに切替えられた場合、電圧値 V_2 は電流閾値 V_{th2} 未満の電圧値に低下し、FET 40 がオンに切替えられる。これにより、電圧値 V_3 がバッテリー 11 の出力電圧値 V_b に一致するか又は略一致し、電圧閾値 V_{th3} 以上となって FET 20 がオフに切替えられる。FET 20 がオフに切替わった場合、バッテリー 11 から負荷 12 への電流経路に流れる電流が遮断され、

負荷 1 2 の動作が停止する。

[0076] 切替え回路 2 4 は、F E T 2 0 をオフに切替えた場合、値が電圧閾値 V_{th3} 以上である電圧を、バッテリー 1 1 から負荷 1 2 への電流経路に流れる電流の遮断を示す遮断信号として報知部 1 3 に出力する。報知部 1 3 は、遮断信号が入力された場合、前述したように報知を行う。これにより、バッテリー 1 1 から負荷 1 2 への電流経路に流れる電流を遮断したことを報知することができる。

[0077] F E T 4 0 がオフからオンに切替わった場合、バッテリー 1 1 の正極から、電流が F E T 4 0、ダイオード D 1 及び抵抗 R 6, R 2 の順に流れ、電圧値 V_1 は、電圧閾値 V_{th1} 以上に維持される。F E T 4 0 がオフからオンに切替わった場合、電流値 I_e は電流閾値 I_{eth} 未満の電流値に低下し、カレントミラー回路 2 1 が出力する電流の値が低下する。しかしなら、切替え回路 2 4 は、カレントミラー回路 2 1 が出力する電流の値に無関係に F E T 2 0 をオフに維持する。これにより、遮断装置 1 0 は、電流経路に過電流が流れ続けることを防止することができる。

[0078] F E T 2 0 がオフである状態で、解除信号がローレベルの電圧からハイレベルの電圧に切替わった場合、電圧値 V_1 は、電圧閾値 V_{th1} よりも低いゼロボルト又は略ゼロボルトまで低下し、F E T 4 1 がオフに切替えられる。F E T 4 1 がオフに切替えられた場合、電圧値 V_2 は電圧閾値 V_{th2} 以上に戻り、F E T 4 0 はオフに切替えられる。これにより、電圧値 V_3 は電圧閾値 V_{th3} 未満に戻り、F E T 2 0 は再びオンに切替えられる。

[0079] 解除信号がハイレベルの電圧からローレベルの電圧に切替わった後、負荷 1 2 が再び作動した場合、バッテリー 1 1 から負荷 1 2 への電流経路に電流が流れ、電流値 I_e は再びゼロアンペア以上の電圧値となる。

以上のように、F E T 2 0 のオフの維持を解除することによって、バッテリー 1 1 から負荷 1 2 への電流経路に電流を再び流すことができる。

[0080] 以上のように構成された遮断装置 1 0 においては、抵抗回路 2 2 の両端間の電圧値 V_1 を用いて、バッテリー 1 1 から負荷 1 2 への電流経路に電流閾値

I_{eth} 以上の電流が流れた場合に該電流経路に流れる電流を遮断する構成が容易に実現されている。

[0081] (実施の形態2)

図5は、実施の形態2における遮断装置10の回路図である。実施の形態2における遮断装置10においては、実施の形態1における遮断装置10と比較して、抵抗回路22の構成が異なる。

[0082] 負荷12として、作動時に一時的に大きな電流が供給される負荷が考えられる。実施の形態2における遮断装置10は、負荷12の作動時に一時的に大きな電流が、バッテリー11から負荷12への電流経路に流れた場合であっても、誤ってFET20をオフにする確率がより低い装置である。

[0083] 以下では、実施の形態2について実施の形態1と異なる点を説明する。後述する構成を除く他の構成については実施の形態1と同様であるため、同様の符号を付してその詳細な説明を省略する。

[0084] 実施の形態2における抵抗回路22は、抵抗R2に加えて、コンデンサC1及び抵抗R7を有する。抵抗R7の一端は、抵抗R2におけるカレントミラー回路21側の一端に接続され、抵抗R7の他端は、コンデンサC1の一端に接続されている。コンデンサC1の他端は接地されている。このように、コンデンサC1及び抵抗R7によって構成される直列回路は抵抗R2に並列に接続されている。抵抗R2、R7夫々は第1抵抗及び第2抵抗として機能する。

[0085] コンデンサC1に蓄積されている電力がゼロワットである場合、抵抗回路22の抵抗値は、実質的に、抵抗R2及び抵抗R7が並列に接続された並列回路の抵抗値である。この抵抗値は、抵抗R2の抵抗値よりも小さい。そして、コンデンサC1に蓄積されている電力の増加に伴って、抵抗回路22の抵抗値は上昇する。抵抗回路22の抵抗値の上限値は、抵抗R2の抵抗値である。

[0086] 抵抗回路22の抵抗値を r_t とする。カレントミラー回路21が出力した電流は抵抗回路22を流れる。カレントミラー回路21が出力している電流

の値が電流閾値 (V_{th1} / r_t) 以上である場合に FET41 がオンに切替えられ、切替え回路24はFET20をオフに切替える。従って、抵抗回路22の抵抗値 r_t が小さい場合、大きな電流がカレントミラー回路21から出力されても、FET20がオフになることはない。即ち、電流閾値 I_{eth} は、抵抗回路22の抵抗値 r_t が小さい程大きく、抵抗値 r_t が大きい程小さい。

カレントミラー回路21が出力している電流の値が電流閾値 (V_{th1} / r_t) 未満である場合、FET41がオフに切替えられ、切替え回路24はFET20をオンに切替える。

[0087] 図6は、抵抗回路22の効果を説明するためのタイミングチャートである。図6では、電流値 I_e の推移が太線で示され、電流閾値 I_{eth} の推移が細線で示されている。電流値 I_e がゼロアンペア又は略ゼロアンペアであって、カレントミラー回路21が電流を出力していない場合、コンデンサC1は放電し、コンデンサC1に蓄積されている電力は少ない。このため、電流閾値 I_{eth} は高い。

[0088] 負荷12が作動してバッテリー11から負荷12へ電流が流れ始めた場合、カレントミラー回路21も電流を出力し始め、コンデンサC1は電力を蓄積する。コンデンサC1に蓄積されている電力の上昇と共に、電流閾値 I_{eth} も低下する。

[0089] 負荷12が作動して一時的に大きな電流が供給されている期間においては、電流閾値 I_{eth} が十分に大きいため、電圧値 V_1 が電圧閾値 V_{th1} 以上となることはなく、FET20はオンに維持されている。このため、負荷12が作動して、バッテリー11から負荷12への電流経路に大きな電流が一時的に流れた場合であっても、電圧値 V_1 が電圧閾値 V_{th1} 以上となることはなく、FET20がオフに切替えられることはない。

[0090] 実施の形態2における遮断装置10は、抵抗R2にコンデンサC1及び抵抗R7の直列回路が接続されている点を除いて、実施の形態1における遮断装置10と同様に構成されている。このため、実施の形態2における遮断装

置 1 0 は、実施の形態 1 における遮断装置 1 0 と同様の効果を奏する。

[0091] なお、実施の形態 1, 2 において、カレントミラー回路 2 1 が、F E T 2 0 のソース側及びドレイン側から引き込む 2 つの電流夫々の値は同一又は略同一でなくてもよい。カレントミラー回路 2 1 は、F E T 2 0 のドレインから引き込む電流の値を所定数倍した値の電流を F E T 2 0 のソースから引き込んでもよい。また、カレントミラー回路 2 1 は、バイポーラトランジスタ 3 0, 3 1, 3 2, 3 3 を用いて構成される回路に限定されない。カレントミラー回路 2 1 は、電流値 I_d が大きい程、夫々の値が大きい 2 つの電流を、F E T 2 0 のソース側及びドレイン側から引き込み、引き込んだ 2 つの電流が合わされた電流を出力する回路であればよい。

[0092] また、F E T 2 0 の代わりに P N P 型のバイポーラトランジスタを用いてもよい。更に、切替え回路 2 4 において、F E T 4 0 の代わりに P N P 型のバイポーラトランジスタを用い、F E T 4 1 の代わりに N P N 型のバイポーラトランジスタを用いてもよい。

[0093] F E T 2 3 は、スイッチとして機能すればよいため、N チャネル型の F E T に限定されず、P チャネル型の F E T であってもよい。更に、F E T 2 3 の代わりにバイポーラトランジスタを用いてもよい。

[0094] 開示された実施の形態 1, 2 は、全ての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上述の説明ではなく請求の範囲によって示され、請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。

符号の説明

- [0095] 1 0 遮断装置
 2 0 F E T (スイッチ)
 2 1 カレントミラー回路
 2 2 抵抗回路
 2 3 F E T (解除部)
 2 4 切替え回路

C 1 コンデンサ

R 2 抵抗（第 1 抵抗）

R 7 抵抗（第 2 抵抗）

請求の範囲

- [請求項1] 所定値以上の電流が電流経路に流れた場合に該電流経路に流れる電流を遮断する遮断装置において、
- 該電流経路に設けられたスイッチと、
- 該スイッチの一端側及び他端側夫々から電流を引き込み、引き込んだ2つの電流が合わされた電流を出力するカレントミラー回路と、
- 該カレントミラー回路が出力する電流の値が電流閾値以上である場合に前記スイッチをオフに切替える切替え回路と
- を備え、
- 前記カレントミラー回路が引き込む2つの電流夫々の値は、前記スイッチに流れる電流の値が大きい程、大きいことを特徴とする遮断装置。
- [請求項2] 前記切替え回路は、前記スイッチをオフに切替えた後、前記カレントミラー回路が出力する電流の値に無関係に、前記スイッチのオフを維持するように構成してあり、
- 前記スイッチのオフの維持を解除する解除部を更に備えることを特徴とする請求項1に記載の遮断装置。
- [請求項3] 前記スイッチは、トランジスタであって、電流が入力される端子の電位を基準とした制御端子の電圧値が、ゼロ未満の電圧閾値以上である場合に非導通状態となり、前記制御端子の電圧値が前記電圧閾値未満である場合に導通状態となるように構成してあることを特徴とする請求項1又は請求項2に記載の遮断装置。
- [請求項4] 少なくとも1つの抵抗を有し、前記カレントミラー回路が出力した電流が流れる抵抗回路を更に備え、
- 前記切替え回路は、該抵抗回路の両端間の電圧値が第2の電圧閾値以上である場合に前記スイッチをオフに切替えるように構成してあることを特徴とする請求項1から請求項3のいずれか1つに記載の遮断装

置。

[請求項5]

前記抵抗回路は、

第1抵抗と、

該第1抵抗に並列に接続された第2抵抗及びコンデンサの直列回路と

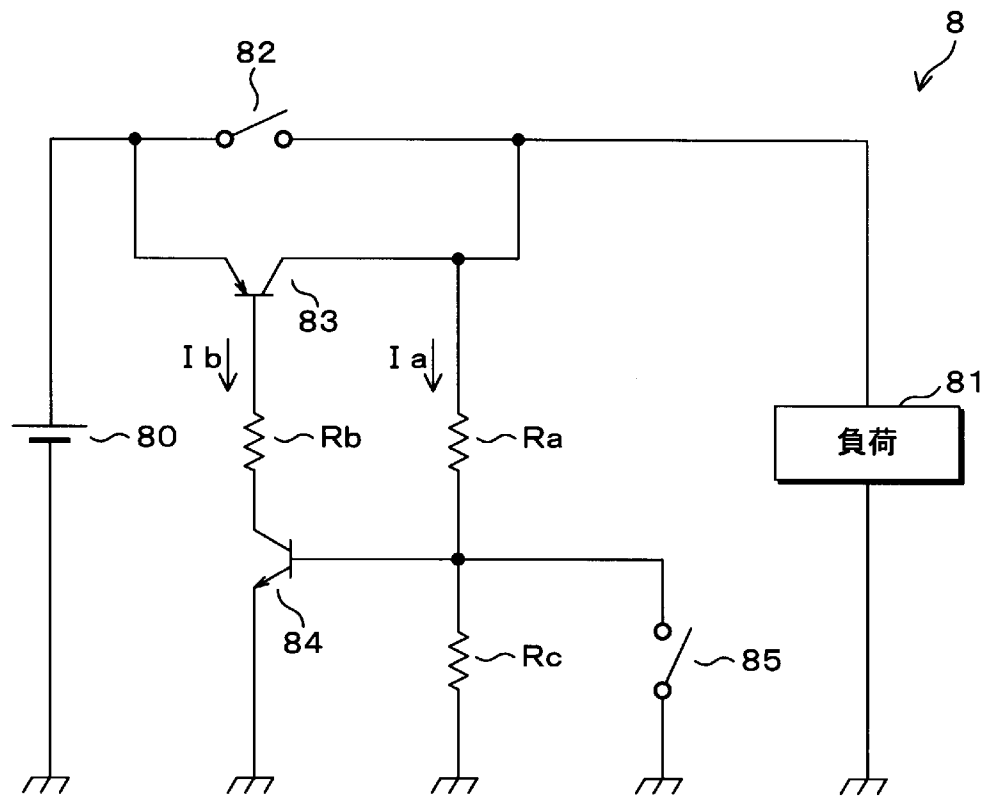
を有することを特徴とする請求項4に記載の遮断装置。

[請求項6]

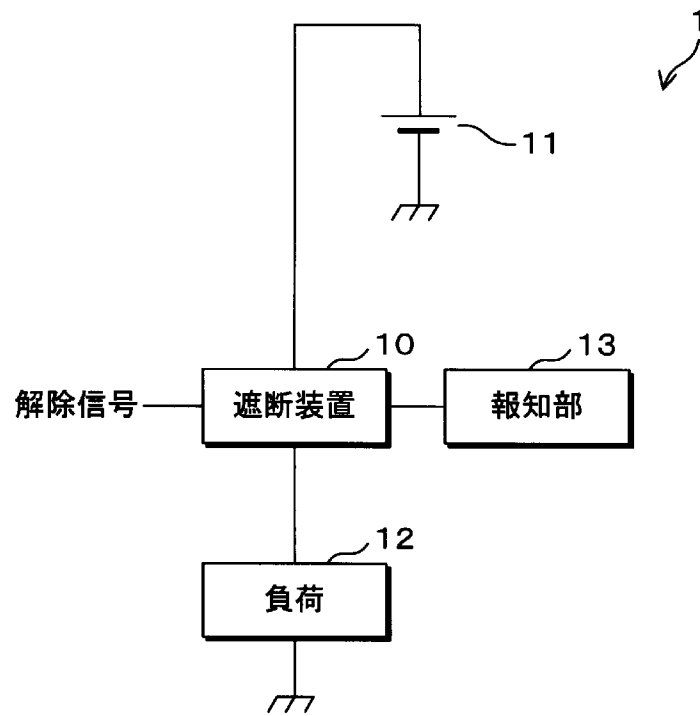
前記切替え回路は、前記スイッチをオフに切替えた場合に、前記電流経路に流れる電流の遮断を示す遮断信号を出力するように構成してあること

を特徴とする請求項1から請求項5のいずれか1つに記載の遮断装置。

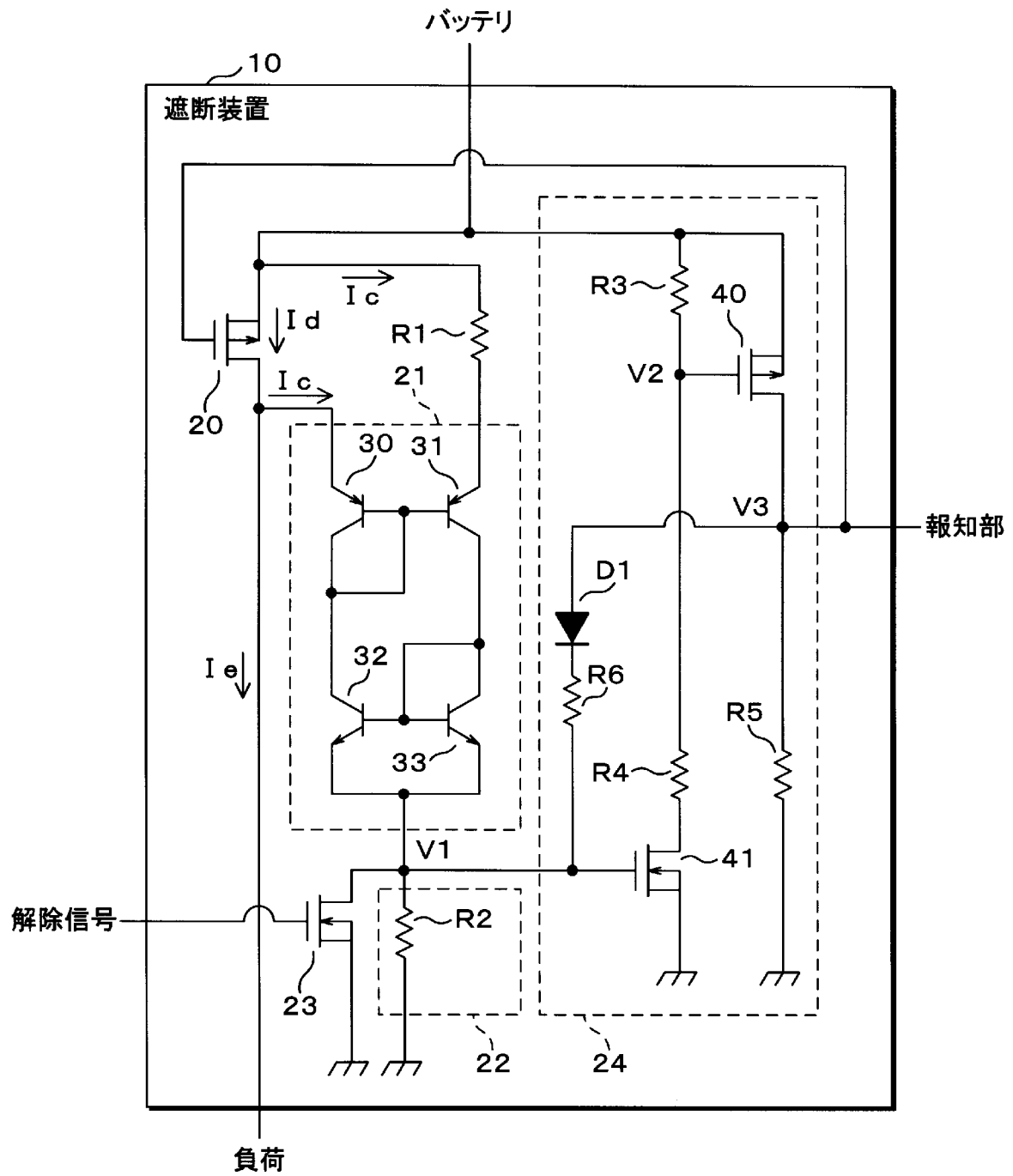
[図1]



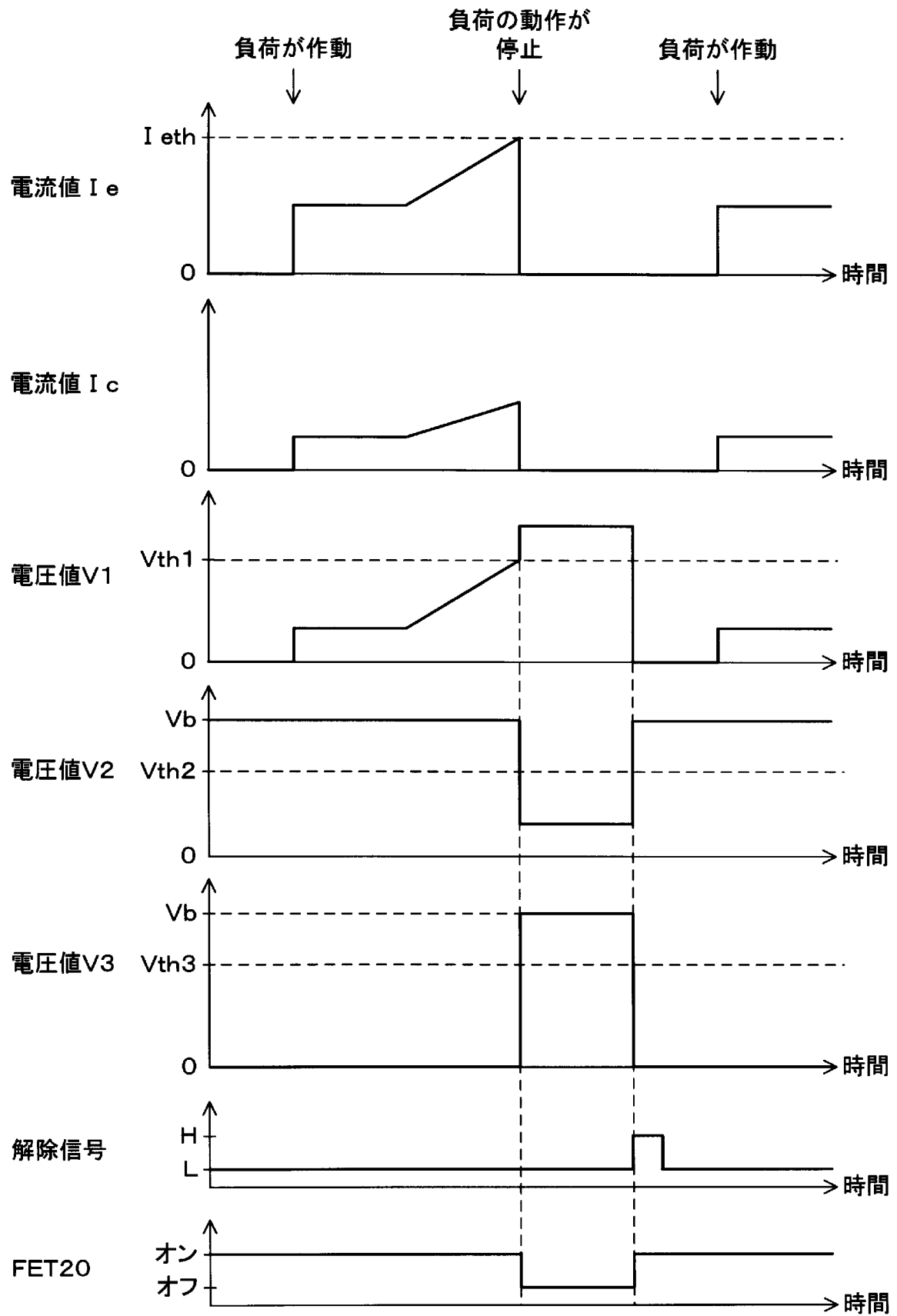
[図2]



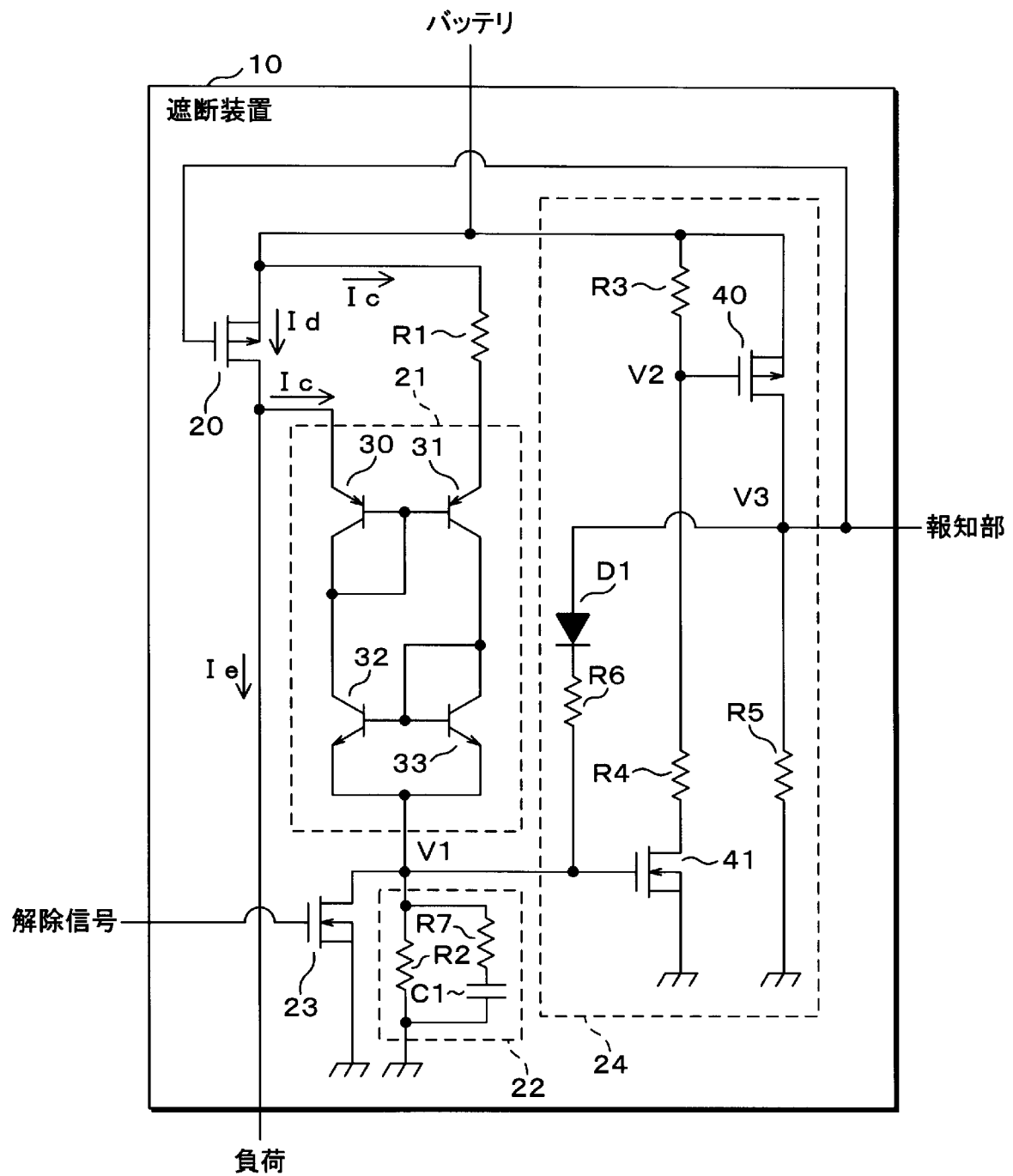
[図3]



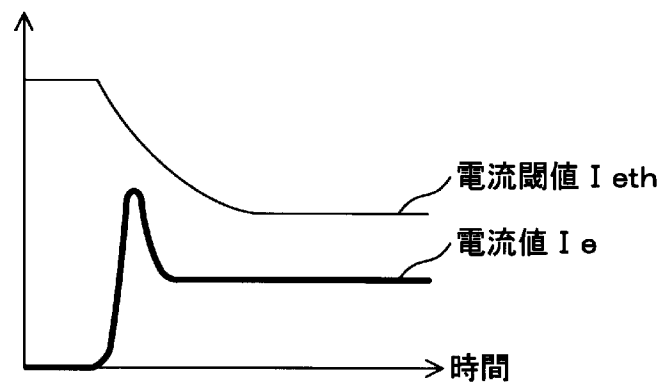
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/050230

A. CLASSIFICATION OF SUBJECT MATTER

H02H3/087(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02H3/08-3/253, H02J1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-197768 A (Yazaki Corp.), 27 July 2006 (27.07.2006), paragraphs [0029] to [0059] & US 2006/0158817 A1 paragraphs [0041] to [0072] & DE 102005062951 A1 & CN 1808899 A	1-6
A	JP 2009-225087 A (Denso Corp.), 01 October 2009 (01.10.2009), paragraphs [0023] to [0059] (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
16 March 2016 (16.03.16)

Date of mailing of the international search report
29 March 2016 (29.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02H3/087(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02H3/08-3/253, H02J1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-197768 A（矢崎総業株式会社） 2006.07.27, 段落[0029]-[0059] & US 2006/0158817 A1, 段落[0041]-[0072] & DE 102005062951 A1 & CN 1808899 A	1-6
A	JP 2009-225087 A（株式会社デンソー） 2009.10.01, 段落[0023]-[0059]（ファミリーなし）	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

16.03.2016

国際調査報告の発送日

29.03.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

横田 有光

5 T

3863

電話番号 03-3581-1101 内線 3568