



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년05월28일
(11) 등록번호 10-2257212
(24) 등록일자 2021년05월21일

(51) 국제특허분류(Int. Cl.)
H03M 5/20 (2006.01) H03K 7/02 (2006.01)
(52) CPC특허분류
H03M 5/20 (2013.01)
H03K 7/02 (2013.01)
(21) 출원번호 10-2020-0007658
(22) 출원일자 2020년01월21일
심사청구일자 2020년01월21일
(56) 선행기술조사문헌
KR1020090001356 A*
KR1020200003522 A
KR1020090049290 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221 도곡렉슬아파트
권영욱
서울특별시 강남구 개포로20길 49 파크타운
(74) 대리인
이기성

전체 청구항 수 : 총 16 항

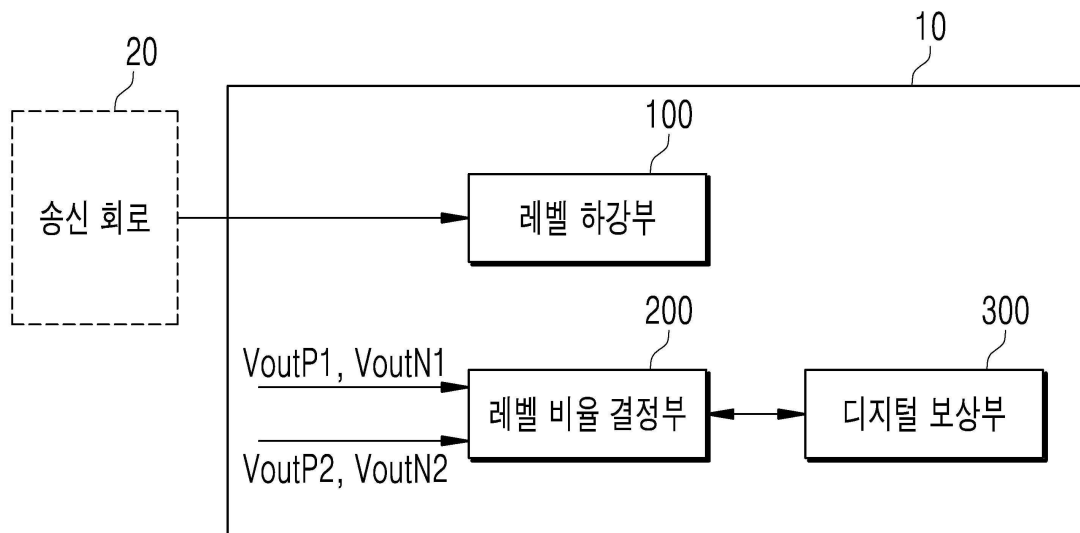
심사관 : 조준근

(54) 발명의 명칭 4레벨 펄스 진폭 변조 신호 기반의 선형성 보상 회로 및 그 동작 방법

(57) 요약

본 출원의 실시예에 따른 선형성 보상 회로는 송신 회로를 통해 송신되는 PAM-4 신호의 전압 레벨을 하강시키는 레벨 하강부, 상기 레벨 하강부에 대한 전류량 정보를 결정하는 레벨 비율 결정부 및 상기 전류량 정보에 기초하여, 상기 PAM-4 신호 중 MSB 신호와 LSB 신호에 대한 전압 레벨과 상기 로드 전류에 대한 전류량을 조절하는 디지털 보상부를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

송신 회로를 통해 송신되는 PAM-4 신호의 전압 레벨을 하강시키는 레벨 하강부;

상기 레벨 하강부에 대한 전류량 정보를 결정하는 레벨 비율 결정부; 및

상기 전류량 정보에 기초하여, 상기 PAM-4 신호 중 MSB 신호와 LSB 신호에 대한 전압 레벨과 상기 레벨 하강부의 로드 전류에 대한 전류량을 조절하는 디지털 보상부를 포함하고,

상기 레벨 비율 결정부는 상기 송신 회로와 동일한 복제 회로부;

상기 송신 회로를 통해 학습된 제1 차동 직류 전압과 상기 복제 회로부를 통해 학습된 제2 차동 직류 전압을 이용하여, 기준 전압을 생성하는 생성부;

상기 제1 차동 직류 전압과 상기 기준 전압을 비교하는 비교부; 및

상기 비교부를 통해 출력된 비교 결과에 대응되는 상기 전류량 정보를 출력하는 출력부를 포함하는, PAM-4 신호 기반의 선형성 보상 회로는 PAM-4 신호 기반의 선형성 보상 회로.

청구항 2

제1항에 있어서,

상기 송신 회로는 상기 PAM-4 신호가 출력되는 차동 출력 노드를 통해 상기 레벨 하강부와 연결되는 복수의 탭 회로들을 포함하고,

상기 레벨 하강부는 상기 차동 출력 노드에 대해 직렬로 연결된 제1 트랜지스터부와 상기 제1 트랜지스터부에 직렬로 연결된 제2 트랜지스터부를 포함하는, PAM-4 신호 기반의 선형성 보상 회로.

청구항 3

제2항에 있어서,

상기 제1 및 제2 트랜지스터부와 상기 복수의 탭 회로들은, 상기 차동 출력 노드에 대하여 병렬로 연결되는, PAM-4 신호 기반의 선형성 보상 회로.

청구항 4

제3항에 있어서,

상기 레벨 하강부는 상기 복수의 탭 회로들이 상기 차동 출력 노드로부터 소스 전류가 흐르는 적어도 하나의 소스 경로를 형성할 때,

상기 MSB 신호와 상기 LSB 신호의 논리 상태가 동일한 경우, 상기 차동 출력 노드로부터 상기 로드 전류가 흐르는 로드 경로를 형성하는 PAM-4 신호 기반의 선형성 보상 회로.

청구항 5

제4항에 있어서,

상기 복수의 탭 회로들은 상기 소스 전류를 조절하는, PAM-4 신호 기반의 선형성 보상 회로.

청구항 6

제2항에 있어서,

상기 제1 트랜지스터부는 상기 MSB 신호의 논리 상태에 따라 개별적으로 스위칭하는 한쌍의 트랜지스터를 포함하는, PAM-4 신호 기반의 선형성 보상 회로.

청구항 7

제2항에 있어서,

상기 제2 트랜지스터부는 상기 LSB 신호의 논리 상태에 따라 개별적으로 스위칭하는 한쌍의 트랜지스터를 포함하는 PAM-4 신호 기반의 선형성 보상 회로.

청구항 8

삭제

청구항 9

제1항에 있어서,

상기 생성부는, 상기 제1 차동 직류 전압의 하이 레벨 전압과 상기 제2 차동 직류 전압의 로우 레벨 전압을 제1 한쌍의 저항을 통해 전압 분배하여 제1 기준 전압을 생성하는 제1 생성부; 및

상기 제1 차동 직류 전압의 로우 레벨 전압과 상기 제2 차동 직류 전압의 하이 레벨 전압을 제2 한쌍의 저항을 통해 전압 분배하여 제2 기준 전압을 생성하는 제2 생성부를 포함하는, PAM-4 신호 기반의 선형성 보상 회로.

청구항 10

제9항에 있어서,

상기 비교부는, 상기 제1 기준 전압과 상기 제2 차동 직류 전압의 하이 레벨 전압을 비교하고, 비교 결과에 대응되는 제1 비트 정보를 출력하는 제1 비교부; 및

상기 제2 기준 전압과 상기 제2 차동 직류 전압의 로우 레벨 전압을 비교하고, 비교 결과에 대응되는 제2 비트 정보를 출력하는 제2 비교부를 포함하는, PAM-4 신호 기반의 선형성 보상 회로.

청구항 11

제10항에 있어서,

상기 출력부는, 상기 제1 비트 정보에 기초하여, 상기 제1 비트 정보에 대응되는 제1 전류량 정보를 출력하는 제1 출력부; 및

상기 제2 비트 정보에 기초하여, 상기 제2 비트 정보에 대응되는 제2 전류량 정보를 출력하는 제2 출력부를 포함하는, PAM-4 신호 기반의 선형성 보상 회로.

청구항 12

제1항에 있어서,

상기 디지털 보상부는, 상기 출력부를 통해 피드백받는 상기 전류량 정보에 기초하여, 상기 비교부와 상기 출력부를 통해 피드백 루프를 형성하는, PAM-4 신호 기반의 선형성 보상 회로.

청구항 13

제12항에 있어서,

상기 디지털 보상부는, 상기 전류량 정보와 이전 전류량 정보가 서로 동일한 경우, 상기 피드백 루프에 따라 상기 비교부와 상기 출력부를 순차적으로 동작시키는, PAM-4 신호 기반의 선형성 보상 회로.

청구항 14

제12항에 있어서,

상기 디지털 보상부는, 상기 전류량 정보와 이전 전류량 정보가 서로 다른 경우, 상기 출력부를 통해 피드백받아 저장된 시간별 전류량 정보를 디지털 코드로 변환하는, PAM-4 신호 기반의 선형성 보상 회로.

청구항 15

PAM-4 신호 기반의 선형성 보상 회로의 동작 방법으로서,

레벨 하강부가 송신 회로를 통해 송신되는 PAM-4 신호의 전압 레벨을 하강시키는 단계;

레벨 비율 결정부가 상기 레벨 하강부에 대한 전류량 정보를 결정하는 단계; 및

디지털 보상부가 상기 전류량 정보에 기초하여, 상기 PAM-4 신호 중 MSB 신호와 LSB 신호에 대한 전압 레벨과 상기 레벨 하강부의 로드 전류에 대한 전류량을 조절하는 단계를 포함하고,

상기 결정하는 단계는, 상기 레벨 비율 결정부에 포함되는 생성부가 상기 송신 회로를 통해 학습된 제1 차동 직류 전압과 상기 송신 회로와 동일한 복제 회로부를 통해 학습된 제2 차동 직류 전압을 이용하여, 기준 전압을 생성하는 단계;

상기 레벨 비율 결정부에 포함되는 비교부가 상기 제1 차동 직류 전압과 상기 기준 전압을 비교하는 단계; 및

상기 레벨 비율 결정부에 포함되는 출력부가 상기 비교하는 단계를 통해 출력되는 비교 결과에 기초하여, 상기 전류량 정보를 출력하는 단계를 더 포함하는, PAM-4 신호 기반의 선형성 보상 회로의 동작 방법.

청구항 16

삭제

청구항 17

제15항에 있어서,

상기 조절하는 단계는, 상기 전류량 정보와 이전 전류량 정보가 서로 동일한 경우, 상기 디지털 보상부가 상기 비교부와 상기 출력부를 통해 피드백 루프를 형성하는 단계; 및

상기 디지털 보상부가 상기 피드백 루프에 따라 상기 비교부와 상기 출력부를 순차적으로 동작시키는 단계를 포함하는, PAM-4 신호 기반의 선형성 보상 회로의 동작 방법.

청구항 18

제17항에 있어서,

상기 조절하는 단계는, 상기 디지털 보상부가 상기 전류량 정보와 이전 전류량 정보가 서로 다른 경우, 상기 출력부를 통해 피드백받아 저장된 시간별 전류량 정보를 디지털 코드로 변환하는 단계; 및

상기 디지털 보상부가 상기 디지털 코드를 이용하여, 상기 MSB 신호 및 상기 LSB 신호에 대한 전압 레벨을 조절하는 단계를 포함하는, PAM-4 신호 기반의 선형성 보상 회로의 동작 방법.

발명의 설명

기술 분야

[0001] 본 출원은 선형성 보상 회로에 관한 것으로, 특히, 고속 송수신기 회로에 이용되는 4레벨 펄스 진폭 변조 신호의 전압 레벨 간격을 일정하게 조절할 수 있는 선형성 보상 회로 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 데이터 통신을 위해서 일반적으로 NRZ(PAM-2) 신호법을 사용한다. 여기서, NRZ(PAM-2) 신호법은 두 가지 데이터 변조 레벨을 가지며, 송수신기의 구조를 간단하게 할 수 있다.

[0003] 그러나, NRZ(PAM-2) 신호법은 1 unit interval(UI) 동안 1bit 데이터만 전송 할 수 있기 때문에, 클럭 주파수를 높이는 것으로는 한계가 있고, 고속 데이터 전송 시 채널의 영향을 많이 받아 고속 송수신기 구현에 어려운 문제를 가진다.

[0004] 최근, NRZ(PAM-2) 신호법의 단점을 보완하기 위해, 네 개의 데이터 변조 레벨을 가지고 1UI에 2bit을 보낼 수 있는 PAM-4 신호법이 사용되고 있다.

[0005] 이러한 PAM-4 신호법은 NRZ(PAM-2) 신호법에 비해 데이터 변조 레벨 간의 간격이 1/3배로 작기 때문에, 데이터 변조 레벨 간의 간격이 일정하지 않을 때, 가장 작은 간격으로 인하여 신호대잡음 비율이 떨어지는 문제를 가진다.

[0006] 이에, 본 출원에서는 PAM-4 신호의 데이터 변조 레벨 간의 간격을 일정하게 하여 선형을 증가시킬 수 있는 선형성 보상 회로 및 그 동작 방법을 제공하고자 한다.

발명의 내용

해결하려는 과제

[0007] 본 출원의 목적은, 4레벨 펄스 진폭 변조 신호의 전압 레벨 간격을 일정하게 조절할 수 있는 선형성 보상 회로 및 그 동작 방법을 제공하기 위한 것이다.

과제의 해결 수단

[0008] 본 출원의 실시예에 따른 선형성 보상 회로는 송신 회로를 통해 송신되는 PAM-4 신호의 전압 레벨을 하강시키는 레벨 하강부, 상기 레벨 하강부에 대한 전류량 정보를 결정하는 레벨 비율 결정부 및 상기 전류량 정보에 기초하여, 상기 PAM-4 신호 중 MSB 신호와 LSB 신호에 대한 전압 레벨과 상기 로드 전류에 대한 전류량을 조절하는 디지털 보상부를 포함한다.

발명의 효과

[0009] 본 출원의 실시예에 따른 선형성 보상 회로 및 그 동작 방법은, 4레벨 펄스 진폭 변조 신호의 전압 레벨 간격을 일정하게 조절할 수 있어, PAM-4 신호에 대한 선형성을 보상하여 송신 신호의 신호대 잡음비를 개선시킬 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 출원의 실시예에 따른 선형성 보상 회로에 대한 블록도이다.
 도 2는 도 1의 PAM-4 신호에 대한 이상적인 예시도이다.
 도 3a는 도 1의 PAM-4 신호에 대한 실제적인 예시도이다.
 도 3b는 도 3a의 PAM-4 신호가 레벨 하강부를 통해 보상된 예시도이다.
 도 4는 도 1의 레벨 하강부를 구체적으로 보여주는 도이다.
 도 5는 도 1의 레벨 비율 결정부의 동작을 설명하기 위한 블록도이다.
 도 6은 도 5의 레벨 비율 결정부를 구체적으로 보여주는 도이다.
 도 7a는 도 6의 제1 생성부가 생성하는 제1 기준 전압을 설명하기 위한 도이다.
 도 7b는 도 6의 제2 생성부가 생성하는 제2 기준 전압을 설명하기 위한 도이다.
 도 8은 도 1의 디지털 보상부의 동작을 설명하기 위한 도이다.
 도 9는 도 8의 디지털 보상부의 구현 예를 나타내는 도이다.
 도 10은 도 1의 선형성 보상 회로에 대한 동작 프로세스이다.
 도 11은 도 1의 레벨 비율 결정부에 대한 동작 프로세스이다.
 도 12는 도 1의 디지털 보상부에 대한 동작 프로세스이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 출원의 실시형태를 설명한다. 그러나, 본 출원의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 출원의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 출원의 실시형태는 통상의 기술자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의

동일한 부호로 표시되는 요소는 동일한 요소이다.

- [0012] 그리고 도면에서 본 출원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다. 나아가, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0013] 도 1은 본 출원의 실시 예에 따른 선형성 보상 회로(10)에 대한 블록도이고, 도 2는 도 1의 PAM-4 신호에 대한 이상적인 예시도이며, 도 3a는 도 1의 PAM-4 신호에 대한 실제적인 예시도이고, 도 3b는 도 3a의 PAM-4 신호가 레벨 하강부(100)를 통해 보상된 예시도이다.
- [0014] 도 1을 참조하면, 선형성 보상 회로(10)는 레벨 하강부(100), 전류 비율 검출부(200) 및 디지털 보상부(300)를 포함할 수 있다.
- [0015] 먼저, 레벨 하강부(100)는 송신 회로(20)에 연결되고, 송신 회로(20)를 통해 송신되는 PAM-4(Pulse Amplitude Modulation 4)신호의 전압 레벨을 하강시킬 수 있다.
- [0016] 도 2에 도시된 바와 같이, 송신 회로(20)를 통해 송신되는 PAM-4 신호는 1 UI 동안 2 비트를 송신하기 위한 신호로서, 비트 별로 상이한 전압 레벨을 가질 수 있다. 예를 들면, 비트 '11'에 대응되는 MSB 신호는 가장 낮은 전압 레벨을 가지고, 비트 '00'에 대응되는 LSB 신호는 가장 높은 전압 레벨을 가지며, '01'에 대응되는 C1SB 신호는 두번째로 낮은 전압 레벨을 가지고, '10'에 대응되는 C2SB 신호는 세번째로 낮은 전압 레벨을 가질 수 있다.
- [0017] 또한, PAM-4 신호는 제1 내지 제3 전압 레벨 간격(VM1, VM2, VM3)을 가질 수 있다. 여기서, 제1 전압 레벨 간격(VM1)은 C2SB 신호와 LSB 신호 사이의 간격이고, 제2 전압 레벨 간격(VM2)은 C1SB 및 C2SB 신호 사이의 간격이며, 제3 전압 레벨 간격(VM3)은 MSB 신호와 C1SB 신호 사이의 간격일 수 있다.
- [0018] 도 3a에 도시된 바와 같이, 제1 전압 레벨 간격(VM1)은 제2 전압 레벨 간격(VM2)보다 일정 크기 이상 크고, 제2 전압 레벨 간격(VM2)은 제3 전압 레벨 간격(VM3)보다 일정 크기 이상 클 수 있다. 예를 들면, 레벨 하강부(100)가 PAM-4 신호의 전압 레벨을 하강시키지 않는 경우, PAM-4 신호의 제1 내지 제3 전압 레벨 간격(VM1, VM2, VM3)은 제1 내지 제3 전압 레벨 간격 순으로 크기 때문에, 송신 회로(20)에서 송신되는 데이터 신호는 왜곡될 수 있다.
- [0019] 도 3b에 도시된 바와 같이, 제1 및 제3 전압 레벨 간격(VM1, VM3)은 제2 전압 레벨 간격보다 일정 크기 이상 크고, 제1 및 제3 전압 레벨 간격(VM1, VM3)의 차이는 서로 일정 크기 미만일 수 있다. 예를 들면, 레벨 하강부(100)가 PAM-4 신호의 전압 레벨을 하강시키는 경우, PAM-4 신호의 제1 및 제3 전압 레벨 간격(VM1, VM3)은 동일 또는 유사한 간격으로 자동 보상될 수 있다. 즉, 레벨 하강부(100)는 PAM-4 신호의 전압 레벨을 하강시킴으로써, PAM-4 신호에 대한 왜곡을 자동으로 보상할 수 있다.
- [0020] 다음으로, 레벨 비율 결정부(200)는 레벨 하강부(100)에 대한 전류량 정보(Id_CS1, Id_CS2)를 결정할 수 있다. 여기서, 전류량 정보(Id_CS1, Id_CS2)는 MSB 신호 및 LSB 신호에 대한 전압 레벨을 조절하기 위한 제1 전류량 정보(Id_CS1)와 로드 전류(I_{DD})의 전류량을 조절하기 위한 제2 전류량 정보(Id_CS2)를 포함할 수 있다.
- [0021] 구체적으로, 레벨 비율 결정부(200)는 기학습된 제1 차동 직류 전압(VoutP1, VoutN1)과 제2 차동 직류 전압(VoutP2, VoutN2)에 따라 생성되는 기준 전압을 이용하여, 레벨 하강부(100)에 대한 전류량 정보(Id_CS1, Id_CS2)를 결정할 수 있다.
- [0022] 본 출원의 실시 예에 따른 디지털 보상부(300)는 레벨 비율 결정부(200)를 통해 결정된 로드 전류(I_{DD})의 전류량 정보(Id_CS1, Id_CS2)에 기초하여, PAM-4 신호 중 MSB 신호와 LSB 신호의 전압 레벨과 로드 전류에 대한 전류량을 조절할 수 있다. 이에 따라, 디지털 보상부(300)는 PAM-4 신호에 대한 전압 레벨 간격을 일정하게 정렬함으로써, PAM-4 신호에 대한 선형성을 보상하고, 신호대 잡음비를 개선시킬 수 있다.
- [0023] 도 4는 도 1의 레벨 하강부(100)를 구체적으로 보여주는 도이다.
- [0024] 도 1과 도 4를 참조하면, 레벨 하강부(100)는 제1 및 제2 트랜지스터부(110, 120)를 포함할 수 있다.
- [0025] 여기서, 제1 및 제2 트랜지스터부(110, 120)는 송신 회로(20)의 차동 출력 노드(N_{VP}, N_{VN})에 대하여 서로 직렬로

연결될 수 있다. 또한, 제1 및 제2 트랜지스터부(110, 120)와 복수의 탭 회로들(21~23)은 송신 회로(20)의 차동 출력 노드(N_{VP} , N_{VN})에 대하여 서로 병렬로 연결될 수 있다.

- [0026] 구체적으로, 제1 트랜지스터부(110)는 MSB 신호의 논리 상태에 따라 개별적으로 스위칭하는 한쌍의 트랜지스터를 포함하고, 제2 트랜지스터부(120)는 LSB 신호의 논리 상태에 따라 개별적으로 스위칭하는 한쌍의 트랜지스터를 포함할 수 있다.
- [0027] 도 4에 도시된 바와 같이, 복수의 탭 회로들(21~23)이 차동 출력 노드(N_{VP} , N_{VN})로부터 소스 전류(I_s)가 흐르는 적어도 하나의 소스 경로(PATH_1)를 형성할 때, 레벨 하강부(100)는 차동 출력 노드(N_{VP} , N_{VN})로부터 로드 전류(I_{RH})가 흐르는 로드 경로(PATH_2)를 형성할 수 있다.
- [0028] 여기서, 복수의 탭 회로들(21~23)은 제1 및 제2 트랜지스터부(110, 120) 중 적어도 어느 하나와 동일한 구조로 형성되고, 소스 전류(I_s)를 조절할 수 있다. 한편, 복수의 탭 회로들(21~23)은 전류 미러를 통해 공급 전류를 공급받기 때문에, 복합적 요인(예컨대, PVT variation, lay out, voltage headroom)으로 PAM-4 신호에 대한 선형성을 나타내는 데 어려움을 가진다.
- [0029] 실시예에 따라, MSB 신호와 LSB 신호의 논리 상태가 동일한 경우, 레벨 하강부(100)는 차동 출력 노드(N_{VP} , N_{VN})로부터 로드 전류(I_{RH})가 흐르는 로드 경로(PATH_2)를 형성할 수 있다. 본 출원에서, MSB 신호와 LSB 신호의 논리 상태는 MSB 신호와 LSB 신호의 하이 상태(HIGH)를 MSB, LSB라 기재하고, MSB 신호와 LSB 신호의 로우 상태(LOW)를 MSBB, LSBB로 표기한다.
- [0030] 예를 들면, MSB 신호와 LSB 신호의 논리 상태가 하이 상태(HIGH)이고, MSBB 신호와 LSBB 신호의 논리 상태가 로우 상태(LOW)인 경우, 레벨 하강부(100)는 차동 출력 노드(N_{VP} , N_{VN})로부터 로드 전류(I_{RH})가 흐르는 로드 경로(PATH_2)를 형성할 수 있다.
- [0031] 또한, MSB 신호와 LSB 신호의 논리 상태가 로우 상태(LOW)이고, MSBB 신호와 LSBB 신호의 논리 상태가 하이 상태(HIGH)인 경우, 레벨 하강부(100)는 차동 출력 노드(N_{VP} , N_{VN})로부터 로드 전류(I_{RH})가 흐르는 로드 경로(PATH_2)를 형성할 수 있다.
- [0032] 도 5는 도 1의 레벨 비율 결정부(200)의 동작을 설명하기 위한 블록도이고, 도 6은 도 5의 레벨 비율 결정부(200)를 구체적으로 보여주는 도이며, 도 7a는 도 6의 제1 생성부(221)가 생성하는 제1 기준 전압(VCM1)을 설명하기 위한 도이고, 도 7b는 도 6의 제2 생성부(222)가 생성하는 제2 기준 전압(VCM2)을 설명하기 위한 도이다.
- [0033] 도 5 내지 도 7b를 참조하면, 레벨 비율 결정부(200)는 복제 회로부(210), 생성부(220), 비교부(230) 및 출력부(240)를 포함할 수 있다.
- [0034] 먼저, 복제 회로부(210)는 송신 회로(20)와 동일한 회로로서, 송신 회로(20)가 배치된 제1 채널에 인접한 제2 채널에 배치될 수 있다. 여기서, 제1 및 제2 채널은 서로 다른 채널일 수 있다.
- [0035] 다음으로, 생성부(220)는 송신 회로(20)를 통해 제1 차동 직류 전압(VoutP1, VoutN1)을 공급받고, 복제 회로부(210)를 통해 제2 차동 직류 전압(VoutP2, VoutN2)을 공급받는 제1 및 제2 생성부(221, 222)를 포함할 수 있다.
- [0036] 여기서, 제1 차동 직류 전압(VoutP1, VoutN1)은 기설정된 직류 전압이 인가된 송신 회로(20)를 통해 미리 학습된 전압이고, 제2 차동 직류 전압(VoutP2, VoutN2)은 기설정된 직류 전압이 인가된 복제 회로부(210)를 통해 미리 학습된 전압일 수 있다.
- [0037] 구체적으로, 제1 생성부(221)는 제1 차동 직류 전압의 하이 레벨 전압(VoutP1)과 제2 차동 직류 전압의 로우 레벨 전압(VoutN2)을 공급받고, 제2 생성부(222)는 제1 차동 직류 전압의 로우 레벨 전압(VoutN1)과 제2 차동 직류 전압의 로우 레벨 전압(VoutP2)을 공급받을 수 있다.
- [0038] 도 7a에 도시된 바와 같이, 제1 생성부(221)는 제1 차동 직류 전압의 하이 레벨 전압(VoutP1)과 제2 차동 직류 전압의 로우 레벨 전압(VoutN2)을 제1 한쌍의 저항을 통해 전압 분배하여, 제1 한쌍의 저항 사이에 분배된 제1 기준 전압(VCM1)을 생성할 수 있다. 여기서, 제1 기준 전압(VCM1)은 제1 차동 직류 전압의 하이 레벨 전압(VoutP1)과 제2 차동 직류 전압의 로우 레벨 전압(VoutN2) 사이의 중간 값일 수 있다.

- [0039] 도 7b에 도시된 바와 같이, 제2 생성부(222)는 제1 차동 직류 전압의 로우 레벨 전압(VoutN1)과 제2 차동 직류 전압의 하이 레벨 전압(VoutP2)을 제2 한쌍의 저항을 통해 전압 분배하여, 제2 한쌍의 저항 사이에 분배된 제2 기준 전압(VCM2)을 생성할 수 있다. 여기서, 제2 기준 전압(VCM2)은 제1 차동 직류 전압의 로우 레벨 전압(VoutN1)과 제2 차동 직류 전압의 하이 레벨 전압(VoutP2) 사이의 중간 값일 수 있다.
- [0040] 즉, 생성부(220)는 송신 회로(20)를 통해 미리 학습된 제1 차동 직류 전압(VoutP1, VoutN1)과 복제 회로부(210)를 통해 미리 학습된 제2 차동 직류 전압(VoutP2, VoutN2)을 이용하여, 기준 전압(VCM1, VCM2)을 생성할 수 있다. 이때, 기준 전압(VCM1, VCM2)은 제1 및 제2 한쌍의 저항 사이에 분배된 각 전압일 수 있다.
- [0041] 다음으로, 비교부(230)는 제2 차동 직류 전압(VoutP2, VoutN2)과 기준 전압(VCM1, VCM2)에 기초하여, 제1 및 제2 비트 정보(B1, B2)를 출력하는 제1 및 제2 비교부(231, 232)를 포함할 수 있다.
- [0042] 구체적으로, 제1 비교부(231)는 제1 기준 전압(VCM1)과 제2 차동 직류 전압의 하이 레벨 전압(VoutP2) 사이의 레벨 차이를 비교하고, 비교 결과에 대응되는 제1 비트 정보(B1)를 출력할 수 있다. 즉, 제1 비트 정보(B1)는 제1 기준 전압(VCM1)과 제2 차동 직류 전압의 하이 레벨 전압(VoutP2) 중 어느 하나가 더 큰 지를 나타내는 정보일 수 있다.
- [0043] 다음으로, 제2 비교부(232)는 제2 기준 전압(VCM2)과 제2 차동 직류 전압의 로우 레벨 전압(VoutN2) 사이의 레벨 차이를 비교하고, 비교 결과에 대응되는 제2 비트 정보(B2)를 출력할 수 있다. 즉, 제2 비트 정보(B2)는 제2 기준 전압(VCM2)과 제2 차동 직류 전압의 로우 레벨 전압(VoutN2) 중 어느 하나가 더 큰 지를 나타내는 정보일 수 있다.
- [0044] 즉, 비교부(230)는 제2 차동 직류 전압(VoutP2, VoutN2)과 기준 전압(VCM1, VCM2)에 기초하여, 제1 및 제2 비교부(231, 232)를 통해 제1 및 제2 비트 정보(B1, B2)를 출력할 수 있다.
- [0045] 다음으로, 출력부(240)는 제1 및 제2 출력부(241, 242)를 포함할 수 있다.
- [0046] 구체적으로, 제1 출력부(241)는 제1 비교부(231)를 통해 출력받는 제1 비트 정보(B1)에 기초하여, MSB 신호와 LSB 신호에 대한 전압 레벨을 조절하기 위한 제1 전류량 정보(Id_CS1)를 디지털 보상부(300)로 출력할 수 있다.
- [0047] 다음으로, 제2 출력부(242)는 제2 비교부(232)를 통해 출력받는 제2 비트 정보(B2)에 기초하여, 로드 전류(I_h)의 전류량을 조절하기 위한 제2 전류량 정보(Id_CS2)를 디지털 보상부(300)로 출력할 수 있다.
- [0048] 즉, 출력부(240)는 제1 및 제2 출력부(241, 242)를 통해 제2 차동 직류 전압(VoutP2, VoutN2)과 기준 전압(VCM1, VCM2) 사이의 레벨 차이에 기초하여, 제1 및 제2 전류량 정보(Id_CS1, Id_CS2)를 디지털 보상부(300)로 출력할 수 있다.
- [0049] 도 8은 도 1의 디지털 보상부(300)의 동작을 설명하기 위한 도이고, 도 9는 도 8의 디지털 보상부(300)의 구현 예를 나타내는 도이다.
- [0050] 도 1, 도 6 및 도 8을 참조하면, 디지털 보상부(300)는 출력부(240)를 통해 제1 및 제2 전류량 정보(Id_CS1, Id_CS2)를 피드백받아 저장할 수 있다.
- [0051] 실시예에 따라, 출력부(240)를 통해 피드백받는 전류량 정보(Id_CS1, Id_CS2)와 이전에 저장된 전류량 정보가 서로 동일한 경우, 비교부(230)와 출력부(240)를 통해 피드백 루프(Feedback Loop)를 형성할 수 있다.
- [0052] 여기서, 피드백 루프는 비교부(230), 출력부(240) 및 디지털 보상부(300)로 순환되는 신호 경로를 의미할 수 있다.
- [0053] 이때, 디지털 보상부(300)는 피드백 루프에 따라, 비교부(230)와 출력부(240)를 순차적으로 동작시킬 수 있다.
- [0054] 또한, 출력부(240)를 통해 피드백받는 전류량 정보(Id_CS1, Id_CS2)와 이전에 저장된 전류량 정보가 서로 다른 경우, 디지털 보상부(300)는 출력부(240)를 통해 이전에 피드백받아 저장한 시간별 전류량 정보를 레벨 하강부(100)에 대한 전류량 정보로 결정할 수 있다.
- [0055] 이때, 디지털 보상부(300)는 시간별 전류량 정보를 디지털 코드로 변환하고, 디지털 코드를 이용하여 MSB 신호 및 LSB 신호에 대한 전압 레벨을 조절할 수 있다.
- [0056] 도 10은 도 1의 선형성 보상 회로(10)에 대한 동작 프로세스이다.
- [0057] 도 1과 도 10을 참조하면, S110 단계에서, 레벨 하강부(100)는 송신 회로(20)를 통해 송신되는 PAM-4 신호의 전

압 레벨을 하강시킬 수 있다.

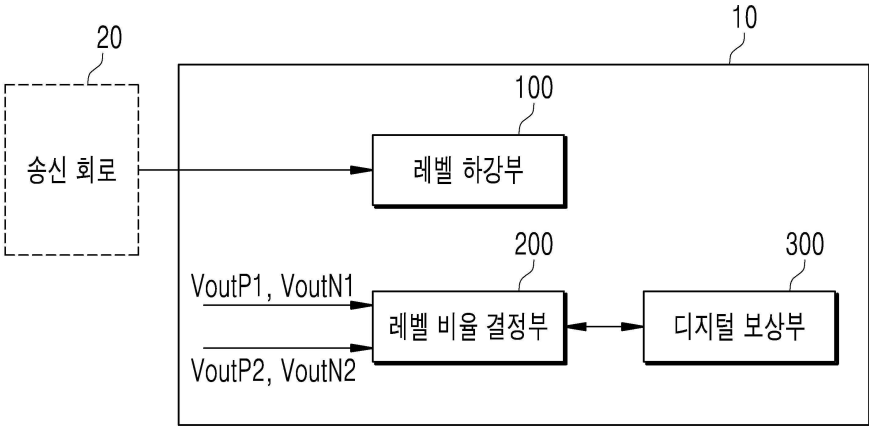
- [0058] 그런 다음, S120 단계에서, 레벨 비율 결정부(200)는 레벨 하강부(100)에 대한 전류량 정보(I_{d_CS1} , I_{d_CS2})를 결정할 수 있다.
- [0059] 이후, S130 단계에서, 디지털 보상부(300)는 전류량 정보(I_{d_CS1} , I_{d_CS2})에 기초하여, PAM-4 신호 중 MSB 신호와 LSB 신호에 대한 전압 레벨과 상기 레벨 하강부의 로드 전류(I_{load})에 대한 전류량을 조절할 수 있다.
- [0060] 도 11은 도 1의 레벨 비율 결정부(200)에 대한 동작 프로세스이다.
- [0061] 도 1, 도 5 내지 7 및 도 11을 참조하면, S121 단계에서, 레벨 비율 결정부(200)는 송신 회로(20)를 통해 학습된 제1 차동 직류 전압(V_{outP1} , V_{outN1})과 복제 회로부(210)를 통해 학습된 제2 차동 직류 전압(V_{outP2} , V_{outN2})을 이용하여, 기준 전압(V_{CM1} , V_{CM2})을 생성할 수 있다.
- [0062] 그런 다음, S122 단계에서, 레벨 비율 결정부(200)는 제1 차동 직류 전압(V_{outP1} , V_{outN1})과 기준 전압(V_{CM1} , V_{CM2})을 비교할 수 있다.
- [0063] 이후, S123 단계에서, 레벨 비율 결정부(200)는 상기 비교하는 단계를 통해 출력되는 비교 결과에 기초하여, 전류량 정보(I_{d_CS1} , I_{d_CS2})를 디지털 보상부(300)로 출력할 수 있다.
- [0064] 도 12는 도 1의 디지털 보상부(300)에 대한 동작 프로세스이다.
- [0065] 도 1, 도 8, 도 9 및 도 12를 참조하면, S131 단계에서, 레벨 비율 결정부(200)를 통해 현재 출력받는 전류량 정보와 이전에 출력받는 전류량 정보가 서로 동일한 경우, 디지털 보상부(300)는 비교부(230)와 출력부(240)를 통해 피드백 루프를 형성할 수 있다.
- [0066] 그런 다음, S132 단계에서, 디지털 보상부(300)는 피드백 루프에 따라 비교부(230)와 출력부(240)를 순차적으로 동작시켜, 전류량 정보를 출력받을 수 있다.
- [0067] 한편, S133 단계에서, 레벨 비율 결정부(200)를 통해 현재 출력받는 전류량 정보와 이전에 출력받는 전류량 정보가 서로 다른 경우, 디지털 보상부(300)는 출력부(240)를 통해 피드백받아 이전에 저장된 시간별 전류량 정보를 디지털 코드로 변환할 수 있다.
- [0068] 이후, S134 단계에서, 디지털 보상부(300)는 디지털 코드를 이용하여, MSB 신호 및 LSB 신호에 대한 전압 레벨을 조절할 수 있다.
- [0069] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

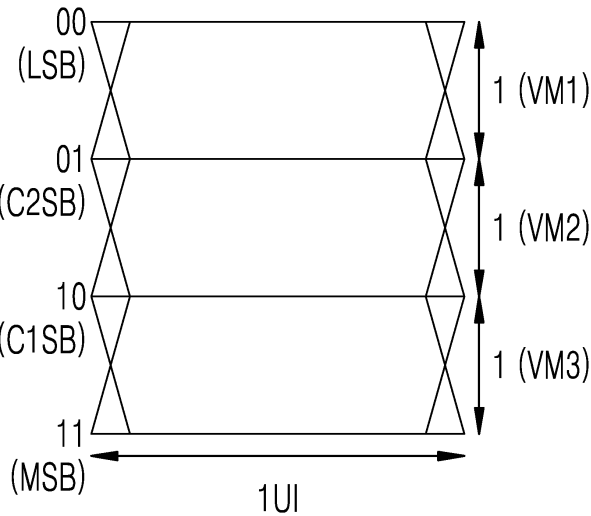
- [0070] 10: 선형성 보상 회로
20: 송신 회로
100: 레벨 하강부
200: 레벨 비율 결정부
300: 디지털 보상부

도면

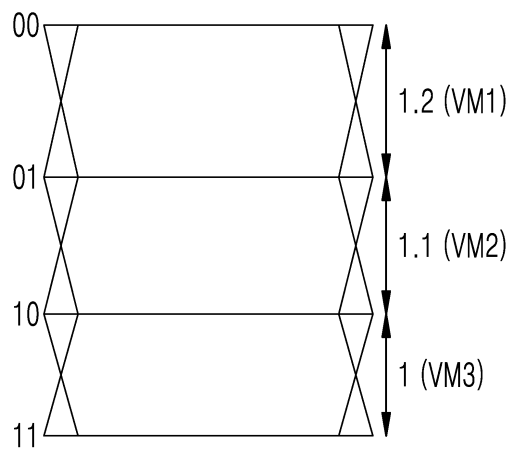
도면1



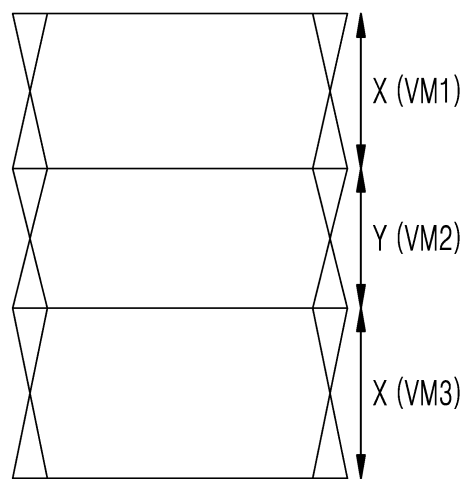
도면2



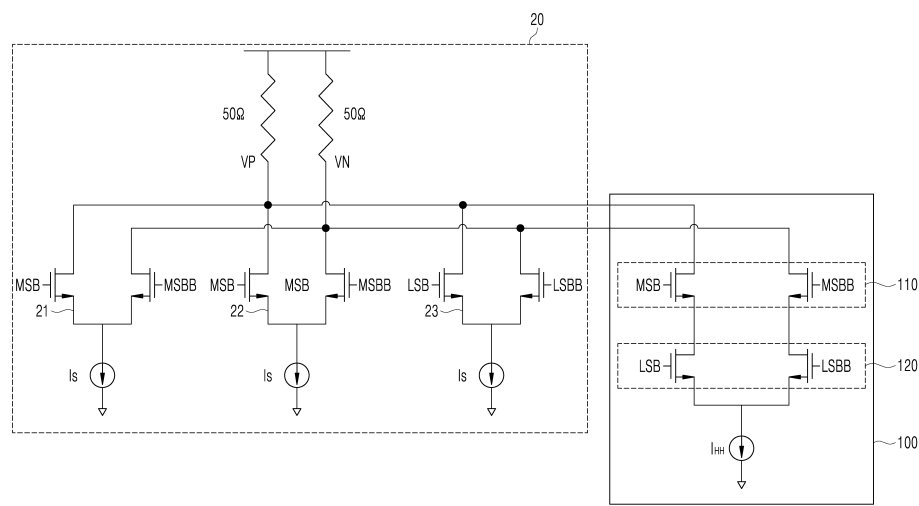
도면3a



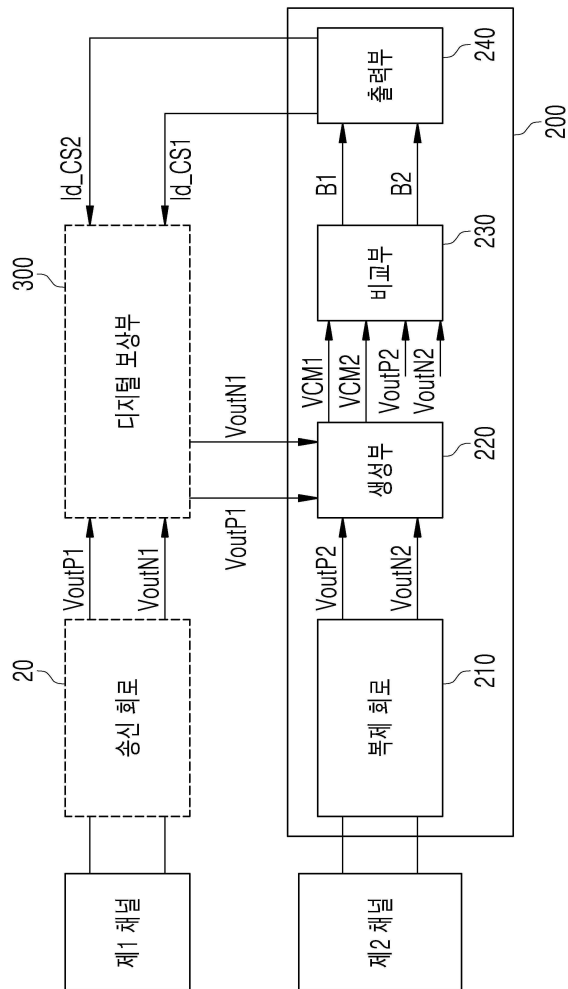
도면3b



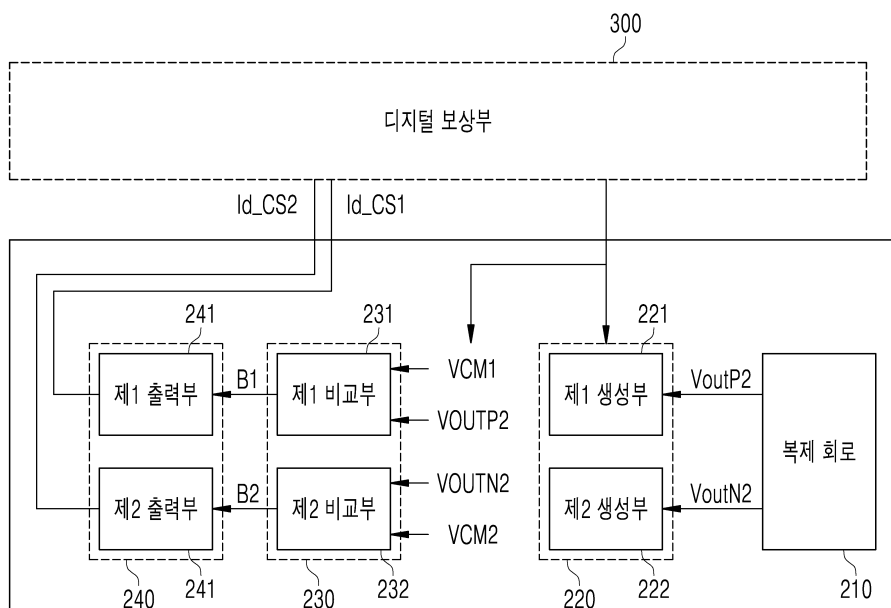
도면4



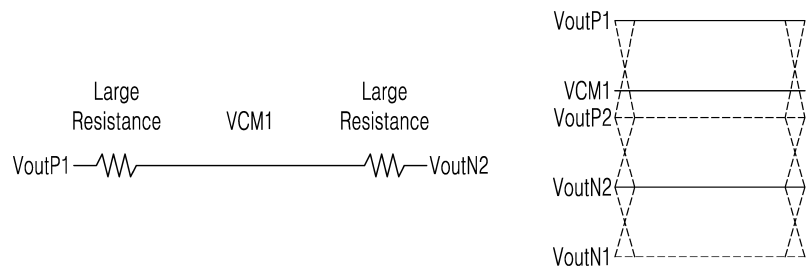
도면5



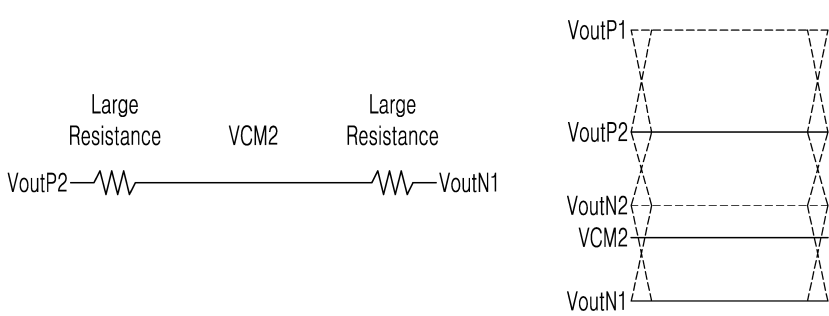
도면6



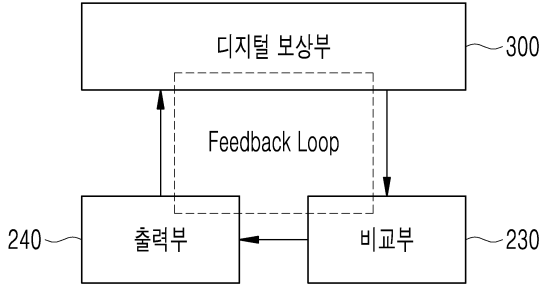
도면7a



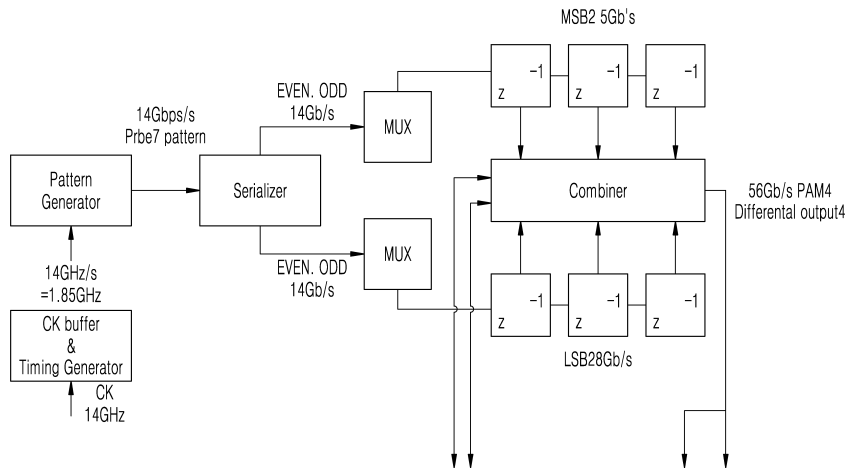
도면7b



도면8

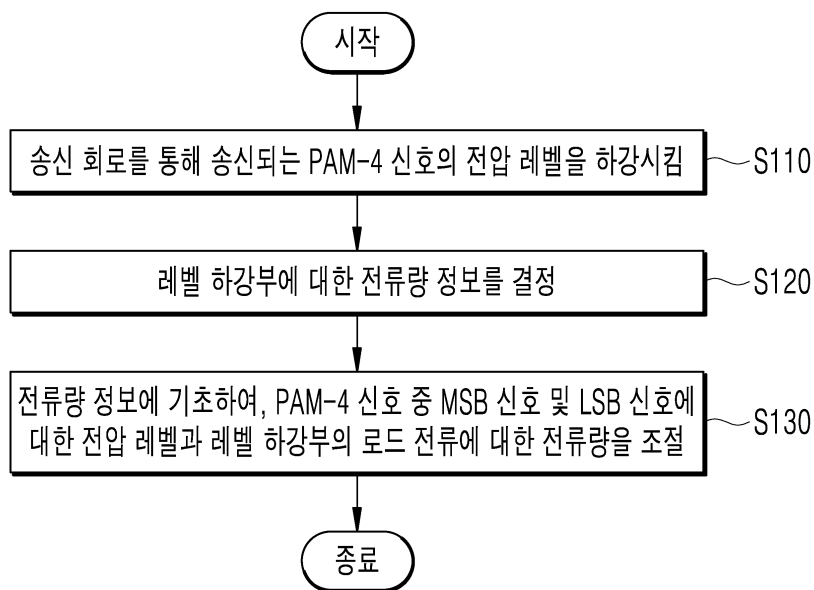


도면9

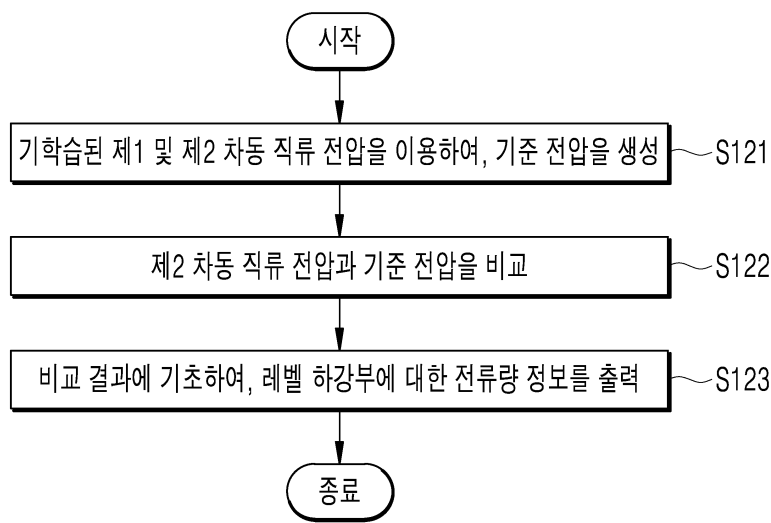


300

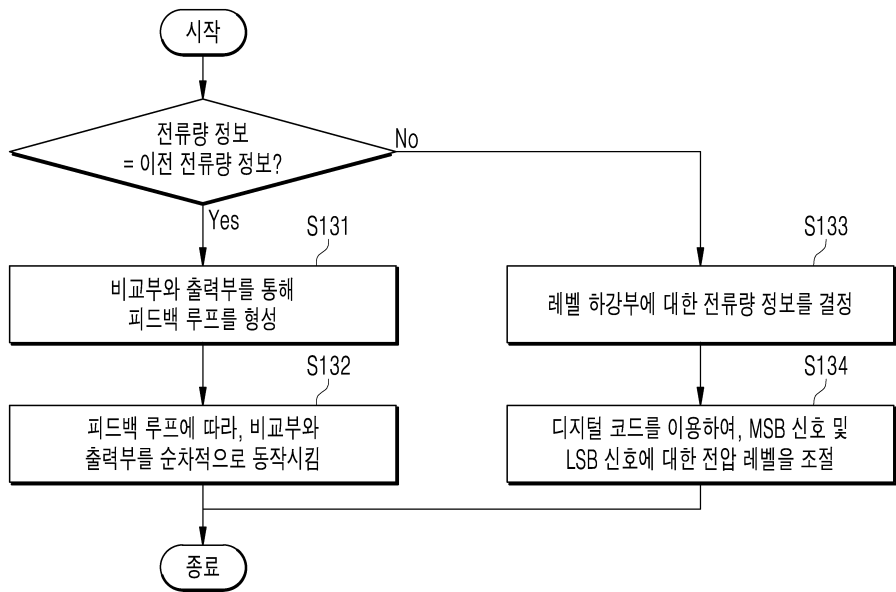
도면10



도면11



도면12



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

송신 회로를 통해 송신되는 PAM-4 신호의 전압 레벨을 하강시키는 레벨 하강부;

상기 레벨 하강부에 대한 전류량 정보를 결정하는 레벨 비율 결정부; 및

상기 전류량 정보에 기초하여, 상기 PAM-4 신호 중 MSB 신호와 LSB 신호에 대한 전압 레벨과 상기 레벨 하강부의 로드 전류에 대한 전류량을 조절하는 디지털 보상부를 포함하고,

상기 전류 비율 결정부는 상기 송신 회로와 동일한 복제 회로부;

상기 송신 회로를 통해 학습된 제1 차동 직류 전압과 상기 복제 회로부를 통해 학습된 제2 차동 직류 전압을 이

용하여, 기준 전압을 생성하는 생성부;

상기 제1 차동 직류 전압과 상기 기준 전압을 비교하는 비교부; 및

상기 비교부를 통해 출력된 비교 결과에 대응되는 상기 전류량 정보를 출력하는 출력부를 포함하는, PAM-4 신호 기반의 선형성 보상 회로는 PAM-4 신호 기반의 선형성 보상 회로.

【변경후】

송신 회로를 통해 송신되는 PAM-4 신호의 전압 레벨을 하강시키는 레벨 하강부;

상기 레벨 하강부에 대한 전류량 정보를 결정하는 레벨 비율 결정부; 및

상기 전류량 정보에 기초하여, 상기 PAM-4 신호 중 MSB 신호와 LSB 신호에 대한 전압 레벨과 상기 레벨 하강부의 로드 전류에 대한 전류량을 조절하는 디지털 보상부를 포함하고,

상기 레벨 비율 결정부는 상기 송신 회로와 동일한 복제 회로부;

상기 송신 회로를 통해 학습된 제1 차동 직류 전압과 상기 복제 회로부를 통해 학습된 제2 차동 직류 전압을 이용하여, 기준 전압을 생성하는 생성부;

상기 제1 차동 직류 전압과 상기 기준 전압을 비교하는 비교부; 및

상기 비교부를 통해 출력된 비교 결과에 대응되는 상기 전류량 정보를 출력하는 출력부를 포함하는, PAM-4 신호 기반의 선형성 보상 회로는 PAM-4 신호 기반의 선형성 보상 회로.