(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4977013号
(P4977013)
(45)発行日　平成24年7月18日(2012.7.18)　(24)登録日　平成24年4月20日(2012.4.20)

(51)Int.Cl.　F I
G01R 31/26 (2006.01)　G01R 31/26 G

請求項の数 17　(全 16 頁)

(21)出願番号　特願2007-511115 (P2007-511115)
(86)(22)出願日　平成19年2月28日 (2007.2.28)
(86)国際出願番号　PCT/JP2007/053798
(87)国際公開番号　WO2007/125680
(87)国際公開日　平成19年11月8日 (2007.11.8)
審査請求日　平成22年1月26日 (2010.1.26)
(31)優先権主張番号　特願2006-126608 (P2006-126608)
(32)優先日　平成18年4月28日 (2006.4.28)
(33)優先権主張国　日本国(JP)

(73)特許権者　390005175
株式会社アドバンテスト
東京都練馬区旭町１丁目３２番１号
(74)代理人　100104156
弁理士　龍華　明裕
(72)発明者　平田　一成
東京都練馬区旭町１丁目３２番１号　株式会社アドバンテスト内
(72)発明者　佐藤　忠亮
東京都練馬区旭町１丁目３２番１号　株式会社アドバンテスト内
(72)発明者　永田　昌広
東京都練馬区旭町１丁目３２番１号　株式会社アドバンテスト内

最終頁に続く

(54)【発明の名称】電力印加回路、及び試験装置

(57)【特許請求の範囲】
【請求項１】
負荷に直流電力を印加する電力印加回路であって、
前記負荷に印加すべき印加電圧の電圧範囲に応じた正及び負の高電圧が電源電圧として与えられ、前記電源電圧の範囲内において、入力電圧に応じた電圧を生成して前記負荷に印加する出力バッファと、
前記出力バッファより高精度に電圧が生成でき、入力される電圧を増幅して前記入力電圧を生成し、前記出力バッファに入力する主増幅器と、
前記出力バッファが出力する電圧に応じた電圧を基準として、前記正及び負の高電圧より電圧差の小さい正及び負のフローティング電圧を生成し、前記主増幅器に電源電圧として供給するフローティング電源と
を備える電力印加回路。
【請求項２】
前記主増幅器が出力する電圧の基準となる基準電圧を、前記出力バッファが出力する電圧に基づいて生成し、前記主増幅器に供給する基準増幅器を更に備える
請求項１に記載の電力印加回路。
【請求項３】
前記フローティング電源は、前記フローティング電圧を前記基準増幅器の電源として更に供給する
請求項２に記載の電力印加回路。

【請求項４】
前記負荷に印加される前記印加電圧を分圧する第１及び第２の分圧用抵抗を更に備え、
前記基準増幅器は、前記第１及び第２の分圧用抵抗が前記印加電圧を分圧した電圧に基づいて、前記基準電圧を生成する
請求項２に記載の電力印加回路。
【請求項５】
前記第１の分圧用抵抗は、一端に前記印加電圧が与えられ、他端が前記第２の分圧用抵抗に接続され、
前記第２の分圧用抵抗は、抵抗値が前記第１分圧用抵抗の抵抗値以上であり、一端が前記第１の分圧用抵抗に接続され、他端が接地電位に接続される
請求項４に記載の電力印加回路。
【請求項６】
前記主増幅器に入力する直流電圧を、前記基準増幅器が出力する電圧を基準電圧として生成するＤＡコンバータを更に備える
請求項２に記載の電力印加回路。
【請求項７】
前記フローティング電源は、前記出力バッファが出力する電圧を基準として、前記フローティング電圧を生成する
請求項１に記載の電力印加回路。
【請求項８】
前記フローティング電源は、前記基準増幅器が出力する電圧に応じた電圧を基準として、前記フローティング電圧を生成する
請求項２に記載の電力印加回路。
【請求項９】
前記基準増幅器が前記主増幅器に入力する前記基準電圧を分岐して受け取り、前記基準電圧と略等しい電圧を出力する基準バッファを更に備え、
前記フローティング電源は、前記基準バッファが出力する電圧を基準として、前記フローティング電圧を生成する
請求項８に記載の電力印加回路。
【請求項１０】
前記基準バッファは、出力可能な電力が、前記出力バッファより小さい請求項９に記載の電力印加回路。
【請求項１１】
前記基準バッファは、前記出力バッファと略同一の電源電圧が与えられ、
前記基準増幅器は、前記フローティング電圧が電源電圧として与えられる
請求項１０に記載の電力印加回路。
【請求項１２】
前記基準バッファは、前記基準増幅器が出力する前記基準電圧を受け取り、略１倍のゲインで出力する
請求項１０に記載の電力印加回路。
【請求項１３】
前記負荷に印加される前記印加電圧を分岐して受け取り、前記印加電圧を前記主増幅器に帰還させることにより、前記印加電圧を略一定の電圧に保持させる電圧検出用増幅器を更に備え、
前記フローティング電源は、前記フローティング電圧を前記電圧検出用増幅器の電源電圧として更に供給する
請求項１に記載の電力印加回路。
【請求項１４】
前記出力バッファと前記負荷との間に設けられた電流検出用抵抗と、
前記電流検出用抵抗の両端に印加される電圧を検出する電流検出用増幅器と、

前記電流検出用増幅器の出力電圧に基づいて、前記負荷に供給される電流値を検出する電流検出部と
を更に備え、
前記フローティング電源は、前記フローティング電圧を前記電流検出用増幅器の電源電圧として更に供給する
請求項１３に記載の電力印加回路。
【請求項１５】
前記出力バッファと前記負荷との間に設けられた電流検出用抵抗と、
前記電流検出用抵抗の両端に印加される電圧を検出し、検出した電圧を前記主増幅器に帰還させることにより、前記負荷に供給される電流を略一定に保持させる電流検出用増幅器を更に備え、
前記フローティング電源は、前記フローティング電圧を前記電流検出用増幅器の電源電圧として更に供給する
請求項１に記載の電力印加回路。
【請求項１６】
前記負荷に印加される前記印加電圧を分岐して受け取り、前記印加電圧に応じた電圧を出力する電圧検出用増幅器と、
前記電圧検出用増幅器の出力電圧に基づいて、前記印加電圧の電圧値を検出する電圧検出部と
を更に備え、
前記フローティング電源は、前記フローティング電圧を前記電圧検出用増幅器の電源電圧として更に供給する
請求項１５に記載の電力印加回路。
【請求項１７】
被試験デバイスを試験する試験装置であって、
前記被試験デバイスに直流電力を供給する、請求項１に記載の電力印加回路と、
前記被試験デバイスに供給される電圧又は電流を検出する検出部と、
前記検出部が検出した電圧又は電流に基づいて、前記被試験デバイスの良否を判定する判定部と
を備える試験装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、負荷に電力を供給する電力印加回路、及び被試験デバイスを試験する試験装置に関する。特に本発明は、負荷に直流電力を供給する電力印加回路、及び被試験デバイスの直流試験を行う試験装置に関する。本出願は、下記の日本特許出願に関連する。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の一部とする。
出願番号　特願２００６－１２６６０８　　出願日　２００６年４月２８日
【背景技術】
【０００２】
半導体回路等の被試験デバイスを試験する試験項目として、電圧印加電流測定、及び電流印加電圧測定等の直流試験が知られている。例えば電圧印加電流測定においては、被試験デバイスに所定の直流電圧を印加した状態において、被試験デバイスの静止時又は動作時に被試験デバイスに流れる直流電流を検出する。当該直流電流が所定の範囲内に無い場合、被試験デバイスを不良と判定する。
【０００３】
従来、被試験デバイスに直流電力を供給する回路として、増幅器を用いた回路が知られている（例えば、特許文献１参照）。当該増幅器は、入力電圧を増幅した電圧を、被試験デバイスに印加する。

【特許文献１】特開平５－１１９１１０号公報
【発明の開示】
【発明が解決しようとする課題】
【０００４】
しかし、高精度に電圧値が制御され、且つ高電圧の印加電圧を被試験デバイスに印加する場合、高精度且つ高電圧の増幅器を用いる必要がある。係る増幅器はコストが高く、回路コストが増大してしまう。
【０００５】
また、例えば特許文献１に開示されるように、被試験デバイスに一定の電圧を印加し、被試験デバイスに供給される電流を測定する電圧印加電流測定回路が知られている。係る回路において、被試験デバイスに高電圧を印加する場合、回路のそれぞれの素子において高精度且つ高電圧の素子を用いる必要がある。
【０００６】
また、特許文献１の図１に開示されるように、回路内の一部の素子に対してフローティング電源から電源電圧を供給した場合であっても、例えば主増幅器１３、差動増幅器２１、抵抗器２５については、高精度且つ高電圧の素子を用いる必要がある。このため、回路コストが増大してしまう。また、回路の一部の素子に対してフローティング電源を使用した場合、回路構成が複雑となり、回路コストが増大してしまう。
【０００７】
このため本発明は上記の課題を解決する電力印加回路及び試験装置を提供することを目的とする。この目的は、請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。
【課題を解決するための手段】
【０００８】
上記課題を解決するために、本発明の第１の形態においては、負荷に直流電力を印加する電力印加回路であって、負荷に印加すべき印加電圧の電圧範囲に応じた正及び負の高電圧が電源電圧として与えられ、電源電圧の範囲内において、入力電圧に応じた電圧を生成して負荷に印加する出力バッファと、出力バッファより高精度に電圧が生成でき、入力される電圧を増幅して入力電圧を生成し、出力バッファに入力する主増幅器と、出力バッファが出力する電圧に応じた電圧を基準として、正及び負の高電圧より電圧差の小さい正及び負のフローティング電圧を生成し、主増幅器の電源電圧として供給するフローティング電源とを備える電力印加回路を提供する。
【０００９】
本発明の第２の形態においては、被試験デバイスを試験する試験装置であって、被試験デバイスに直流電力を供給する、第１の形態の電力印加回路と、被試験デバイスに供給される電圧又は電流を検出する検出部と、検出部が検出した電圧又は電流に基づいて、被試験デバイスの良否を判定する判定部とを備える試験装置を提供する。
【００１０】
なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。
【図面の簡単な説明】
【００１１】
【図１】本発明の実施形態に係る電力印加回路１００の構成の一例を示す図である。
【図２】電力印加回路１００における各電圧を説明する図である。
【図３】電力印加回路１００の構成の他の例を示す図である。
【図４】電力印加回路１００の構成の他の例を示す図である。
【図５】本発明の実施形態に係る電圧測定回路４００の構成の一例を示す図である。
【図６】本発明の実施形態に係る試験装置２００の構成の一例を示す図である。
【図７】電力印加回路１００の他の構成例を示す図である。
【図８】電力印加回路１００の他の構成例を示す図である。

【図９】電力印加回路１００の他の構成例を示す図である。
【図１０】電圧測定回路４００の他の構成例を示す図である。
【符号の説明】
【００１２】
１０・・・フローティング電源、１２・・・フォトカプラ、１４・・・フォトカプラ、１６・・・電圧コンバータ、１８・・・ＤＡコンバータ、２０・・・抵抗、２２・・・主増幅器、２４・・・抵抗、２６・・・電圧検出用増幅器、２８・・・出力バッファ、３０・・・電流検出用抵抗、３２・・・第１の分圧用抵抗、３４・・・第２の分圧用抵抗、３６・・・ＡＤコンバータ、３８・・・電流検出用増幅器、４０・・・基準増幅器、４２・・・バッファ、４４、４６、４８、５０、５２・・・直流電源、５４・・・バッファ、５６・・・基準バッファ、１００・・・電力印加回路、１１０・・・パターン入力部、１２０・・・検出部、１３０・・・判定部、２００・・・試験装置、３００・・・被試験デバイス、４００・・・電圧測定回路
【発明を実施するための最良の形態】
【００１３】
以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。
【００１４】
図１は、本発明の実施形態に係る電力印加回路１００の構成の一例を示す図である。電力印加回路１００は、負荷に直流電力を印加する回路である。本例において電力印加回路１００は、半導体回路等の被試験デバイス３００に、所定の直流電圧を印加した場合における、被試験デバイス３００に供給される直流電流を測定する。
【００１５】
電力印加回路１００は、フローティング電源１０、フォトカプラ１２、フォトカプラ１４、電圧コンバータ１６、ＤＡコンバータ１８、ＡＤコンバータ３６、主増幅器２２、出力バッファ２８、電圧検出用増幅器２６、基準増幅器４０、電流検出用増幅器３８、抵抗２０、抵抗２４、電流検出用抵抗３０、第１の分圧用抵抗３２、及び第２の分圧用抵抗３４を備える。
【００１６】
フォトカプラ１２は、被試験デバイス３００に印加すべき印加電圧の電圧値を示す光信号のデジタルデータを受け取り、ＤＡコンバータ１８に供給する。電力印加回路１００は、フォトカプラ１２に代えて、パルストランス等のアイソレータを備えてもよい。つまり、ＤＡコンバータ１８は、電力印加回路１００の外部と電気的に絶縁される。ＤＡコンバータ１８は、受け取ったデジタルデータに応じた電圧値の直流電圧を出力する。ＤＡコンバータ１８は、光信号のデジタルデータに基づいて当該直流電圧を生成してよく、また光電変換回路等により電気信号に変換されたデジタルデータに基づいて当該直流電圧を生成してもよい。
【００１７】
主増幅器２２は、ＤＡコンバータ１８が出力する直流電圧を増幅した入力電圧を、出力バッファ２８に入力する。本例において主増幅器２２は、当該入力電圧として、被試験デバイス３００に印加すべき印加電圧を生成する。この場合、出力バッファ２８は電圧フォロワ回路であってよい。また、主増幅器２２は、例えば差動増幅器であってよい。主増幅器２２における増幅率は、主増幅器２２の負入力端子とＤＡコンバータ１８とを電気的に接続する抵抗２０の抵抗値、及び主増幅器２２の負入力端子に接続される帰還経路に設けられた抵抗２４の抵抗値の比により定まる。例えば、抵抗２０の抵抗値をＲｓ、抵抗２４の抵抗値をＲｆとした場合、主増幅器２２の増幅率は、－Ｒｆ／Ｒｓにより定まる。
【００１８】
出力バッファ２８は、主増幅器２２から入力される入力電圧に応じた電圧を生成して出力する。本例において出力バッファ２８は電圧フォロワ回路であり、入力電圧に応じた印

加電圧を出力する。また、出力バッファ２８には、負荷に印加すべき印加電圧の電圧範囲に応じた正及び負の高電圧（＋ＨＩＧＨ、－ＨＩＧＨ）が電源電圧として与えられる。つまり、出力バッファ２８は、当該電源電圧の範囲内における印加電圧を出力できる。

【００１９】

上述したように、主増幅器２２において被試験デバイス３００に印加すべき印加電圧を生成し、出力バッファ２８は、当該印加電圧を被試験デバイス３００に印加する。このため、主増幅器２２は、出力バッファ２８より高精度の増幅器であることが好ましい。例えば、主増幅器２２は、出力バッファ２８より微小な入力電圧を精度よく増幅してよい。

【００２０】

フローティング電源１０は、出力バッファ２８が出力する印加電圧を基準として、正及び負のフローティング電圧（＋ＶＦ、－ＶＦ）を生成する。当該正及び負のフローティング電圧の電圧差は、出力バッファ２８に供給される正及び負の電源電圧の電圧差より小さくてよい。また、フローティング電源１０は、出力バッファ２８が出力する印加電圧を中点として、正及び負のフローティング電圧を生成してよい。また、フローティング電源１０は、例えばＤＣ／ＤＣコンバータであり、直流電源５２が生成する電圧に基づいて、当該フローティング電圧を生成してよい。

【００２１】

フローティング電源１０は、生成したフローティング電圧を、主増幅器２２の電源電圧として供給する。つまり、主増幅器２２は、当該正及び負のフローティング電圧の範囲内の電圧を生成できる。当該フローティング電圧は、印加電圧を中点とした電圧であるので、主増幅器２２は、当該フローティング電圧の電圧範囲内で、印加電圧を生成することができる。

【００２２】

上述したように、正及び負のフローティング電圧の電圧差は、出力バッファ２８の正及び負の電源電圧の電圧差より小さくてよい。このため、主増幅器２２は、出力バッファ２８に比べ低電圧の増幅器を用いることができる。例えば主増幅器２２は、出力バッファ２８に含まれるトランジスタより耐圧の小さいトランジスタを用いてよい。

【００２３】

このように、主増幅器２２として高精度且つ低電圧の増幅器を用い、出力バッファ２８として低精度且つ高電圧の増幅器を用いることにより、高精度且つ高電圧の印加電圧を生成することができる。つまり、高精度且つ高電圧の増幅器を用いずとも、高精度且つ高電圧の印加電圧を生成することができる。このため、回路コストを低減することができる。

【００２４】

基準増幅器４０は、フローティング電源１０から電源電圧が供給される回路の基準電圧を生成する。例えば基準増幅器４０は、主増幅器２２が出力する電圧の基準となる基準電圧を、出力バッファ２８が出力する電圧に基づいて生成し、主増幅器２２に入力する。本例においてフローティング電源１０は、フローティング電圧を基準増幅器４０の電源電圧として更に供給する。基準増幅器４０には、電源電圧として正及び負のフローティング電圧が与えられるので、基準増幅器４０は、正及び負のフローティング電圧の電圧範囲内において基準電圧を生成する。このような構成により、基準増幅器４０として低電圧の増幅器を用いることができる。

【００２５】

また基準増幅器４０は、当該基準電圧を主増幅器２２の正入力端子に入力してよい。また基準増幅器４０は、被試験デバイス３００に印加される印加電圧を分圧した電圧を受け取り、当該電圧を主増幅器２２に入力する電圧フォロワ回路であってよい。主増幅器２２は、当該基準電圧と、負入力端子との電圧差を増幅して出力する。

【００２６】

電圧検出用増幅器２６は、被試験デバイス３００に印加される印加電圧を、抵抗２４を介して主増幅器２２に帰還し、主増幅器２２が出力する印加電圧を略一定の電圧に保持させる。本例において電圧検出用増幅器２６は電圧フォロワ回路であり、電圧検出用増幅器

２６の出力端は、主増幅器２２の負入力端に接続される。フローティング電源１０は、フローティング電圧を、電圧検出用増幅器２６の電源電圧として供給してよい。このような構成により、電圧検出用増幅器２６として、低電圧の増幅器を用いることができる。

【００２７】

第１の分圧用抵抗３２及び第２の分圧用抵抗３４は、被試験デバイス３００に印加される印加電圧を分圧する。本例における第１の分圧用抵抗３２及び第２の分圧用抵抗３４は、電圧検出用増幅器２６と、接地電位との間に直列に設けられる。つまり、第１の分圧用抵抗３２の抵抗値をＲ１、第２の分圧用抵抗３４の抵抗値をＲ２とし、印加電圧をＶｉｎとすると、基準電圧Ｖｇｎｄは、Ｒ２×Ｖｉｎ／（Ｒ１＋Ｒ２）であらわされる。

【００２８】

本例において第１の分圧用抵抗３２は、一端が電圧検出用増幅器２６に接続され、印加電圧が与えられる。また第１の分圧用抵抗３２の他端は、第２の分圧用抵抗３４に電気的に接続される。また第２の分圧用抵抗３４は、一端は第１の分圧用抵抗３２に電気的に接続され、他端に接地電位が与えられる。また、第２の分圧用抵抗３４の抵抗値は、第１の分圧用抵抗３２の抵抗値以上であってよい。また、第１の分圧用抵抗３２の耐圧は、第２の分圧用抵抗３４の耐圧より小さくてよい。

【００２９】

第１の分圧用抵抗３２及び第２の分圧用抵抗３４の接続点は、基準増幅器の正入力端子に接続される。基準増幅器４０は、第１の分圧用抵抗３２及び第２の分圧用抵抗３４が分圧した電圧に基づいて、基準電圧を生成する。本例において基準増幅器４０は、当該分圧された電圧を基準電圧として出力する。また、基準増幅器４０は、電流検出用増幅器３８に当該基準電圧を更に供給してよい。

【００３０】

電流検出用抵抗３０は、出力バッファ２８の出力端と、被試験デバイス３００との間に設けられる。電流検出用増幅器３８は、電流検出用抵抗３０の両端に印加される電圧を検出する。電流検出用増幅器３８は、例えば差動増幅器であって、正及び負入力端に電流検出用抵抗３０の両端の電位が入力される。またフローティング電源１０は、フローティング電圧を電流検出用増幅器３８の電源電圧として更に供給する。このような構成により、電流検出用増幅器３８として低電圧の増幅器を用いることができる。

【００３１】

ＡＤコンバータ３６は、電流検出用増幅器３８が出力する電圧に基づいて、被試験デバイス３００に供給される電流値を検出する電流検出部として機能する。ＡＤコンバータ３６は、電流検出用増幅器３８が出力する電圧値をデジタル値に変換する。フォトカプラ１４は、ＡＤコンバータ３６が出力するデジタルデータの光信号を外部に伝送する。電力印加回路１００は、ＡＤコンバータ３６が出力するデジタルデータを光信号に変換する電光変換回路を更に備えてよい。

【００３２】

電圧コンバータ１６は、正のフローティング電圧を所定の電圧に変換し、ＤＡコンバータ１８及びＡＤコンバータ３６の正側の電源電圧として供給する。また、基準増幅器４０は、基準電圧を、ＤＡコンバータ１８及びＡＤコンバータ３６の負側の電源電圧として供給する。

【００３３】

また、電力印加回路１００は、複数の直流電源（４４、４６、４８、５０）及びバッファ４２を更に備えてよい。バッファ４２は、被試験デバイス３００のＧＮＤ基準電圧を出力する。本例において被試験デバイス３００のＧＮＤ基準電圧は接地電位である。直流電源４４及び４６は、バッファ４２の正及び負の電源電圧をそれぞれ生成する。また直流電源４８及び５０は、出力バッファ２８の正及び負の電源電圧をそれぞれ生成する。

【００３４】

以上説明した電力印加回路１００によれば、高精度且つ高電圧の増幅器を使用せずに、高精度且つ高電圧の印加電圧を被試験デバイス３００に印加することができる。また、出

力バッファ２８及び第２の分圧用抵抗３４以外の素子は、低電圧の素子を用いることができる。このため、回路コストを低減することができる。

【００３５】

図２は、電力印加回路１００における各電圧を説明する図である。上述したように、出力バッファ２８には、正及び負の電源電圧（＋ＨＩＧＨ、－ＨＩＧＨ）が供給される。正及び負の電源電圧により規定される電圧範囲は、被試験デバイス３００への印加電圧が取りうる電圧範囲を含むことが好ましい。

【００３６】

出力バッファ２８は、当該電源電圧の電圧範囲内における印加電圧を出力する。フローティング電源１０は、当該印加電圧を中点として正及び負のフローティング電圧（＋ＶＦ、－ＶＦ）を生成する。正のフローティング電圧は、印加電圧に所定の電圧を加えた電圧であり、負のフローティング電圧は、印加電圧から当該所定の電圧を減じた電圧である。また、正及び負のフローティング電圧は、電源電圧（＋ＨＩＧＨ、－ＨＩＧＨ）の電圧範囲内に含まれてよい。主増幅器２２、電圧検出用増幅器２６、基準増幅器４０、及び電流検出用増幅器３８は、印加電圧近傍の電圧を出力するので、当該フローティング電圧を電源電圧として供給すれば駆動することができる。また、フローティング電圧は、印加電圧に追従して変動する。

【００３７】

基準増幅器４０は、上述したように印加電圧を、第１の分圧用抵抗３２の抵抗値Ｒ１及び第２の分圧用抵抗３４の抵抗値Ｒ２で分圧した基準電圧を出力する。当該基準電圧は、正のフローティング電圧（＋ＶＦ）以下であり、負のフローティング電圧（－ＶＦ）以上であってよい。主増幅器２２及び電流検出用増幅器３８等の差動増幅器は、当該基準電圧を基準とした電圧を出力する。

【００３８】

図３は、電力印加回路１００の構成の他の例を示す図である。本例において電力印加回路１００は、半導体回路等の被試験デバイス３００に、所定の直流電流を供給した場合における、被試験デバイス３００に印加される直流電圧を測定する。

【００３９】

本例における電力印加回路１００は、図１に関連して説明した電力印加回路１００に対し、バッファ５４を更に備える。他の構成要素は、図１において同一の符号を付して説明した構成要素と同様の機能を有してよい。

【００４０】

また、本例における電力印加回路１００においては、電流検出用増幅器３８が出力する電圧が、抵抗２４を介して主増幅器２２の負入力端子に帰還される。これにより、出力バッファ２８が出力する電流を略一定の電流に保持させることができる。

【００４１】

また、本例における電力印加回路１００においては、電圧検出用増幅器２６が出力する電圧が、バッファ５４を介してＡＤコンバータ３６に入力される。本例における電力印加回路１００は、バッファ５４を有さなくともよい。本例におけるＡＤコンバータ３６は、電圧検出用増幅器２６が出力する電圧に基づいて、被試験デバイス３００に印加される印加電圧の電圧値を検出する電圧検出部として機能する。フローティング電源１０は、フローティング電圧をバッファ５４の電源電圧として更に供給する。

【００４２】

このような構成により、電力印加回路１００は、電流印加電圧測定を行うことができる。また、図１において説明した電力印加回路１００と同様に、高精度且つ高電圧の増幅器を使用せずに、高精度且つ高電圧の印加電圧を被試験デバイス３００に印加することができる。また、出力バッファ２８及び第２の分圧用抵抗３４以外の素子は、低電圧の素子を用いることができる。このため、回路コストを低減することができる。

【００４３】

図４は、電力印加回路１００の構成の他の例を示す図である。本例における電力印加回

路１００は、半導体回路等の被試験デバイス３００に、所定の直流電流を供給した場合における、被試験デバイス３００に印加される直流電圧を測定する。

【００４４】

本例における電力印加回路１００は、図３に関連して説明した電力印加回路１００に対し、同一の構成要素を有し、構成要素間の接続が異なる。本例における電圧検出用増幅器２６の出力端は、第１の分圧用抵抗３２及び基準増幅器４０の正入力端子に接続される。基準増幅器４０は、図３における基準増幅器４０と同様に、基準電圧を主増幅器２２及び電流検出用増幅器３８に供給する。

【００４５】

また、バッファ５４の正入力端子は、第１の分圧用抵抗３２及び第２の分圧用抵抗３４の接続点と、電気的に接続される。つまり、バッファ５４は、被試験デバイス３００に印加される印加電圧を第１の分圧用抵抗３２及び第２の分圧用抵抗３４の抵抗比で分圧した電圧を、ＡＤコンバータ３６に入力する。

【００４６】

このような構成によっても、図３において説明した電力印加回路１００と同様に、電流印加電圧測定を行うことができる。また、図１において説明した電力印加回路１００と同様に、高精度且つ高電圧の増幅器を使用せずに、高精度且つ高電圧の印加電圧を被試験デバイス３００に印加することができる。また、出力バッファ２８及び第２の分圧用抵抗３４以外の素子は、低電圧の素子を用いることができる。このため、回路コストを低減することができる。

【００４７】

図５は、本発明の実施形態に係る電圧測定回路４００の構成の一例を示す図である。電圧測定回路４００は、入力電圧Ｖｉｎの電圧値を測定する回路であり、フローティング電源１０、フォトカプラ１２、フォトカプラ１４、電圧コンバータ１６、ＤＡコンバータ１８、ＡＤコンバータ３６、主増幅器２２、出力バッファ２８、電圧検出用増幅器２６、抵抗２０、抵抗２４、電流検出用抵抗３０、基準増幅器４０、第１の分圧用抵抗３２、及び第２の分圧用抵抗３４を備える。本例における電圧測定回路４００は、図１において説明した電力印加回路１００の構成から、電流検出用増幅器３８を除去し、各構成要素の接続関係を変更した構成を有する。

【００４８】

電圧測定回路４００は、各構成要素の接続を、図１において説明した電力印加回路１００のように接続するか、又は電圧測定回路４００のように接続するかを切り替える切替器を更に備えてよい。これにより、当該回路を、電圧測定回路４００又は電力印加回路１００のいずれとしても機能させることができる。

【００４９】

電圧検出用増幅器２６には、測定すべき入力電圧Ｖｉｎが入力される。電圧検出用増幅器２６の出力電圧は、第１の分圧用抵抗３２及び第２の分圧用抵抗３４により分圧され、ＡＤコンバータ３６に入力される。これにより、広い測定レンジで入力電圧Ｖｉｎの電圧値を測定することができる。

【００５０】

また、電圧検出用増幅器２６の出力端は、基準増幅器４０の正入力端子に接続される。基準増幅器４０は、図１における基準増幅器４０と同様に、基準電圧を主増幅器２２、ＤＡコンバータ１８、及びＡＤコンバータ３６に供給する。

【００５１】

出力バッファ２８の出力端は、フローティング電源１０の中点電位に接続される。また、出力バッファ２８の出力端は、抵抗２４を介して主増幅器２２の正入力端に接続される。また、出力バッファ２８の出力端は、電流検出用抵抗３０を介して開放される。

【００５２】

主増幅器２２は、与えられる電圧を増幅し、出力バッファ２８に供給する。出力バッファ２８が出力する電圧は、フローティング電圧の中点となり、当該フローティング電圧が

電圧検出用増幅器２６、主増幅器２２、及び基準増幅器４０の電源電圧となる。このため、主増幅器２２は、電圧測定回路４００が入力電圧Ｖｉｎを測定動作できるように、入力電圧Ｖｉｎに応じた電圧を出力してよい。例えば、主増幅器２２は、入力電圧Ｖｉｎの電圧値として予想される電圧値の近傍の電圧を出力してよい。

【００５３】

また、ＤＡコンバータ１８は、正の電源電圧として正のフローティング電圧を受け取り、負の電源電圧として基準電圧を受け取る。また、ＡＤコンバータ３６は、正の電源電圧として、正のフローティング電圧を電圧コンバータ１６を介して受け取り、負の電源電圧として基準電圧を受け取る。このような構成により、電力印加回路１００と同様の回路を用いて、入力電圧Ｖｉｎを広い測定レンジで測定することができる。

【００５４】

図６は、本発明の実施形態に係る試験装置２００の構成の一例を示す図である。試験装置２００は、半導体回路等の被試験デバイス３００を試験する装置であって、パターン入力部１１０、電力印加回路１００、検出部１２０、及び判定部１３０を備える。

【００５５】

電力印加回路１００は、被試験デバイス３００に直流電力を供給する。例えば電力印加回路１００は、電圧印加電流測定を行う場合に所定の直流電圧を被試験デバイス３００に印加し、電流印加電圧測定を行う場合に所定の直流電流を被試験デバイス３００に印加する。電力印加回路１００は、図１から図４において説明したいずれかの電力印加回路１００であってよく、図７から図９において後述するいずれかの電力印加回路１００であってもよい。

【００５６】

検出部１２０は、被試験デバイス３００に印加される直流電圧又は直流電流を検出する。例えば検出部１２０は、電圧印加電流測定を行う場合に当該直流電流を検出し、電流印加電圧測定を行う場合に当該直流電圧を検出する。また、図６においては、電力印加回路１００及び検出部１２０を分離して示しているが、検出部１２０は電力印加回路１００の内部に設けられてよい。例えば検出部１２０は、図１から図４において説明したＡＤコンバータ３６及びフォトカプラ１４であってよい。

【００５７】

判定部１３０は、検出部１２０が検出した直流電圧又は直流電流に基づいて、被試験デバイス３００の良否を判定する。例えば判定部１３０は、当該直流電圧又は直流電流が所定の範囲内であるか否かにより、被試験デバイス３００の良否を判定してよい。

【００５８】

パターン入力部１１０は、被試験デバイス３００に試験パターンを入力する。被試験デバイス３００の動作時における直流試験を行う場合、検出部１２０は、パターン入力部１１０が試験パターンを出力している状態における、直流電圧又は直流電流を検出する。また、被試験デバイス３００の静止時における直流試験を行う場合、検出部１２０は、パターン入力部１１０が試験パターンを出力していない状態における、直流電圧又は直流電流を検出する。

【００５９】

本例における試験装置２００によれば、電力印加回路１００が、低コストで高電圧且つ高精度の電圧を印加することができるので、高電圧の被試験デバイス３００を低コストで精度よく試験することができる。

【００６０】

図７は、電力印加回路１００の他の構成例を示す図である。本例における電力印加回路１００は、図１に示した電力印加回路１００の構成に加え、基準バッファ５６を更に備える。また、図１に示した電力印加回路１００は、出力バッファ２８が出力する電圧を、フローティング電源１０の中点電圧としたが、本例における電力印加回路１００は、基準バッファ５６が出力する電圧を、フローティング電源１０の中点電圧とする。他の構成は、図１に関連して説明した電力印加回路１００と同一であってよい。

【００６１】
基準バッファ５６は、基準増幅器４０が出力する基準電圧と略等しい電圧を出力する。本例において基準バッファ５６は、基準電圧を受け取り、略１倍のゲインで出力するボルテージフォロワ回路であってよい。基準バッファ５６は、基準電圧と略等しい電圧を、フローティング電源１０の中点電圧として、フローティング電源１０に供給する。
【００６２】
このような構成により、ＤＡコンバータ１８及び主増幅器２２の基準電圧と、フローティング電源１０の中点電圧とを略等しくすることができる。ＤＡコンバータ１８及び主増幅器２２の基準電圧と、フローティング電源１０の中点電圧とが異なる場合、ＤＡコンバータ１８に設定できる電圧範囲が狭くなってしまう。
【００６３】
例えば、基準電圧及び中点電圧が、例えば共に０Ｖであり、正のフローティング電圧が中点電圧より１５Ｖ大きい電圧（＋１０Ｖ）、負のフローティング電圧が中点電圧より１５Ｖ小さい電圧（－２０Ｖ）とする。この場合、主増幅器２２の電源電圧は、正側が＋１５Ｖ、負側が－１５Ｖとなる。主増幅器２２は、基準電圧（０Ｖ）と入力電圧との差分に応じた電圧を、電源電圧の範囲内（－１５Ｖ～＋１５Ｖ）で出力するので、ＤＡコンバータ１８に設定できる電圧の上限は、１５Ｖに応じた値となる。
【００６４】
これに対し、基準電圧が０Ｖであり、中点電圧が－５Ｖである場合、主増幅器２２の電源電圧は、正側が＋１０Ｖ、負側が－２０Ｖとなる。このため、ＤＡコンバータ１８に設定できる電圧の上限は、＋１０Ｖに応じた値となり、設定可能な電圧範囲が狭くなってしまう。
【００６５】
本例における電力印加回路１００は、上述したように、ＤＡコンバータ１８及び主増幅器２２の基準電圧と、フローティング電源１０の中点電圧とを略等しくするので、ＤＡコンバータ１８に設定可能な電圧範囲が狭くなることを防ぐことができる。
【００６６】
また、基準バッファ５６は、出力バッファ２８の電源電圧（＋ＨＩＧＨ、－ＨＩＧＨ）と略同一の電源電圧を受け取る。つまり、直流電源４８及び直流電源５０から電源電圧を受け取る。このため、例えば電圧検出用増幅器２６、第１の分圧用抵抗３２、第２の分圧用抵抗３４、バッファ４２、直流電源４６、直流電源４８、基準バッファ５６、及びフローティング電源１０を含む電流ループを形成することができる。これにより第１の分圧用抵抗３２及び第２の分圧用抵抗３４に電流を流すことができる。
【００６７】
また、基準バッファ５６が出力可能な電力は、出力バッファ２８より小さくてよい。例えば、基準バッファ５６が出力可能な電流の上限値は、出力バッファ２８が出力可能な電流の上限値より小さくてよい。また、基準バッファ５６の回路規模は、出力バッファ２８の回路規模より小さくてよい。また、基準バッファ５６の電圧出力精度は、主増幅器２２より低くてよい。
【００６８】
本例における電力印加回路１００は、高電圧のバッファである基準バッファ５６を追加することにより、図１において説明した電力印加回路１００に対し、設定可能な電圧範囲を広げることができる。上述したように、基準バッファ５６の回路規模は比較的に小さくてよいので、回路規模をそれほど増大させずに、設定可能な電圧範囲を広げることができる。
【００６９】
図８は、電力印加回路１００の他の構成例を示す図である。本例における電力印加回路１００は、図３に示した電力印加回路１００の構成に加え、基準バッファ５６を更に備える。また、図３に示した電力印加回路１００は、出力バッファ２８が出力する電圧を、フローティング電源１０の中点電圧としたが、本例における電力印加回路１００は、基準バ

ッファ５６が出力する電圧を、フローティング電源１０の中点電圧とする。他の構成は、図３に関連して説明した電力印加回路１００と同一であってよい。また、基準バッファ５６は、図７において説明した基準バッファ５６と同一であってよい。

【００７０】

基準バッファ５６は、基準増幅器４０が出力する基準電圧を受け取り、略１倍のゲインで出力するボルテージフォロワ回路であってよい。基準バッファ５６は、基準電圧と略等しい電圧を、フローティング電源１０の中点電圧として、フローティング電源１０に供給する。また、基準バッファ５６は、出力バッファ２８の電源電圧（＋ＨＩＧＨ、－ＨＩＧＨ）と略同一の電源電圧を受け取ってよい。つまり、直流電源４８及び直流電源５０から電源電圧を受け取ってよい。また、基準バッファ５６が出力可能な電力は、出力バッファ２８より小さくてよい。このような構成により、図７において説明した電力印加回路１００と同様に、ＤＡコンバータ１８に設定可能な電圧範囲を広げることができる。

【００７１】

図９は、電力印加回路１００の他の構成例を示す図である。本例における電力印加回路１００は、図４に示した電力印加回路１００の構成に加え、基準バッファ５６を更に備える。また、図４に示した電力印加回路１００は、出力バッファ２８が出力する電圧を、フローティング電源１０の中点電圧としたが、本例における電力印加回路１００は、基準バッファ５６が出力する電圧を、フローティング電源１０の中点電圧とする。他の構成は、図４に関連して説明した電力印加回路１００と同一であってよい。また、基準バッファ５６は、図７において説明した基準バッファ５６と同一であってよい。

【００７２】

基準バッファ５６は、基準増幅器４０が出力する基準電圧を受け取り、略１倍のゲインで出力するボルテージフォロワ回路であってよい。基準バッファ５６は、基準電圧と略等しい電圧を、フローティング電源１０の中点電圧として、フローティング電源１０に供給する。また、基準バッファ５６は、出力バッファ２８の電源電圧（＋ＨＩＧＨ、－ＨＩＧＨ）と略同一の電源電圧を受け取ってよい。つまり、直流電源４８及び直流電源５０から電源電圧を受け取ってよい。また、基準バッファ５６が出力可能な電力は、出力バッファ２８より小さくてよい。このような構成により、図７において説明した電力印加回路１００と同様に、ＤＡコンバータ１８に設定可能な電圧範囲を広げることができる。

【００７３】

図１０は、電圧測定回路４００の他の構成例を示す図である。本例における電圧測定回路４００は、図５に示した電圧測定回路４００の構成に加え、基準バッファ５６を更に備える。また、図５に示した電圧測定回路４００は、出力バッファ２８が出力する電圧を、フローティング電源１０の中点電圧としたが、本例における電力印加回路１００は、基準バッファ５６が出力する電圧を、フローティング電源１０の中点電圧とする。他の構成は、図５に関連して説明した電圧測定回路４００と同一であってよい。また、基準バッファ５６は、図７において説明した基準バッファ５６と同一であってよい。

【００７４】

基準バッファ５６は、基準増幅器４０が出力する基準電圧を受け取り、略１倍のゲインで出力するボルテージフォロワ回路であってよい。基準バッファ５６は、基準電圧と略等しい電圧を、フローティング電源１０の中点電圧として、フローティング電源１０に供給する。また、基準バッファ５６は、出力バッファ２８の電源電圧（＋ＨＩＧＨ、－ＨＩＧＨ）と略同一の電源電圧を受け取ってよい。つまり、直流電源４８及び直流電源５０から電源電圧を受け取ってよい。また、基準バッファ５６が出力可能な電力は、出力バッファ２８より小さくてよい。このような構成により、図７において説明した電力印加回路１００と同様に、ＤＡコンバータ１８に設定可能な電圧範囲を広げることができる。

【００７５】

また、以上において説明した電力印加回路１００及び電圧測定回路４００は、第２の分圧用抵抗３４と並列に設けたバイパスコンデンサを更に備えてよい。このような構成により、急峻な電源変動を緩和することができる。

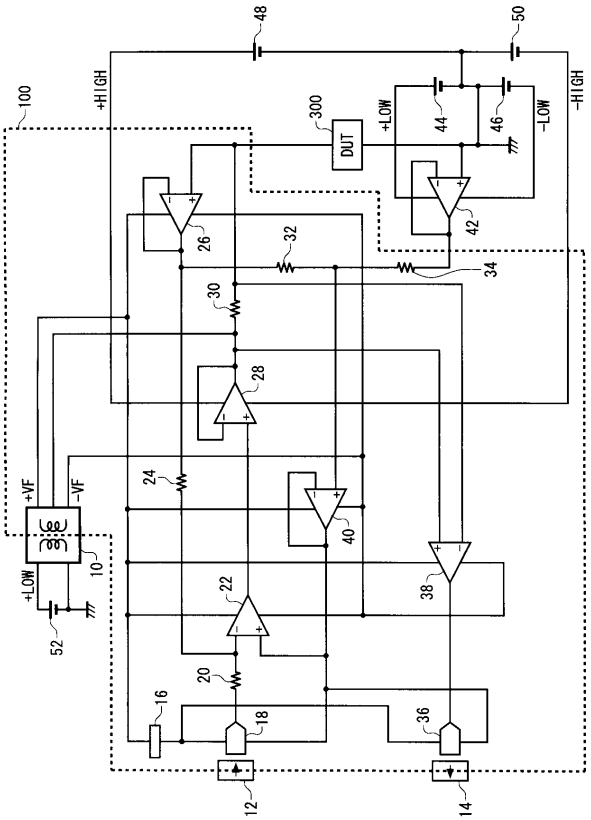
【００７６】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

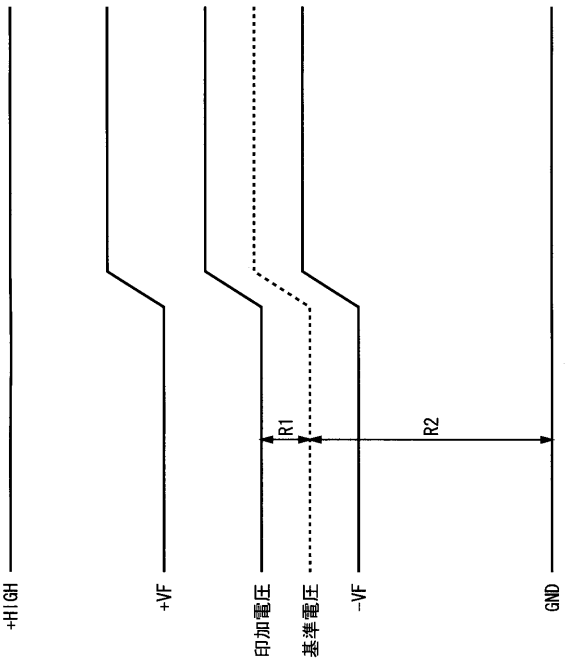
【００７７】

以上から明らかなように、本発明の実施形態によれば、高電圧且つ高精度の電圧を、低コストの回路で生成することができる。また高電圧の被試験デバイスを低コストで精度よく試験することができる。また、ＤＡコンバータに設定可能な電圧範囲が狭くなることを防ぐことができる。

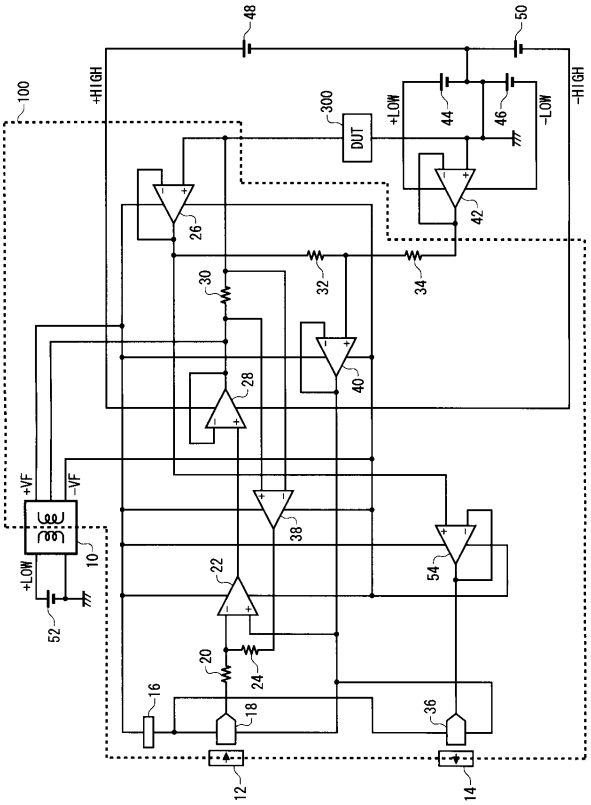
【図１】



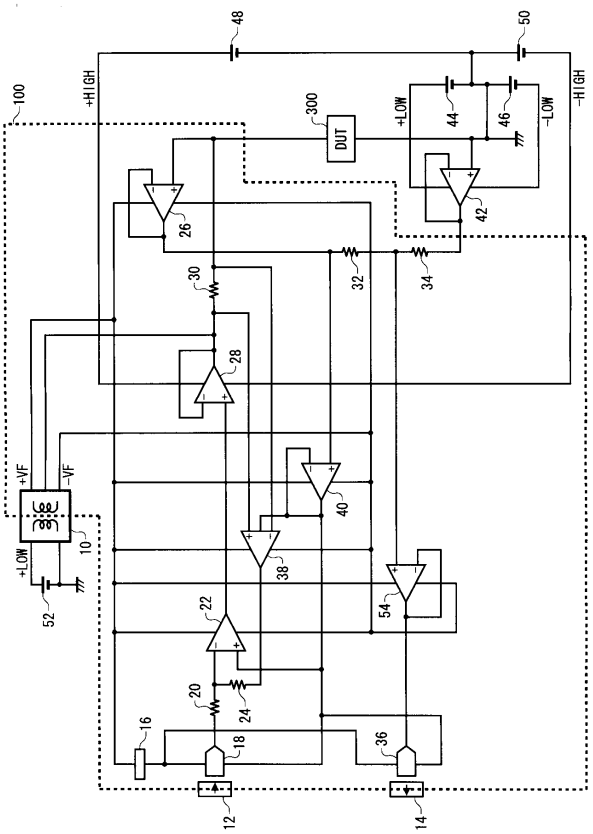
【図２】



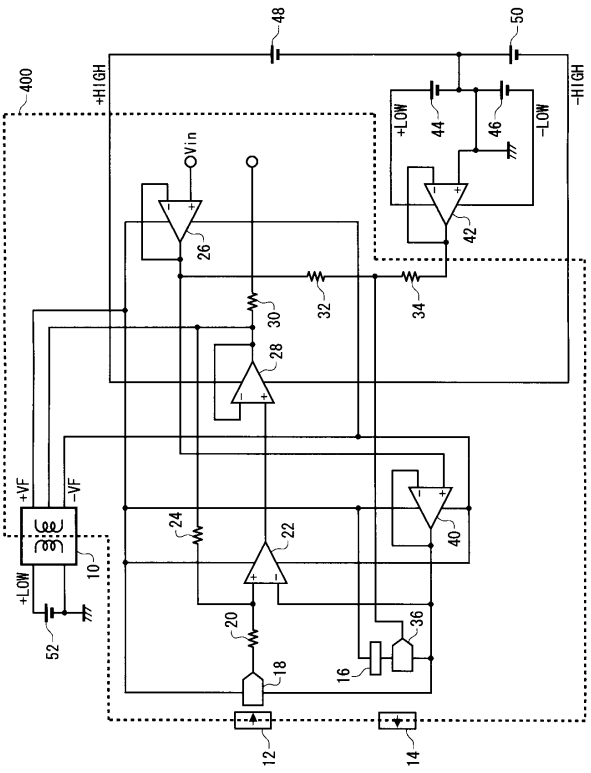
【図３】


48
50
100
+HIGH
-HIGH
300
DUT
+LOW
-LOW
44
46
42
26
30
32
34
28
40
+VF
-VF
38
54
10
22
52
20
24
16
18
36
12
14

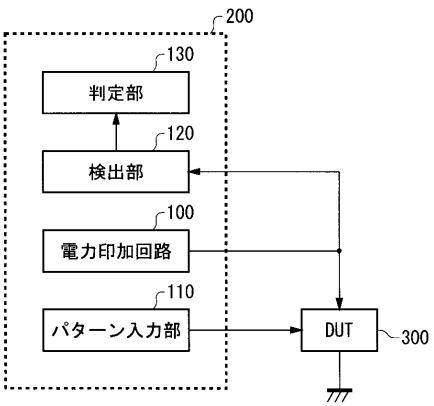
【図４】


48
50
100
+HIGH
-HIGH
300
DUT
+LOW
-LOW
44
46
42
26
30
32
34
28
40
+VF
-VF
38
54
10
22
52
20
24
16
18
36
12
14

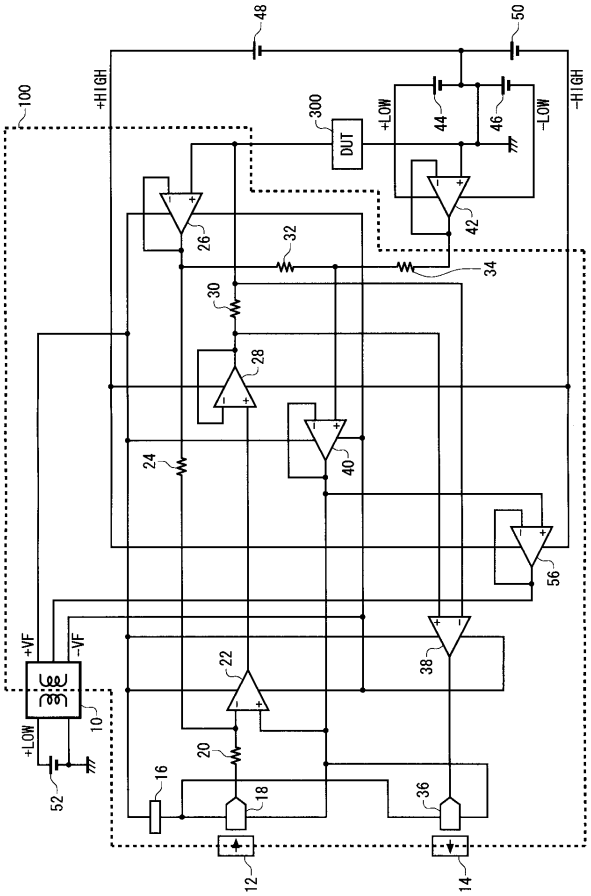
【図５】


48
50
400
+HIGH
-HIGH
Vin
+LOW
-LOW
44
46
42
26
30
32
34
28
+VF
-VF
40
24
22
10
+LOW
52
20
36
18
16
12
14

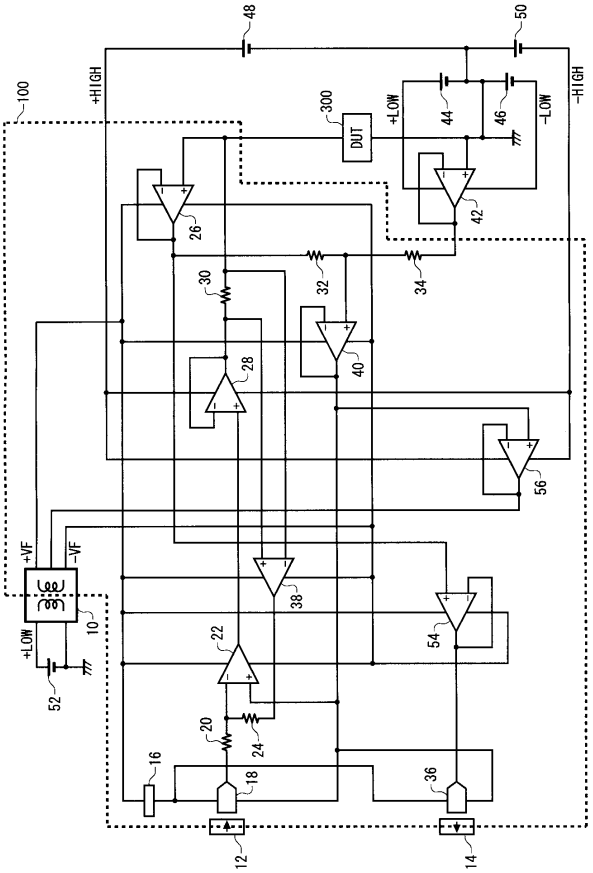
【図６】


200
130
判定部
120
検出部
100
電力印加回路
110
パターン入力部
DUT
300

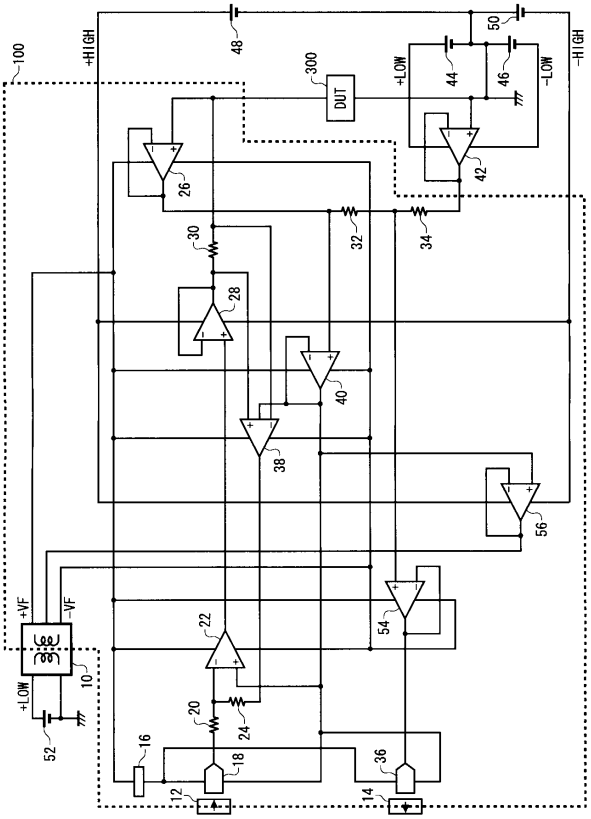
【図７】


100
+HIGH
-HIGH
+LOW
-LOW
+VF
-VF
DUT
10
12
14
16
18
20
22
24
26
28
30
32
34
36
38
40
42
44
46
48
50
52
54
56
300

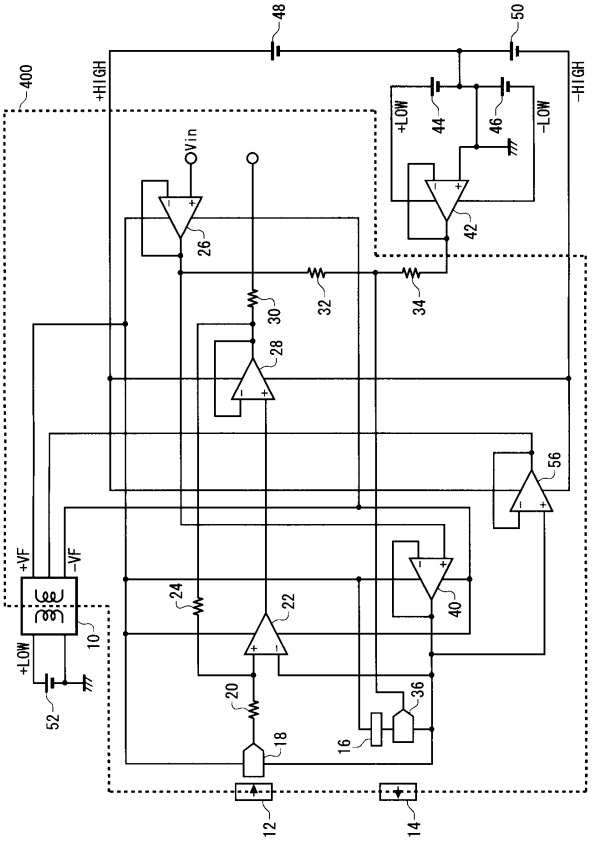
【図８】


100
+HIGH
-HIGH
+LOW
-LOW
+VF
-VF
DUT
10
12
14
16
18
20
22
24
26
28
30
32
34
36
38
40
42
44
46
48
50
52
54
56
300

【図９】


100
+HIGH
-HIGH
+LOW
-LOW
+VF
-VF
DUT
10
12
14
16
18
20
22
24
26
28
30
32
34
36
38
40
42
44
46
48
50
52
54
56
300

【図１０】


400
+HIGH
-HIGH
+LOW
-LOW
+VF
-VF
Vin
10
12
14
16
18
20
22
24
26
28
30
32
34
36
40
42
44
46
48
50
52
56

フロントページの続き

審査官　武田　知晋

(58)調査した分野(Int.Cl., ＤＢ名)
G01R 31/26