

圖 1

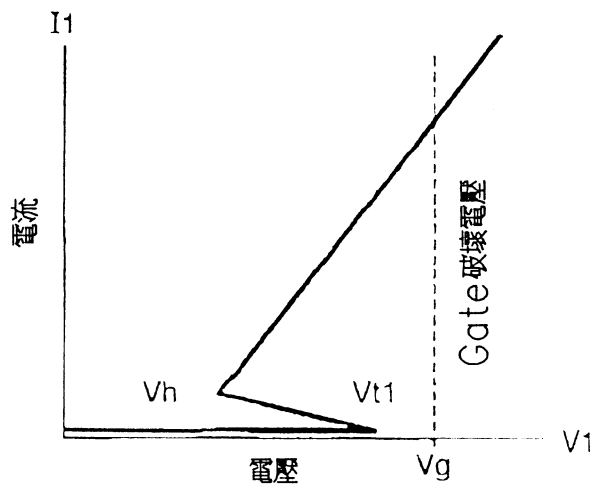


圖 2

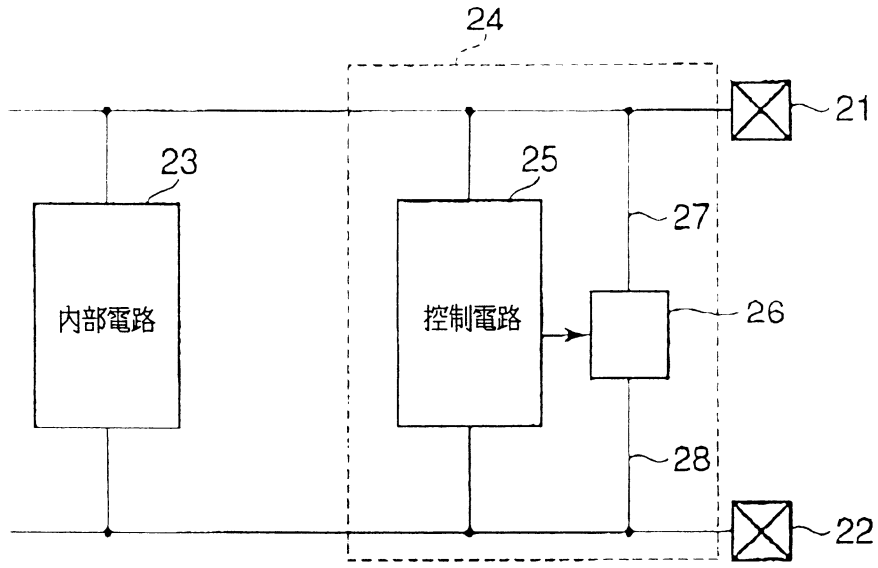


圖 3

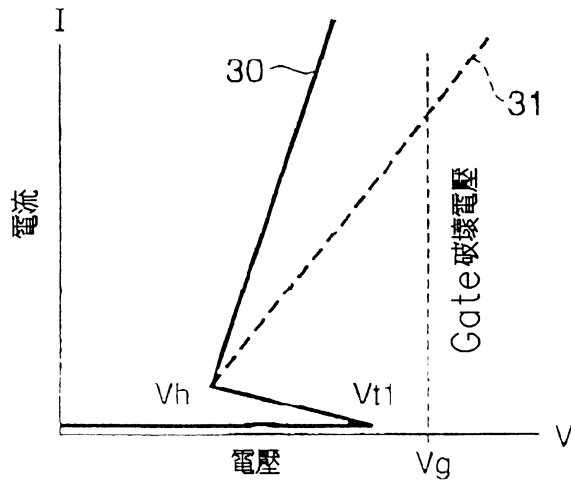


圖 4

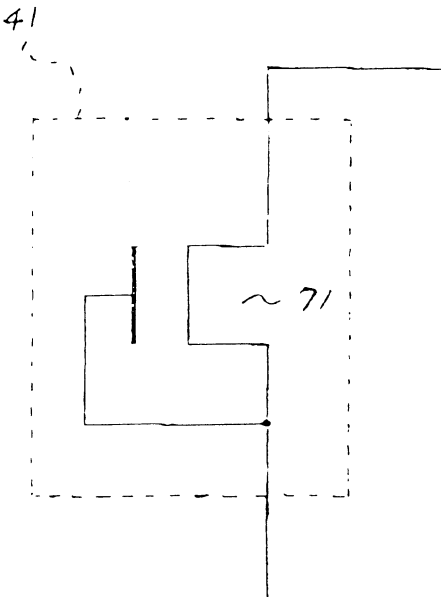


圖 6

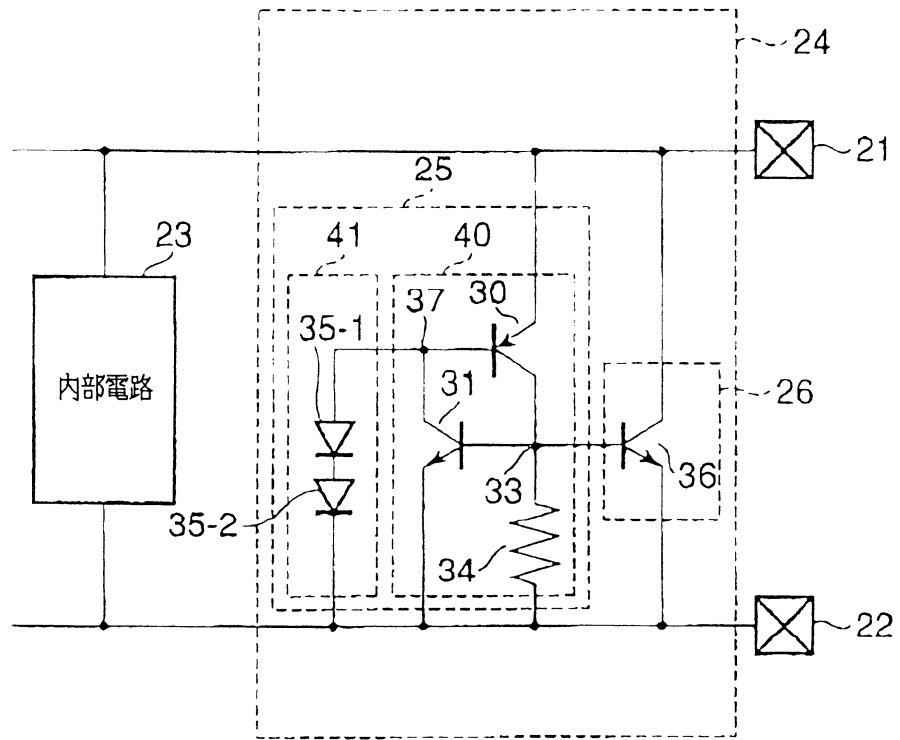


圖 5

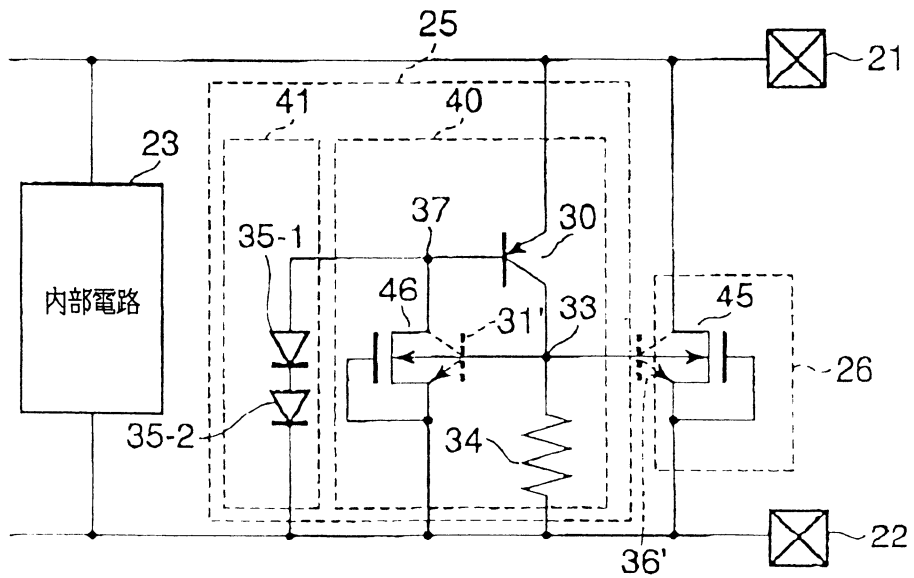


圖 7

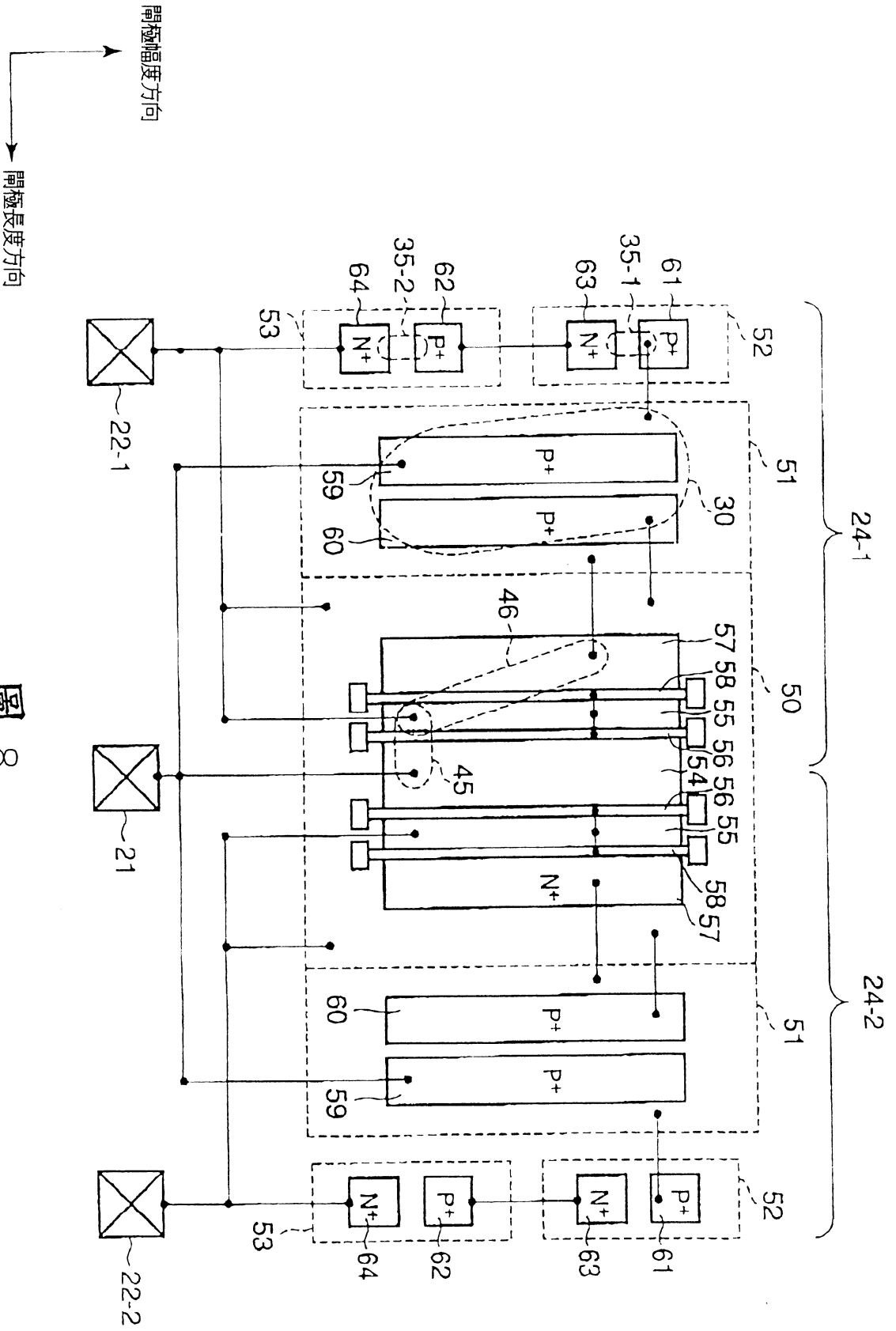


圖 8

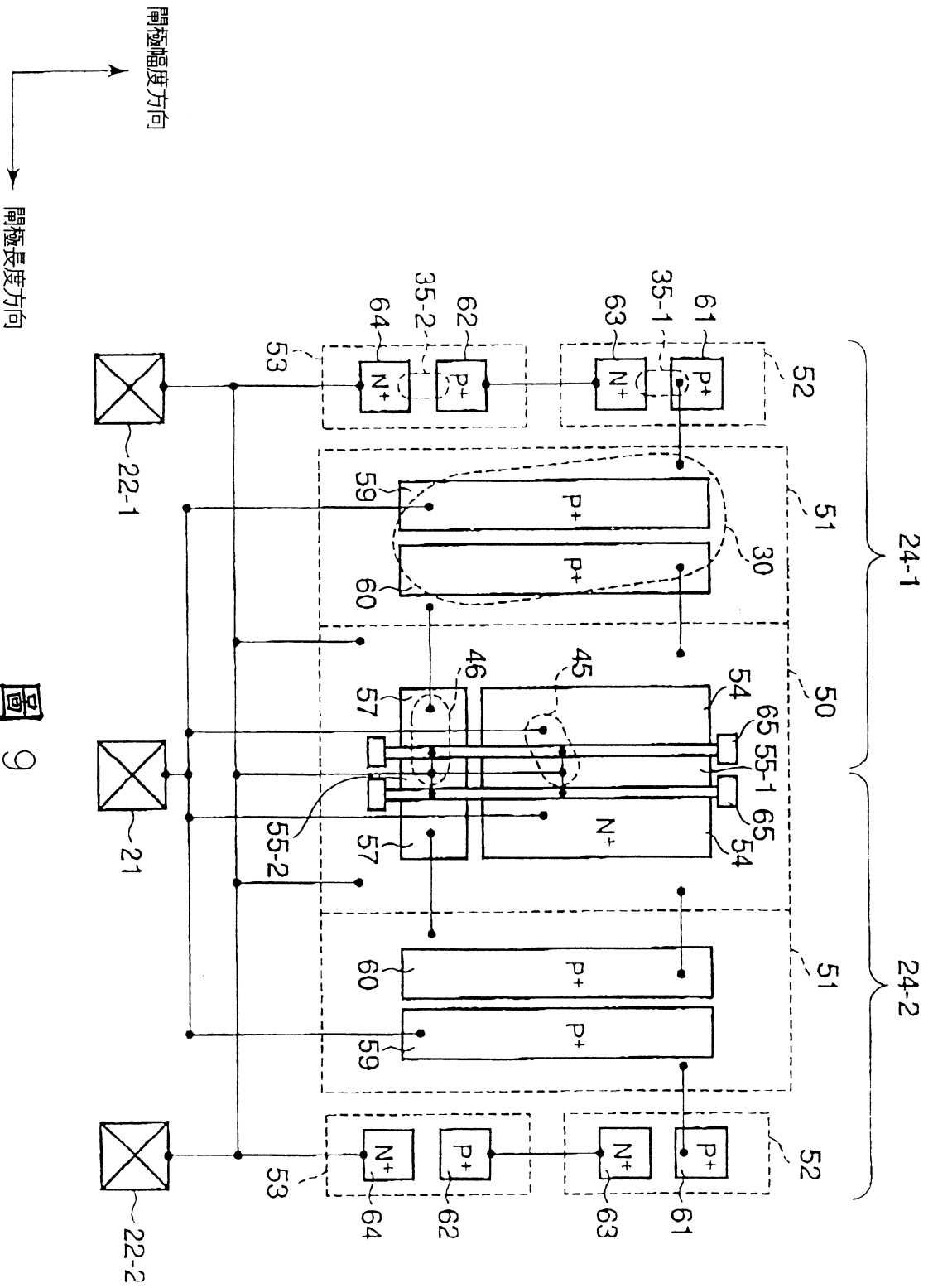


圖 9

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93125784

※ 申請日期：93.8.27

※ IPC 分類：H01L 23/60

一、發明名稱：(中文/英文)

用於靜電放電保護的半導體積體電路元件

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE FOR ESD
PROTECTION

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

東芝股份有限公司

KABUSHIKI KAISHA TOSHIBA

代表人：(中文/英文) 岡村 正/OKAMURA, TADASHI

住居所或營業所地址：(中文/英文)

日本東京都港區芝浦一丁目 1 番 1 號

1-1, SHIBAURA 1-CHOME, MINATO-KU, TOKYO, JAPAN

國 籍：(中文/英文) 日本/JP

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 佐藤 洋一/SATOU, YOUICHI

2. 清 俊和/SEI, TOSHIKAZU

3. 山口 明/YAMAGUCHI, AKIRA

國 籍：(中文/英文) 1-3 日本/JP

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1.日本; 2003/08/27; 2003-209073

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

前後參照有關之專利申請案

本申請案主張日本專利申請案 NO.2203-209073 號之優先權，申請日期為 2003 年 8 月 27 日，其全部內容併入本案參考之。

【發明所屬之技術領域】

本發明係關於積體電路 IC(integrated circuit)或大規模積體電路 LSI(Large Scale Integrated)等之半導體積體電路，特別關於一種半導體積體電路電路具有從靜電放電 ESD(Electrostatic Discharge)加以保護內部電路之 ESD 保護電路。

【先前技術】

在以機械將半導體積體電路裝置搬運之場合等產生 ESD 時以數百 V~數千 V 程度之高電壓在極短時間施加於半導體積體電路裝置，有內部電路(半導體積體電路)被破壞之情形。因此，為從 ESD 保護 IC 或 LSI 等之半導體積體電路裝置，提案多種之 ESD 保護電路(例如，參照日本專利特開平 7-240510 號公報說明書，美國專利 6,249,414 號說明書、及 EOS/ESD SYMPOSIUM 2001IA . 3"GGSCRs : GGNMOS Triggered Silicon Controlled Rectifiers for ESD Protection in Deep Sub-Micron CMOS Processes"等)。將 ESD 保護電路，藉由搭裝於半導體積體電路裝置，使施加於內部電路之高電壓加以放電，以防止內部電路之破壞。

以下，用圖 1 及圖 2 加以說明習知之 ESD 保護電路。

圖 1 係表示習知之 ESD 保護電路的電路圖。如圖 1 所示，在加以保護之內部電路 10，接連衰減器(pad)11 及衰減器 12。更且，ESD 保護電路係由流通過大之 ESD 電流的半導體開關元件(thyristor)(SCR)電路 13 與，控制半導體開關元件電路 13 之 ON/OFF 的控制電路 15 所構成。

在上述半導體開關元件電路 13 係在衰減器 11 接連陽極(anode)，在衰減器 12 接連陰極(cathode)。更且半導體開關元件電路 13 係由 PNP 型雙極電晶體(bipolar transistor)16，NPN 型雙極電晶體 17，及電阻元件 18 所構成。PNP 型雙極電晶體(16 之發射電極(emitter)係接連於衰減器 11，基極(base)係接連於 NPN 型雙極電晶體 17 之集電極(collector)，集電極係接連於控制電路 15。NPN 型雙極電晶體 17 之基極係接連於控制電路 15，發射電極係接連於衰減器 12。電阻元件 18 之一端係接連於控制電路 15，另一端係接連於衰減器 12。

上述控制電路 15 係由閘極接地 GG(gate grounded)NMOS 電晶體 19 及電阻元件 20 所構成。GGNMOS 電晶體 19 之汲極(drain)係接連於衰減器 11，閘極(gate)及源極(source)係接連於半導體開關元件電路 13。電阻元件 20 之一端係接連於 NMOS 電晶體 19 之閘極及源極，另一端係接連於衰減器 12。

其次，用圖 2 加以說明其動作。圖 2 係表示圖 1 所示 GGN MOS 電晶體 19 的電壓-電流特性之圖。圖 2 之橫軸

表示施加於 GGNMOS 電晶體 19 之汲極與源極及閘極間的電壓 V_1 ，縱軸係表示在 GGNMOS 電晶體 19 之汲極與源極及閘極之間所流動之電流與流動於半導體開關元件電路 13 之電流 I_1 。

在衰減器 11 與衰減器 12 之間施加由 ESD 之高電壓時，在 GGNMOS19 之汲極施加由 ESD 之高電壓。於是，如圖 2 所示，一旦達到觸發電壓(trigger voltage) V_{t1} 後，由急返(Snap back)特性電壓下降至保持電壓 V_h 。其後，在 GGNMOS 電晶體 19 之汲極與基板之間起擊穿(breakdown)，藉由 GGNMOS 電晶體 19 之寄生 NPN 型雙極電晶體的動作，以急激使電流通。因此，在半導體開關元件電路 13 之 NPN 型雙極電晶體 17 之基極供給基極電流(base current)，半導體開關元件電路 13 成為導通(on)，在半導體元件電路 13 之陽極與陰極之間流通由 ESD 之大電流。藉由以上動作，在衰減器 11 與衰減器 12 所施加之 ESD 電壓係由半導體開關元件電路 13 加以放電之關係，ESD 電壓係不施加於內部電路 10，以保護內部電路 10。

在此如圖 2 所示，為使由半導體開關元件電路 13 流通大電流，需要在超過內部電路之閘極破壞電壓 V_g 之前，加以流通充分大之電流。但，隨伴於在內部電路 10 之 LSI 等的微細化，上述 LSI 內之 MOS 電晶體的閘極氧化膜之膜厚也變薄，因此、閘極破壞電壓 V_g 係更再變小。

一方面，半導體開關元件電路 13 係以 PNP 型、NPN 型雙極電晶體 16、17 所構成之關係、動作時之導通(ON)

電阻值較大。因此，在流通充分大電流之前超過閘極破壞電壓 V_g 。更且，為使在超過閘極破壞電壓 V_g 之前流通充分電流時，需要增大上述雙極電晶體 16、17 之尺寸以降低導通電阻，如此則由晶片尺寸之增大，使製造成本上昇。

【發明內容】

一種半導體積體電路依據發明之一樣態包括、半導體積體電路、開關元件，及控制電路。其中、半導體積體電路係形成於半導體晶片中。開關元件係形成於上述半導體晶片中，電流通路之一端及另一端係連接於上述半導體積體電路，上述開關元件係接受控制信號從上述電流通路之一端向另一端、流通由雙極動作之電流。控制電路係形成於上述半導體晶片中，控制上述開關元件之電流通路的導通狀態，上述控制電路係在上述電流通路之兩端電壓超過所定電壓值的場合，輸出使上述開關元件之電流通路成為導通可能狀態的控制信號，在不超過上述所定電壓值的場合，係使上述開關元件之電流通路成為非導通狀態。

為讓本發明之上述原理和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示、做詳細說明如下：

【實施方式】

以下，以參照圖面對此發明之實施例加以說明，尚且，在此說明，對於全圖使共同之部分附上共同之參照符號。

首先，用圖 3 及圖 4 加以說明關於此發明之 ESD 保護

電路的概要。圖 3 係概略說明關於此發明之 ESD 保護電路的一例，以模式方式表示 ESD 保護電路之一例的電路圖。如圖 3 所示、在半導體晶片中加以形成應保護之內部電路(半導體積體電路)23。在上述內部電路 23 係例如接連外部接連端子之第一衰減器 21 及第二衰減器 22，在第一衰減器 21 與第二衰減器 22 之間係接連 ESD 保護電路 24。

ESD 保護電路 24 係包含控制電路 25 及開關元件 26。控制電路 25 之一端係接連於第一衰減器 21，另一端係連接於第二衰減器 22。開關元件 26 係具有電流通路，其一端 27 係接連於第一衰減器 21，其另一端 28 係接連於第二衰減器 22。開關元件 26 係藉由從控制電路 25 所供給之控制信號、控制其電流通路之導通可能狀態/非導通狀態。更且，開關元件 26 係在導通狀態時，由雙極動作在其電流通路使電壓放電。

其次，用圖 4 加以說明在圖 3 所示之 ESD 保護電路的動作。圖 4 係在圖 3 所示之 ESD 保護電路 24 的電壓-電流特性圖。在圖 4，橫軸係表示施加於 ESD 保護電路 24 之電壓值 V ，縱軸係表示 ESD 保護電路 24 所流通之電流值 I 。更且、圖 4 中之實線 30 係圖 3 所示之 ESD 保護電路 24 的電壓-電流特性，虛線 31 係圖 2 所示之 ESD 保護電路的電壓-電流特性。

首先，在第一衰減器 21 與第二衰減器 22 之間、不施加由 ESD 之高電壓的場合，ESD 保護電路 24 係不起動作。因此，ESD 保護電路 24 之動作係不影響內部電路 23 之動

作。

一方面，在第一衰減器 21 與第二衰減器 22 之間，施加由 ESD 之高壓電，達到所定電壓值 V_{t1} 時，控制電路 25 檢知達到電壓值 V_{t1} ，ESD 保護電路 24 起動作。

電壓值 V_{t1} 係 ESD 保護電路 24 起動作之觸發電壓，在本例由控制電路 25 檢知施加之 ESD 電壓。控制電路 25 係在達到觸發電壓 V_{t1} 後，一旦由急返特性使第一衰減器 21 與第二衰減器 22 間的電壓下降至保持電壓 V_h 。其後，將開關元件 26 之電流通路成為導通可能狀態之控制信號輸出於開關元件 26。

接續，由上述控制信號使開關元件 26 之電流通路成為導通可能狀態。在此導通可能狀態，由 ESD 之高電位施加於開關元件 26 之一端 27 及另一端 28 之任何一方時、開關元件 26 係成為導通狀態，在第一衰減器 21 與第二衰減器 22 之間流動由雙極動作的電流，將由 ESD 之高電位在第一衰減器 21、第二衰減器 22 之任何一方放電。

藉由以上動作，由 ESD 所產生之高電壓不施加於內部電路 23。又、開關元件 26 係在其電流通路由雙極動作使電流通。藉此、在第一、第二衰減電路 21、22 之任何一方，可急速加以放電。其結果，可從由 ESD 所產生之高電壓加以保護內部電路 23。

如上所述，由 ESD 所產生之高電壓藉由利用開關元件 26 之雙極動作的電流可加以放電。因此，可減低 ESD 保護電路 24 之導通電阻。此結果如圖 4 所示以不超過閘極破

壞電壓 V_g ，可使大電流加以流通。因此、雖然在微細化之內部電路 23、內部電路 23 中之電晶體的閘極絕緣膜也不會被破壞。

更且、此 ESD 保護電路 24 係可由單一之開關元件 26 加以構成。因此，可使 ESD 保護電路 24 之晶片尺寸加以縮小。

又，控制電路 25 係檢知 ESD 電壓，以僅輸出使開關元件 26 成為導通可能狀態之電流值較低的控制信號即可。因此可使控制電路 25 之晶片尺寸低減之關係，能使 ESD 保護電路 24 之全體晶片尺寸低減之關係，能使 ESD 保護電路 24 之全體晶片尺寸低減。尚且，上述控制信號之電流值係例如為數 mA(milliamper)程度。

【第一實施例】

其次、用圖 5 加以說明此發明之第一實施例。在以下之實施例的說明，加以省略與上述說明重複部分的說明，對於相異部分加以詳細說明。

圖 5 係表示關於第一實施例之 ESD 保護電路的一例之電路圖。如圖 5 所示，ESD 保護電路 24 係由開關元件 26 及控制電路 25 所構成。

對於開關元件 26、適用 NPN 型雙極電晶體 36。NPN 型雙極電晶體 36 之基極係接連於控制電路 25，發射電極係接連於第二衰減器 22，集電極係接連於第一衰減器 21。

控制電路 25 係由半導體開關元件電路 40 與，觸發電路 41 所構成。其中，半導體開關元件電路 40 係控制 NPN

型雙極電晶體 36 之基極電流。觸發電路 41 係使半導體開關元件電路 40 加以動作。

上述半導體開關電路 40 係更在由 PNP 型雙極電晶體 30、NPN 型雙極電晶體 31、及電阻元件 34 加以構成。PNP 雙極電晶體 30 之基極係接連於 NPN 型電晶體 31 之集電極，電晶體 31 之基極係接連於電晶體 30 之集電極。電晶體 30 之發射電極係接連於第一衰減器 21，電晶體 31 之發射電極係接連於第二衰減器 22。電晶體 30 之基極與電晶體 31 之集電極的節(node)37 係以經介觸發電路 41 接連於第二衰減器 22，電晶體 31 之基極與電晶體 30 之集電極的節 33 係以經介電阻元件 34 接連於第二衰減器 22。節 33 係也接連於開關元件 26 之電晶體 36 的基極。

上述觸發電路 41 之一例係由以串聯接連於節 37 與第二衰減器 22 之間的第一二極管(diode)35-1 及第二二極管 35-2 所構成。第一二極管 35-1 之陽極係接連於節 37，陰極係接連於第二二極管 35-2 之陽極。第二二極管 35-2 之陰極係接連於第二衰減器 22。

其次，加以說明圖 5 所示之 ESD 保護電路的動作。尚且，在以下之動作說明對於 ESD 保護電路之電壓-電流特性，因與圖 4 同樣之關係省略其說明。

首先，在不施加 ESD 電壓於第一衰減器 21 與第二衰減器 22 之間之場合，ESD 保護電路 24 係不起動作。

一方面，由 ESD 之高電位施加於第一衰減器 21，以第一衰減器為高電位，第二衰減器為低電位之大電壓產

生時，以此由觸發電路 41 加以檢知。當觸發電路 41 檢知大電壓之產生時，向第二衰減器 22 使正向電流(forward current)流通。正向電流係使半導體開關元件電路 40 加以動作的觸發信號(電流)。當半導體開關元件電路 40 檢知觸發信號時，半導體開關元件電路 40 成為導通。

當半導體開關元件電路 40 為導通時，控制信號，在本例係產生控制電流。控制信號係從節 33 向電晶體 36 之基極加以供給。此成為基極電流，NPN 型雙極電晶體 36 係成為導通可能狀態。尚且，半導體開關元件電路 40 產生之控制信號的電流值係為電晶體 36 之基極電流之關係，例如，以數 mA 程度之低電流即可。

接續，在 NPN 型雙極電晶體 36 為導通可能狀態之場合當 ESD 電壓施加於集電極/發射電極間時，NPN 型雙極電晶體 36 之集電極與發射電極之間係成為導通狀態。因此，在 NPN 型雙極電晶體 36 之集電極~發射電極間流通電流，施加於第一衰減器 21 之高電位係加以放電於第二衰減器 22。

藉由以上之動作，可從 ESD 電壓加以保護內部電路 23。

如上所述，由單一之 NPN 型雙極電晶體 36，使 ESD 電壓加以放電之關係，可使 ESD 保護電路 24 之尺寸變小，能減低半導體積體電路裝置之製造成本。

更且，利用在雙極電晶體 36 之集電極~發射電極間所流動之電流以使由 ESD 施加之高電位加以放電的關係，比

較於半導體開關元件可使導通電阻減低。因此，也可加以改善超過閘極破壞電壓 V_g 之情形。

又，半導體開關元件電路 40 係供給使 NPN 型雙極電晶體 36 成為導通可能狀態之基極電流。半導體開關元件電路 40 係雖然也可以本身具有放電能力，主要放電係由電晶體 36 實行。因此，半導體開關元件電路 40 係僅以供給基極電流即可，不需要使電流值變大。因此，可減低半導體開關元件電路 40 之晶片面積，有利於晶片尺寸之增大抑制。使控制信號為輸出於閘極所使用。其結果，不需要輸出電力值較大之控制信號的關係，可減低半導體開關元件電路 40 之晶片尺寸及製造成本。

尚且，在上述實施例，對於觸發電路 41 以使用第一、第二二極管 35-1、35-2 之例加以表示。但觸發電路 41 之實施例並非限定於此。

例如，如圖 6 所示，觸發電路 41 係也可能由 N 通道型 MOS 電晶體 71 等加以實施。其中 N 通道型 MOS 電晶體 71 係具有接連於半導體開關元件 40 之汲極與，接連於第二衰減器 22 之閘極及源極的二極管接連。

【第二實施例】

其次對於此發明之第二實施例以用圖 7 加以說明。在以下之說明，省略與上述第一實施例重複部分之說明對於相異部分加以詳細說明。

圖 7 係表示關於第二實施例之 ESD 保護電路的一例之電路圖。如圖 7 所示，本例係，對於開關元件 26，以

利用 N 通道型 MOS 電晶體內之寄生雙極電晶體 36' 者。上述 MOS 電晶體 45 之汲極係接連於第一衰減器 21，閘極及源極係接連於第二衰減器 22，反向閘極(back gate)係接連於節 33。

更且，在本例，以在半導體開關元件電路 40 之 NPN 型雙極電晶體 31，也加以利用 N 通道型 MOS 電晶體 46 內之寄生雙極電晶體 31'。上述 MOS 電晶體 46 內之閘極及源極係接連於第二衰減器 22，反向閘極係接連於節 33，汲極係接連於節 37。

關於第二實施例之 ESD 保護電路 24 的動作係與關於第一實施例之 ESD 保護電路 24 同樣之關係將加以省略。

依照第二實施例時，可得與第一實施例同樣的效果。更且，對於開關元件 26 係利用 MOS 電晶體內之寄生雙極電晶體。因此，可將 ESD 保護電路 24 以 MOS LSI 之製程技術加以製造。所以，可圖謀製造製程之共同化等，能低減製造成本及晶片尺寸。對於此點，將使用以下之變形例 1 或變形例 2 所示之佈置例更在詳細說明。

【變形例 1】

其次對關於變形例 1 之 ESD 保護電路以圖 8 加以說明。圖 8 係為說明關於變形例 1 之 ESD 保護電路的佈置例之平面圖，表示將圖 7 所示之電路配置於 LSI 上的佈置例。在以下變形例之說明，將與第二實施例重複部分之說明加以省略，對於相異部分加以詳細說明。

如圖 8 所示，在 LSI 上以共用第一衰減器 21 之方式，

加以配置第一 ESD 保護電路 24-1 及第二 ESD 保護電路 24-2。保護電路 24-1、24-2 之一方為對應於圖 7 所示之保護電路。

首先，對於第一 ESD 保護電路 24-1 之佈置加以說明。第一 ESD 保護電路 24-1 係配置於 P 型基板 50 包括構成開關元件 26 之 N 通道型 MOS 電晶體 45、構成半導體開關元件電路 40 之 N 通道型 MOS 電晶體 46 及 PNP 型雙極電晶體 30 與，構成觸發電路 41 之第一、第二二極管 35-1、35-2。

上述 MOS 電晶體 45 之 N^+ 型汲極 54 係形成於 P 型基板 50。又， N^+ 型源極 55 係接連於第二衰減器 22-1。閘極係接連於源極 55，形成於 P 型基板 50，MOS 電晶體 46 之源極係與 MOS 電晶體 45 之源極 55 加以共有，其 N^+ 型汲極 57 係形成於 P 型基板 50，接連於 N 型井(Well)51。閘極 58 係接連於源極 55。

更且，PNP 型雙極電晶體 30 係配置於設在上述 MOS 電晶體 46 之外周的井 51。PNP 型雙極電晶體 30 係以 N 型井 51 為基極。在 N 型井 51 係形成電晶體 30 之集電極 59、發射電極 60。集電極 59 係接連於第一衰減器 21，發射電極 60 係接連於 P 型基板 50，即，MOS 電晶體 45、46 之反向閘極。

二極管 35-1、35-2 係配置於設在電晶體 30 之外周的 N 型井 52、53。二極管 35-1 係以 N 型井 52 為陰極。在 N 型井 52 內係形成陽極 61。陽極 61 係接連於 N 型井 51，

即，電晶體 30 之基極。二極管 35-2 係以 N 型井 53 為陰極。在 N 型井 53 內係形成陽極 62。陽極 62 係接連於二極管 35-1 之陰極，即 N 型井 52。圖中，在 N 型井 52 所形成之 N^+ 區 63 係為配線接觸之接觸區。二極管 35-2 之陰極，即 N 型井 53 係以經介 N^+ 型接觸區 64 接連於第二衰減器 22-1。以上之構成，在第二 ESD 保護電路 24-2 也為同樣。

對於動作係與上述第二實施例同樣之關係其說明從略。

依照變形例 1 時，使 MOS 電晶體 45 與，構成半導體開關元件電路之 MOS 電晶體 46 加以配置於共同之 P 型基板 50。因此，可使 MOS 電晶體 45 之源極及 MOS 電晶體 46 之源極由 N^+ 型區 55 加以共有。其結果，可將 ESD 保護電路 24(24-1、24-2) 之佈置面積沿閘極長度方向加以縮小。

又，在本例，係表示設兩個 ESD 保護電路 24-1、24-2 之例。如此以設兩個 ESD 保護電路 24-1、24-2 之場合，加以共有 MOS 電晶體 45 之汲極。其結果，在鄰接配置兩個 ESD 保護電路 24-1、24-2 之場合，可將佈置面積沿閘極長度方向加以減小。

【變形例 2】

其次關於變形例 2 之 ESD 保護電路用圖 9 加以說明。圖 9 係說明關於變形例 2 之 ESD 保護電路的佈置例之平面圖，表示將圖 7 所示之電路配置於 LSI 上的佈置例。以下，

與上述變形例 1 重複部分之說明從略、對於相異部分加以詳細說明。

如圖 9 所示、關於變形例 2 之圖案佈置與關於變形例 1 之電路的相異處並非將 MOS 電晶體 45、46 在閘極長度方向，而在於沿與此交差之閘極寬度方向加以排列。

上述 MOS 電晶體 45 之閘極及 MOS 電晶體 46 之閘極係共有一個閘極電極 65。如此，藉由將 MOS 電晶體 45、46 沿閘極寬度方向排列加以配置，與變形例 1 比較時，可更在縮短沿閘極長度方向之佈置。

又，在本例係與變形例 1 同樣，表示設兩個 ESD 保護電路 24-1、24-2 之例。在此種例，依據變形例 2 之場合、MOS 電晶體 45 係非以汲極 54 而以源極 55(55-1)加以共有。在 MOS 電晶體 46，係共有源極 55(55-2)。藉此，在設兩個 ESD 保護電路之場合，可加以共有 MOS 電晶體 45 之源極 55-1，及 MOS 電晶體 46 之源極 55-2，可縮小沿閘極長度方向之佈置面積。

對於動作係與上述第二實施例同樣之關係其說明從略。

如以上說明，依照關於上述實施例及變形例之半導體積體電路裝置的構成時，上述開關元件由雙極動作使 ESD 電壓加以放電之關係，例如比較於半導體開關元件動作等，可加以低減導通(ON)電阻。更且，開關元件係可以一個也能使 ESD 電壓加以放電。又，上述控制電路係加以檢知 ESD 電壓輸出將開關元件成為導通可能狀態之控制

信號即可之關係，不需要使尺寸變大以流通充分電流。因此，開關元件及控制電路之尺寸縮小成為可能，以致半導體積體電路裝置全體之尺寸縮小成為可能。

其結果，可得一種半導體積體電路具有使導通電阻加以低減，並且將晶片尺寸加以縮小成為可能之 ESD 保護電路。

增加之優點和變更將以現實發生在熟習此技藝者、所以，在此中以廣義上之發明所示和所述，為此，在不脫離一般發明概念之精神和範圍內如由所附申請專利範圍和以相等加以界定者當可作種種變更。

雖然本發明已以一較佳實施例揭露於上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 係表示習知之 ESD 保護電路的電路圖。

圖 2 係表示圖 1 所示習知之 ESD 保護電路的電壓-電流特性之圖。

圖 3 係為概略表示關於此發明之 ESD 保護電路，以模式表示之一電路圖。

圖 4 係表示在圖 3 所示 ESD 保護電路之電壓-電流特性的圖。

圖 5 係表示關於此發明之第一實施例之 ESD 保護電路的電路圖。

圖 6 係表示觸發電路 41 之一例的電路圖。

圖 7 係表示關於此發明之第二實施例的 ESD 保護電路之電路圖。

圖 8 係表示在 7 圖所示之 ESD 保護電路的第一佈置例。

圖 9 係表示在圖 7 所示之 ESD 保護電路的第二佈置例。

【主要元件符號說明】

- 10 內部電路
- 11.12 衰減器
- 13 半導體開關元件電路(SCR)
- 15 控制電路
- 16 PNP 型雙極電晶體
- 17 NPN 型雙極電晶體
- 18 電阻元件
- 19 GGNMOS 電晶體
- 20 電阻元件
- 21 第一衰減器
- 22 第二衰減器
- 23 內部電路
- 24 ESD 保護電路
 - 24-1 第一 ESD 保護電路
 - 24-2 第二 ESD 保護電路
- 25 控制電路

- 26 開關元件
- 27 電流通路之一端
- 28 電流通路之另一端
- 30 PNP 型雙極電晶體
- 31 NPN 型雙極電晶體
- 31' 寄生雙極電晶體
- 33 節(node)
- 34 電阻元件
- 35-1 第一二極管
- 35-2 第二二極管
- 36 NPN 型雙極電晶體
- 36' 寄生雙極電晶體
- 37 節
- 40 半導體開關元件電路
- 41 觸發電路
- 45、46 N 通道型 MOS 電晶體
- 50 P 型基板
- 51、52、53 N 型井
- 54 N^+ 型汲極
- 55 N^+ 型源極
- 57 N^+ 型汲極
- 58 閘極
- 59 集電極
- 60 發射電極

61、62 陽極

63 N^+ 區

64 N^+ 型接觸區

65 閘極電極

五、中文發明摘要：

一種半導體積體電路裝置係包括半導體積體電路與開關元件，其中，半導體積體電路係形成於半導體晶片中，開關元件係形成於上述半導體晶片中，其電流通路之一端及另一端接連於上述半導體積體電路。上述開關元件係接受控制信號從上述電流通路之一端向另一端、使由雙極動作之電流加以流通。更且，半導體積體電路裝置具有控制電路，係形成於上述半導體晶片中，加以控制上述開關元件之電流通路的導通狀態，上述控制電路係在上述電流通路之兩端電壓超過所定電壓值之場合，輸出使上述開關元件之電流通路成為導通可能狀態的控制信號，在不超過上述所定電壓之場合，使上述開關元件之電流通路成為非導通狀態。

六、英文發明摘要：

A semiconductor integrated circuit device comprising a semiconductor integrated circuit and a switch element is provided. Wherein, the semiconductor integrated circuit is formed in a semiconductor chip. The switch element is formed in the semiconductor chip, and one end and the other end of a current path are connected with the semiconductor integrated circuit. The switch element receives a control signal to circulate a current of bipolar action from one end of the current path to the other end. Further, the semiconductor

integrated circuit device comprises a control circuit formed in the semiconductor chip, to control a connection condition of the current path in the switch element. The control circuit outputs a control signal to turn on the current path of the switch element to a possible electroconductivity condition when the voltage at both ends of the current path exceeds a preset voltage value. The current path of the switch element is not turned on when the preset voltage value is not exceeded.

十、申請專利範圍：

1.一種半導體積體電路裝置，包括：

一半導體積體電路，係形成於一半導體晶片中；

一開關元件，係形成於該半導體晶片中，一電流通路之一端及一另一端接連於該半導體積體電路、該開關元件係接受一控制信號從該電流通路之該一端向該另一端，由雙極動作使電流通；以及

一控制電路，係形成於該半導體晶片中，以加以控制該開關元件之該電流通路的導通狀態之方式所加以構成，該控制電路係在該電流通路之兩端的電壓超過一預定電壓值之場合、輸出使該開關元件之該電流通路成為導通可能狀態的一控制信號，在不超過該預定電壓值的場合，係使該開關元件之該電流通路成為非導通狀態。

2.如申請專利範圍第 1 項所述之半導體積體電路裝置，更包括：

一第一衰減器，係接連於該一端之一外部接連端子；以及

一第二衰減器，係接連於該另一端之一外部接連端子。

3.如申請專利範圍第 1 項所述之半導體積體電路裝置，其中：

該控制信號係一電流。

4.如申請專利範圍第 1 項所述之半導體積體電路裝置，其中：

該開關於元件係以該電流通路之該一端為一集電極及一發射電極的其中之一、以該另一端為該集電極及該發射電極的另一個，為在一基極接受該控制信號的一雙極電晶體。

5. 如申請專利範圍第 1 項所述之半導體積體電路裝置，其中：

該開關元件係以該電流通路之該一端為一源極及一汲極的其中之一，以該另一端為該源極及該汲極的另一個，為在一反向閘極接受該控制信號的一絕緣閘極型電場效應電晶體。

6. 如申請專利範圍第 1 項所述之半導體積體電路裝置，其中該控制電路包括：

一觸發電路，係檢知該電流通路之兩端電壓超過該所定電壓加以輸出一觸發信號；以及

一半導體開關元件電路，係依據該觸發信號加以輸出該控制信號。

7. 如申請專利範圍第 6 項所述之半導體積體電路裝置，其中：

該觸發電路之一端係接連於該電流通路的該另一端，另一端係接連於該半導體開關元件電路之一基極，

該半導體開關元件電路之一陰極及一陽極的其中之一係接連於該電流通路的該一端，該陰極及該陽極之另一個係接連於該電流通路的該另一端。

8. 如申請專利範圍第 7 項所述之半導體積體電路裝

置，其中：

該半導體開關元件電路之全部為一双極電晶體，該開關元件係為第一双極電晶體。

9. 如申請專利範圍第 7 項所述之半導體積體電路裝置，其中：

該半導體開關元件電路之至少一部分為一絕緣閘極型電場效應電晶體，該開關元件係為第一絕緣閘極型電場效應電晶體。

10. 如申請專利範圍第 7 項所述之半導體積體電路裝置，其中：

該半導體開關元件電路包括：

一第一双極電晶體，係在該電流通路之該一端接連其一發射電極及一集電極的其中之一；與

一第二双極電晶體，係在該電流通路之該另一端接連其一發射電極及一集電極的其中之一，將該發射電極及該集電極之一另一個接連於該第一双極電晶體之一基極，使一基極接連於該第一双極電晶體之該發射電極及該集電極的另一個；並且

該觸發信號係供給於該第一双極電晶體之該基極與該第二双極電晶體之該發射電極及該集電極的該另一個等之一連接節點，該控制信號係從該第一双極電晶體之該發射電極及該集電極的該另一個與該第二双極電晶體之該基極等之一連接節點加以輸出。

11. 如申請專利範圍第 7 項所述之半導體積體電路裝

置，其中：

該半導體開關元件電路包括：

一第一雙極電晶體，係在該電流通路之該一端接連其一發射電極及一集電極的其中之一；與

一第一絕緣閘極型電場效應電晶體，係在該電流通路之該另一端接連其一源極及一汲極的其中之一，使該源極及該汲極之另一個接連於該第一雙極電晶體之一基極，使一反向閘極接連於該第一雙極電晶體之該發射電極及該集電極的一另一個；並且

該觸發信號係供給於該第一雙極電晶體之該基極與該第一絕緣閘極型電場效應電晶體之該源極及該汲極之該另一個等的一連接節點，該控制信號係從該第一雙極電晶體之該發射電極及該集電極的該另一個與該第一絕緣閘極型電場效應電晶體之該反向閘極等的一連接節點加以輸出。

12.如申請專利範圍第 10 項所述之半導體積體電路裝置，更包括：

該半導體開關元件電路係包括一電阻元件使一端接連於該連接節點，將另一端接連於該電流通路之另一端。

13.如申請專利範圍第 11 項所述之半導體積體電路裝置，更包括：

該半導體開關元件電路係包括一電阻元件，使一端接連於該連接節點，將另一端接連於該電流通路之該另一端。

14.如申請專利範圍第 7 項所述之半導體積體電路裝置

，其中：

該觸發電路係具有一二極管，其一陽極與一陰極接連於該半導體開關元件電路與該電流通路的該另一端之間，該觸發信號係為該二極管之一正向電流。

15.如申請專利範圍第7項所述之半導體積體電路裝置，其中：

該觸發電路係包括接連於該半導體開關元件電路之一源極及一汲極的其中之一與接連於該電流通路的該另一端之該源極及該汲極的另一個，並具有一閘極之以二極管接連的一絕緣閘極型電場效應電晶體，該觸發信號係以該二極管接連之該絕緣閘極型電場效應的一正向電流。

16.如申請專利範圍第11項所述之半導體積體電路裝置，其中：

該開關元件之該電流通路的該一端係為在一第一導電型之半導體基板所形成之一第二導電型之一第一半導體區，該電流通路之該另一端係為在該半導體基板所形成之一第二導電型之一第二半導體區；

該第一絕緣閘極型電場效應電晶體之該源極及該汲極的該另一個係為在該半導體基板所形成之一第二導電型之一第三半導體區，該源極及該汲極之其中之一係與該第二半導體區加以共有。

17.如申請專利範圍第11項所述之半導體積體電路裝置，其中：

該開關元件之該電流通路的該一端，係為在一第一導

電型之半導體基板所形成之一第二導電型之一第一半導體區，該電流通路之該另一端係為在該半導體基板所形成之一第二導電型之一第二半導體區，具有形成於由該第一、該第二半導體區彼此所夾之在該半導體基板上之一閘極電極；

該第一絕緣閘極型電場效應電晶體之該源極及該汲極的該其中之一係為在該半導體基板所形成之一第二導電型之一第三半導體區、該源極及該汲極之該另一個係為在該半導體基板所形成之一第二導電型之一第四半導體區，該第一絕緣閘極型電場效應電晶體之一閘極電極係與該開關元件之一閘極電極加以共有。

18.如申請專利範圍第 10 項所述之半導體積體電路裝置，其中：

該第一雙極電晶體係配置在鄰接於該開關元件之周邊所形成之一第二導電型之一第一井區、該觸發電路係配置在鄰接於該第一井區之周邊所形成之一第二導電型之一第二井區。

19.如申請專利範圍第 11 項所述之半導體積體電路裝置，其中：

該第一雙極型電晶體係配置在鄰接於該開關元件之周邊所形成之一第二導電型之一第一井區、該觸發電路係配置在鄰接於該第一井區之周邊所形成之一第二導電型之一第二井區。

七、指定代表圖：

(一)本案指定代表圖為：圖（ 3 ）。

(二)本代表圖之元件符號簡單說明：

- 21 第一衰減器
- 22 第二衰減器
- 23 內部電路
- 24 ESD 保護電路
- 25 控制電路
- 26 開關元件
- 27 電流通路
- 28 電流通路之另一端

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無