

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4939224号  
(P4939224)

(45) 発行日 平成24年5月23日(2012.5.23)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.

H01L 27/12 (2006.01)  
H01L 21/02 (2006.01)  
H01L 21/20 (2006.01)

F 1

H01L 27/12  
H01L 21/20

R

請求項の数 5 (全 11 頁)

(21) 出願番号 特願2006-541942 (P2006-541942)  
 (86) (22) 出願日 平成16年12月1日 (2004.12.1)  
 (65) 公表番号 特表2007-513511 (P2007-513511A)  
 (43) 公表日 平成19年5月24日 (2007.5.24)  
 (86) 國際出願番号 PCT/EP2004/053204  
 (87) 國際公開番号 WO2005/055290  
 (87) 國際公開日 平成17年6月16日 (2005.6.16)  
 審査請求日 平成19年10月1日 (2007.10.1)  
 (31) 優先権主張番号 10/728,519  
 (32) 優先日 平成15年12月5日 (2003.12.5)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 390009531  
 インターナショナル・ビジネス・マシーンズ・コーポレーション  
 INTERNATIONAL BUSINESS MACHINES CORPORATION  
 アメリカ合衆国10504 ニューヨーク  
 州 アーモンク ニュー オーチャード  
 ロード  
 (74) 代理人 100108501  
 弁理士 上野 剛史  
 (74) 代理人 100112690  
 弁理士 太佐 種一  
 (74) 代理人 100091568  
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】半導体基板を作製する方法

## (57) 【特許請求の範囲】

## 【請求項1】

Si含有層の表面の上に歪んだGe含有層を形成させる工程であって、前記Si含有層は、あらかじめ形成された絶縁体上シリコン(SOI)基板の絶縁層の上に配置されるものとする工程と、

前記Ge含有層を含有する前記あらかじめ形成されたSOI基板を、前記Ge含有層中の前記歪みを緩和させるために700から1100の温度で、第一のアニーリング工程に付す工程と、

前記Si含有層全体および前記Ge含有層の下部を含む埋め込み非晶質化領域を発生するために、非晶質化イオン注入を実行する工程と、

前記Ge含有層および前記埋め込み非晶質化領域を含有する前記あらかじめ形成されたSOI基板を、前記埋め込み非晶質化領域を再結晶化させるために600から1100の温度で、第二のアニーリング工程に付し、その結果前記Si含有層を歪んだ状態で再結晶化させる工程と、

選択的にGe含有層を除去して基板上歪みSi(SSOI)を提供する工程とを含む、絶縁体上歪みSiを作製する方法。

## 【請求項2】

前記形成させる工程と第一のアニーリング工程との間に、前記Si含有層の内部または近傍に欠陥を発生させるために、欠陥発生イオン注入を実行する工程をさらに含む、請求項1に記載の方法。

10

20

**【請求項 3】**

前記欠陥は、前記Ge含有層をより効率的に緩和させる効率的な転位核形成部位として働かせることができる、請求項2に記載の方法。

**【請求項 4】**

第一の結晶半導体層の表面の上に歪んだ第二の結晶半導体層を形成させる工程であって、前記第一の結晶半導体層は、あらかじめ形成された絶縁体上シリコン(SOI)基板の絶縁層の上に配置されるものとする工程と、

前記第一の結晶半導体層の内部または近傍に欠陥を発生させるために、欠陥発生イオン注入を実行する工程と、

前記第二の結晶半導体層および前記欠陥を含有する前記あらかじめ形成されたSOI基板を、前記第二の結晶半導体層中の前記歪みを緩和させるのに十分な第一の温度で、第一のアニーリング工程に付す工程と、

前記第一の結晶半導体層全体および前記第二の結晶半導体層の下部を含む埋め込み非晶質化領域を作り出すために、非晶質化イオン注入を実行する工程と、

前記第二の結晶半導体層および前記埋め込み非晶質化領域を含有する前記あらかじめ形成されたSOI基板を、前記埋め込み非晶質化領域を再結晶化させるのに十分な第二の温度で、第二のアニーリング工程とに付し、その結果前記第一の結晶半導体層を歪んだ状態で再結晶化させる工程と、

前記第二の結晶半導体層を選択的に除去して、絶縁体上の歪んだ半導体基板を提供する工程とを含み、

前記第一の結晶半導体層はSi含有半導体からなり、前記第二の結晶半導体層はGe含有材料からなり、

前記第一のアニーリング工程の前記第一の温度は700から1100の範囲の温度であり、前記第二のアニーリング工程の前記第二の温度は600から1100の範囲の温度である、絶縁体上歪み半導体(SSOI)を作製する方法。

**【請求項 5】**

前記Ge含有層は、SiGe合金または純粋なGeを含む、請求項1～3のいずれか1項に記載の方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体基板を作製する方法に関する。より詳しくは、本発明は、絶縁体上歪み半導体(SSOI)基板を作製する方法に関する。

**【背景技術】****【0002】**

相補型金属酸化膜半導体(CMOS)系のトランジスタデバイス性能を改善するための有望なオプションとして、歪みSiが採用された。通常、緩和したSiGeの層の上にSiを析出させて、引張り歪み下にあるSi層を製造する。SiGe上歪みSiは、絶縁体上シリコン(SOI)と併用されて、両方の技術の利点を組み合わせられた。使用目的によつては、中間のSiGe層なしで、絶縁層上に歪みSi層を直接有すれば理想的と考えられる。こうすれば、現在のSOI技術開発の趨勢に適合するSOI超薄層が可能になる。その上、中間のSiGe層は、例えばN型ドーパント拡散の増強、Si/SiGe相互混合、浅型トレンチ分離(STI)プロセスの複雑化など、プロセスをさらに複雑化させ、ケイ化物形成に対しておそらくマイナスの効果を及ぼす。

**【0003】**

絶縁層の上に歪みSiを直接作製する一つの方法は、厚い濃度勾配SiGeバッファ層、化学機械研磨(CMP)、歪みSi成長、ウエハボンディング、層転写およびSiGeエッチバックを用いることを含む。ウエハボンディングは、非常に滑らかな表面を必要とし、濃度勾配SiGe膜は、非常に粗い表面を有し、そのためSiGe膜はほとんどのウエハボンディングプロセスに適さないので、この先行技術方法には、固有の複雑さがある

10

20

30

40

50

。先行技術方法では、表面をより滑らかにするために C M P が用いられているが、 C M P は、特に 3 0 0 m m ウエハの場合、基板製造能力を低下させる。

#### 【 0 0 0 4 】

絶縁層の上に歪み S i を直接形成させる別の方法は、 S O I ウエハ上に約 4 0 0 n m 以上の厚さを有する厚い緩和した S i G e 層を直接成長させることを含む。緩和した S i G e 層の一番上の領域を、可能な限り最も低い貫通欠陥密度を有するように設計する ( G e 含有量を段階的に傾斜させか、または転位密度を低下させる他の先行技術の方法のどちらかによって)。次に、埋め込み酸化物層上にあって一番上の緩和した S i G e 層の下になる領域中の結晶化度を低下させるかまたは消滅させる線量およびエネルギーで、イオン注入によって一番上の緩和した高品質の S i G e 層の下の材料を非晶質化することが考えられる。続いて再結晶化アニーリングを実行して、一番上の層から下方に非晶質化した格子領域を固相エピタキシャル再成長させることが考えられる。

#### 【 0 0 0 5 】

一番上の層は、緩和した高品質の S i G e なので、この層の下で再結晶化させれば、この格子構造が下方に伝播すると考えられる。従って、 S O I 基板からのもともとの S i 層である一番下の層は、一番上の緩和した S i G e 層の面内格子パラメータで再結晶化し、従って、引張り変形で歪むと考えられる。次に、 S i G e を選択的に除去して、高性能 C M O S 用途のための低欠陥密度の歪み S O I 基板を提供することができると考えられる。

#### 【 発明の開示 】

##### 【 発明が解決しようとする課題 】

#### 【 0 0 0 6 】

上述の概念の主な欠点は、 1 ) 十分低い欠陥密度を有する高品質の緩和した厚い S i G e 合金層を成長させる能力が心もとないこと、 2 ) 非常に厚いランダムな合金を通して新しい欠陥を発生させることなく再結晶させる能力が不確実なこと、 3 ) そのような大きな埋め込み領域を従来の注入手順で非晶質化させるという実際面の困難、および 4 ) これらすべての処理工程の間、下にある S i 層への G e の相互拡散ができる限り低く抑えなければならないことである。

#### 【 0 0 0 7 】

上記を考慮すると、上記で言及された欠点をまったく示さない絶縁体上歪み半導体 ( S S O I ) 基板を形成させる新しい改善された方法を提供する必要がある。

#### 【 課題を解決するための手段 】

#### 【 0 0 0 8 】

本発明は、絶縁体上歪み半導体 ( S S O I ) 基板を作製する方法を提供する。この方法では、歪み半導体は絶縁体層の上に直接配置された 5 0 n m 未満の厚さを有する薄い半導体の層である。本発明の S S O I 基板を形成するに際して、ウエハポンディングは使用されない。

#### 【 0 0 0 9 】

本発明では、最初に、例えばあらかじめ形成された S O I 基板の上部 S i 含有層などの第一の結晶半導体層の表面の上に、例えば S i G e 合金層などの歪んだ第二の結晶半導体層を形成させることによって、 S S O I 基板が提供される。上部 S i 含有層は、例えばあらかじめ形成された S O I 基板の埋め込み酸化物などの絶縁層の上に配置される。

#### 【 0 0 1 0 】

常にではないが、通常、第二の結晶半導体層を形成させた後、オプションの欠陥発生イオン注入工程が実行される。示されるように、オプションの注入工程は、第一の結晶半導体層の内部または近傍に欠陥を発生させる。オプションの欠陥発生イオン注入の有無にかかわらず、第二の結晶半導体層の歪みを緩和させるのに十分な第一の温度まで、第一のアニーリング工程が構造に対して実行される。

#### 【 0 0 1 1 】

次に、構造の中に埋め込み非晶質化領域を作り出すために、今では緩和した第二の結晶半導体層を含む構造に対して非晶質化イオン注入工程が実行される。埋め込み非晶質化領

10

20

30

40

50

域は、第一の結晶半導体層全体および緩和した第二の結晶半導体層の下部を含む。

【0012】

次に、非晶質化領域を再結晶化させるのに十分な第二の温度で、第二のアニーリング工程が実行される。第二のアニーリング工程の結果、第一の半導体層は歪んだ状態で再結晶化する。再結晶化後の第一の半導体層中の歪みの大きさは、既に形成された緩和した第二の結晶半導体層の面内格子パラメータによって決定される。

【0013】

次に、第二の結晶半導体層は選択的に除去され、あらかじめ形成されたSOI基板の絶縁層の表面の上に配置された歪んだ第一の半導体層を含む基板が提供される。すなわち、本発明の選択的な除去工程によって、絶縁層上に配置された歪んだ第一の半導体層を含むSSOI基板が提供される。本発明の方法では、あらかじめ形成されたSOI基板が使用されるので、底になる半導体基板層は、絶縁層の下に配置される。10

【0014】

上記工程によって、歪んだ第一の半導体層が絶縁層全体の上に配置されたSSOI基板が提供される。本発明の代わりの実施態様では、あらかじめ形成されたSOI基板の絶縁層の上に配置された歪んだ第一の半導体の局所化領域と、歪んだ第一の半導体の局所化領域に隣接する歪みのない第一の半導体とを含むパターン化SSOI基板を形成させることが可能である。

【0015】

本発明の代わりの実施態様では、欠陥発生イオン注入工程と非晶質化イオン注入工程とは、第一の結晶半導体層を含む構造の選択された同じ区域の中で実行される。そのため、第一のアニーリング工程の間に、第二の半導体層のさまざまなあらかじめ選択された領域中で選択的な緩和を起こすことができる。本発明の残る加工中の後続の加工によって、絶縁層の上に、歪みのない第一の半導体層領域に隣接して、歪んだ第一の半導体層の局所化領域を含む基板が形成される。20

【0016】

次に、添付の図面を参照して、例を示すことだけを目的として、本発明の好ましい実施態様を説明する。

【発明を実施するための最良の形態】

【0017】

図面の比率は正確ではなく、従って本出願は、図面から確認することができるいかなる寸法にも限定されない点に注意すること。さらに、添付の図面では、類似の要素または対応する要素あるいはその両方を説明するために、類似の参照番号が使用される。30

【0018】

最初に、第一の結晶半導体層18の表面の上に第二の結晶半導体層20を形成させた後に提供される構造10の例を示す図1Aを参照する。第一の結晶半導体層18は、あらかじめ形成されたSOI基板12の一番上の層を表す。多くの場合、第一の半導体層18は、当分野ではSOI層と呼ばれ、例えばトランジスタまたはキャパシタあるいはその両方などの電気デバイスを形成させることができる。第一の結晶半導体層18に加えて、あらかじめ形成されたSOI基板12は、絶縁層16および一番下の半導体基板層14を備える。40

【0019】

図1Aに示されるあらかじめ形成されたSOI基板12は、公知の従来のSIMOX(酸素のイオン注入による分離)プロセス、ならびに、参照によってそれぞれの内容全体が本明細書に組み込まれる本出願人の2002年11月26日公布の米国特許第6,486,037号、2003年8月5日公布の第6,602,757号、2003年4月1日公布の第6,541,356号、2001年5月21日出願の米国特許出願第09/861,590号および2001年6月19日出願の第09/884,670号明細書ならびにSadanaらの米国特許第5,930,634号明細書中で言及されているさまざまなSIMOXプロセスを利用して、形成させることができる。50

## 【0020】

あるいは、あらかじめ形成されたSOI基板12は、例えば熱ボンディングおよび層転写プロセスを含むその他のプロセスを用いて製造することができる。

## 【0021】

上述の通り、あらかじめ形成されたSOI基板12は、一番下の半導体基板層14、絶縁層16および第一の結晶半導体層18を含む。あらかじめ形成されたSOI基板12の一番下の半導体基板層14は、例えばSi、SiC、SiGe、SiGeC、Ge、GaAs、InAs、InPならびに他のII族/V族またはII族/VI族化合物半導体を含む任意の半導体を含む。いくつかの実施態様では、一番下の半導体基板層14は、SOI基板または絶縁体上SiGe基板であつてよい。

10

## 【0022】

あらかじめ形成されたSOI基板12の絶縁層16は、Ge拡散に対して高度に抵抗性の絶縁体を含む。そのような絶縁およびGe拡散抵抗性材料の例は、結晶または非結晶の酸化物または窒化物を含むが、それらに限定されない。通常、あらかじめ形成されたSOI基板12の絶縁層16は、埋め込み酸化物層である。

## 【0023】

あらかじめ形成されたSOI基板12の第一の結晶半導体層18は、例えばSi、SiC、SiGe、SiGeC、Ge、GaAs、InAs、InPならびに他のII族/V族またはII族/VI族化合物半導体を含む任意の半導体を含む。本発明の好ましい実施態様では、第一の結晶半導体層18は、Si含有材料で構成される。

20

## 【0024】

あらかじめ形成されたSOI基板12のさまざまな層の厚さは、同基板を製造する際に用いられるプロセスによって変化し得る。しかし、第一の結晶半導体層18は、一般的に約1nmから約50nmの厚さを有する薄層であり、約5nmから約40nmの厚さがより一般的である。絶縁層16の場合、その層は、一般的に約1nmから約1000nmの厚さを有し、約20nmから約200nmの厚さがより好ましい。本発明の実施態様にとって、半導体基板層14の厚さは重要でない。上記に提示された厚さの範囲は、例を示すためのものである。

## 【0025】

第一の結晶半導体層18を備えるあらかじめ形成されたSOI基板12を準備した後、第一の結晶半導体層18の上に、歪んだ状態にある第二の結晶半導体層20が形成される。第二の結晶半導体層20は、第一の結晶半導体層18と同じまたは異なる半導体材料で構成されてよいが、但し、第二の結晶半導体層20は歪んだ状態で形成される。

30

## 【0026】

好ましい実施態様では、第二の結晶半導体層20は、SiGe合金または純粋なGeを含むGe含有層である。用語「SiGe合金」は、最高99.99原子パーセントGeを含むSiGe材料を含み、一方、純粋なGeは、100原子パーセントGeを含む層を含む。SiGe層が使用されるとき、SiGe層中のGe含有量は、約0.1から約99.9原子パーセントが好ましく、約10から約35Ge原子パーセントがより好ましい。

## 【0027】

第二の結晶半導体層20は、欠陥、すなわち不整合転位およびTD転位が実質的に存在しないだけでなく、歪み、準安定、擬多形の半導体を成長させることができる当業者に公知の任意の従来のエピタキシャル成長方法を用いて、第一の結晶半導体層18の上に形成される。そのようなエピタキシャル成長プロセスを説明する例は、高速熱化学蒸着(RT CVD)、低圧化学蒸着(LPCVD)、超高真空化学蒸着(UHVCVD)、常圧化学蒸着(APCVD)、分子線エピタキシ(MBE)またはプラズマ強化化学蒸着(PECVD)を含むが、それらに限定されない。

40

## 【0028】

この時点で形成された第二の結晶半導体層20の厚さは、変化し得るが、通常、第二の結晶半導体層20は、下にある第一の結晶半導体層18より大きな厚さを有する。一般的

50

に、第二の結晶半導体層20は、約10nmから約500nmの厚さを有し、約20nmから約200nmの厚さがより一般的である。

#### 【0029】

図1Aに示される構造を形成させた後、通常、第一の結晶半導体層18の内部または近傍に欠陥を発生させるために、第一の結晶半導体層18の上に形成された第二の結晶半導体層20を含む構造に対して、オプションの欠陥発生イオン注入工程が実行される。この注入工程から発生する欠陥によって、第二の結晶半導体層20の緩和を促進させる。緩和を促進させるそのような欠陥の例は、水素イオン注入の場合と同じく、小板状欠陥または泡状欠陥を含む。オプションの注入は、注入マスクを用いて実行してもよく、あるいは注入マスクを用いずに実行してもよい。

10

#### 【0030】

このオプションの注入工程後に形成される構造は、図1Bに示される。この図で、参照番号22は、このイオン注入工程によって第一の結晶半導体層18の内部に形成された欠陥を示す。欠陥発生イオン注入工程は、後続の加熱に際して歪み緩和を容易にする転位核形成部位のランダムアレイを発生させることによって、第二の結晶半導体 / 第一の結晶半導体の二層(18および20)中の欠陥発生の問題に対処する。詳しくは、イオン注入工程の間に形成された欠陥によって容易になった第一の結晶半導体層18の塑性変形によって、第二の結晶半導体層20の弾性緩和が起こる。

#### 【0031】

イオン範囲のピークを第一の結晶半導体層18の内部または近傍に維持する注入条件を用いて、水素、重水素、ヘリウム、酸素、ネオン、ホウ素、ケイ素またはそれらの混合物などのイオンをさまざまな層に注入することによって、第二の結晶半導体層20の緩和を促進させる欠陥が形成される。本明細書では、前記のイオンの同位元素も意図される。欠陥を発生させるために用いられる好ましいイオンは、水素イオン(H<sup>+</sup>)または酸素イオン(O<sup>+</sup>)である。本明細書では、H<sub>2</sub><sup>+</sup>などの他の水素化学種も意図され得ることに注意すること。

20

#### 【0032】

オプションの欠陥発生注入工程は、約0.01から約10マイクロアンペア/cm<sup>2</sup>のビーム電流密度を用いて、ほぼ室温、すなわち約283Kから約303Kの温度で実行される。異なる温度での注入または他のビーム電流密度を用いる注入あるいはその両方を行うと、緩和挙動に影響を及ぼすことがある。

30

#### 【0033】

欠陥22を形成させるに際して用いられる注入化学種の濃度は、使用される注入化学種の種類によって変り得る。しかし、一般的に、この時点で用いられる注入イオンの濃度は、 $3 \times 10^{16} \text{ cm}^{-2}$ 未満であり、約 $1 \times 10^{15}$ から約 $2.99 \times 10^{16} \text{ cm}^{-2}$ のイオン濃度がより一般的である。このオプションの注入のエネルギーも、注入されるイオンの種類によって変化し得る。但し、注入エネルギーは、イオンを第一の結晶半導体層18の内部または近傍に配置させることができなければならない。

#### 【0034】

例えば、注入イオンとして水素が使用されるとき、第一の結晶半導体層18の内部または近傍での欠陥形成を確実にするために用いられるエネルギーは、約1から約100keVであり、約3から約40keVのエネルギーがより好ましい。

40

#### 【0035】

第一の結晶半導体層18の内部または近傍に前記高エネルギーイオンを注入すると、転位欠陥を第一の結晶半導体層18の内部に優先的に移動させることによって、第二の結晶半導体層20をより効率的に緩和させる効率的な転位核形成部位として機能し得る欠陥が発生する。欠陥発生イオン注入工程によって生じた欠陥部位のランダムさによって、移動する転位の間の相互作用が原因となる欠陥ピンニングも減少し、それによって、緩和プロセスはさらに効率的になる。前記に加えて、オプションの欠陥発生イオン注入工程は、後続の第一のアニーリング工程の間に第二の結晶半導体層20を緩和させるのに必要な温度

50

も低下させる。

**【0036】**

図1A、またはオプションの図1Bに示される構造を形成させた後、次に、この構造は、第二の結晶半導体層20の歪み緩和させるのに十分な第一の温度で実行される第一のアニーリング工程に付される。第一のアニーリング工程は、オプションとして低濃度の酸素(1%未満)と混合されることがある不活性ガス環境中で実行されるが、あるいは、フォーミングガスが使用されることもある。第一のアニーリング工程で使用してもよい不活性ガス環境を説明する例は、He、Ar、N<sub>2</sub>、Xe、Kr、Neまたは例えばHe-ArまたはHe-N<sub>2</sub>混合物などそれらの混合物を含む。

**【0037】**

上記に示されるように、第一のアニーリング工程は、第二の結晶半導体層20の歪みを緩和させるのに十分な第一の温度で実行される。さらに、第一の温度は、この構造中のGeの拡散をできる限り低くさせる。詳しくは、第一のアニーリング工程の第一の温度は、約700から約1100であり、約800から約1050の第一の温度がより好ましい。第一のアニーリング工程の時間は、変化し得るが、一般的に第一のアニーリング工程は、約1秒から約5時間実行され、約5秒から1時間がより一般的である。

10

**【0038】**

第一のアニーリング工程は、高速熱アニーリングプロセス、炉アニーリングプロセス、レーザーアニール、スパイクアニールまたは歪んだ第二の半導体層20を十分に緩和させることができる任意の他の類似アニーリングプロセスを用いて実行してよい。高速熱アニーリングは、通常、炉アニーリングと比較するとより短い時間で実行される。第一のアニーリング工程は、単一の昇温速度を用いて実行してもよく、あるいはさまざまな昇温および保温サイクルを使用してもよい。

20

**【0039】**

第一のアニーリング工程の間に、第二の結晶半導体層20の緩和が起こることを、ここでもういちど強調しておく。このアニーリング工程の間に実現される緩和の度合いは、層の厚さだけではなく、第二の結晶半導体層20の中のもともとの歪みの関数である。通常、この工程の間に実現される緩和の度合いは、25%より大きい。

**【0040】**

次に、第一の結晶半導体層18全体と第二の結晶半導体層20の下部とを含む非晶質化領域24が提供される構造を作り出すために、非晶質化イオン注入工程が実行される。その結果得られる構造は、図1Cに示される。この注入の結果得られる損傷深さプロファイルのピークは、第一の結晶半導体層18に対応している。すなわち、非晶質化は、イオン範囲のピークを第一の結晶半導体層18の中心から±1000の範囲内にイオン注入することによって起こる。より好ましくは、非晶質化は、第一の結晶半導体層18の中心の±500の範囲内にイオンピークを注入することによって起こる。Si、P、As、Ge、Cまたはそれらの同位元素を含む任意の組み合わせなどの非晶質化イオンを用いてよい。非晶質化を引き起こし、上記で言及した範囲内にイオンピークを注入するのに十分な任意の範囲の線量およびエネルギーを用いてよい。

30

**【0041】**

図1Dは、第二のアニーリング工程を実行した後に形成される構造を示す。図1Dに示されるように、第二のアニーリング工程は、非晶質化した領域24を再結晶化させ、その結果第一の結晶半導体層18を歪んだ状態で再結晶化させるのに十分な第二の温度で実行される。歪みの大きさは、緩和した第二の結晶半導体層20の面内格子パラメータによって決定される。図1Dで、再結晶化した第一の半導体層は、参照番号26で示される。

40

**【0042】**

第二のアニーリング工程は、オプションとして低濃度の酸素(1%未満)と混合されることもある不活性ガス環境中で実行されるか、あるいはフォーミングガスが使用されることもある。第二のアニーリング工程に使用してもよい不活性ガス環境を説明する例は、He、Ar、N<sub>2</sub>、Xe、Kr、Neまたは例えばHe-ArまたはHe-N<sub>2</sub>混合物など

50

、それらの混合物を含む。

**【0043】**

上記に示されるように、第二のアニーリング工程は、第一の結晶半導体層18を歪んだ状態で再結晶化させるのに十分な第二の温度で実行される。従って、その結果得られる第一の半導体結晶層26は、緩和した第二の結晶半導体層20がもともと（緩和に先立つて）圧縮歪みしていれば、引張り変形で歪み、緩和した第二の結晶半導体層20がもともと引張り歪みしていれば、圧縮変形で歪む。詳しくは、第二のアニーリング工程の第二の温度は、約600から約1100であり、約800から約1050の第二の温度がより好ましい。第二のアニーリング工程の時間は、変化し得るが、一般的に、第二のアニーリング工程は、約1秒から約5時間実行され、約5秒から1時間がより一般的である。

10

**【0044】**

第二のアニーリング工程は、高速熱アニーリングプロセス、炉アニーリングプロセス、レーザーアニール、スパイクアニールまたは非晶質化した領域24ならびに第一の結晶半導体層18を歪んだ状態で再結晶化させることができ任意の他の類似アニーリングプロセスを用いて実行してよい。高速熱アニーリングは、通常、炉アニーリングと比較するとより短い時間実行される。第二のアニーリング工程は、一つの昇温速度を用いて実行してもよく、あるいはさまざまな昇温および保温サイクルを使用してもよい。

**【0045】**

第二のアニーリング工程を実行した後、第二の結晶半導体層20は、この構造から除去され、図1Eに示されるSSOI基板が提供される。この図面で、歪んだ第一の結晶層26は、あらかじめ形成されたSOI基板12の絶縁層16の上に直接配置されている。歪んだ第一の結晶半導体層26の厚さは、一般的に約50から約500であり、約100から約400の厚さがより一般的である。これらの厚さの範囲は、層18のもともとの厚さに似ていることに注意すること。これより若干薄い層が得られることがある。与えられる歪みの度合いは、さきに形成された緩和した第二の結晶半導体層の面内格子パラメータによって決定される。

20

**【0046】**

次に、第二の結晶半導体層20は、例えば化学エッティング、反応性イオンエッティング、低温酸化、原子酸化、化学機械研磨(CMP)、気体-クラスタビームシンニングまたはそれらの任意の組み合わせを含む選択除去プロセスを用いて除去される。

30

**【0047】**

図1Eに示されるように、歪んだ第一の半導体層26は、絶縁層16全体の上に配置される。図1A～Eに示される実施態様に加えて、あらかじめ形成されたSOI基板の絶縁層の上に配置された歪んだ第一の半導体の局所化領域と、歪んだ材料の局所化領域に隣接する歪みのない第一の半導体とを含む、パターン化されたSSOI基板が形成される代替実施態様を考慮しなければならない。本発明のこの代替実施態様は、図2A～Bに示される。

**【0048】**

本発明のこの代替実施態様では、欠陥発生イオン注入工程と非晶質化イオン注入工程とが、第一の結晶半導体層を含む構造の選ばれた同じ区域で実行される。この代替構造は、図2Aに示される。第一のアニーリング工程の間に、第二の半導体層のあらかじめ選ばれた別々の領域中で選択的な緩和を起こすことができる。上記で説明された残る加工工程の中の後続の加工の結果、絶縁層16の上に、歪みのない第一の半導体層領域18に隣接して、局所化された歪んだ第一の半導体層領域26を含む基板が得られる。このSSOI基板は、図2Bに示される。

40

**【0049】**

図3は、転位をSOI層内に優先的に移動させることによってSiGe層を緩和させる本発明の好ましい実施態様のアニーリング工程を実行した後の、基板の断面透過型電子顕微鏡(XTEM)画像である。この工程の簡単な断面図は、例えば、図1Bに示される。この試料は、 $2.5 \times 10^{-6}$  原子/ $\text{cm}^2$  の線量で、ピークH濃度をSOI/埋め込み

50

酸化物界面の近くに配置させる深さにHを注入され、高速熱アニーリング(50 /秒)を用いて900で5分間アニールされた200のSOI層の上に成長させた550の30%SiGe層を含んでいた。SiGe層は、X線回折を用いて29.9%Geであり、61%緩和していると測定された。

【図面の簡単な説明】

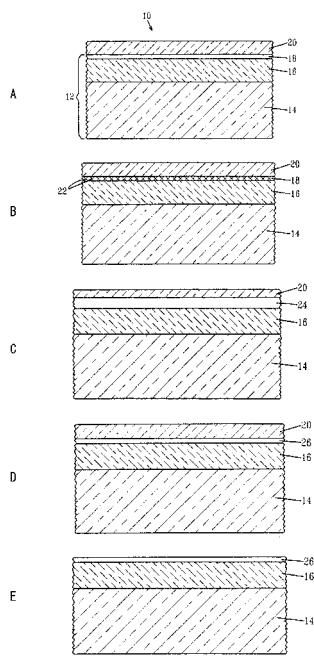
【0050】

【図1】図1AからEは、あらかじめ形成されたSOI基板の絶縁層の表面の上に歪んだ半導体層を直接形成させるに際して、本発明の好ましい実施態様中で使用される基本的な加工工程を例示する図表現(断面図によって)である。

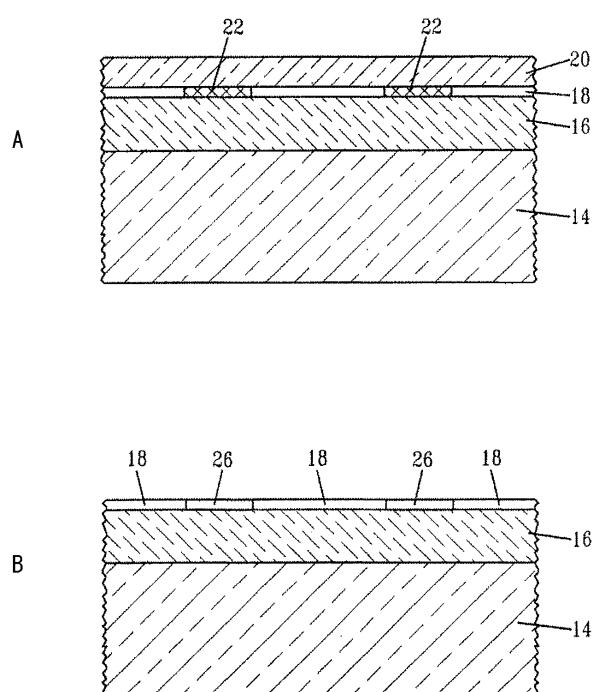
【図2】図2AからBは、本発明の代替実施態様の例を示す図表現(断面図によって)である。  
10

【図3】本発明の好ましい実施態様の第一のアニーリング工程を実行した後の基板の断面透過型電子顕微鏡(XTEM)画像であり、SOI層中に優先的に配置された転位を示す。

【図1】



【図2】



【図3】



---

フロントページの続き

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 ベデル、ステファン

アメリカ合衆国 12590 ニューヨーク州 ワッピンガーズ・フォールズ ニコル・ドライブ  
32

(72)発明者 コーエン、ガイ

アメリカ合衆国 10547 ニューヨーク州 モーガン・レイク ニュー・シャレー・ドライブ  
157

(72)発明者 チエン、ファジー

アメリカ合衆国 12590 ニューヨーク州 ワッピンガーズ・フォールズ カンタベリー・レ  
ーン 11F

審査官 綿引 隆

(56)参考文献 國際公開第00/019500(WO, A1)

特表平08-512432(JP, A)

特開2003-158250(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/02

H01L 21/20

H01L 27/12