



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월20일  
(11) 등록번호 10-1050699  
(24) 등록일자 2011년07월14일

(51) Int. Cl.

G11C 7/06 (2006.01) G11C 11/4091 (2006.01)

G11C 7/08 (2006.01)

(21) 출원번호 10-2009-0028220

(22) 출원일자 2009년04월01일

심사청구일자 2009년04월01일

(65) 공개번호 10-2009-0106346

(43) 공개일자 2009년10월08일

(30) 우선권주장

JP-P-2008-098246 2008년04월04일 일본(JP)

(56) 선행기술조사문현

KR1020050065518 A

KR1019990080731 A

전체 청구항 수 : 총 28 항

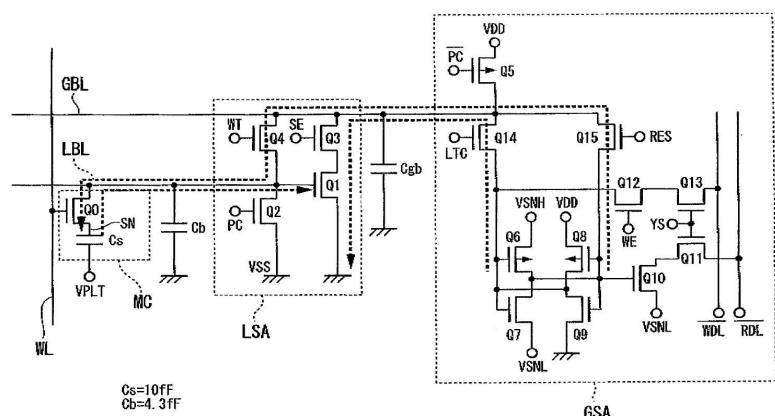
심사관 : 윤난영

(54) 반도체 메모리 디바이스

### (57) 요 약

반도체 메모리 디바이스에서, 메모리 셀은 로컬 비트 라인 및 글로벌 비트 라인을 통해 로컬 감지 증폭기 및 글로벌 감지 증폭기에 연결된다. 로컬 감지 증폭기는 메모리 셀을 사용하여 데이터를 판독 및 기록하는 경우 변화하는 로컬 비트 라인의 전위를 검출하는 단일 MOS 트랜지스터를 포함하는 단일-종단 감지 증폭기이다. MOS 트랜지스터의 임계 전압은 하이-레벨 기록 전압과 로우-레벨 기록 전압을 생성하도록 모니터링되며, 그들은 글로벌 로컬 감지 증폭기에 의해 메모리 셀 상에 리로드 동작을 적절히 수행하도록 모니터링 결과에 기초하여 정정 및 시프트된다. 이리하여, 제조 프로세스의 분산에 기인한 임계 전압의 시프팅 및 임계 전압의 온도-종속 변동을 소거하는 것이 가능하다.

### 대 표 도



(72) 발명자

**세키구치 도모노리**

일본 도쿄도 지요다쿠 마루노우치 1쵸메 6-1 가부  
시끼가이샤 히다치 세이사꾸쇼 지테키자이산케이부  
나이

**다케무라 리이치로**

일본 도쿄도 지요다쿠 마루노우치 1쵸메 6-1 가부  
시끼가이샤 히다치 세이사꾸쇼 지테키자이산케이부  
나이

---

**야마다 야스토시**

일본 도쿄도 지요다쿠 마루노우치 1쵸메 6-1 가부  
시끼가이샤 히다치 세이사꾸쇼 지테키자이산케이부  
나이

## 특허청구의 범위

### 청구항 1

메모리 셀;

상기 메모리 셀에 연결된 로컬 비트 라인;

제 1 입력/출력 단자를 사용하여 상기 로컬 비트 라인에 연결되는 전계 효과 트랜지스터를 포함하고, 상기 메모리 셀로 데이터를 기록하고 상기 메모리 셀의 데이터를 증폭하는 로컬 감지 증폭기;

제 2 입력/출력 단자를 사용하여 상기 로컬 감지 증폭기에 연결되는 글로벌 비트 라인;

상기 글로벌 비트 라인에 연결되고, 상기 제 2 입력/출력 단자를 경유하여 상기 메모리 셀로 데이터를 기록하고 상기 메모리 셀의 데이터를 증폭하는 글로벌 감지 증폭기;

상기 전계 효과 트랜지스터의 임계 전압 및 상기 임계 전압의 온도-종속 변동을 모니터링하는 임계 모니터 회로; 및

상기 임계 전압의 모니터링 결과에 기초하여 상기 메모리 셀에 대한 기록 전압을 발생시키는 발생 회로를 포함하고,

상기 글로벌 감지 증폭기는 상기 로컬 감지 증폭기의 출력 전압에 기초하여 상기 메모리 셀로 판독 전압을 인가하면서 상기 메모리 셀의 기록 데이터에 기초하여 상기 메모리 셀로 상기 기록 전압을 인가하는, 반도체 메모리 디바이스.

### 청구항 2

제 1 항에 있어서,

상기 전계 효과 트랜지스터는 게이트가 상기 제 1 입력/출력 단자에 연결되는 제 1 트랜지스터인, 반도체 메모리 디바이스.

### 청구항 3

제 2 항에 있어서,

상기 제 1 트랜지스터의 상기 게이트는 상기 로컬 비트 라인에 연결되고, 상기 제 1 트랜지스터의 소스는 기준 전압에 연결되며, 상기 제 1 트랜지스터의 드레인은 상기 제 2 입력/출력 단자에 연결되어, 상기 제 1 트랜지스터가 판독 동작에서 동작하도록 단일-종단 (single-ended) 감지 증폭기로서 작용하는, 반도체 메모리 디바이스.

### 청구항 4

제 1 항에 있어서,

상기 로컬 감지 증폭기는 기록 동작에서 동작하도록 상기 제 1 입력/출력 단자와 상기 제 2 입력/출력 단자 사이에 연결되는 제 4 트랜지스터를 더 포함하는, 반도체 메모리 디바이스.

### 청구항 5

제 1 항에 있어서,

상기 글로벌 감지 증폭기는 상기 글로벌 비트 라인에 연결된 제 3 입력/출력 단자, 외부 디바이스와 통신하는 제 4 입력/출력 단자, 및 래치 회로를 포함하고, 판독 트랜지스터가 상기 제 3 입력/출력 단자와 상기 래치 회로의 제 1 부분 사이에 연결되어 판독 동작에서 턴온되면서, 기록 트랜지스터는 상기 제 3 입력/출력 단자와 상기 래치 회로의 제 2 부분 사이에 연결되어 기록 동작에서 턴온되는, 반도체 메모리 디바이스.

### 청구항 6

제 5 항에 있어서,

상기 메모리 셀의 판독 데이터는 상기 판독 트랜지스터를 경유하여 상기 글로벌 감지 증폭기로 전송되고, 그 후 상기 기록 트랜지스터를 경유하여 상기 메모리 셀로 리로드되는, 반도체 메모리 디바이스.

#### 청구항 7

제 2 항에 있어서,

상기 제 1 트랜지스터에 의해 판독되고 상기 로컬 비트 라인 상으로 전송되는 상기 메모리 셀의 하이-레벨 데이터의 위상에 대해 반대인 위상을 갖는 전압이 판독 동작에서 상기 글로벌 비트 라인을 경유하여 상기 글로벌 감지 증폭기로 공급되면서, 상기 글로벌 감지 증폭기는 기록 동작에서 상기 메모리 셀의 상기 하이-레벨 데이터의 상기 위상과 동일한 위상을 갖는 전압을 상기 메모리 셀에 공급하는, 반도체 메모리 디바이스.

#### 청구항 8

제 7 항에 있어서,

상기 기록 동작에서 상기 로컬 비트 라인에 인가되는 상기 기록 전압은, 상기 로컬 감지 증폭기가 상기 메모리 셀로부터 하이-레벨 데이터를 판독하는 경우, 상기 로컬 비트 라인 상에 나타나는 전위보다 높은, 반도체 메모리 디바이스.

#### 청구항 9

제 2 항에 있어서,

상기 로컬 감지 증폭기는 판독 동작에서 상기 글로벌 비트 라인으로 상기 제 1 트랜지스터의 출력 전류를 선택적으로 공급하기 위해 상기 제 1 트랜지스터와 상기 글로벌 비트 라인 사이에 연결되는 제 2 트랜지스터를 더 포함하는, 반도체 메모리 디바이스.

#### 청구항 10

제 1 항에 있어서,

상기 임계 모니터 회로는 그 임계 전압을 모니터링하기 위해 상기 로컬 감지 증폭기의 상기 전계 효과 트랜지스터와 동일한 정보를 갖는 전계 효과 트랜지스터를 포함하고, 상기 발생 회로는 상기 모니터링된 임계 전압에 기초하여 상기 기록 데이터를 발생시키는, 반도체 메모리 디바이스.

#### 청구항 11

제 10 항에 있어서,

상기 메모리 셀은 전계 효과 트랜지스터와 커페시터에 의해 구성되는, 반도체 메모리 디바이스.

#### 청구항 12

제 11 항에 있어서,

하이-레벨 기록 전압 또는 로우-레벨 기록 전압이 오프셋 전압에 가산되고, 그 후 상기 커페시터에 인가되며, 상기 모니터링된 임계 전압은 상기 로컬 비트 라인의 기생 용량 ( $C_b$ ) 과 상기 커페시터의 용량 ( $C_s$ )를 사용하여  $(C_s+C_b)/C_s$ 에 의해 승산되고, 그 후 시프트값 만큼 시트프되어 상기 오프셋 전압을 생성하는, 반도체 메모리 디바이스.

#### 청구항 13

제 12 항에 있어서,

상기 시프트값은 상기 커페시터에 인가된 상기 기록 전압이 기준 온도에서 상기 로컬 감지 증폭기의 상기 전계 효과 트랜지스터에 대해 미리 결정되는 소정의 값과 동일하게 되도록 미리 결정되는, 반도체 메모리 디바이스.

#### 청구항 14

제 13 항에 있어서,

상기 커패시터는 상기 로컬 비트 라인을 경유하여 상기 커패시터에 인가되는 상기 기록 전압과, 상기 하이-레벨 기록 전압과 상기 로우-레벨 기록 전압 사이의 중간점 전압인 플레이트 전압 (plate voltage) 사이의 차이에 기인하여 전하를 축적하는, 반도체 메모리 디바이스.

### 청구항 15

입력/출력 단자가 로컬 비트 라인에 연결되는 메모리 셀;

기록 데이터와 실질적으로 동일한 정보를 갖는 판독 데이터가 상기 메모리 셀로부터 판독되는 경우, 상기 로컬 비트 라인 상에 나타나는 판독 신호 전압을 증폭하는 전계 효과 트랜지스터를 포함하는 로컬 감지 증폭기;

상기 메모리 셀로 기록 데이터를 기록하는 기록 증폭기;

상기 전계 효과 트랜지스터의 임계 전압 및 상기 임계 전압의 온도-종속 변동을 모니터링하는 임계 모니터 회로; 및

상기 임계 전압의 모니터링 결과에 기초하여 기록 전압을 발생시키는 발생 회로를 포함하고,

상기 로컬 감지 증폭기의 상기 전계 효과 트랜지스터는 게이트가 상기 로컬 비트 라인에 연결되고, 소스가 기준 전압에 연결되며, 드레인의 출력 노드를 형성하여 판독 동작에서 동작하는 단일-중단 감지 증폭기로서 작용하는 제 1 트랜지스터이며,

상기 기록 증폭기는 상기 기록 데이터에 기초하여 상기 메모리 셀로 기록 전압을 인가하는, 반도체 메모리 디바이스.

### 청구항 16

제 15 항에 있어서,

상기 제 1 트랜지스터의 상기 출력 노드에 연결된 글로벌 비트 라인, 상기 기록 증폭기와 함께 상기 글로벌 비트 라인에 연결된 글로벌 감지 증폭기, 및 기록 동작에서 동작하도록 상기 로컬 비트 라인과 상기 글로벌 비트 라인 사이에 연결되는 제 4 트랜지스터를 더 포함하고,

상기 글로벌 감지 증폭기는 상기 글로벌 비트 라인을 경유하여 상기 로컬 감지 증폭기에 의해 판독되는 상기 메모리 셀의 판독 데이터를 수신하며,

상기 기록 증폭기는 상기 글로벌 비트 라인 및 상기 제 4 트랜지스터를 경유하여 상기 메모리 셀로 외부 디바이스의 기록 데이터를 기록하는, 반도체 메모리 디바이스.

### 청구항 17

제 16 항에 있어서,

상기 기록 증폭기 및 상기 글로벌 감지 증폭기는, 상기 메모리 셀로 기록될 상기 기록 데이터를 래치하고 상기 로컬 감지 증폭기에 의해 판독되는 상기 메모리 셀의 상기 판독 데이터를 래치하는 래치 회로를 공유하는, 반도체 메모리 디바이스.

### 청구항 18

제 16 항에 있어서,

상기 메모리 셀의 상기 판독 데이터가 상기 글로벌 감지 증폭기로 한번 전송되고, 그 후 상기 기록 증폭기에 의해 상기 메모리 셀로 리로드되는, 반도체 메모리 디바이스.

### 청구항 19

제 18 항에 있어서,

상기 기록 증폭기 및 상기 글로벌 감지 증폭기는, 상기 메모리 셀로 기록될 상기 기록 데이터를 래치하고 상기 로컬 감지 증폭기에 의해 판독되는 상기 메모리 셀의 상기 판독 데이터를 래치하는 래치 회로를 공유하는, 반도체 메모리 디바이스.

**청구항 20**

제 18 항에 있어서,

상기 제 1 트랜지스터가 상기 메모리 셀로부터 하이-레벨 데이터를 판독하는 경우 상기 로컬 비트 라인 상에 나타나는 전위의 위상에 반대인 위상을 갖는 전압이 판독 동작에서 상기 글로벌 비트 라인을 경유하여 상기 글로벌 감지 증폭기로 공급되면서, 상기 로컬 비트 라인 상에 나타나는 상기 전위의 상기 위상과 동일한 위상을 갖는 전압이 기록 동작에서 상기 메모리 셀로 공급되는, 반도체 메모리 디바이스.

**청구항 21**

제 20 항에 있어서,

상기 기록 동작에서의 상기 로컬 비트 라인의 전위는, 상기 로컬 감지 증폭기가 상기 판독 동작에서 상기 메모리 셀로부터 상기 하이-레벨 데이터를 판독하는 경우, 상기 로컬 비트 라인 상에 나타나는 판독 신호 전압보다 높은, 반도체 메모리 디바이스.

**청구항 22**

제 21 항에 있어서,

상기 기록 증폭기 및 상기 글로벌 감지 증폭기는, 상기 메모리 셀로 기록될 상기 기록 데이터를 래치하고 상기 로컬 감지 증폭기에 의해 판독되는 상기 메모리 셀의 상기 판독 데이터를 래치하는 래치 회로를 공유하는, 반도체 메모리 디바이스.

**청구항 23**

제 16 항에 있어서,

상기 로컬 감지 증폭기는 상기 판독 동작에서 상기 글로벌 비트 라인에 상기 제 1 트랜지스터의 출력 전류를 선택적으로 공급하고 상기 제 1 트랜지스터의 출력 노드와 상기 글로벌 비트 라인 사이에 연결되는 제 2 트랜지스터를 더 포함하는, 반도체 메모리 디바이스.

**청구항 24**

제 15 항에 있어서,

상기 임계 모니터 회로는 그 임계 전압을 모니터링하기 위해 상기 제 1 트랜지스터와 동일한 정보를 갖는 전계 효과 트랜지스터를 포함하고, 상기 발생 회로는 상기 모니터링된 임계 전압에 기초하여 상기 기록 전압을 발생시키는, 반도체 메모리 디바이스.

**청구항 25**

제 15 항에 있어서,

상기 메모리 셀은 전계 효과 트랜지스터와 커패시터로 구성되는, 반도체 메모리 디바이스.

**청구항 26**

제 25 항에 있어서,

하이-레벨 기록 전압 또는 로우-레벨 기록 전압이 오프셋 전압에 가산되고, 그 후 상기 커패시터에 인가되며, 상기 모니터링된 임계 전압은 상기 로컬 비트 라인의 기생 용량 (Cb) 과 상기 커패시터의 용량 (Cs)를 사용하여  $(Cs+Cb)/Cs$ 에 의해 승산되고, 그 후 시프트값 만큼 시트프되어 오프셋 전압을 생성하는, 반도체 메모리 디바이스.

**청구항 27**

제 26 항에 있어서,

상기 시프트값은 상기 커패시터에 인가된 상기 기록 전압이 기준 온도에서 상기 로컬 감지 증폭기의 상기 전계

효과 트랜지스터에 대해 미리 결정되는 소정의 값과 동일하게 되도록 미리 결정되는, 반도체 메모리 디바이스.

## 청구항 28

제 27 항에 있어서,

상기 커패시터는 상기 로컬 비트 라인을 경유하여 상기 커패시터에 인가되는 상기 기록 전압과, 상기 하이-레벨 기록 전압과 상기 로우-레벨 기록 전압 사이의 중간점 전압인 플레이트 전압 사이의 차이에 기인하여 전하를 축적하는, 반도체 메모리 디바이스.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 제조 프로세스에서의 금속-산화물 반도체 (MOS) 트랜지스터들의 임계 전압의 분산 및 그것의 온도 종속성에 기인한 단일의 MOS 트랜지스터를 각각 포함하는 단일-종단 감지 증폭기들의 특성 분산을 소거하도록 설계되는 동적 랜덤 액세스 메모리 (DRAM) 등의 반도체 메모리 디바이스에 관한 것이다.

[0002] 본 출원은 그 내용이 참조로 여기에 포함되는 일본 특허출원 제 2008-98246 호에 대한 우선권을 주장한다.

#### 배경기술

[0003] 종래에, 온도 변동에 기인한 특성 분산을 보상하는 감지 증폭기를 갖는 반도체 메모리 디바이스가 개발되었고 특히 문헌 1 내지 9 와 같은 여러 문헌에 개시되었다.

[0004] 특허 문헌 1: 일본 공개특허공보 소58-168310

[0005] 특허 문헌 2: 일본 공개특허공보 소60-157797

[0006] 특허 문헌 3: 일본 공개특허공보 소62-42397

[0007] 특허 문헌 4: 일본 공개특허공보 2004-273110

[0008] 특허 문헌 5: 일본 공개특허공보 2005-182873

[0009] 특허 문헌 6: 일본 공개특허공보 2006-172683

[0010] 특허 문헌 7: 일본 공개특허공보 평06-243678

[0011] 특허 문헌 8: 일본 공개특허공보 평06-203587

[0012] 특허 문헌 9: 일본 특허출원 제 2000-505227 호

[0013] 특허 문헌 1 은 차동 증폭기 회로의 출력 신호를 안정화하기 위해 온도에 기초하여 차동 증폭기 회로의 기준 신호 레벨을 변화시키는 감지 증폭기를 교시한다. 이러한 기술은 차동 증폭기 회로의 이득을 조정하는 것을 목표로 하며, 단일 MOS 트랜지스터를 포함하는 단일-종단 감지 증폭기에 적용가능하지 않다.

[0014] 특허 문헌 2는 감지 증폭기가 기준 전압에 대응하는 임계 레벨에 기초하여 로직 레벨을 발생시키도록, 온도 보상 회로가 온도 센서의 출력 신호에 기초하여 온도-보상 기준 전압을 형성하는 온도-보상 베를 메모리 시스템을 교시한다. 특허 문헌 2는 온도 센서, 온도 보상 회로 및 감지 증폭기에 대한 특정의 회로 구성을 교시하지 못하며, 단일 MOS 트랜지스터를 포함하는 단일-종단 감지 증폭기에 적용가능하지 않다.

[0015] 특허 문헌 3은 저항,  $\beta$  이득, 및 기생 용량에 관련한 온도 변동을 소거하기 위해 복수의 온도-보상부가 사용되는 온도-보상형 감지 증폭기를 교시한다. 이러한 기술은 바이폴라 감지 증폭기에 바람직하게 적용가능하지만, 단일의 MOS 트랜지스터를 포함하는 단일-종단 감지 증폭기에는 적용가능하지 않다.

[0016] 특허 문헌 4는 메모리 저항기의 저항값의 온도 변동을 보상하는 온도-보상 PRAM 감지 증폭기를 교시한다. 이러한 기술은 메모리 저항기의 온도 종속성을 보상하도록 설계되지만, 감지 증폭기의 온도 종속성을 보상하도록 설계되지는 않으며; 이리하여, 단일의 MOS 트랜지스터를 포함하는 단일-종단 감지 증폭기에 적용가능하지 않

다.

[0017] 특히 문헌 5는 감지 마진을 개선하는 반도체 메모리 디바이스를 교시한다. 이러한 기술은 기록 시간에 기록 데이터에 기초하여 셀-플레이트 전압을 소정의 값 만큼 시프팅하여, 축적 전하를 증가시키도록 설계된다. 특히 문헌 6은 워드-라인 전압을 부스트하지 않고 셀-플레이트 전압을 사용하여 수행되는 전체 기록 동작에서 셀을 선택하는 트랜지스터의 임계 전압의 분산에 기인한 기록 전압의 분산을 방지하도록 설계되는 반도체 디바이스를 교시한다.

[0018] 특히 문헌 7은 셀-플레이트 전압이 하이 레벨 및 로우 레벨의 양 레벨에서 DRAM 셀의 커페시터에 대해 동일한 누설 전류를 설정하도록 제어되는 그 플레이트-전압 설정 방법 및 정보 처리 시스템을 갖는 동적 RAM 을 교시한다. 그러나, 이들 교시는 단일-종단 감지 증폭기의 임계-전압 변동을 보상할 수 없다.

[0019] 특히 문헌 8은 메모리에 적응된 단일-종단 감지 증폭기의 동작을 안정화하도록 설계되는 데이터-라인 로드 회로, 레벨 시프터, 및 증폭 회로를 갖는 감지 증폭기를 교시한다. 특히 문헌 9는 메모리 셀의 비트-라인 전압의 진폭을 그것의 중앙값으로 좁혀서 셀을 선택하는 트랜지스터의 누설 전류를 감소시키도록 설계되는 저전압 동적 메모리를 교시한다. 양 기술은 단일-종단 감지 증폭기의 임계-전압 변동을 보상할 수 없다.

[0020] 본 발명자들은 온도 변동에 기인한 특성 변동을 보상하는 종래 알려진 감지 증폭기 및 감지 마진을 개선하는 종래 알려진 기술이 단일-종단 감지 증폭기의 임계-전압 변동을 보상할 수 없다는 것을 인식했다.

[0021] 본 발명은 제조 프로세스에서의 MOS 트랜지스터의 임계 전압의 분산 및 그것의 온도 종속성에 기인한 단일-종단 감지 증폭기의 특성 분산을 소거할 수 있는 반도체 메모리 디바이스를 제공하기 위해 상기 상황을 고려하여 행해진다.

## 발명의 내용

### 해결 하고자하는 과제

[0022] 본 발명은 상기 문제를 해결하는 것 또는 그 문제를 적어도 부분적으로 개선하는 것을 추구한다.

### 과제 해결手段

[0023] 본 발명의 일 실시형태에서, 반도체 메모리 디바이스는 메모리 셀, 메모리 셀에 연결된 로컬 비트 라인, 메모리 셀에 대해 기록 동작 및 증폭을 수행하기 위해 제 1 입력/출력 단자를 사용하여 로컬 비트 라인에 연결되는 전계 효과 트랜지스터 (예를 들어, MOS 트랜지스터 (Q1))를 포함하는 로컬 감지 증폭기, 제 2 입력/출력 단자를 사용하여 로컬 감지 증폭기에 연결되는 글로벌 비트 라인, 제 2 입력/출력 단자를 통해 메모리 셀 상에 기록 동작 및 증폭을 수행하기 위해 글로벌 비트 라인에 연결되는 글로벌 감지 증폭기, 전계 효과 트랜지스터의 임계 전압 및 그 임계 전압의 온도-종속 변동을 모니터링하는 임계 모니터 회로, 및 임계 전압의 모니터링 결과에 기초하여 메모리 셀을 위한 기록 전압을 발생시키는 발생 회로로 구성된다. 글로벌 감지 증폭기는 로컬 감지 증폭기의 출력 전압에 기초하여 메모리 셀에 판독 전압을 인가하면서 메모리 셀의 기록 데이터에 기초하여 메모리 셀로 기록 전압을 인가한다.

[0024] 본 발명의 또 다른 실시형태에서, 반도체 메모리 디바이스는, 그 입력/출력 단자가 로컬 비트 라인에 연결된 메모리 셀, 기록 데이터와 실질적으로 동일한 정보를 갖는 판독 데이터가 메모리 셀로부터 판독되는 경우 로컬 비트 라인 상에 나타나는 판독 신호 전압을 증폭하는 전계 효과 트랜지스터를 포함하는 로컬 감지 증폭기, 기록 데이터를 메모리 셀로 기록하는 기록 증폭기, 전계 효과 트랜지스터의 임계 전압 및 그 임계 전압의 온도-종속 변동을 모니터링하는 임계 모니터 회로, 및 임계 전압의 모니터링 결과에 기초하여 기록 전압을 발생시키는 발생 회로로 구성된다. 로컬 감지 증폭기의 전계 효과 트랜지스터는 게이트가 로컬 비트 라인에 연결되고, 소스가 기준 전압에 연결되고, 드레인의 출력 노드를 형성하여 판독 동작시 동작하는 단일-종단 감지 증폭기로서 작용하는 MOS 트랜지스터이다. 기록 증폭기는 기록 데이터에 기초하여 메모리 셀에 기록 전압을 인가한다.

### 효과

[0025] 본 발명은 다음의 효과를 나타낸다.

[0026] (1) 계층적 감지 증폭기 (즉, 로컬 감지 증폭기 및 글로벌 감지 증폭기)는 단일-종단 감지 증폭기로서 작용하

는 전계 효과 트랜지스터의 임계 전압의 온도-종속 변동 및 제조 프로세스의 분산에 기인한 임계 전압의 시프팅을 소거하도록 설계되어, 동작 마진을 개선하고 감지 증폭을 안정화한다.

[0027] (2) 반도체 칩에 포함된 전계 효과 트랜지스터의 임계-전압 변동의 허용가능 범위를 증가시키는 것이 가능하며; 이리하여 다수의 감지 증폭기를 사용하는 대규모 DRAM에 대한 제조 수율을 개선하는 것이 가능하여, 제조 비용을 감소시킨다.

[0028] (3) 전계 효과 트랜지스터의 온도 종속성의 모니터링에 기인하여, 전계 효과 트랜지스터의 임계 전압의 온도-종속 변동을 소거 및 정밀하게 보상하는 것이 가능하다. 반도체 칩 내에 포함된 전계 효과 트랜지스터의 임계-전압 변동의 넓어진 허용가능 범위에 기인하여, 고도로 집적되고 정제된 반도체 메모리 디바이스를 용이하게 제조하는 것이 가능하다.

### 발명의 실시를 위한 구체적인 내용

[0029] 본 발명의 상기의 특징 및 이점은 첨부한 도면과 함께 취해진 소정의 바람직한 실시형태에 대한 다음의 설명으로부터 명백해질 것이다.

[0030] 본 발명은 예시적인 실시형태를 참조하여 여기에 설명된다. 당업자는 많은 대안적인 실시형태가 본 발명의 교시를 사용하여 달성될 수 있다는 것과 본 발명은 예시적인 목적으로 설명된 실시형태들에 제한되지 않는다는 것을 인식할 것이다.

[0031] 본 실시형태는 게이트가 비트 라인 상으로 출력된 판독 신호 전압을 수신하고, 소스가 접지 전위 등의 기준 전압에 연결되고, 드레인 전류가 판독 신호가 "0" 또는 "1"로 설정되는지 여부를 결정하는데 사용되는 MOS 트랜지스터를 포함하는 단일-종단 감지 증폭기를 지향한다.

[0032] 구체적으로는, 본 실시형태는 단일의 신호를 입력 및 증폭하는 단일-종단 감지 증폭기에 적응되는 직접 감지 기술을 지향한다. 단일-종단 감지 증폭기와 비교할 때, 일반적으로 알려진 차동 감지 증폭기는 높은 이득 및 높은 잡음 저항을 갖는다. 차동 감지 증폭기의 그러한 높은 이득은 증폭된 출력 신호를 변화시키는 시간을 감소시킨다. 대조적으로, 단일-종단 감지 증폭기는 잡음에 대해 매우 민감하고 증폭 대상이 되는 하이-레벨 입력 신호를 요구한다. 본 실시형태의 단일-종단 감지 증폭기 (즉, 로컬 감지 증폭기 (LSA))는 비트 라인에 연결된 단일-종단 감지 증폭기이다.

[0033] 본 실시형태는 N-채널 MOS 트랜지스터 (즉, NMOS 트랜지스터) 및 P-채널 MOS 트랜지스터 (즉, PMOS 트랜지스터)로 구성된 반도체 메모리 디바이스의 예인 계층적 비트-라인 구성을 갖는 동적 랜덤 액세스 메모리 (DRAM)에 대해 설명된다. 계층적 비트-라인 구성을 짧은 길이의 비트 라인으로 인해 메모리 셀로부터의 판독 신호의 진폭을 증가시킬 수 있고 전체 칩 사이즈를 감소시킬 수 있으며, 이리하여 본 실시형태에 바람직하지만, 이것은 제한은 아니다.

[0034] 본 실시형태는 예를 들어 DRAM 이외의 휘발성 메모리 및 비휘발성 메모리에 적용가능하다. 본 실시형태는 금속 산화물 반도체 (MOS), 금속 절연체 반도체 (MIS) 등으로 구성된 다양한 타입의 전계 효과 트랜지스터 (FET)를 사용하는 것이 가능하다. 본 실시형태에서, NMOS 트랜지스터는 제 1 도전형 트랜지스터를 나타내는 반면, PMOS 트랜지스터는 제 2 도전형 트랜지스터를 나타낸다.

[0035] 본 실시형태는 통상 DRAM에 적응되며 메모리 셀의 액세스 전의 비트 라인이 하프 전압, 즉 "로직 1" 및 "로직 0"에 대응하는 상대 전압의 중간값으로 제어되는, 비트 라인의 하프-프리차지 제어 방법이 아니라, 비트 라인이 메모리 셀을 구동하는 내부 전압 (예를 들면, 외부 전압으로부터 강하된 내부 전압) 또는 VSS 전원 전압으로 제어되는 또 다른 제어 방법을 채택한다. 따라서, 본 실시형태는 메모리 셀의 액세스 후의 비트 라인이 메모리 셀에 저장된 로직 1 또는 로직 0에 관계없이 내부 전압과 VSS 전원 전압 간의 일 방향의 천이 (one-directional transition)에 있어서의 전압으로 제어되는 것을 특징으로 한다. 동작 전압이 대략 1 V (즉, CMOS 감지 증폭기의 동작점에 가까운 임계 전압)로 감소하는 반도체 기억 장치에서, 본 실시형태는 비트 라인의 제어 전압에 의한 단일-종단 감지 증폭기의 감지 방법에 의해 증가된 시너지 효과를 나타내며, 이리하여 고속 및 안정한 동작을 달성하고 제조 프로세스의 분산에 대해 안정성을 확보한다.

[0036] 도 1은 로컬 감지 증폭기 (LSA)의 MOS 트랜지스터 (Q1)에 대한 임계 변동 보상 회로를 포함하는 DRAM 메모리 셀 어레이의 일부를 나타내는 회로도이다. 도 1은 워드 라인 (WL), 로컬 비트 라인 (LBL), (WL과 LBL 사이의 교차점에 위치된) 메모리 셀 (MC), 글로벌 비트 라인 (GBL), 및 임계 변동을 보상하는 계층적 감지 증폭기 (즉, 글로벌 감지 증폭기 (GSA)와 커플링된 로컬 감지 증폭기 (LSA))를 도시한다. 로컬 감지 증폭기

(LSA) 는 데이터를 메모리 셀 (MC) 내로 기록하고 그 메모리 셀 (MC) 의 데이터를 증폭하며, 그것은 로컬 비트 라인 (LBL) 에 연결된 제 1 입력/출력 단자 및 글로벌 비트 라인 (GBL) 에 연결된 제 2 입력/출력 단자를 갖는다. 글로벌 감지 증폭기 (GSA) 는 데이터를 로컬 감지 증폭기 (LSA) 를 통해 메모리 셀 (MC) 내로 기록하며 메모리 셀 (MC) 의 데이터를 증폭하고, 그것은 글로벌 비트 라인 (GBL) 에 연결된 제 3 입력/출력 단자 및 외부 디바이스 (도시하지 않음) 와 통신하는 제 4 입력/출력 단자를 갖는다.

[0037] 로컬 감지 증폭기 (LSA) 의 MOS 트랜지스터 (Q1) 는 임계-전압 변동을 보상하는 감지 트랜지스터이고, 게이트가 로컬 비트 라인 (LBL) 의 판독 신호 전압을 증폭하기 위해 로컬 비트 라인 (LBL) 에 연결되어, 그것을 드레인 전류로 변환한다.

[0038] 로컬 비트 라인 (LBL) 을 프리-차지하는 MOS 트랜지스터 (Q2) 는 메모리 셀 (MC) 의 판독 신호가 로컬 비트 라인 (LBL) 에 송신되기 전에 로컬 비트 라인 (LBL) 을 규정된 전위에 위치되도록 제어하며, 그 게이트는 MOS 트랜지스터 (Q2) 가 프리차지 신호 (PC) 의 하이-레벨 기간에 VSS 전위로 로컬 비트 라인 (LBL) 을 프리차지하도록 프리차지 신호 (PC) 를 입력한다. 로컬 감지 증폭기 (LSA) 를 선택적으로 동작시키는 데 사용되는 MOS 트랜지스터 (Q3) 는 게이트에서 선택 신호 (SE) 를 수신하며, 그것은 로컬 감지 증폭기 (LSA) 의 출력 노드로서 작용하는 MOS 트랜지스터 (Q1) 의 드레인을 글로벌 비트 라인 (GBL) 에 선택적으로 연결하기 위해 선택 신호 (SE) 의 하이-레벨 기간에 턴온된다. 이러한 연결에서, MOS 트랜지스터 (Q1) 의 소스는 기준 전압에 연결된다.

[0039] MOS 트랜지스터 (Q1 및 Q3) 는 연결의 순서에 관계없이 직렬로 연결되는 것이 요구된다. 글로벌 비트 라인 (GBL) 은 (각각 MOS 트랜지스터 (Q3) 로서 작용하는) 다수의 MOS 트랜지스터와 연결되기 때문에, MOS 트랜지스터 (Q3) 는 도 1에 도시된 바와 같은 잡음 감소의 목적으로 글로벌 비트 라인 (GBL) 에 직접 연결되는 것이 바람직하다.

[0040] 계층적 비트 라인 구성에 기인하여, 로컬 감지 증폭기 (LSA) 는 로컬 비트 라인 (LBL) 을 통해 그것에 송신된 메모리 셀 (MC) 의 데이터를 초기에 증폭하는 단일-종단 감지 증폭기를 형성하는 MOS 트랜지스터 (Q1), 및 로컬 감지 증폭기 (LSA) 를 선택적으로 동작시키기 위해 글로벌 비트 라인 (GBL) 과 MOS 트랜지스터 (Q1) 사이에 연결되는 MOS 트랜지스터 (Q3) 를 포함한다. 선택 신호 (SE) 는 MOS 트랜지스터 (Q3) 를 턴온시키기 위해 판독 모드에서 하이 레벨이 된다.

[0041] MOS 트랜지스터 (Q3) 는 (단일-종단 감지 증폭기를 형성하는) MOS 트랜지스터 (Q1) 의 출력을 글로벌 비트 라인 (GBL) 에 연결하기 위해 활성화된다. MOS 트랜지스터 (Q3) 에 인가된 제어 신호 (예를 들어, 선택 신호 (SE)) 는 글로벌 비트 라인 (GBL) 과 MOS 트랜지스터 (Q1) 의 출력 간의 연결을 제어하며, 그것은 하나의 글로벌 비트 라인과 다수의 로컬 비트 라인을 선택하는 주소 신호를 포함할 수도 있다. 일반적으로 말하면, 하나의 로컬 비트 라인은 메모리 어레이를 형성하기 위해 로컬 감지 증폭기 및 다수의 메모리 셀과 연결되며; 이리하여 로컬 비트 라인들 간의 배선 피치는 글로벌 비트 라인들 간의 배선 피치 이하이다.

[0042] 글로벌 감지 증폭기 (GSA) 는, 로컬 감지 증폭기 (LSA) 에 의해 증폭이 행해지는 글로벌 비트 라인 (GBL) 의 전위가 하이 레벨로 설정되는지 또는 로우 레벨로 설정되는지 여부에 대한 결정시, 감지 래치 동작을 수행한다. 구체적으로는, 글로벌 감지 증폭기 (GSA) 는 래치 신호 (LTC) 의 하이-레벨 기간에 감지 래치 동작을 수행한다.

[0043] 래치 결정 회로는 MOS 트랜지스터 (Q6 및 Q7) 를 포함하는 인버터 및 MOS 트랜지스터 (Q8 및 Q9) 를 포함하는 또 다른 인버터로 구성된다. MOS 트랜지스터 (Q6 및 Q7) 를 포함하는 인버터의 출력 단자는 판독 동작에 사용되는 MOS 트랜지스터 (Q10) 의 게이트에 연결된다. 글로벌 감지 증폭기 (GSA) 를 선택하는 선택 신호 (YS) 의 하이-레벨 기간에서, MOS 트랜지스터 (Q10) 는 판독 데이터 라인 (/RDL) 상으로 판독 데이터를 송신한다.

[0044] 래치 결정 회로의 입력 단자는 외부 디바이스 (도시하지 않음) 가 메모리 셀 (MC) 내로 기록하는 기록 데이터를 수신하는 MOS 트랜지스터 (Q12), 및 그 게이트가 래치 신호 (LTC) 를 수신하는 MOS 트랜지스터 (Q14) 와 연결된다.

[0045] 래치 결정 회로의 출력 단자는 판독 모드에서 사용되는 MOS 트랜지스터 (Q10) 및 그 게이트가 리로드 신호 (reload signal) (RES) 를 수신하는 MOS 트랜지스터 (Q15) 에 연결되어 기록 데이터를 글로벌 비트 라인 (GBL) 상으로 송신한다. MOS 트랜지스터 (Q15) 는 (메모리 셀 (MC) 의 이전의 판독 데이터에 대응하는) 래치된 데이터를 메모리 셀 (MC) 로 리로딩하는 리로드 동작에 사용된다.

- [0046] 래치 결정 회로의 판독 동작과 기록 동작을 적합시키는 상이한 구성을 사용하는 것이 가능하다. 즉, (상기 래치 결정 회로에 대응하는) 판독-특정된 래치 결정 회로 및 기록-특정된 래치 결정 회로 (예를 들어, 기록 증폭기) 를 사용하는 것이 가능하며, 이들은 글로벌 비트 라인 (GBL) 과 병렬로 커플링된다. 리로드 모드에서, 판독-특정된 래치 결정 회로는 제어 신호를 통해 기록-특정된 래치 결정 회로에 연결되고, 여기서 기록-특정된 래치 결정 회로는 로컬 감지 증폭기 (LSA) 에 근접하여 메모리 셀 어레이 내에 위치되는 반면, 판독-특정된 래치 결정 회로는 메모리 셀 어레이로부터 배제된다. 구체적으로는, 기록 전압 발생 회로 (도시하지 않음) 는 MOS 트랜지스터 (Q1) 를 모니터링하는 임계 모니터링 회로의 모니터링 결과에 기초하여 기록 전압 (VSNH) 을 발생시키며, 그것은 기록 전압이 글로벌 비트 라인 (GBL) 의 기생 용량에 기인하여 강하하는 것을 방지하는 것이 가능하다. 이것은 단일-종단 감지 증폭기 및 계층적 비트 라인 구성의 조합에 의해 달성된다.
- [0047] 일반적으로 말해서, 데이터는 DRAM 메모리 셀로부터 판독되는 경우 소실되며, 따라서 리로드 동작을 필요로 한다. 구체적으로는, 래치 신호 (LTC) 가 감지 래치 후 로우 레벨이 되고, 그 후, 리로드 신호 (RES) 가 하이 레벨이 되면, MOS 트랜지스터 (Q6 및 Q7) 를 포함하는 인버터의 출력 단자는 글로벌 비트 라인 (GBL) 에 연결된다. 선택 신호 (SE) 가 로우 레벨이 된 후, 기록 신호 (WT) 는 MOS 트랜지스터 (Q4) 를 편온하기 위해 하이 레벨로 되어 로컬 비트 라인 (LBL) 이 글로벌 비트 라인 (GBL) 에 연결되어, 리로드 동작을 완료한다. 리로드 동작은 VSNH 에 대응하는 하이 레벨 및 VSNL 에 대응하는 로우 레벨에 기초하여 수행된다.
- [0048] 판독 모드에서, 글로벌 비트 라인 (GBL) 은 글로벌 감지 증폭기 (GSA) 에 그 위상이 메모리 셀 (MC) 의 데이터 "1" 을 송신하는 로컬 비트 라인 (LBL) 의 위상에 반대인 판독 전압을 제공한다. 기록 모드에서, 글로벌 비트 라인 (GBL) 은 메모리 셀 (MC) 에 그 위상이 데이터 "1" 을 송신하는 로컬 비트 라인 (LBL) 의 위상과 동일한 기록 전압을 제공한다. 즉, 글로벌 비트 라인 (GBL) 의 복구된 전압의 위상은 글로벌 비트 라인 (GBL) 의 판독 전압에 반대이다. 이것은 메모리 셀 어레이 내에 포함되는 글로벌 비트 라인의 수를 효과적으로 감소시킨다.
- [0049] 로컬 비트 라인 (LBL) 의 기록 전압은 메모리 셀 (MC) 의 판독 데이터 "1" 에 응답하여 발생하는 로컬 비트 라인 (LBL) 의 전위와 동일한다. 이것은 그 데이터가 판독에 의해 소실되는 DRAM 메모리 셀에 대해 단일-종단 감지 증폭기를 사용하는 데이터의 리로딩 또는 복구를 보장한다. 이것은 비휘발성 메모리에 대한 ECC 프로세싱 및 데이터 보유 특성의 리프레시 결함을 핸들링하는데 있어서 효과적으로 작용한다.
- [0050] 메모리 셀 (MC) 은 메모리 셀 (MC) 을 선택하기 위해 사용되는 MOS 트랜지스터 (Q0) 및 전하를 축적하기 위해 사용되는 (메모리 소자로서 작용하는) 커패시터 (Cs) 가 직렬로 연결되는 DRAM 메모리 셀이다. 메모리 셀 (MC) 은 MOS 트랜지스터 (Q0) 와 로컬 비트 라인 (LBL) 사이에 위치된 로컬 비트 라인 (LBL) 과의 통신을 위해 사용되는 입력/출력 단자를 갖는다. 다수의 메모리 셀 (도시하지 않음) 이 로컬 비트 라인 (LBL) 에 연결된다. 도 1에서, Cb 는 로컬 비트 라인 (LBL) 의 기생 용량을 나타낸다. 예를 들어, 커패시터 (Cs) 의 용량은 10 fF 인 반면 기생 용량은 4.3 fF 이다. 워드 라인 (WL) 의 전압에 응답하여, MOS 트랜지스터 (Q0) 는 커패시터 (Cs) 를 로컬 비트 라인 (LBL) 에 연결하기 위해 선택적으로 편온된다.
- [0051] 도 2는 임계 전압 (Vt) 의 온도-종속 변동에 대한 보상 없는 로컬 감지 증폭기 (LSA) 내의 MOS 트랜지스터 (Q1) 의 임계 전압 (Vt) 의 분포를 나타내며, 즉 그것은 반도체 칩의 임계-전압 변동의 허용가능한 범위 (Vp) 를 나타낸다. 반도체 칩의 임계-전압 변동은 (트랜지스터의 채널 내로 불순물을 주입하는) 이온 주입의 불순물 밀도의 통계적 분산 및 프로세싱 트랜지스터에 있어서의 마이크로-스케일 치수의 분산 등에 기인하여 발생한다. 임계-전압 변동은 제조 프로세스의 변동에 기인하여 웨이퍼에 따라 상이하며, 그들은 제조 장소에 따라 임계 전압의 시프팅이 상이하다.
- [0052] 다음의 설명이 온도-종속 임계-전압 변동에 대해 주어지며, 여기서 그것은 제조 프로세스의 변동에 기인한 임계 전압의 시프팅에 적용될 수 있다.
- [0053] 도 2에서, 수직축은 전압을 나타내며, 좌측의 막대 그래프는 전원 전압 (VDD) 이 1 V 인 경우 메모리 셀 (MC) 의 노드 (SN) 에서 발생하는 전위를 나타내고, 여기서 비트-라인 프리차지 전압은 VSS (=0 V) 로 설정된다. 1 V 의 하이-레벨 전압 또는 0 V 의 로우-레벨 전압이 메모리 셀 (MC) 의 노드 (SN) 에 인가되는 반면, 불충분한 기록 및 누설에 기인하여 약간의 손실이 발생할 수도 있다. 하이-레벨 전압의 손실은 0.7 V 인 반면, 로우-레벨 데이터의 손실은 0.2 V 인 것으로 추정된다.
- [0054] 워드 라인 (WL) 이 메모리 셀 (MC) 을 선택하기 위해 하이 레벨이 되는 경우, 판독 신호 전압은 로컬 비트 라인 (LBL) 의 기생 용량 (Cb) 와 커패시터 (Cs) 사이의 전하 이송에 기인하여 로컬 비트 라인 (LBL) 상으로 전달된

다. 로컬 비트 라인 (LBL) 상에 나타나는 판독 신호 전압은  $C_s/(C_s+C_b)$  (예를 들어, 0.7)로 표현되는 노드 (SN)의 전달비 ( $T_R$ )에 의해 감소된다.

[0055] 로컬 비트 라인 (LBL) 상에 나타나는 판독 신호 전압은 잡음에 기인하여 더 변경되어, 하이-레벨 판독 전압은 0.45 V가 되는 반면, 로우-레벨 판독 전압은 0.18 V가 된다.

[0056] 전압 차이는 MOS 트랜지스터 (Q1)에 의해 증폭되고 드레인 전류로 변환되어, 글로벌 감지 증폭기 (GSA)가 글로벌 비트 라인 (GBL)의 방전-시간 차이에 기초하여 하이/로우 결정을 수행하도록 한다. 하이/로우 결정을 정밀하게 수행하기 위해, 하이-레벨 판독 전압의 하한과 MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )의 상한 사이 및 로우-레벨 판독 전압의 상한과 MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )의 하한 사이에 약간의 결정 마진을 도입하는 것이 필요하다.

[0057] 일반적으로 말해서, MOS 트랜지스터의 임계 전압은 온도 종속성에 따라 변화한다. 예를 들어, -25 °C와 125 °C 사이의 보장된 온도 범위 내의 상기 결정 마진을 확보하기 위해, 반도체 칩의 임계-전압 변동을 가능한 한 크게 감소시켜 임계 전압 ( $V_t$ )의 온도-종속 변동을 흡수하는 것이 필요하다.

[0058] 다음에, MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )의 온도-종속 변동을 보상하는 임계 변동 보상 회로의 동작 원리가 도 3 내지 도 5를 참조하여 설명될 것이며, 여기서 도 2와 유사한 그래프 설명은 중복 설명을 피하기 위해 반복되지 않는다. 도 3 내지 도 5에서,  $M_H$ 는 로컬 비트 라인 (LBL)의 전위에 대한 하이-레벨 결정 마진을 나타내고,  $M_L$ 은 로우-레벨 결정 마진을 나타낸다.

[0059]  $T_j = -25$  °C에서의 온도-종속 보상이 도 3을 참조하여 설명될 것이며, 여기서 MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )은 50 °C의 기준 온도에서 70 mV 만큼 증가한다. 이 경우, 리로드 동작에서 사용되는 하이-레벨 기록 전압 (VSNH) 및 로우-레벨 기록 전압 (VSNL)은 VSNH 발생 회로 및 VSNL 발생 회로에 의해 1.1 V 및 0.1 V로 설정된다. 전위가 리로드 동작에서 0.1 V(즉, 시프트 값 ( $\delta VSN$ )) 만큼 증가되기 때문에, 로컬 비트 라인 (LBL) 상에 나타나는 판독 신호 전압은  $V_s = T_R \cdot \delta VSN = 0.7 \times 0.1 = 0.07$  (V)로 계산되는 70 mV 만큼 증가한다. 이것은 MOS 트랜지스터의 임계 전압 ( $V_t$ )의 온도 종속성에 기인한 70 mV-증가를 소거한다. 따라서, 온도-종속 보상을 갖지 않는 도 2에 도시된 허용가능한 범위 ( $V_p$ )에 비해 도 3의 MOS 트랜지스터 (Q1)의 임계-전압 변동의 허용가능한 범위 ( $V_p$ )를 증가시키는 것이 가능하다.

[0060] 기준 온도인  $T_j = 50$  °C에서의 온도-종속 보상이 도 4를 참조하여 설명될 것이며, 여기서 MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )은 기준 전압으로서 표시된다. 이 경우, 하이-레벨 기록 전압 (VSNH) 및 로우-레벨 기록 전압 (VSNL)은 1.0 V 및 0 V로 설정된다. 시트프 값 ( $\delta VSN$ )이 0 V이기 때문에, 온도-종속 보상을 갖지 않는 도 2의 경우와 동일한 판독 신호 전압이 로컬 비트 라인 (LBL)에 인가되는 반면, 다른 온도에서의 MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )의 온도 종속성은 소거된다. 이러한 이유로, 온도-종속 보상을 갖지 않는 도 2에 도시된 허용가능한 범위 ( $V_p$ )에 비해 도 4의 허용가능한 범위 ( $V_p$ )를 증가시키는 것이 가능하다.

[0061]  $T_j = 125$  °C에서의 온도-종속 보상이 도 5를 참조하여 설명될 것이며, 하이-레벨 기록 전압 (VSNH) 및 로우-레벨 기록 전압 (VSNL)은 0.9 V 및 -0.1 V로 설정된다. 기록 전압의 0.1 V-강하에 기인하여, 로컬 비트 라인 (LBL) 상에 나타나는 판독 신호 전압은  $V_s = T_R \cdot \delta VSN = 0.7 \times -0.1 = -0.07$  (V)로 계산되는 70 mV 만큼 감소한다. 이것은 온도 종속성에 기인하여 MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )의 70 mV-강하를 소거한다. 따라서, 온도-종속 보상을 갖지 않는 도 2의 허용가능한 범위 ( $V_p$ )에 비해 도 5에서 허용가능한 범위 ( $V_p$ )를 증가시키는 것이 가능하다.

[0062] 계층적 감지 증폭기 (즉, 로컬 감지 증폭기 (LSA) 및 글로벌 감지 증폭기 (GSA))를 사용하는 판독 동작의 과정은  $T_j = -25$  °C, 50 °C 및 125 °C에서의 온도-종속 보상에 대한 도 3 내지 도 5와 관련된 도 6 내지 도 8을 참조하여 설명될 것이며, 여기서 수직축은 전압을 나타내는 반면, 수평축은 시간을 나타내며, 각각의 그래프의 좌측부는 메모리 셀 (MC)로부터 하이-레벨 데이터를 판독하는 판독 동작과 관련되는 반면 각각의 그래프의 우측부는 메모리 셀 (MC)로부터 로우-레벨 데이터를 판독하는 판독 동작에 관련된다.

[0063] 도 6은  $T_j = -25$  °C에서의 판독 동작의 과정을 나타내며, 여기서 로컬 비트 라인 (LBL)의 프리차지 전압은  $V_{SS} = 0$  V로 설정되는 반면, 글로벌 감지 증폭기 (GSA)의 프리차지 전압은 VDD로 설정된다.

[0064] 하이-레벨 데이터의 판독 동작에서, 프리차지 신호 (PC)는 로우 레벨로 되는 반면, 인버스 프리차지 신호

(/PC) 는 프리차지 릴리스 기간에 하이 레벨이 되며, 여기서 양 MOS 트랜지스터 (Q2 및 Q5)는 턴오프되어, 로컬 비트 라인 (LBL) 은 0 V로 설정되는 반면 글로벌 비트 라인 (GBL) 은 VDD로 프리차지되고 따라서 플로팅 상태에 있게 된다.

[0065] 프리차지 릴리스 기간에 후속하는 셀 선택 기간에서, 워드 라인 (WL) 이 하이 레벨이 되는 경우, 메모리 셀 (MC) 의 하이-레벨 신호 전압은 로컬 비트 라인 (LBL) 상으로 판독된다. 구체적으로는, 메모리 셀 (MC) 은 그것의 전하가 메모리 셀 (MC) 과 로컬 비트 라인 (LBL) 사이의 용량의 비에 따라 로컬 비트 라인 (LBL) 상으로 이송되도록 액세스된다. 규정된 시간의 경과 후, 감지 기간은 셀 선택 기간에 후속하여 시작된다.

[0066] 도 6에서, 회색 블록은 트랜지스터의 치수의 마이크로-스케일 분산, 게이트 절연막의 두께의 분산, 및 채널 내로 주입된 불순물의 분산에 기인하여 변하는 MOS 트랜지스터 (Q1) 의 임계 전압 (Vt) 의 변동 범위를 나타낸다. 선택 신호 (SE) 가 하이 레벨이 되는 경우, 감지 기간이 셀 선택 기간에 후속하여 시작된다. 감지 기간에서, 로컬 비트 라인 (LBL) 의 전위는 MOS 트랜지스터 (Q1) 의 임계 전압 (Vt) 의 변동 범위의 상한보다 높으며; 이리하여 MOS 트랜지스터 (Q1) 의 드레인 전류는 글로벌 비트 라인 (GBL) 의 기생 용량 (Cb) 에 축적된 전하가 급속히 방전되도록 크며, 이리하여 글로벌 비트 라인 (GBL) 의 전위는 VDD로부터 0 V로 급속히 감소한다. 글로벌 비트 라인 (GBL) 의 전위가 감지 기간의 완료 바로 후에 0 V이기 때문에, 글로벌 감지 증폭기 (GSA) 는 MOS 트랜지스터 (Q6 및 Q7) 를 포함하는 인버터에 의해 반전되는 로우 레벨을 초기에 검출하고, 이리하여 하이-레벨 데이터를 판독한다.

[0067] 감지 기간에 후속한 복구 기간에서, 글로벌 비트 라인 (GBL) 은 MOS 트랜지스터 (Q6 및 Q7) 를 포함하는 인버터의 동작에 기인하여 하이-레벨 기록 전압 (VSNH) 으로 설정된다. 선택 신호 (SE) 가 로우 레벨로 되는 반면, 기록 신호 (WT) 가 하이 레벨로 되는 경우, 로컬 비트 라인 (LBL) 은 VSNH로 설정되고, 이리하여 메모리 셀 (MC) 내로 하이-레벨 데이터를 리로딩한다.

[0068] 로우-레벨 데이터의 판독 동작에서, 프리차지 신호 (PC) 는 로우 레벨이 되는 반면 인버스 프리차지 신호 (/PC) 는 프리차지 릴리스 기간에 하이 레벨이 되며, 여기서 양 MOS 트랜지스터 (Q2 및 Q5)는 턴오프되어, 로컬 비트 라인 (LBL) 은 0 V로 설정되는 반면 글로벌 비트 라인 (GBL) 은 VDD로 프리차지되어, 플로팅 상태에 있게 된다.

[0069] 프리차지 릴리스 기간에 후속하는 셀 선택 기간에서, 워드 라인 (WL) 은 메모리 셀 (MC) 의 로우-레벨 신호 데이터가 로컬 비트 라인 (LBL) 상으로 판독되도록 하이 레벨이 된다. 선택 신호 (SE) 가 하이 레벨이 되는 경우, 감지 기간이 셀 선택 기간에 후속하여 시작된다. 감지 기간에서, 로컬 비트 라인 (LBL) 의 전위는 MOS 트랜지스터 (Q1) 의 임계 전압 (Vt) 의 변동 범위의 하한보다 약간 높으며; 이리하여, MOS 트랜지스터 (Q1) 의 드레인 전류는 글로벌 비트 라인 (GBL) 의 기생 용량 (Cb) 에 축적된 전하가 천천히 방전되도록 상대적으로 낮고, 이리하여 글로벌 비트 라인 (GBL) 의 전위가 VDD로부터 천천히 감소한다.

[0070] 글로벌 비트 라인 (GBL) 의 전위가 감지 기간의 완료 바로 후에 VDD보다 약간 낮기 때문에, 글로벌 감지 증폭기 (GSA) 는 MOS 트랜지스터 (Q6 및 Q7) 를 포함하는 인버터에 의해 반전되는 하이 레벨을 초기에 검출하며, 이리하여 로우-레벨 데이터를 판독한다.

[0071] 감지 기간에 후속하는 복구 기간에서, 글로벌 비트 라인 (GBL) 의 전위는 MOS 트랜지스터 (Q6 및 Q7) 를 포함하는 인버터의 동작에 기인하여 VSNL로 설정된다. 선택 신호 (SE) 가 로우 레벨이 되는 반면, 기록 신호 (WT) 가 하이 레벨이 되는 경우, 로컬 비트 라인 (LBL) 의 전위가 VSNL로 설정되고, 이리하여 메모리 셀 (MC) 내로 로우-레벨 데이터를 리로딩한다.

[0072] 도 6은 도 3에 관련되기 때문에, MOS 트랜지스터 (Q1) 의 임계 전압 (Vt) 의 변동 범위는 70 mV 만큼 기준값보다 높고, 여기서 리로드 동작이 하이-레벨 기록 전압 (VSNH) = 1.1 V 또는 로우-레벨 기록 데이터 (VSNL) = 0.1 V를 사용하여 수행된다. 따라서, 로컬 비트 라인 (LBL) 상으로 전달되는 판독 신호 전압은 70 mV 만큼 기준값보다 높게 되고, 이리하여 임계 전압 (Vt) 의 변동을 신뢰성 있게 보상한다.

[0073] 도 7은  $T_j = 50^\circ\text{C}$ 에서의 판독 동작의 과정을 나타내고, 여기서 도 7의 과정은 도 6의 과정과 유사하며; 이리하여 그 중복된 설명은 반복되지 않는다. 도 7은 임계 전압 (Vt) 이 기준값으로 설정되기 때문에 리로드 동작이 하이-레벨 기록 전압 (VSNH) = 1.0 V 또는 로우-레벨 기록 전압 (VSNL) = 0 V를 사용하여 수행된다는 점에서 도 6과 다르다. 즉, 로컬 비트 라인 (LBL) 상으로 전달된 메모리 셀 (MC) 의 판독 신호 전압은 기준값과 동일하고, 이리하여 임계 전압 (Vt) 의 변동에 대한 보상을 달성한다.

[0074] 도 8은  $T_j = 125^\circ\text{C}$ 에서의 판독 동작의 과정을 나타내며, 여기서 도 8의 과정은 도 6의 과정과 유사하며; 따

라서 그것의 중복된 설명은 반복되지 않는다. 도 8은 MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ ) 이  $70 \text{ mV}$  만큼 기준값보다 낮기 때문에 리로드 동작이 하이-레벨 기록 전압 ( $VSNH$ ) =  $0.9 \text{ V}$  및 로우-레벨 기록 전압 ( $VSNL$ ) =  $-0.1 \text{ V}$  를 사용하여 수행된다는 점에서 도 6 과 상이하다. 즉, 로컬 비트 라인 (LBL) 상으로 전달된 메모리 셀 (MC)의 판독 신호 전압은  $70 \text{ mV}$  만큼 기준값보다 더 낮으며, 이리하여 임계 전압 ( $V_t$ )의 변동에 대한 보상을 달성한다.

[0075] 도 9는 메모리 셀 (MC)의 커패시터 ( $C_s$ )의 대향 전극들 사이에 인가된 플레이트 전압 (VPLT) 뿐아니라 하이-레벨 기록 전압 ( $VSNH$ ) 및 로우-레벨 기록 전압 ( $VSNL$ )을 발생시키는 3 개의 발생 회로를 나타내는 블록도이다.

[0076] 메모리 셀 (MC)의 커패시터 ( $C_s$ )에 실제로 인가된 전압은 하이-레벨 기록 전압 ( $VSNH$ )에 반응하는 "VSNH-VPLT" 또는 로우-레벨 기록 전압 ( $VSNL$ )에 반응하는 "VPLT-VSNL"과 동일하다. 커패시터 ( $C_s$ )의 유전체 막에 인가된 최대 전압을 감소시켜 그것의 신뢰성을 향상시키는 것이 바람직하다. 이러한 이유로, 플레이트 전압 (VPLT)은 통상  $VSNH$  와  $VSNL$  사이의 중간점 전압으로 설정된다.

[0077] 도 9에서, MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )의 온도 종속성을 모니터링하는 임계 모니터 회로 (11)의 출력 전압은 그 출력 전압이 레벨 시프트 회로 (13)에 공급되는 전달비 변환 회로 (12)에 공급된다.

[0078] 레벨 시프트 회로 (13)는 정정값 설정 회로 (14)로부터 그것에 공급되는 정정값에 기초하여 시프트값을 결정한다. 본 실시형태에서, 정정값 설정 회로 (14)는 시프트값 ( $\delta VSN$ )이 MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )의 설계값과 연관하여  $0 \text{ V}$ 로 설정되는  $50 \text{ }^\circ\text{C}$ 의 기준 온도에 기초하여 정정값을 설정한다. 즉, 시프트값 ( $\delta VSN$ )은 기준 온도에서의 제조 프로세스의 분산에 기인하여 임계 전압 ( $V_t$ )의 시프팅을 보상하도록 결정된다.

[0079] 실제로, 정정값 설정 회로 (14)의 정정값은  $50 \text{ }^\circ\text{C}$ 의 웨이퍼 온도에서 MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )을 측정하기 위해 프로브 검사가 DRAM 상에 수행되고, 그 후 시프트값 ( $\delta VSN$ )이 모니터링되는 프로그래밍에 의해 결정된다. MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )이 설계값과 동일한 경우, 시프트값 ( $\delta VSN$ )은  $0 \text{ V}$ 로 설정된다. 임계 전압 ( $V_t$ )이  $35 \text{ mV}$  만큼 설계값보다 더 높으면, 시프트값 ( $\delta VSN$ )은  $35 \text{ mV}$ 를 전달비 ( $T_R$ ) =  $0.7$ 로 나눔으로써 생성되는  $50 \text{ mV}$ 로 설정된다. 임계 전압 ( $V_t$ )이  $35 \text{ mV}$  만큼 설계값보다 더 낮으면, 시프트값 ( $\delta VSN$ )은  $-0.05 \text{ V}$ 로 설정되며, 그것의 절대값은  $50 \text{ mV}$ 를 전달비 ( $T_R$ ) =  $0.7$ 로 나눔으로써 생성된다. 따라서, 임계 전압 ( $V_t$ )이 기준 온도에서 미리 결정되는 설계값으로부터 시프트되는 경우에도 정정값을 적절히 설정하는 것이 가능하다.

[0080] 프로그래밍은 레이저 퓨즈, 전기 퓨즈, 비휘발성 메모리, 일회 프로그램가능 엘리먼트 등을 사용하여 수행된다. 레벨 시프트 회로 (13)는 시프트값 ( $\delta VSN$ )을 출력하며, 그것은  $\delta VSN$  구동기 (15)에 공급되어 그것의 전류 구동 능력을 강화한다.  $\delta VSN$  구동기 (15)의 출력 전압은  $VSNH$ ,  $VSNL$ , 및  $VPLT$ 를 발생시키는 발생 회로 (20)로 공급된다.

[0081] 미리 결정된 기준 전압 ( $Vref$ )은 각각  $VSNH$ ,  $VSNL$ , 및  $VPLT$  발생 회로 (20)에 대해  $1.0 \text{ V}$ ,  $0 \text{ V}$ , 및  $0.5 \text{ V}$ 로 설정된다.  $\delta VSN$  가산 회로 (21)는 기준 전압 ( $Vref$ )에 시프트값 ( $\delta VSN$ )을 가산하여 가산 신호를 생성하며, 그것은 그 후 반전 증폭 회로 (22)에 의해 반전 및 증폭된다. 반전 증폭 회로 (22)의 출력 신호는 출력 구동기 (23)로 공급되어 그것의 전류 구동 능력을 강화한다. 출력 구동기 (23)의 출력 전압은 메모리 셀 어레이로 공급된다. 임계 모니터링 회로 (11)가 MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )의 온도-종속 변동을 모니터링하므로, 임계 전압 ( $V_t$ )의 변동을 보상하도록  $VSNH$ ,  $VSNL$ , 및  $VPLT$ 를 적절히 설정하는 것이 가능하다.

[0082] 도 10은 MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )을 모니터링하는 임계 모니터링 회로 (11)의 구성의 예를 나타내며, 그것은 MOS 트랜지스터 (Q1R), 정전류원 (Ibias), 및 연산 증폭기 (OP1)로 구성된다. 여기서, VDL은 양의 정전압을 나타내고, VEL은 음의 정전압을 나타낸다. MOS 트랜지스터 (Q1R)는 MOS 트랜지스터 (Q1)의 임계 전압 ( $V_t$ )을 모니터링하는 데 사용되고 MOS 트랜지스터 (Q1)와 대략 동일한 정보이도록 설계된다.

[0083] 도 11은 전달비 변환 회로 (12), 레벨 시프트 회로 (13), 정정값 설정 회로 (14), 및  $\delta VSN$  구동기 (15)를 포함하는 구성을 나타낸다. 전달비 변환 회로 (12)는 그 반전 입력 단자가 도 10에 도시된 MOS 트랜지스터 (Q1R)에 의해 검출되는 임계 전압 ( $V_t$ )을 갖는 노드 (N1)에 연결되는 연산 증폭기 (OP2)를 사용하는 반전

증폭기 회로이다. 저항기 (R1 및 R2) 사이의 비는  $C_s$  와  $C_s+C_b$  사이의 비와 동일하므로, 연산 증폭기 (OP2)의 출력 전압은  $-(C_s+C_b)V_t/C_s$  로서 표현된다.

[0084] 레벨 시프트 회로 (13) 는 그 반전 입력 단자가 연산 증폭기 (OP2) 의 출력 전압, 즉  $-(C_s+C_b)V_t/C_s$  을 수신하는 연산 증폭기 (OP3) 를 사용하는 반전 증폭 회로이다. 통상 VSS 로 설정되는, 연산 증폭기 (OP3) 의 비 반전 입력 단자는 저항기 (R5) 를 경유하여 정정값 설정 회로 (14) 로부터 출력된 정정값에 대응하는 시프트 전압 ( $V_s$ ) 이 인가된다. 레벨 시프트 회로 (13) 의 저항기 (R3 및 R4) 가 서로 동일하고 (여기서  $R3 = R4$ ), 그것의 증폭 팩터가 -1 로 설정되므로, 연산 증폭기 (OP3) 의 출력 전압은  $(C_s+C_b)V_t/C_s+2V_s$  로 표현된다.

[0085] 양의 정전압 (VDL) 과 음의 정전압 (VEL) 사이의 전압차는 저항기 텁을 사용하여 다수의 전압 분할로 분할되며, 바람직하게는 그 중 하나는 선택기 (31) 에 의해 선택되고 시프트 전압 ( $V_s$ ) 으로서 정정값 설정 회로 (14) 로부터 출력된다. 텁 선택 회로 (32) 는 전압 분할 중 하나를 선택하도록 프로그램되고, 따라서 원하는 저항기 텁을 선택하도록 선택기 (31) 를 제어한다. 정정값 설정 회로 (14) 의 시프트 전압 ( $V_s$ ) 은 저역통과필터를 형성하도록 저항기 (R5) 와 커플링되는 커파시터 ( $C_f$ ) 를 경유하여 레벨 시프트 회로 (13) 로 공급된다.

[0086]  $\delta VSN$  구동기 (15) 는 연산 증폭기 (OP3) 의 출력 전압을 시프트값 ( $\delta VSN$ ) 으로서 출력하는 연산 증폭기 (OP4) 를 사용하는 전압-팔로워 회로이다.

[0087] 시프트값 ( $\delta VSN$ ) 을 생성하는데 사용되는 임계 모니터 회로 (11), 전달비 변환 회로 (12), 레벨 시프트 회로 (13),  $\delta VSN$  구동기 (15) 의 출력 전압의 천이가 도 12 및 도 13 을 참조하여 설명될 것이다. 본 실시형태는  $C_s = 10 \text{ fF}$  및  $C_b = 4.3 \text{ fF}$  인 상술된 조건으로 설계된다. 임계 모니터 회로 (11) 는 MOS 트랜지스터 (Q1R) 에 대해  $-25^\circ\text{C}$  및  $125^\circ\text{C}$  에서의  $\pm 0.07 \text{ V}$  의 온도-종속 변동 뿐아니라  $50^\circ\text{C}$  의 기준 온도에서의 임계 전압 ( $V_t$ ) =  $0.1 \text{ V}$  (즉, 설계값) 을 모니터링한다. 임계 전압 ( $V_t$ ) 의 모니터링된 값은 전달비 변환 회로 (12) 에서 반전되고  $1.43$  이 곱해져서,  $-0.14 \pm 0.1 \text{ V}$  를 생성한다.

[0088] 후속하여, 전달비 변환 회로 (12) 의 출력 전압은 레벨 시프트 회로 (13) 에서 반전되고  $2V_s$  만큼 시프트된다.  $50^\circ\text{C}$  의 기준 온도에서의 임계 전압 ( $V_t$ ) 의 모니터링된 값이 MOS 트랜지스터 (Q1R) 의 설계값과 동일한 경우, 레벨 시프트 회로 (13) 의 출력 전압은  $0 \text{ V}$  로 설정되고; 이리하여 정정값 설정 회로 (14) 의 텁 선택 회로 (32) 는 시프트 전압 ( $V_s$ ) =  $-0.7 \text{ V}$  을 설정하도록 프로그램되어, 레벨 시프트 회로 (13) 로부터  $0 \pm 0.1 \text{ V}$  를 출력한다. 레벨 시프트 회로 (13) 의 출력 전압은  $\delta VSN$  구동기 (15) 에 공급되어, 시프트값 ( $\delta VSN$ ) 을 출력한다.

[0089] 도 13은 MOS 트랜지스터 (Q1R) 의 임계 전압 ( $V_t$ ) 이  $50^\circ\text{C}$  에서  $35 \text{ mV}$  만큼 설계값보다 더 높게 되는 것을 나타낸다. 여기서, 전달비 변환 회로 (12) 는  $-0.19 \pm 0.1 \text{ V}$  를 출력하고, 그것은 그 후 레벨 시프트 회로 (13) 에서 반전 및  $2V_s$  만큼 시프트된다. 레벨 시프트 회로 (13) 는  $0.05 \pm 0.1 \text{ V}$  를 생성하고, 이것은  $\delta VSN$  구동기 (15) 로부터 출력된다.

[0090] 도 14 는 도 9에 도시된  $\delta VSN$  가산 회로 (21), 반전 증폭 회로 (22), 및 출력 구동기 (23) 를 포함하는 구성을 나타낸다.  $\delta VSN$  가산 회로 (21) 의 연산 증폭기 (OP5) 는 시프트값 ( $\delta VSN$ ) 을 기준 전압에 가산하고, 그 후 그것은 그 가산 결과를 반전시킨다.  $\delta VSN$  가산 회로 (21) 의 출력 전압은 반전 증폭 회로 (22) 의 연산 증폭기 (OP6) 에 의해 반전된다. 반전 증폭기 회로 (22) 의 출력 전압은 출력 구동기 (23) 의 전압-팔로워 연산 증폭기 (OP7) 에 의해 전류 구동 능력에 있어서 강화된다.

[0091] 기준 전압 ( $V_{ref}$ ) 이 각각  $VSNH$ ,  $VSNL$ , 및  $VPLT$  에 대해  $1 \text{ V}$ ,  $0 \text{ V}$  및  $0.5 \text{ V}$  로 설정되므로, 발생 회로 (20) 는  $0 \pm 0.1 \text{ V}$  의 시프트값 ( $\delta VSN$ ) 에 기초하여  $VSNH = 1 \pm 0.1 \text{ V}$ ,  $VSNL = 0 \pm 0.1 \text{ V}$ , 및  $VPLT = 0.5 \pm 0.1 \text{ V}$  를 생성한다.

[0092] 상술된 바와 같이, 본 실시형태의 반도체 메모리 디바이스의 임계-보상 감지 증폭기는 임계 전압 ( $V_t$ ) 의 온도-종속 변동 및 제조 프로세스의 분산에 기인한 MOS 트랜지스터 (Q1) 의 임계 전압 ( $V_t$ ) 의 시프팅을 소거하도록 설계되어, 마진을 개선하고 감지 증폭을 안정화한다. 즉, 본 실시형태는 반도체 칩의 MOS 트랜지스터의 임계 전압의 변동의 허용가능한 범위를 증가시킬 수 있고; 이리하여 다수의 감지 증폭기를 사용하는 대규모 DRAM 에 대해 제조 수율을 개선하여 제조 비용을 감소시키는 것이 가능하다.

[0093] 본 실시형태는 MOS 트랜지스터 (Q1) 의 임계 전압 ( $V_t$ ) 의 온도-종속 변동을 모니터링 및 소거하도록 설계되므로, 임계 전압 ( $V_t$ ) 의 온도-종속 변동을 정밀하게 보상하는 것이 가능하다. 본 실시형태는 반도체 칩의 MOS 트랜지스터의 임계 전압의 변동의 허용가능한 범위를 증가시킬 수 있으므로, 고도로 집적되고 정제된 메모

리를 제공하는 것이 가능하다.

- [0094] 본 발명은 임계-보상 감지 증폭기의 구성에 대해 본 실시형태에 반드시 제한될 필요는 없고, 그것은 다양한 방식으로 수정될 수 있다.
- [0095] 본 실시형태는 DRAM 의 상술된 리로드 동작 이외에 비휘발성 메모리의 데이터 보유 특성의 개선에 관련된 기술에 적용될 수 있다. 즉, 본 실시형태는 DRAM 이외의 비휘발성 메모리에 적용가능하고 메모리 이외의 감지 회로에 또한 적용가능하다.
- [0096] 비록 본 실시형태는 임계 모니터 회로 (11) 가 단일-종단 감지 증폭기로서 작용하는 전계 효과 트랜지스터의 임계 전압의 온도-종속 변동을 모니터링하도록 설계되지만, 본 실시형태는 기록 전압 (VSNH 및 VSHL) 이 판독 동작의 실행시 정정되도록 하는 방식에 반드시 제한되지는 않는다.
- [0097] 본 발명의 기본 개념에 따르면, 판독 동작을 수반하지 않는 기록 동작에서 MOS 트랜지스터 (Q1) 의 임계 전압 (V<sub>t</sub>) 의 모니터링 결과에 기초하여 기록 전압 (VSNH 및 VSNL) 을 정정하는 것이 가능하다. 따라서, 기록 전압 (VSNH 및 VSNL) 에 기초하여 메모리 셀 (MC) 로 기록되는 데이터에 기초하여 판독 동작에 있어서의 최적의 감지를 달성하는 것이 가능하다.
- [0098] 모든 MOS 트랜지스터는 (P-채널 및 N-채널 등의) 최적의 극성을 사용하여 설계되며; 이리하여 그 극성이 변경되는 경우, 회로 구성, 전원 및 접지 사이의 관계, 및 제어 신호의 극성이 대응하여 변경되어야 한다.
- [0099] 마지막으로, 본 발명은 위의 실시형태에 제한되는 것이 아니라 본 발명의 범위 및 사상으로부터 이탈하지 않고 수정 및 변경될 수도 있다는 것이 분명하다.

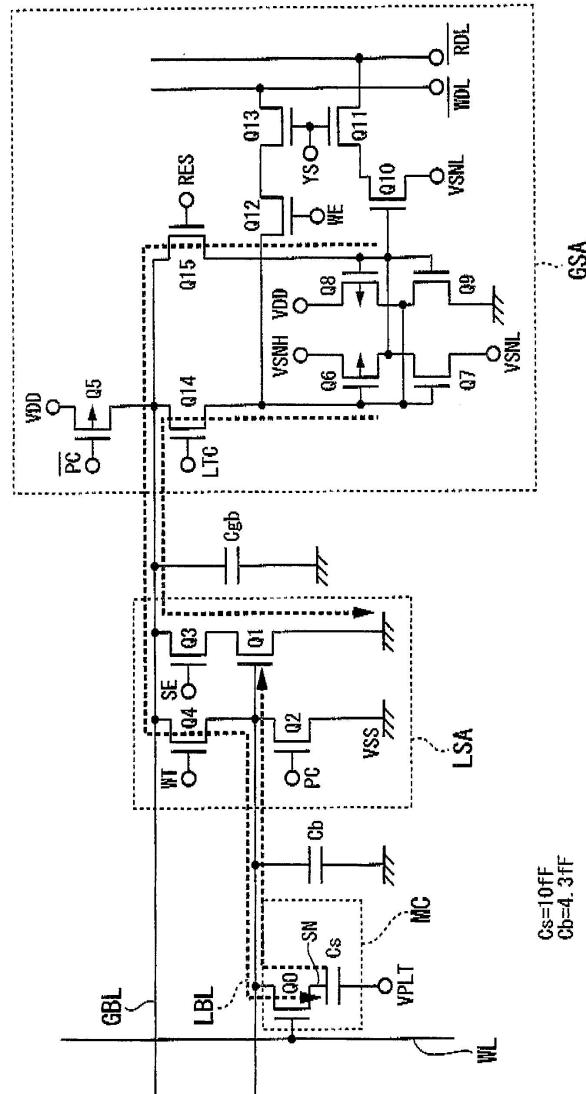
### 도면의 간단한 설명

- [0100] 도 1은 본 발명의 바람직한 실시형태에 따라 로컬 감지 증폭기 (LSA) 및 글로벌 감지 증폭기 (GSA) 에 적용되는 임계 변동 보상 회로를 포함하는 반도체 메모리 디바이스의 일부를 나타내는 회로도.
- [0101] 도 2는 온도-종속 보상 없이 로컬 감지 증폭기 (LSA) 에 포함된 MOS 트랜지스터 (Q1) 의 임계-전압 변동의 허용 가능한 범위를 나타내는 그래프.
- [0102] 도 3은 -25 °C 에서 온도-종속 보상에 의해 제어되는 MOS 트랜지스터 (Q1) 의 임계-전압 변동의 허용가능한 범위를 나타내는 그래프.
- [0103] 도 4는 50 °C 에서 온도-종속 보상에 의해 제어되는 MOS 트랜지스터 (Q1) 의 임계-전압 변동의 허용가능한 범위를 나타내는 그래프.
- [0104] 도 5는 125 °C 에서 온도-종속 보상에 의해 제어되는 MOS 트랜지스터 (Q1) 의 임계-전압 변동의 허용가능한 범위를 나타내는 그래프.
- [0105] 도 6은 도 3의 그래프와 관련된 -25 °C 에서의 온도-종속 보상과 연관된 판독 동작의 과정을 나타내는 그래프.
- [0106] 도 7은 도 4의 그래프와 관련된 50 °C 에서의 온도-종속 보상과 연관된 판독 동작의 과정을 나타내는 그래프.
- [0107] 도 8은 도 5의 그래프와 관련된 125 °C 에서의 온도-종속 보상과 연관된 판독 동작의 과정을 나타내는 그래프.
- [0108] 도 9는 하이-레벨 기록 전압 (VSNH), 로우-레벨 기록 전압 (VSNL), 및 플레이트 전압 (VPLT) 를 발생시키는 3 개의 발생 회로를 나타내는 블록도.
- [0109] 도 10은 도 9에 도시된 임계 모니터 회로의 구성을 나타내는 회로도.
- [0110] 도 11은 도 9에 도시된 전달비 변환 회로, 레벨 시프트 회로, 정정값 설정 회로, 및 8VSN 구동기를 포함하는 구성을 나타내는 회로도.
- [0111] 도 12는 임계 전압 (V<sub>t</sub>) 이 설계값 내에 있는 예비조건에서의 시프트값 (δVSN) 을 생성함에 있어서의 전압의 천이를 나타내는 그래프.
- [0112] 도 13은 임계 전압 (V<sub>t</sub>) 이 설계값으로부터 시프팅되는 예비조건에서의 시프트값 (δVSN) 을 생성함에 있어서의 전압의 천이를 나타내는 그래프.
- [0113] 도 14는 도 9에 도시된 δVSN 가산 회로, 반전 증폭 회로, 및 출력 구동기를 포함하는 구성을 나타내는

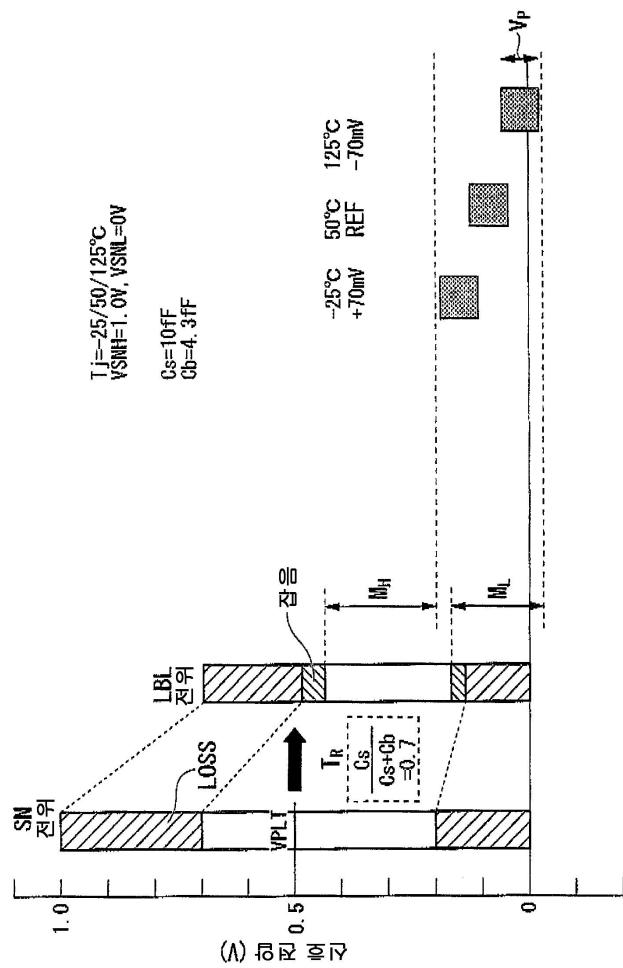
회로도.

도면

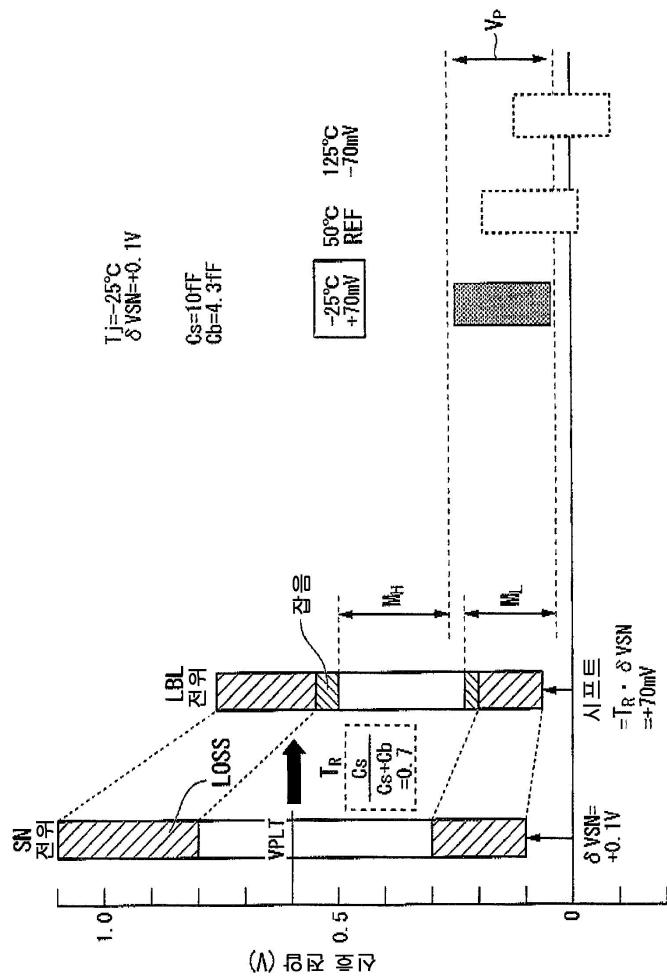
도면1



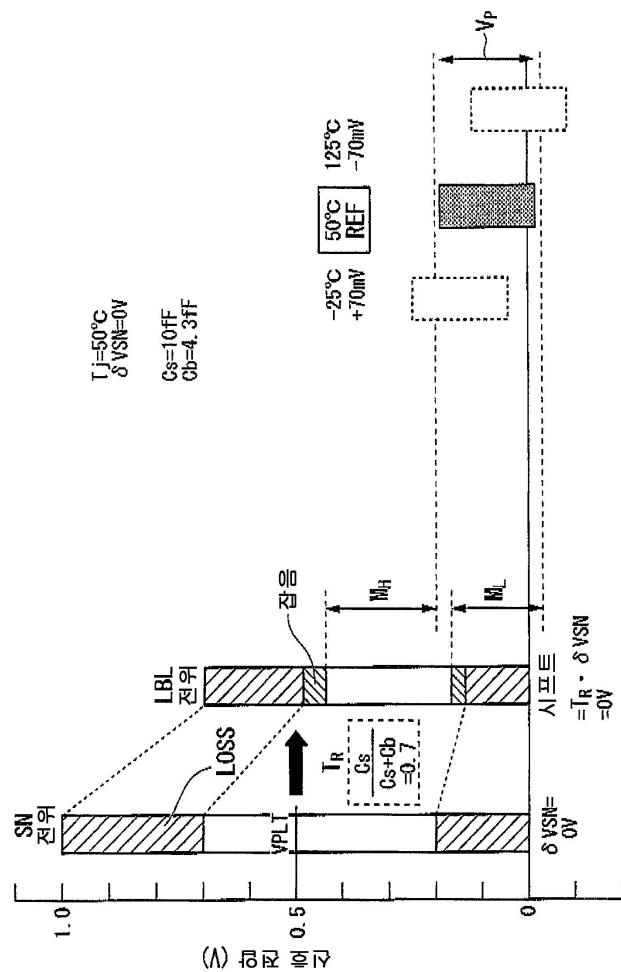
## 도면2



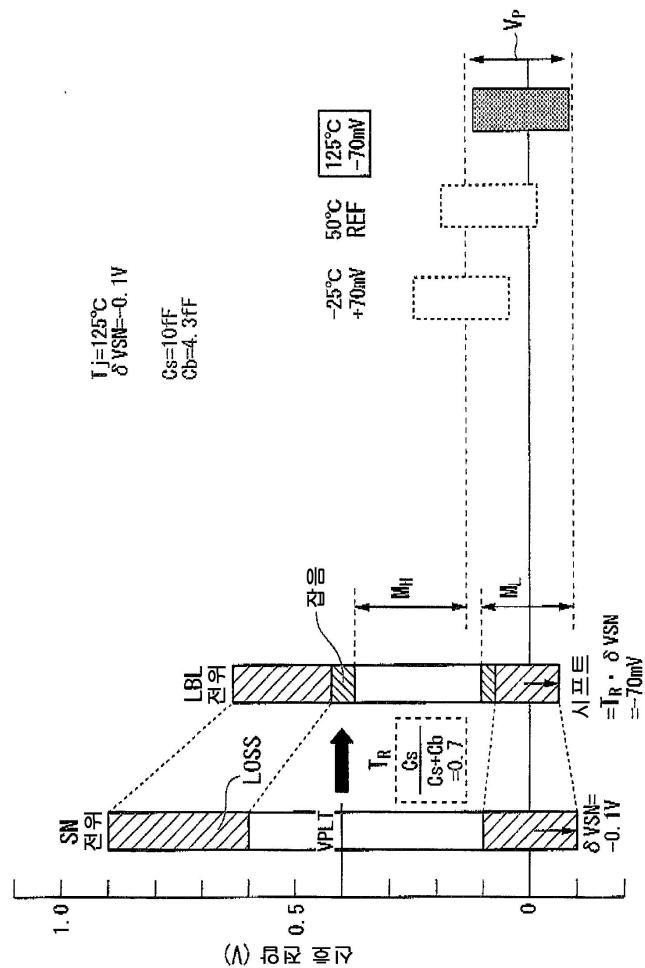
### 도면3



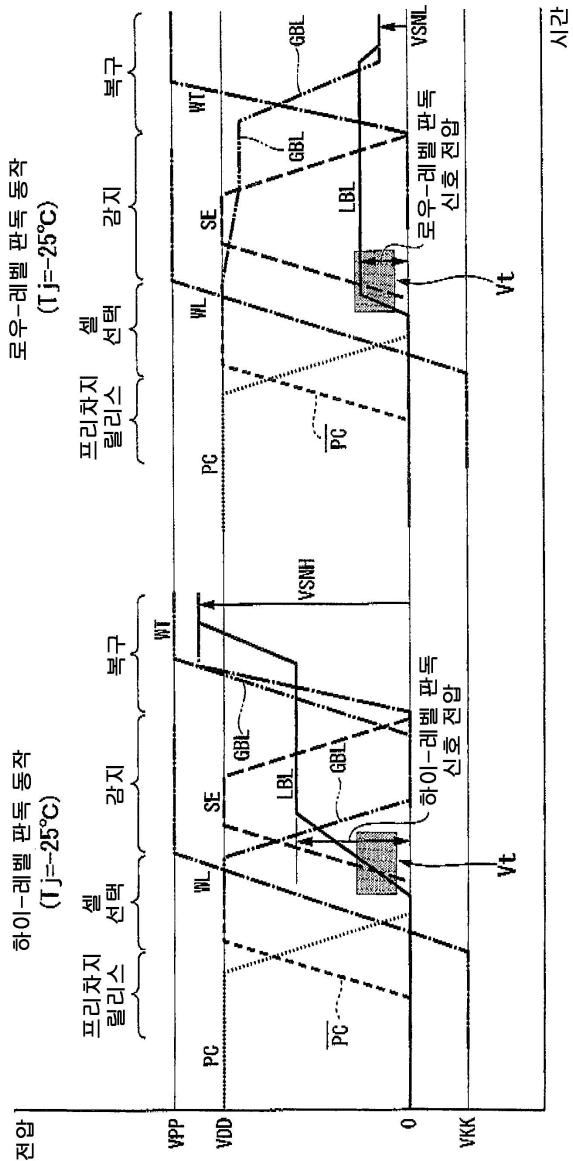
## 도면4



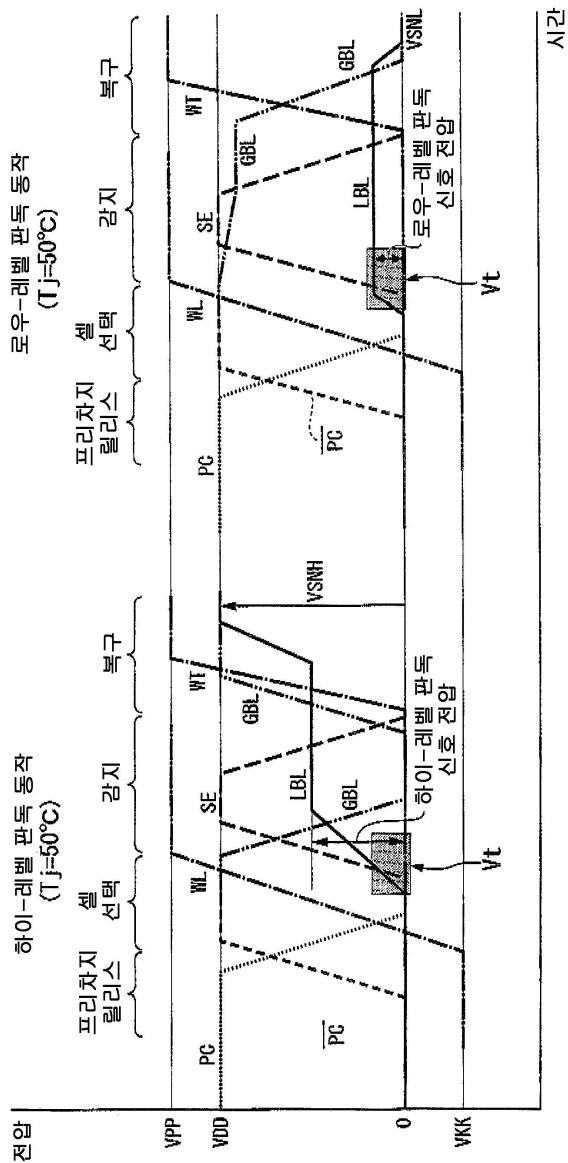
## 도면5



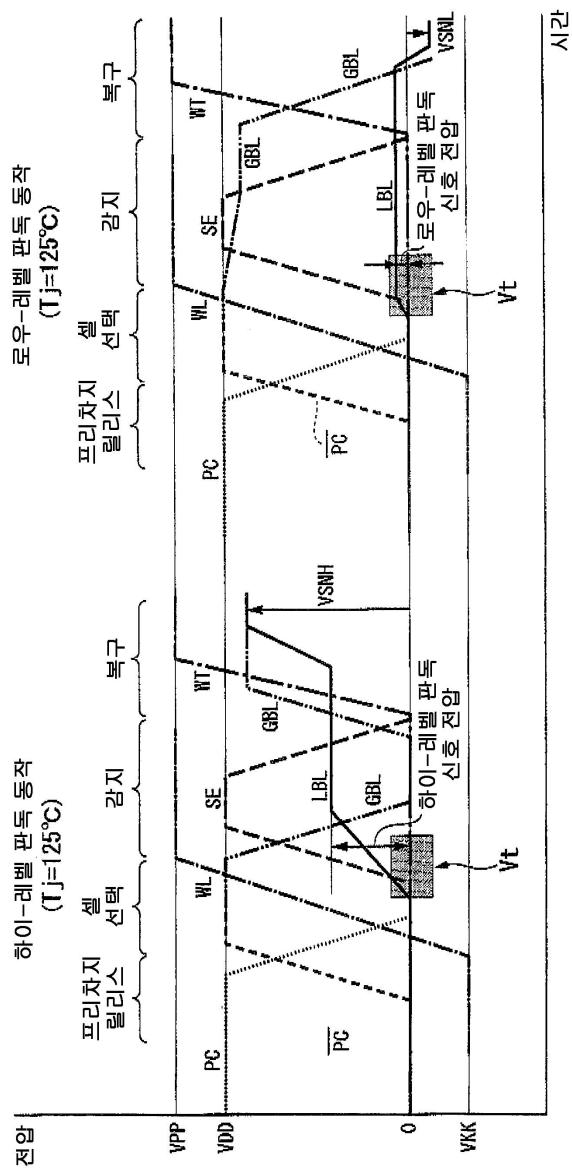
## 도면6



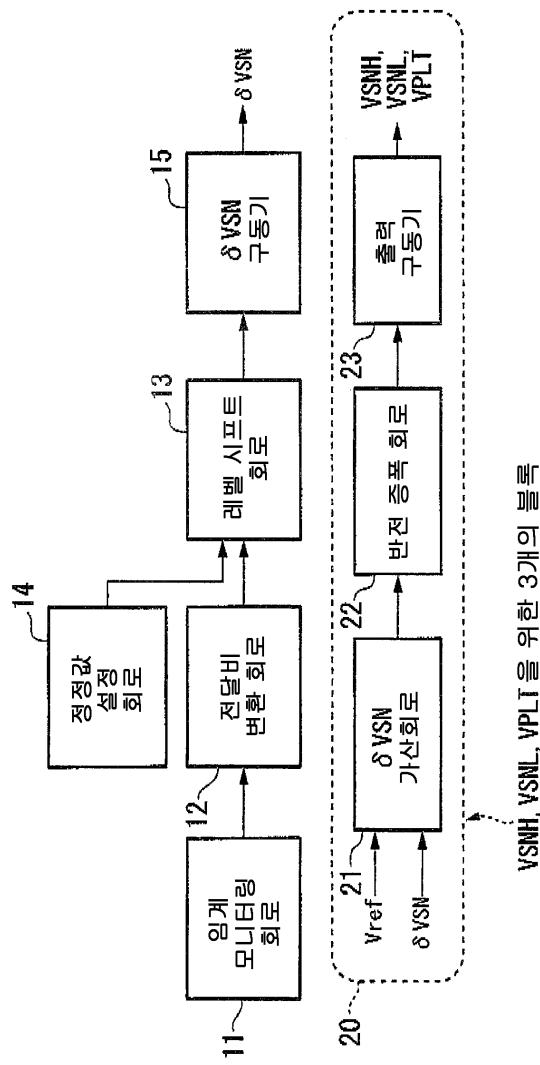
도면7



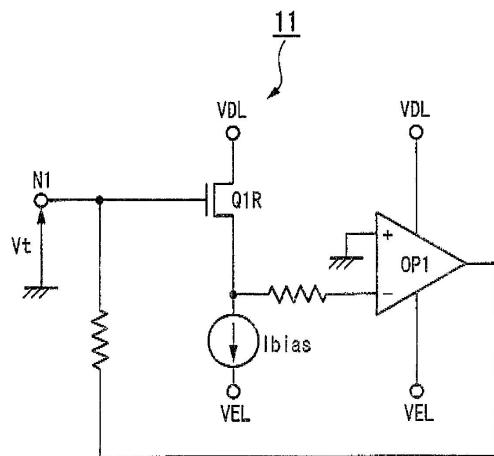
도면8



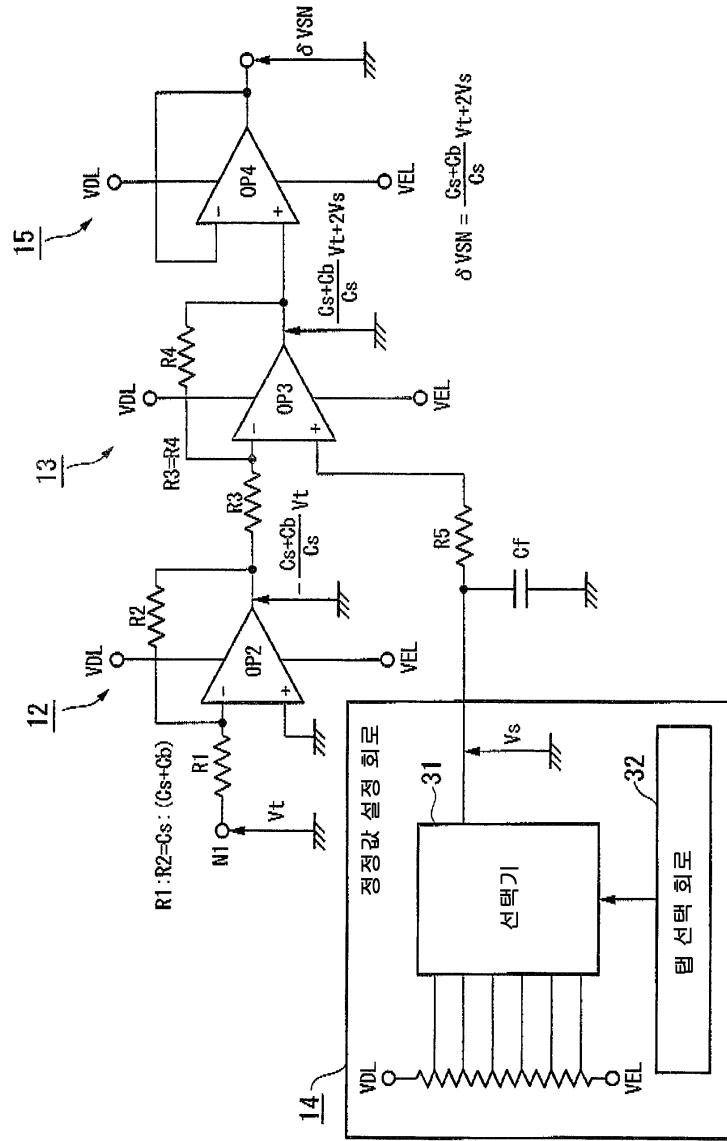
## 도면9



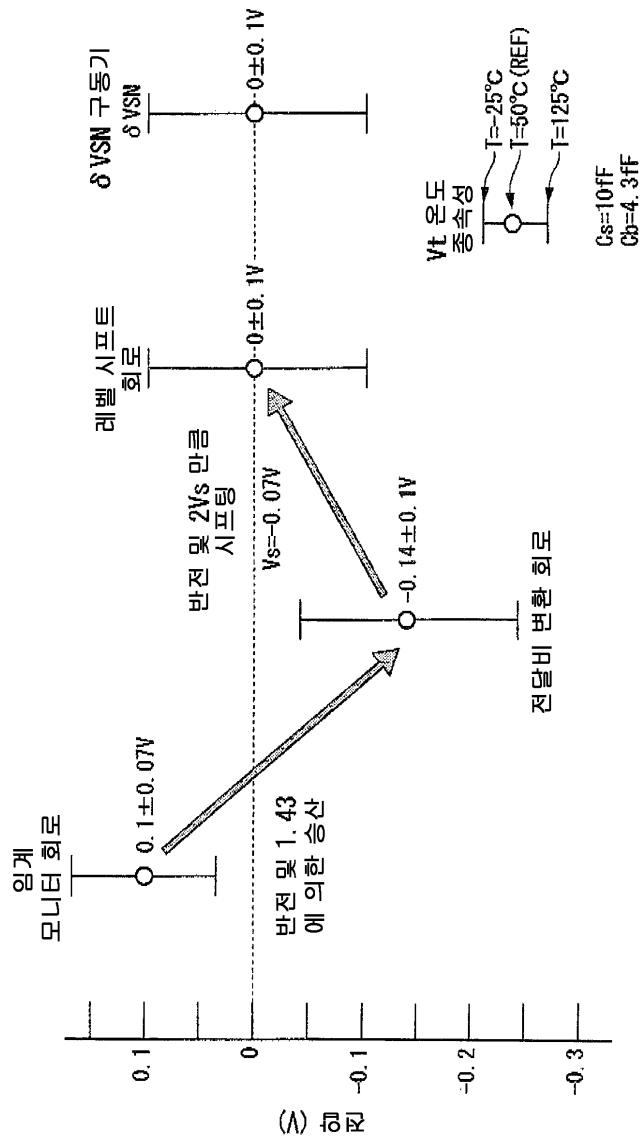
## 도면10



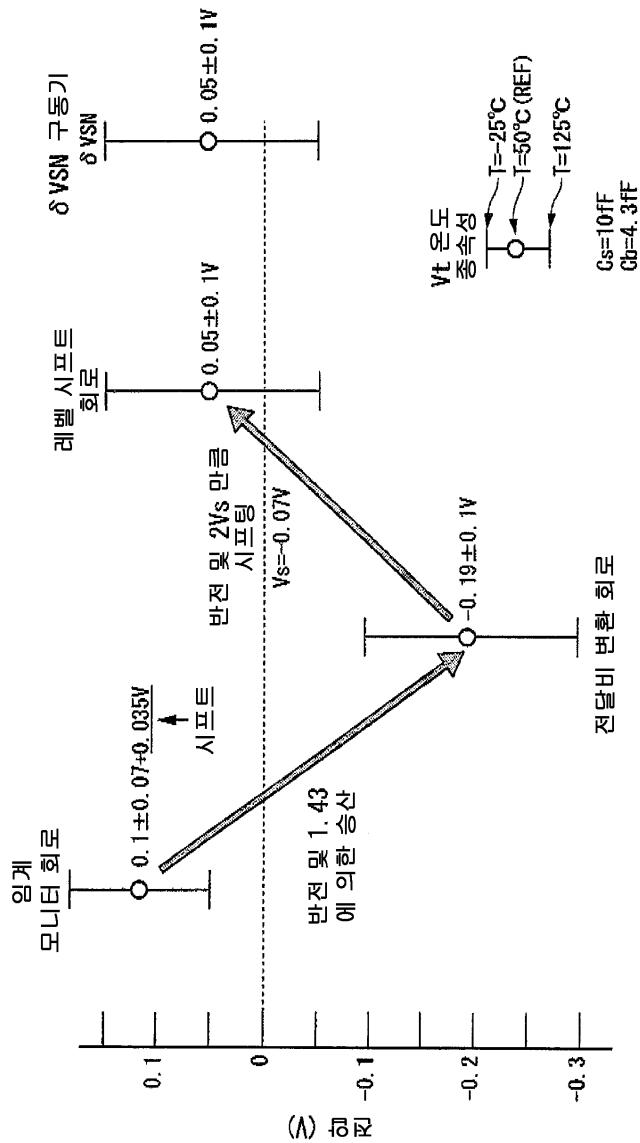
## 도면11



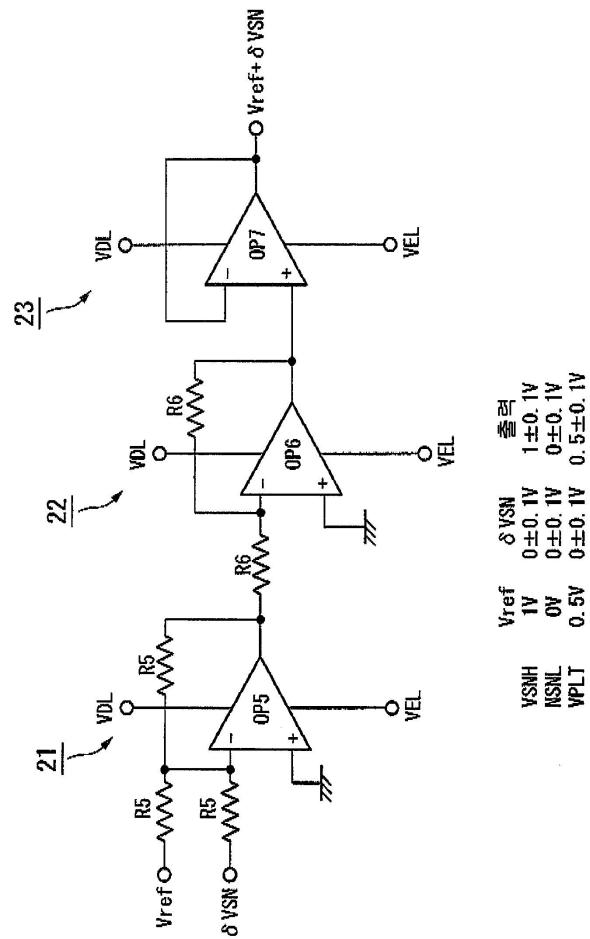
도면12



도면13



도면14



	$V_{ref}$	$\delta V_{SN}$	Notes
$V_{SNH}$	1V	$0 \pm 0.1V$	$1 \pm 0.1V$
$V_{SNL}$	0V	$0 \pm 0.1V$	$0 \pm 0.1V$
$V_{PLT}$	0.5V	$0 \pm 0.1V$	$0.5 \pm 0.1V$