



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I453892 B

(45)公告日：中華民國 103 (2014) 年 09 月 21 日

(21)申請案號：098117198

(22)申請日：中華民國 98 (2009) 年 05 月 22 日

(51)Int. Cl. : H01L27/04 (2006.01)

H01L23/60 (2006.01)

G06K19/077 (2006.01)

(30)優先權：2008/05/23 日本

2008-136066

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY

LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；及川欣聰 OIKAWA, YOSHIKI (JP)；小

路博信 SHOJI, HIRONOBU (JP)；鹽野入豐 SHIONOIRI, YUTAKA (JP)；加藤清

KATO, KIYOSHI (JP)；中田昌孝 NAKADA, MASATAKA (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5677045

US 5679975

US 6100177B1

US 20080012126A1

US 20080036608A1

US 20080054976A1

審查人員：陳英豪

申請專利範圍項數：13 項 圖式數：53 共 0 頁

(54)名稱

半導體裝置

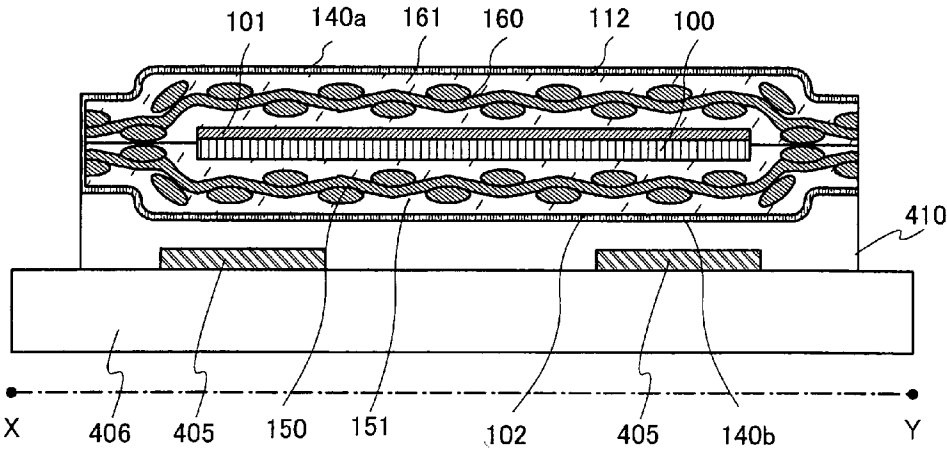
SEMICONDUCTOR DEVICE

(57)摘要

一個目的在於提供在厚度及尺寸減少時具有抗外部應力及抗靜電放電的高度可靠的半導體裝置。另一目的是防止導因於製程中的外部應力或靜電釋放之缺陷形狀及特徵劣化，以高產能地製造半導體裝置。提供彼此面對的第一絕緣體及第二絕緣體、設於彼此面對的第一絕緣體與第二絕緣體之間的半導體積體電路及天線、設於第一絕緣體的一表面上的導電屏蔽、及設於第二絕緣體的一表面上的導電屏蔽。設於第一絕緣體的一表面上的導電屏蔽與設於第二絕緣體的一表面上的導電屏蔽電連接。

An object is to provide a highly reliable semiconductor device having resistance to external stress and electrostatic discharge while achieving reduction in thickness and size. Another object is to prevent defective shapes and deterioration in characteristics due to external stress or electrostatic discharge in a manufacture process to manufacture a semiconductor device with a high yield. A first insulator and a second insulator facing each other, a semiconductor integrated circuit and an antenna provided between the first insulator and the second insulator facing each other, a conductive shield provided on one surface of the first insulator, and a conductive shield provided on one surface of the second insulator are provided. The conductive shield provided on one surface of the first insulator and the conductive shield provided on one surface of the second insulator are electrically connected.

圖21C



- 100 . . . 半導體積體
電路
- 101 . . . 天線
- 102 . . . 絕緣體
- 112 . . . 絕緣體
- 140a . . . 導電屏蔽
- 140b . . . 導電屏蔽
- 150 . . . 纖維體
- 151 . . . 有機樹脂
- 160 . . . 纖維體
- 161 . . . 有機樹脂
- 405 . . . 天線
- 406 . . . 支撐基底
- 410 . . . 絕緣層

774516

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98117198

※申請日：98年05月22日

※IPC分類：
H01L 27/04 (2006.01)
H01L 23/60 (2006.01)
G06K 19/077 (2006.01)

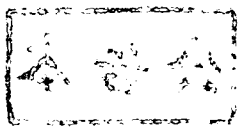
一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

二、中文發明摘要：

一個目的在於提供在厚度及尺寸減少時具有抗外部應力及抗靜電放電的高度可靠的半導體裝置。另一目的是防止導因於製程中的外部應力或靜電釋放之缺陷形狀及特徵劣化，以高產能地製造半導體裝置。提供彼此面對的第一絕緣體及第二絕緣體、設於彼此面對的第一絕緣體與第二絕緣體之間的半導體積體電路及天線、設於第一絕緣體的一表面上的導電屏蔽、及設於第二絕緣體的一表面上的導電屏蔽。設於第一絕緣體的一表面上的導電屏蔽與設於第二絕緣體的一表面上的導電屏蔽電連接。



三、英文發明摘要：

An object is to provide a highly reliable semiconductor device having resistance to external stress and electrostatic discharge while achieving reduction in thickness and size. Another object is to prevent defective shapes and deterioration in characteristics due to external stress or electrostatic discharge in a manufacture process to manufacture a semiconductor device with a high yield. A first insulator and a second insulator facing each other, a semiconductor integrated circuit and an antenna provided between the first insulator and the second insulator facing each other, a conductive shield provided on one surface of the first insulator, and a conductive shield provided on one surface of the second insulator are provided. The conductive shield provided on one surface of the first insulator and the conductive shield provided on one surface of the second insulator are electrically connected.

四、指定代表圖：

(一) 本案指定代表圖為：第(21C)圖。

(二) 本代表圖之元件符號簡單說明：

100：半導體積體電路

101：天線

102：絕緣體

112：絕緣體

140a：導電屏蔽

140b：導電屏蔽

150：纖維體

151：有機樹脂

160：纖維體

161：有機樹脂

405：天線

406：支撐基底

410：絕緣層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置，特別關於對外部無接觸地傳送/接收訊號之半導體裝置。

【先前技術】

經由天線以無線通訊傳送/接收訊號之半導體裝置(例如非接觸式訊號處理裝置或半導體積體電路晶片)具有半導體裝置因靜電放電(ESD)而崩潰(靜電崩潰)之問題。此問題是嚴重的問題，造成從半導體裝置的製造步驟至檢測步驟之後使用半導體裝置作為產品之製程的可靠度及生產力降低。

舉例而言，關於靜電崩潰的反制之道，提議在半導體裝置中使用導電聚合物層作為基底或黏著劑(例如參考文獻1)。

【參考文獻1】

參考文獻1：日本公開專利申請號2007-241999

【發明內容】

隨著半導體裝置的市場擴張，形狀及所需特徵的需求也隨著改變。在考慮因市場擴張而在不同狀況下的用途之情形中，需要具有更高的抗靜電崩潰及所需特徵之半導體裝置。

此外，在尺寸及厚度需要縮減的半導體裝置中，重要

的是增加抵抗來自外部的應力之強度（此後，稱為外部應力）與降低尺寸及厚度。

本發明的實施例之目的是增進抗靜電崩潰。本發明的實施例的另一目的是即使在降低半導體裝置的厚度及尺寸的情形中增進抗外部應力與抗靜電崩潰。本發明的實施例的又另一目的是抑制製程中導因於外部應力或靜電放電之損害以增進產能。

本發明的實施例是提供半導體裝置，其包含第一絕緣體、第二絕緣體、半導體積體電路、天線、設於第一絕緣體的一表面上的導電屏蔽、及設於第二絕緣體的一表面上的導電屏蔽。第一絕緣體及第二絕緣體設置成彼此面對。半導體積體電路及天線設於彼此面對的第一絕緣體與第二絕緣體之間。設於第一絕緣體的一表面上的導電屏蔽與設於第二絕緣體的一表面上的導電屏蔽電連接。

上述半導體裝置可為非接觸訊號處理裝置，其具有藉由無線通訊以對外部裝置傳送/接收訊號的功能。導電屏蔽表示具有降低靜電影響（例如導因於靜電的半導體積體電路的崩潰）及傳輸經由天線傳送/收到的電磁波之功能。

導電屏蔽擴散及釋放靜電放電施加的靜電或者防止電荷局部存在（局部化）（亦即，防止半導體裝置上產生局部電位差），以致於可以防止半導體積體電路的靜電崩潰。導電屏蔽形成為與半導體積體電路的二表面重疊，並以第一絕緣體及第二絕緣體夾於其間。

本發明的另一實施例是提供半導體裝置，其包含第一絕緣體、第二絕緣體、半導體積體電路、晶片上天線、設於第一絕緣體的一表面上的導電屏蔽、設於第二絕緣體的一表面上的導電屏蔽、及與晶片上天線電磁耦合的升壓天線。第一絕緣體及第二絕緣體設置成彼此面對。半導體積體電路及天線設於彼此面對的第一絕緣體與第二絕緣體之間。設於第一絕緣體的一表面上的導電屏蔽與設於第二絕緣體的一表面上的導電屏蔽電連接。第一絕緣體及第二絕緣體設置成彼此面對。半導體積體電路及天線設於彼此面對的第一絕緣體與第二絕緣體之間。設於第一絕緣體的一表面上的導電屏蔽與設於第二絕緣體的一表面上的導電屏蔽電連接。

導電屏蔽具有導電率，以及，可以使用導電層，導電層是使用導電材料（例如金屬膜、金屬氧化物膜、金屬氮化物膜、半導體膜或其堆疊膜）形成的。

第一絕緣體與第二絕緣體中至少之一具有纖維體由有機樹脂浸漬的結構。此外，較佳地，第一絕緣體與第二絕緣體中至少之一具有 $5\mu\text{m}$ 至 $50\mu\text{m}$ 的厚度。

在本說明書中，「轉移」（也稱為移換）意指將形成於基底上的半導體積體電路與基底分離以及將半導體積體電路移至另一基底。換言之，「轉移」一詞意指將設有半導體積體電路的位置移至另一基底。

絕緣體可以藉由黏著層而接合至半導體積體電路，在此情形中，黏著層設於半導體積體電路與絕緣體之間。或

者，藉由同時執行加熱及施壓接合之處理（此後稱為加熱及施壓處理）而將絕緣體與半導體積體電路彼此直接接合。

注意，在本說明書中，「半導體裝置」一詞意指可以使用半導體特性作用的一般裝置。藉由使用本發明，可以製造具有包含半導體元件（例如電晶體、記憶元件、或二極體）的電路之裝置、以及例如具有處理器的晶片等半導體裝置。

根據本發明的另一實施例，藉由遮蓋半導體積體電路的導電屏蔽，可以抑制導因於靜電放電之靜電崩潰（電路故障或半導體元件的損害）。根據本發明的另一實施例，藉由夾著半導體積體電路之絕緣體對，可以提供高度可靠的半導體裝置，其對外部應力具有高抵抗性，同時尺寸及厚度縮小。根據本發明的另一實施例，即使在製程中，仍然能防止導因於外部應力或靜電放電之缺陷形狀及特徵劣化，以致於以高產能製造半導體裝置。

【實施方式】

於下，將參考附圖，說明根據本發明的實施例。但是，本發明不限於下述說明，習於此技藝者將清楚知道其模式及細節的不同改變及修改，除非這些改變及修改悖離本發明的精神及範圍。因此，本發明不應被解釋為受限於下述實施模式中所述。在圖式中，相同的部份或具有類似功能的部份以相同的代號表示，以省略重複說明。

(實施例 1)

在本實施例中，將參考圖 1A 至 1C、圖 2A 至 2C、及圖 3A 至 3D，詳細說明高度可靠的半導體裝置及高產能的半導體裝置製造方法。

本實施例的半導體裝置包含第一絕緣體 112、第二絕緣體 102、半導體積體電路 100、天線 101、導電屏蔽 140a、及導電屏蔽 140b。第一絕緣體 112 及第二絕緣體 102 設置成彼此面對，半導體積體電路 100 及天線 101 設於第一絕緣體 112 與第二絕緣體 102 之間，以及，導電屏蔽 140a 和 140b 分別設於第一絕緣體 112 與第二絕緣體 102 的表面上(與設有半導體積體電路 100 的表面相反的表面)。此外，設於第一絕緣體 112 的一表面上的導電屏蔽 140a 與設於第二絕緣體 102 的一表面上的導電屏蔽 140b 電連接(請參見圖 1A)。

導電屏蔽 140a 與導電屏蔽 140b 設置成與半導體積體電路 100 重疊。舉例而言，如圖 1A 至 1C 所示，可以採用導電屏蔽 140a 設於第一絕緣體 112 的一表面上及導電屏蔽 140b 設於第二絕緣體 102 的一表面上之結構。

半導體積體電路 100 與天線 101 彼此電連接，以及，半導體積體電路 100 及天線 101 與導電屏蔽 140a 及 140b 中的每一者電隔離。

圖 1A 至 1C 均顯示天線 101 設置於半導體積體電路 100 之上以致於與半導體積體電路 100 重疊之情形，但不

106年 5月18日修正 替換頁

限於此。舉例而言，天線 101 可以設於半導體積體電路 100 之下或是設於半導體積體電路 100 之外（以致於不會與半導體積體電路 100 重疊）。

藉由形成導電屏蔽 140a 及導電屏蔽 140b，可以擴散或釋放由靜電放電的靜電或防止電荷局部存在（局部化）（半導體裝置上產生局部電位差），以致於可以抑制半導體積體電路 100 的靜電崩潰。此外，藉由在第一絕緣體 112 及第二絕緣體 102 的每一表面上形成導電屏蔽以遮蔽半導體積體電路 100，可以取得更高的防止靜電崩潰效果。

此外，設於第一絕緣體 112 的表面的導電屏蔽 140a 與設於第二絕緣體 102 的表面的導電屏蔽 140b 電連接，因此，相較於無電連接地設置導電屏蔽 140a 及導電屏蔽 140b 之情形或者對第一絕緣體 112 及第二絕緣體 102 中之一設置導電屏蔽之情形，可以有效地防止電荷局部化及靜電擴散。結果，可以有效地防止半導體積體電路 100 的靜電崩潰。

如圖 1A 所示，導體 141a 設於第一絕緣體 112 及第二絕緣體 102 的側表面上，因此，導電屏蔽 140a 與導電屏蔽 140b 電連接。在該情形中，使用與導電屏蔽 140a 及導電屏蔽 140b 相同的材料，形成導體 141a。

注意，較佳地，導體 141a 設置成至少導電屏蔽 140a 與導電屏蔽 140b 可以電連接，以及，導體 141a 可以部份地設於第一絕緣體 112 與第二絕緣體 102 的側表面上。此

外，可以適當地決定設置導體 141a 的位置。在第一絕緣體 112 及第二絕緣體 102 的側表面上，在多個位置上設置導體 141a，以致於導電屏蔽 140a 及導電屏蔽 140b 可以電連接。

或者，使用穿透第一絕緣體 112 及第二絕緣體 102 的導體 141b，因而設於第一絕緣體 112 的表面上之導電屏蔽 140a 與設於第二絕緣體 102 的表面上之導電屏蔽 140b 可以電連接(請參見圖 1B)。

本實施例中所述的半導體裝置(具有無線傳輸功能)藉由使用來自外部的電磁波所產生的感應電動勢而操作。如此，導電屏蔽 140a 及導電屏蔽 140b 需要防止導因於靜電的半導體積體電路傷害、以及需要由使用傳輸電磁波的導電材料形成。

一般已知，電磁波會在物質中衰減。特別是在導電材料中，電磁波的衰減變得顯著。因此，在本實施例中，將導電屏蔽 140a 及 140b 形成為薄至足以能夠傳輸電磁波。

根據要用於通訊之電磁波的頻率及要作為導電屏蔽 140a 及 140b 的導電材料的電阻率及磁導率，決定導電屏蔽 140a 及 140b 的厚度。

舉例而言，在電磁波頻率為 13.56 MHz 及使用鈦(電阻率(ρ): $5.5 \times 10^{-7} (\Omega \cdot M)$)作為導電屏蔽 140a 和 140b 之情形中，每一導電屏蔽的厚度至少為 500 nm 或更小。因此，可以抑制導因於靜電放電的半導體裝置的傷害以及可以良好地執行與外部的通訊。

或者，在使用含有氧化矽的銦錫氧化物（也稱 ITSO）作為導電屏蔽 140a 及 140b 的情形中，較佳地形成每一導電屏蔽為至少約 700 nm 或更薄的厚度。

另一方面，根據電阻率，較佳地決定導電屏蔽 140a 及 140b 的厚度的下限。在用於導電屏蔽 140a 及 140b 的導電材料的電阻率高的情形中，導電屏蔽 140a 及 140b 較佳地形成為厚的，以致於靜電可以有效地擴散。

為了有效率地防止導因於靜電的半導體裝置的傷害，將導電屏蔽 140a 及 140b 的厚度較佳地設定為導電屏蔽 140a 及 140b 的薄片電阻均為 $1.0 \times 10^7 \Omega / \square$ 或更低，更佳地為 $1.0 \times 10^2 \Omega / \square$ 或更低。

亦即，以抑制靜電崩潰的觀點而言，較佳地，導電屏蔽 140a 及 140b 的電阻率減少，以及，以傳輸電磁波的觀點而言，較佳地，導電屏蔽 140a 及 140b 的厚度縮減。因此，只要導電屏蔽 140a 及 140b 的薄片電阻在上述範圍之內，則較佳地，各別厚度可以設定成儘可能小。

當使用電阻率低的鈦等作為導電材料時，即使在提供相當薄的導電屏蔽之情形中，仍然可以充份地降低薄片電阻及容易地傳輸電磁波。但是，當考慮製程等時，將導電屏蔽 140a 及 140b 較佳地形成為至少約 1 nm 或更大（較佳地為 3 nm 或更大）的厚度。或者，當使用電阻率相對高的含有氧化矽的銦錫氧化物或類似者時，各別導電屏蔽較佳地形成為至少約 5 nm 或更大的厚度。

根據上述，考量抑制靜電崩潰及電磁波傳輸，控制用

於導電屏蔽 140a 及 140b 的材料以及其厚度。因此，可以有效地抑制導因於靜電放電之半導體裝置的傷害，以及，可以取得與外部良好地通訊之半導體裝置。

接著，詳細說明可以應用至圖 1A 至 1C 中所示的結構之材料等等。

可以使用導電層以形成導電屏蔽 140a 及 140b。導電層由上述例如鈦或含有氧化矽的銦錫氧化物以外之金屬、金屬氮化物、金屬氧化物、等等的膜所形成；或是任何這些膜的堆疊。

使用例如選自鈦、鉬、鎢、鋁、銅、銀、黃金、鎳、鉑、鈮、銻、鈦、鉭、鎳、鋅、鐵、矽、鎳、鋁、或鋇之元素、或合金材料、或化合物材料、氮化物材料、或含有上述元素作為主成份的氧化物材料，形成導電屏蔽 140a 及 140b。

關於氮化物材料，可以使用氮化鈦、氮化鉭、等等。

關於氧化物材料，除了含有氧化矽的銦錫氧化物之外，還可以使用銦錫氧化物(ITO)、有機銦、有機錫、氧化鋅、等等。或者，可以使用含有氧化鋅(ZnO)的銦鋅氧化物(IZO)、氧化鋅(ZnO)、含有鎵(Ga)的氧化鋅、氧化錫(SnO₂)、含有氧化鎢的氧化銦、含有氧化鎢的銦鋅氧化物、含有氧化鈦的氧化銦、含有氧化鈦的銦錫氧化物、等等。

或者，可以使用由摻雜元素等而至具有導電率的半導體形成的半導體膜、等等作為導電屏蔽 140a 及 140b。舉

例而言，可以使用摻雜例如磷等雜質元素之多晶矽膜。

又或者，可以使用導電聚合物作為導電屏蔽 140a 及 140b。關於導電聚合物，可以使用所謂的 π 電子共軛導電聚合物。舉例而言，可為聚苯胺及/或其衍生物、聚吡咯及/或其衍生物、聚噻吩及/或其衍生物、二或更多種這些材料的共聚物、等等。

共軛導電聚合物的具體實施例可為如下所述：聚吡咯、聚(3-甲基吡咯)、聚(3-丁基吡咯)、聚(3-辛基吡咯)、聚(3-癸基吡咯)、聚(3,4-二甲基吡咯)、聚(3,4-二丁基吡咯)、聚(3-羥基吡咯)、聚(3-甲基-4-羥基吡咯)、聚(3-甲氧基吡咯)、聚(3-乙氧基吡咯)、聚(3-辛氧基吡咯)、聚(3-羧基吡咯)、聚(3-甲基-4-羧基吡咯)、聚(N-甲基吡咯)、聚噻吩、聚(3-甲基噻吩)、聚(3-丁基噻吩)、聚(3-辛基噻吩)、聚(3-癸基噻吩)、聚(3-十二碳基噻吩)、聚(3-甲氧基噻吩)、聚(3-乙氧基噻吩)、聚(3-辛氧基噻吩)、聚(3-羧基噻吩)、聚(3-甲基-4-羧基噻吩)、聚(3,4-伸乙二氧基噻吩)、聚苯胺、聚(2-甲基苯胺)、聚(2-辛基苯胺)、聚(2-異丁基苯胺)、聚(3-異丁基苯胺)、聚(2-磺酸)、或聚(3-磺酸)。

含有導電聚合物的導電屏蔽 140a 及 140b 可以具有有機樹脂或摻雜劑(鹵素、路易士斯、無機酸、有機酸、暫態金屬的鹵化物、有機氰基化合物、及非離子介面活性劑、等等)。

藉由例如濺射法、電漿 CVD 法、或蒸鍍法等乾式製程或例如塗著法、印刷法、或滴放法(噴墨法)等濕式製程

，形成上述導電屏蔽 140a 及 140b。

此外，導電屏蔽 140a 及 140b 由例如鈦膜、鉬膜、或鎢物等具有遮光特性的膜形成，因此，半導體積體電路 100 可為黑盒子。

此外，可以在半導體積體電路 100 及天線 101 上形成保護層。舉例而言，在圖 1A 的結構中，在半導體積體電路 100 上方形成無機絕緣層 105 作為保護層。圖 1C 顯示的實施例中，天線 101 形成於半導體積體電路 100 上及無機絕緣層 105 形成於天線 101 上。天線 101 由無機絕緣層 105 遮蓋，因而可以防止作為天線的導電層氧化。

以濺射法、電漿 CVD 法、塗著法、印刷法、等等，使用無機化合物，以單層或堆疊層形成無機絕緣層 105。關於無機化合物的典型實施例，可為經過氧化的矽或氮化的矽。此外，關於經過氧化的矽及氮化的矽之典型實施例，可為氧化矽、氮氧化矽、氮化矽、氧氮化矽、等等。注意，在本說明書中，氮氧化矽膜意指含氧量大於含氮量之膜；具體而言，其含有濃度分別為 50 原子%至 70 原子%、0.5 原子%至 15 原子%、25 原子%至 35 原子%、及 0.1 原子%至 10 原子%的氧、氮、矽、及氫。此外，氧氮化矽膜意指含氮量大於含氧量之膜；在使用 RBS 及 HFS 以執行測量的情形中，其含有濃度分別為 5 原子%至 30 原子%、20 原子%至 55 原子%、25 原子%至 35 原子%、及 10 原子%至 30 原子%的氧、氮、矽、及氫。注意，氮、氧、矽、及氫的百分比落在上述範圍之內，其中，氮氧化矽膜中

或氮化矽膜中所含有的總原子數定義為 100 原子 %。

無機絕緣層 105 可以具有層結構。舉例而言，使用無機化合物，形成層結構。典型地，藉由堆疊氧化矽、氮化矽、及氮氧化矽，形成無機絕緣層 105。

此外，保護層可以堆疊在每一導電屏蔽 140a 及 140b 上。以 CVD 法、濺射法、等等，形成保護層。或者，藉由對導電屏蔽 140a 及 140b 執行例如電漿處理等表面處理，可以形成保護層。舉例而言，形成複數鈦膜（厚度均為 10 nm 至 50 nm）作為導電屏蔽 140a 及 140b，以及，在複數鈦膜上形成複數氧化鈦膜作為保護層。

形成於每一導電屏蔽 140a 及 140b 上的保護層是最外表面，因此，可以防止導電屏蔽 140a 及 140b 劣化。保護層具有從 10 nm 至 200 nm 的厚度。

關於第一絕緣體 112 及第二絕緣體 102，可以使用纖維體由有機樹脂浸漬的結構體。圖 2A 至 2C 顯示之實施例中，使用纖維體由有機樹脂浸漬的結構體作為第一絕緣體 112 及第二絕緣體 102。注意，圖 2A 對應於圖 1A，圖 2B 對應於圖 1C。

圖 2A 及 2B 均顯示使用纖維體 160 由有機樹脂 161 浸漬的結構體作為第一絕緣體 112，以及使用纖維體 150 由有機樹脂 151 浸漬的結構體作為第二絕緣體 102。

關於纖維體 150 及纖維體 160，可以使用使用有機化合物或無機化合物的高強度纖維之不織布、或織布。高強度纖維具體而言為具有高彈性張力模數的纖維或具有高楊

氏模數的纖維。關於高強度纖維的典型實施例，可為聚乙烯醇纖維、聚酯纖維、聚醯胺纖維、聚乙烯纖維、芳醯胺纖維、聚對伸苯基苯並雙噁唑纖維、玻璃纖維、碳纖維、等等。關於玻璃纖維，可為使用 E 級玻璃、S 級玻璃、D 級玻璃、等等。注意，纖維體 150 及纖維體 160 可由一種上述高強度纖維或眾多上述高強度纖維形成。

纖維體 150 及纖維 160 可為織布或不織布，織布為以纖維束（單紗）（此後，纖維束稱為絲束）用於經紗及緯紗而織成的，不織布係藉由隨機方式或於一方向上堆疊多種纖維的紗束而取得的。在織布的情形中，可以適當地使用平織布、斜紋織布、緞紋織布、等等。

絲束可以具有圓形或橢圓形剖面。關於纖維紗束，可以使用纖維紗束，其接受高壓水注、使用液體作為介質的高頻振盪、連續超音波振盪、以輥加壓、等等之開纖維。接受開纖維之纖維紗束具有大寬度、在厚度方向上具有較小數目的單絲、以及在其剖面上具有橢圓形或平坦形。此外，藉由使用寬鬆的對絞紗作為纖維紗束，纖維紗可以被容易地平坦化以及具有橢圓或平坦狀的剖面。依此方式，使用具有橢圓或平坦狀剖面的絲束可以使絲維體 150 及纖維體 160 各別的厚度小。

圖 2C 是以絲束用於經紗及緯紗之織布的平面視圖。在圖 2C 中，使用規律地間隔的經紗及律地間隔的緯紗，織成纖維體 160。使用經紗及緯紗織成的此纖維體具有無經紗及緯紗的區域。此區域由有機樹脂 161 浸漬。

如圖 2C 所示，將纖維交錯，而將纖維體織成織布形式，以及，以有機樹脂浸漬織布纖維體，以致於由布形式的纖維體防止織布表面方向上的膨脹及收縮，以及，取得在垂直方向上具有可撓性的結構體。

在本實施例的圖式中，纖維體 150 和 160 顯示為織布，其為使用具有橢圓剖面的紗束之平織型。

注意，纖維體由有機樹脂浸漬的結構體也稱為預浸體。具體而言，預浸體以下述方式形成：在以基體樹脂由有機溶劑稀釋的清漆充滿纖維體之後，執行乾燥以致於有機溶劑揮發及樹脂基體半固化。

在使用纖維體由有機樹脂浸漬的結構體作為第一絕緣體 112 及第二絕緣體 102 之情形中，結構體的厚度較佳地從 $10\mu\text{m}$ 至 $100\mu\text{m}$ ，較佳地從 $10\mu\text{m}$ 至 $30\mu\text{m}$ 。當使用具有此厚度的結構體時，可以製造能被捲曲的薄半導體裝置。舉例而言，關於第一絕緣體 112 及第二絕緣體 102，可以使用具有 13 GPa 至 15 GPa 的彈性模數及 140 MPa 或更高及低於 300 MPa 的斷裂模數之結構體。

注意，可以堆疊多個纖維體由有機樹脂浸漬的結構體。在此情形中，藉由堆疊多個均具有由有機樹脂浸漬的單層之結構體，可以形成結構體，或者，以有機樹脂浸漬多個堆疊的纖維體，以形成結構體。在堆疊多個均具有由有機樹脂浸漬的單層之結構體時，另一層可以插入於結構體與結構體之間。

例如環樹脂、未飽和聚酯樹脂、聚醯亞胺樹脂、雙馬

來亞醯胺－三吡熱固樹脂、或氰酸鹽樹脂可以用於有機樹脂 151 及有機樹脂 161。或者，可以使用例如聚苯氧樹脂、聚醚醯亞胺樹脂、或氟樹脂等熱塑樹脂。藉由使用此有機樹脂，以熱處理，將多個結構體接合至半導體積體電路，多個結構體中的每一結構體之纖維體均由有機樹脂浸漬。有機樹脂 151 及 161 的玻璃轉換溫度愈高，則有機樹脂 151 和 161 愈不會因局部壓力而破裂，這是較佳的。

高度導熱的填充物可以散佈於有機樹脂 151 及 161 中或者纖維紗束中。關於高度導熱填充物，可為氮化鋁、氮化硼、氮化矽、氧化鋁、等等。關於高度導熱填充物，也可為例如銀或銅等金屬粒子。當高度導熱填充物包含於有機樹脂中或纖維紗束中時，半導體積體電路中產生的熱可以容易地排放至外部。因此，可以抑制半導體裝置中的熱儲存，以及，可以降低半導體裝置的崩潰。

此外，為了增強有機樹脂滲入纖維紗束內部之滲透率，纖維會接受表面處理。舉例而言，關於表面處理，可為用於活化纖維表面之電暈放電、電漿放電、等等。此外，表面處理可為使用矽烷耦合劑或鈦鹽耦合劑之表面處理。

在使用纖維體由有機樹脂浸漬的結構體作為第一絕緣體 112 及第二絕緣體 102 的情形中，較佳的是使用被固化的有機樹脂。但是，本實施例不限於此，被半固化的有機樹脂可以作為第一絕緣體 112 及第二絕緣體 102。

或者，關於第一絕緣體 112 及第二絕緣體 102，可以使用具有低彈性模數及高斷裂強度的材料。舉例而言，具

有從 5 GPa 至 12 GPa 的彈性模數以及 300 MPa 或更高的斷裂模數的橡膠彈性的膜可以用於第一絕緣體 112 及第二絕緣體 102。

在此情形中，較佳的是使用高強度材料作為第一絕緣體 112 及第二絕緣體 102。關於高強度材料的典型實施例，可為下述：可為聚乙烯醇樹脂、聚酯樹脂、聚醯胺樹脂、聚乙烯樹脂、芳醯胺樹脂、聚對伸苯基苯並雙噁唑樹脂、玻璃樹脂、等等。當使用具有彈性的高強度材料形成及提供第一絕緣體 112 及第二絕緣體 102 時，例如從外部施加的局部壓力等負載會經由整體層擴散並被吸收，以致於可以防止半導體裝置受損。

更具體而言，關於第一絕緣體 112 及第二絕緣體 102，可以使用下述：芳醯胺樹脂、聚萘二甲酸乙二酯（PEN）樹脂、聚醚砜（PES）樹脂、聚苯硫（PPS）樹脂、聚醯亞胺（PI）樹脂、等等。

黏著層可以用於將第一絕緣體 112 及第二絕緣體 102 接合至半導體積體電路 100。較佳地，黏著層使絕緣體與半導體積體電路彼此接合，以及，熱固樹脂、紫外線固化樹脂、丙烯酸樹脂、聚胺酯樹脂、環氧樹脂、矽氧樹脂、等等可以用於其。黏著層可以形成至 3 μ m 至 15 μ m 的厚度。在藉由加熱及施壓處理而將第一絕緣體 112、及第二絕緣體 102 接合至半導體積體電路 100 的情形中，不一定要使用黏著層。

接著，將參考圖 3A 至 3D，說明本實施例中所示的半

導體裝置。

首先，在具有絕緣表面的基底 110 上形成半導體積體電路 100 及天線 101，以分離層 111 介於其間（請參見圖 3A）。

關於基底 110，可以使用玻璃基底、石英基底、藍寶石基底、陶瓷基底、具有絕緣層形成於其表面上的金屬基底、等等。或者，使用可以承受本實施例的處理溫度之塑膠基底。在半導體裝置的製程中，視要執行的步驟，適當地選取基底。

使用選自鎢(W)、鉬(Mo)、鈦(Ti)、鉭(Ta)、鈮(Nb)、鎳(Ni)、鈷(Co)、鋯(Zr)、鋅(Zn)、鈦(Ru)、銠(Rh)、鈀(Pd)、銱(Os)、銱(Ir)或矽(Si)之元素；或含有這些元素中的任何元素作為主成份的化合物材料或合金材料，以濺射法、電漿 CVD 法、塗著法、印刷法、等等，以單層或堆疊層形成分離層 111。含有矽的層的結晶結構可為非晶結構、微晶矽結構、或多晶矽結構中的任一結構。注意，此處，塗著方法在其分類上包含旋轉塗敷法、滴放法、及分配置。

在分離層 111 具有單層結構的情形中，較佳的是形成鎢層、鉬層、或含有鎢及鉬的混合物之層。或者，可以形成含有鎢的氧化物或氮氧化物的層、含有鉬的氧化物或氮氧化物的層、或含有鎢與鉬的混合物的氧化物或氮氧化物的層。注意，舉例而言，鎢及鉬的混合物對應於鎢及鉬的合金。

10年5月18日

在分離層 111 具有堆疊層結構的情形中，較佳地形成鎢層、鉬層、或含有鎢及鉬的混合物之層作為第一層。鎢、鉬、或鎢及鉬的混合物的氧化物；鎢、鉬、或鎢及鉬的混合物的氮化物；或鎢、鉬、或鎢及鉬的混合物的氮氧化物；或鎢、鉬、或鎢及鉬的混合物的氧氮化物，作為第二層。

在分離層 111 具有含有鎢的層及含有氧化鎢的層之層結構之情形中，首先形成含有鎢的層，以及，在含有鎢的層上形成由氧化物形成的絕緣層，以致於可以在鎢層與絕緣層之間的介面形成含有氧化鎢的層。此外，鎢層的表面可以接受熱氧化處理、氧電漿處理、或使用例如臭氧水等濃氧化溶液之處理，以形成含有鎢氧化物的層。可以在具有氧、氮、或一氧化二氮的基本物質、或氣體與另一氣體的混合氣體之氛圍中，執行電漿處理或熱處理。相同的處理應用至形成含有鎢的氮化物、氮氧化物及氧氮化物之層的情形。在形成含有鎢的層之後，可以於其上形成氮化矽層、氮氧化矽層、及氧氮化矽層。

注意，雖然根據上述步驟形成分離層 111 以致於與基底 110 接觸，但是，本實施例不限於上述步驟。可以形成作為基部的絕緣層以致於與基底 110 接觸，以及，設置分離層 111 以致於與絕緣層接觸。

接著，將第一絕緣體 112 接合至設於半導體積體電路 100 上的天線 101，以及，藉由使用分離層 111，以將半導體積體電路 100 與基底 110 分離。結果，半導體積體電路

100 設於第一絕緣體 112 側上（請參見圖 3B）。

在本實施例中，使用纖維體 160 由有機樹脂 161 浸漬的結構體作為第一絕緣體 112。將結構體加熱及使其接受施壓接合，以致於結構體有機樹脂被塑化或固化。在有機樹脂為有機塑膠樹脂的情形中，被塑化之有機樹脂接著被冷卻至室溫而固化。藉由執行加熱及施壓接合，使有機樹脂 161 均勻地散佈以致與天線 101 緊密接觸並固化。在大氣壓力或降壓下，執行結構體接受施壓接合之步驟。

注意，對於轉移至另一基底之步驟，可以適當地使用下述方法：分離層形成於基底與半導體積體電路之間、金屬氧化物設於分離層與半導體積體電路之間、以及將金屬氧化物晶化至脆化，因而將半導體元件層分離的方法；在具有高抗熱性的基底與半導體積體電路之間形成含氫的非晶矽膜、以及以雷射照射或蝕刻，移除非晶矽膜，因而將半導體積體電路分離之方法；在基底與半導體積體電路之間形成分離層、在分離層與半導體積體電路之間設置金屬氧化物膜、將金屬氧化物膜晶化至脆化、使用例如 NF_3 、 BrF_3 、或 ClF_3 等鹵素氟化物氣體或溶液以蝕刻移除部份分離層、然後在脆化的金屬氧化物膜處分離半導體積體電路之方法；以機械方式移除或使用例如 NF_3 、 BrF_3 、或 ClF_3 等鹵素氟化物氣體或溶液以蝕刻移除有半導體積體電路形成於上的基底之方法；等等。或者，可以使用一方法，其中，使用含氮、氧、氫、等等之膜（例如，含氫的非晶矽膜、含氫合金膜、或含氧合金膜）作為分離層，以雷射光

照射分離層以致於含於分離層中的氮、氧、或氫作為氣體釋放，因而促使半導體積體電路與基底分離。

結合上述分離法，因而可以更容易地執行轉移步驟。亦即，在執行雷射光照射；以氣體、溶液、等等蝕刻分離層；或以尖刀、解剖刀等等之機械移除；以致於產生分離層與元件形成層可以容易地彼此分離之條件之後，也以物理力（藉由機械等等）執行分離。

或者，使液體穿透分離層 111 與半導體積體電路 100 之間的介面，然後，半導體積體電路 100 可以與基底 110 分離。

接著，第二絕緣體 102 形成於半導體積體電路 100 的曝露分離表面上，以致於天線 101 及半導體積體電路 100 設於第一絕緣體 112 與第二絕緣體 102 之間（請參見圖 3C）。

如同第一絕緣體 112 的情形中一般，可以使用纖維體 150 由有機樹脂 151 浸漬之結構體。在此情形中，加熱第二絕緣體 102 的結構體並使其接受施壓接合，然後接合至半導體積體電路 100 的曝露的分離表面。

接著，導電屏蔽 140a 形成於第一絕緣體 112 的表面上，導電屏蔽 140b 形成於第二絕緣體 102 的表面上，以及，導電屏蔽 140a 與導電屏蔽 140b 彼此電連接（請參見圖 3D）。在本實施例中，關於導電屏蔽 140a 及 140b，以濺射法形成鈦膜至 10 nm 厚。在第一絕緣體 112 的側表面及第二絕緣體 102 的側表面上，以濺射法形成鈦膜作為導

導體 141a，可以取得導電屏蔽 140a 與導電屏蔽 140b 之間的電連接。

注意，在導電屏蔽 140a 形成於第一絕緣體 112 的表面上以及導電屏蔽 140b 形成於第二絕緣體 102 的表面上之後，使導體穿透第一絕緣體 112 及第二絕緣體 102，以致於導電屏蔽 140a 及導電屏蔽 140b 可以電連接。舉例而言，使具有針狀的導體穿透第一絕緣體 112 及第二絕緣體 102，形成導體 141a，以致於導電屏蔽 140a 及導電屏蔽 140b 可以電連接。或者，以雷射光照射，而在第一絕緣體 112 與第二絕緣體 102 之間形成開口，以及，在開口中設置導體 114a，以致於導電屏蔽 140a 與導電屏蔽 140b 電連接。

在實際的製程中，眾多彼此分開的半導體積體電路與眾多彼此分開的天線夾於第一絕緣體 112 與第二絕緣體 102 之間。在將半導體積體電路切割成各別的半導體積體電路之後，形成導電屏蔽 140a 及導電屏蔽 140b，以致於可以取得半導體積體電路晶片。對於切割機構並無特別限定，只要可以將半導體積體電路實體上切割即可，以及，在本實施例中，以雷射照射切割半導體積體電路。在眾多半導體積體電路之間切割會造成一結構，其中，天線 101 與半導體積體電路 100 由第一絕緣體 112 與第二絕緣體 102 密封。

如同本實施例中所述般，藉由形成導電屏蔽以遮蓋半導體積體電路，可以防止導因於放電之半導體積體電路的

靜電崩潰（例如電路故障及半導體元件的損傷）。此外，藉由將半導體積體電路夾於其間的絕緣體對，可以提供具有高電阻且厚度及尺寸縮減的高度可靠的半導體裝置。此外，即使在製程中，仍可以防止導因於外部應力或靜電釋放之缺陷形狀及特徵劣化，以致於可以高產能地製造半導體裝置。

(實施例 2)

在本實施例中，將參考圖 14A 和 14B、圖 15A 和 15B、及圖 16A 至 16D，說明不同於上述實施例之半導體裝置的另一實施例。注意，在下述要說明的本實施例之圖式中，與實施例 1 相同的部份或是具有類似功能的部份以相同的代號表示，並省略其重複說明。

在本實施例中，說明具有層結構的絕緣體。圖 14A 中所示的半導體裝置包含夾於第一絕緣體 112 與第二絕緣體 102 之間的半導體積體電路 100 及天線 101、設於半導體積體電路 100 與第二絕緣體 102 之間的第三絕緣體 103、設於第一絕緣體 112 的外表面上之導電屏蔽 140a、以及設於第二絕緣體 102 的外表面上之導電屏蔽 140b。

導電屏蔽 140a 與導電屏蔽 140b 電連接。藉由在第一絕緣體 112 與第二絕緣體 102 的側表面上形成導體 141a，可以在導電屏蔽 140a 與導電屏蔽 140b 之間取得電連接。或者，藉由使用穿透第一絕緣體 112 與第二絕緣體 102 之導體，導電屏蔽 140a 與導電屏蔽 140b 可以電連接。

圖 14B 中所示的半導體裝置具有的結構中，藉由使用黏著層 104，將半導體積體電路 100 與第三絕緣體 103 接合。丙烯酸樹脂可以用於黏著層樹脂 104。

設於半導體積體電路 100 與第二絕緣體 102 之間的第三絕緣體 103 可以作為撞擊擴散層，用於保護半導體積體電路對抗外部應力。如此，較佳地，第三絕緣體 103 比第一絕緣體 112 及第二絕緣體 102 具有較低的彈性模數以及較高的斷裂強度。舉例而言，具有 5 GPa 至 12 GPa 的彈性模數以及 300 MPa 或更高的斷裂模數的橡膠彈性的膜可以用於第三絕緣體 103。

此外，當第三絕緣體 103 設於半導體積體電路 100 的極近處（較佳地，相接觸）時，從外部施加至半導體積體電路 100 的力會有效地擴散，以致於可以降低半導體積體電路 100 的損傷。

第三絕緣體 103 較佳地由高強度材料形成。高強度材料的典型實施例可為聚乙烯醇樹脂、聚酯樹脂、聚醯胺樹脂、聚乙烯樹脂、芳醯胺樹脂、聚對伸苯基苯並雙噁唑樹脂、玻璃樹脂、等等。當使用具有彈性的高強度材料形成及提供第三絕緣體 103 時及第二絕緣體 102 時，例如局部壓力等負載會經由整體層擴散並被吸收，以致於可以防止半導體裝置受損。

更具體而言，關於第三絕緣體 103，可為下述：芳醯胺樹脂、聚萘二甲酸乙二酯（PEN）樹脂、聚醚砜（PES）樹脂、聚苯硫（PPS）樹脂、聚醯亞胺（PI）樹脂、等等

101年5月18日截止公告

。在本實施例中，使用芳醯胺樹脂膜（具有 10 GPa 的彈性模數及 480 MPa 的斷裂強度）作為第三絕緣體 103。

關於圖 14A 及 14B 中的每一絕緣體 112 及第二絕緣體 102，可以使用纖維體由有機樹脂浸漬的結構體。圖 14A 及 14B 中的每一絕緣體 112 及第二絕緣體 102 較佳地均具有 13 GPa 或更高的彈性模數及低於 300 MPa 的斷裂模數。

此外，如圖 15A 及 15B 所示，類似於第三絕緣體 103 之第四絕緣體 113 可以設於第一絕緣體 112 的外表面上（與天線 101 相接觸的表面側相反的側上之表面）。

圖 15A 顯示之實施例中，藉由黏著層 114，第四絕緣體 113 接合至第一絕緣體 112 的外表面。關於第四絕緣體 113，可以使用類似於第三絕緣體 103 的材料。

在本實施例中，使用芳醯胺膜作為第四絕緣體 113 以及以丙烯酸樹脂用於黏著層 114。在第一絕緣體 112 及第四絕緣體 113 藉由加熱及施壓處理而彼此接合的情形中，不一定使用黏著層 114。在此情形中，如圖 15B 所示，天線 101、第一絕緣體 112、第四絕緣體 113 可以直接接合。天線 101 與第一絕緣體 112 的接合步驟以及第一絕緣體 112 與第四絕緣體 113 的接合步驟可以同時地執行或分開地執行。

接著，將參考圖 16A 至 16D，說明本實施例的半導體裝置製造方法。

首先，在具有絕緣表面的基底 110 上形成半導體積體

電路 100 及天線 101，以分離層 111 介於其間（請參見圖 16A）。

將設於半導體積體電路 100 上的第一絕緣體 112 與天線 101 相接合，以及，藉由使用分離層 111 以使半導體積體電路 100 與基底 110 相分離。結果，半導體積體電路 100 設於第一絕緣體 112 側上（請參見圖 16B）。

關於第一絕緣體 112，使用纖維體 160 由有機樹脂 161 浸漬的結構體。將結構體加熱並使其接受施壓接合，以致於結構體的可機樹脂被塑化或固化。在有機樹脂為有機塑膠樹脂的情形中，被塑化的有機樹脂接著冷卻至室溫而固化。

接著，將第三絕緣體 103 接合至半導體積體電路 100 的曝露分離表面，而以黏著層 104 介於其間，然後，將第二絕緣體 102 接合至第三絕緣體 103（請參見圖 16C）。

有黏著層 104 預先形成於上的第三絕緣體 103 可以接合至半導體積體電路 100。或者，在黏著層 104 形成於半導體積體電路 100 上之後，第三絕緣體 103 可以接合至黏著層 104。

關於第二絕緣體 102，可以使用纖維體 150 由有機樹脂 151 浸漬的結構體。

接著，導電屏蔽 140a 形成於第一絕緣體 112 的表面上，導電屏蔽 140b 形成於第二絕緣體 102 的表面上，以及導電屏蔽 140a 與導電屏蔽 140b 電連接（請參見圖 16D）。

在本實施例中，藉由濺射法以形成厚度 10 nm(較佳地，從 3 nm 至 30 nm)的鈦膜作為每一導電屏蔽 140a 及導電屏蔽 140b。導電屏蔽 140a 及導電屏蔽 140b 經由導體 141a 而電連接，舉例而言，藉由濺射法而於第一絕緣體 112 與第二絕緣體 102 的側表面上形成鈦膜而執行導體 141a。

藉由第三絕緣體 103 及第四絕緣體 113，可以增加半導體裝置抗外部應力的強度。此外，藉由在半導體積體電路 100 與第二絕緣體 102 之間形成第三絕緣體 103，則即使在製程中接合第二絕緣體 102 時執行施壓處理，第三絕緣體 103 仍然可將力量擴散，以致於可以抑制半導體積體電路 100 的損傷。結果，可以高產能地製造半導體裝置。

導電屏蔽 140a 及 140b 具有傳輸要經由包含於半導體裝置中的天線 101 傳送/接收的電磁波之功能以及具有屏蔽半導體裝置中的半導體積體電路 100 以免於來自外部的靜電施加之功能。

特別地，設於第一絕緣體 112 的表面的導電屏蔽 140a 及設於第二絕緣體 102 的表面的導電屏蔽 140b 電連接，因此，相較於無電連接地設置導電屏蔽 140a 與導電屏蔽 140b 之情形，或是導電屏蔽僅用於第一絕緣體 112 與第二絕緣體 102 之一的情形，可以有效地執行靜電擴散及防止靜電局部化。

此外，藉由形成均對從外部施加至半導體裝置的力量

具有高抵抗性之第一絕緣體 112 及第二絕緣體 102，以及，藉由形成均會使力量擴散的第四絕緣體 113 及第三絕緣體 103，可以防止半導體裝置的特徵劣化及受損。

在上述圖 15A 的結構中，絕緣體由四層形成，其中，第一絕緣體 112 及第二絕緣體 102 作為抗衝擊層，第三絕緣體 103 及第四絕緣體 113 作為彈性模數低且斷裂強度高之衝擊擴散層。但是，只要至少提供夾著天線 101 及半導體積體電路 100 於其間的二個絕緣體，則結構即為可接受的。如此，上述四層中的三層或二層可以用於絕緣體。在絕緣體具有層結構的情形中，導電屏蔽 140a 及 140b 可以設於絕緣體的外表面上（在與設有半導體積體電路 100 的表面側相反的側之表面）或是在堆疊的絕緣體之間。

藉由遮蓋半導體積體電路的導電屏蔽，可以防止導因於靜電放電之半導體積體電路的靜電崩潰。藉由將半導體積體電路夾於其間的絕緣體對，可以提供具有高電阻並取得厚度與尺寸縮減的高度可靠的半導體裝置。此外，即使在製程中，仍可防止導因於外部應力或靜電放電的缺陷形狀及特徵劣化，以致於可以高產能地製造半導體裝置。

(實施例 3)

在本實施例中，將參考圖 17A 至 17D，說明不同於上述實施例之半導體裝置的另一實施例。注意，在下述要說明的本實施例之圖式中，與實施例 1 相同的部份或是具有類似功能的部份以相同的代號表示，並省略其重複說明。

具體而言，說明預先提供用於絕緣體的導電屏蔽，設有導電屏蔽的絕緣體接合至半導體積體電路。

首先，在基底 110 上形成半導體積體電路 100 及天線 101，以分離層 111 介於其間（請參見圖 17A）。注意，圖 17A 對應於上述圖 3A。

接著，在製備一表面預先設有導電屏蔽 140a 的第四絕緣體 113 之後，使導電屏蔽 140a 的表面及第一絕緣體 112 的表面之一彼此面對，以及，使第一絕緣體 112 的另一表面與天線 101 彼此面對。在這些條件下，執行加熱及施壓處理，因而第一絕緣體 112 與導電屏蔽 140a、以及第一絕緣體 112 與天線 101 相接合。結果，導電屏蔽 140a 設於第四絕緣體 113 與第一絕緣體 112 之間。之後，使用分離層 111，使天線 101 與半導體積體電路 100 從基底 110 分離。（請參見圖 17B）。

接著，在製備一表面預先設有導電屏蔽 140b 的第三絕緣體 103 之後，使導電屏蔽 140b 的表面及第二絕緣體 102 的表面之彼此面對。在此條件下，執行加熱及施壓處理，因而將第二絕緣體 102 與導電屏蔽 140b 相接合。結果，導電屏蔽 140b 設於第三絕緣體 103 與第二絕緣體 102 之間。之後，將第三絕緣體 103 的另一表面與半導體積體電路 100 的曝露表面相接合，而以黏著層 104 介於其間（請參見圖 17C）。

在此情形中，導電屏蔽 140a 設於第四絕緣體 113 與第一絕緣體 112 之間，以及，導電屏蔽 140b 設於第三絕

緣體 103 與第二絕緣體 102 之間。

之後，將導電屏蔽 140a 與導電屏蔽 140b 電連接（請參見圖 17D）。此處，設置穿透絕緣體的導體 141b，因此，導電屏蔽 140a 與導電屏蔽 140b 可以電連接。

導電屏蔽以此方式設於堆疊的絕緣體之間的結構由於導電屏蔽的表面未曝露，所以，具有防止例如氧化、擦損、或斷裂等導電屏蔽劣化的效果。

此外，藉由形成均對從外部施加至半導體裝置的力量具有抵抗的第一絕緣體 112 及第二絕緣體 102，以及，藉由形成均可使力擴散之第三絕緣體 103 及第四絕緣體 113，可以有效地降低力量的局部施加，以致於可以防止半導體裝置的特徵劣化及損傷。

藉由遮蓋半導體積體電路之導電屏蔽，可以防止導因於靜電放電之半導體積體電路的靜電崩潰。藉由將半導體積體電路夾於其間的絕緣體對，可以提供具有電阻並取得厚度及尺寸縮減的高度可靠的半導體裝置。此外，即使在製程中仍然可以防止導因於外部應力或靜電放電之缺陷形狀及特徵劣化，以致於可以高產能地製造半導體裝置。

(實施例 4)

在本實施例中，將參考圖式，說明不同於上述實施例的半導體裝置製造方法。

首先，在具有絕緣表面的基底 200 上形成電晶體 210 和 211，以分離層 201 及絕緣膜 202 介於其間，以及，形

成絕緣膜 212、絕緣膜 213、及絕緣層 214 以遮蓋電晶體 210 和 211(請參見圖 4A)。

電晶體 210 是薄膜電晶體及包含源極和汲極區 224a 和 224b；雜質區 223a 和 223b，其雜質濃度低於源極和汲極區 224a 和 224b 的濃度；通道形成區 226；閘極絕緣層 227；閘極電極層 228；及具有側壁結構的絕緣層 229a 和 229b。源極和汲極區 224a 和 224b 分別與佈線層 230a 和 230b 接觸，佈線層 230a 和 230b 作為要電連接的源極和汲極電極層。在本實施例中，電晶體 210 是 p 通道薄膜電晶體，其中，賦予 p 型導電率的雜質元素（例如，硼(B)、鋁(Al)、或鎵(Ga)）包含於源極和汲極區 224a 和 224b 中及雜質區 223a 和 223b 中，雜質區 223a 和 223b 是 LDD(輕度摻雜汲極)區。

電晶體 211 是薄膜電晶體以及包含源極和汲極區 204a 和 204b；雜質區 203a 和 203b，其雜質濃度低於源極和汲極區 204a 和 204b 的濃度；通道形成區 206；閘極絕緣層 207；閘極電極層 208；及具有側壁結構的絕緣層 209a 和 209b。源極和汲極區 204a 和 204b 分別與佈線層 210a 和 210b 接觸，佈線層 210a 和 210b 作為要電連接的源極和汲極電極層。在本實施例中，電晶體 211 是 n 通道薄膜電晶體，其中，賦予 n 型導電率的雜質元素（例如，磷(P)或砷(As)）包含於源極和汲極區 204a 和 204b 中及雜質區 203a 和 203b 中，雜質區 203a 和 203b 是 LDD(輕度摻雜汲極)區。

接著，在絕緣層 214 上形成作為天線的導電層 263，以及，在導電層 263 上形成無機絕緣層 254 作為保護層。然後，在無機絕緣層 254 上形成第一絕緣體 262（請參見圖 4B）。注意，形成導電層 263 以致於電連接至半導體積體電路 250。

在本實施例中，可以使用氮化矽膜作為無機絕緣層 254。

關於第一絕緣體 262，可以使用纖維體 280 由有機樹脂 281 浸漬的結構體。

接著，藉由使用分離層 201，使半導體積體電路 250 與基底 200 分離（請參見圖 4C）。結果，半導體積體電路 250 設於第一絕緣體 262 側上。

接著，第二絕緣體 252 形成至與因分離而曝露的表面相接觸（請參見圖 5A）。具體而言，將第二絕緣體 252 的結構體加熱及使其接受施壓接合，然後，將其接合至半導體積體電路 250 曝露的分離表面，以致於無機絕緣層 254、導電層 263、及半導體積體電路 250 由第一絕緣體 262 與第二絕緣體 252 夾於其間。

關於第二絕緣體 252，如同第一絕緣體 262 的情形中一般，可以使用纖維體 270 由有機樹脂 271 浸漬的結構體。

接著，在第一絕緣體 262 的表面上形成導電屏蔽 260a，在第二絕緣體 252 的表面上形成導電屏蔽 260b，以及，使導電屏蔽 260a 與導電屏蔽 260b 電連接。在本實施例中

，導電屏蔽 260a 與導電屏蔽 260b 為藉由濺射法形成至約 10 nm 厚的鈦膜。此外，藉由濺射法，在第一絕緣體 262 的側表面上與第二絕緣體 252 的側表面上形成鈦膜，可以在導電屏蔽 260a 與導電屏蔽 260b 之間取得電連接。

注意，在第一絕緣體 262 的表面及第二絕緣體 252 的表面上形成導電屏蔽 260a 及導電屏蔽 260b 之後，使導體穿透第一絕緣體 262 及第二絕緣體 252，因而使導電屏蔽 260a 與導電屏蔽 260b 電連接。

在實際的製程中，眾多彼此分開的半導體積體電路與眾多彼此分開的天線夾於第一絕緣體 262 與第二絕緣體 252 之間。在將半導體積體電路切割成各別的半導體積體電路之後，形成導電屏蔽 260a 及導電屏蔽 260b，以致於可以取得半導體積體電路晶片。對於切割機構並無特別限定，只要可以將半導體積體電路實體上切割即可。舉例而言，以雷射照射切割半導體積體電路。在眾多半導體積體電路之間切割會造成一結構，其中，半導體積體電路 250 與導電層 263 由第一絕緣體 262 與第二絕緣體 252 密封。

因此，導電層 263 與半導體積體電路 250 由第一絕緣體 262 及第二絕緣體 252 密封並由設於第一絕緣體 262 及第二絕緣體 252 的外側上的導電屏蔽 260a 及導電屏蔽 260b 保護而抗靜電放電，第一絕緣體 262 及第二絕緣體 252 的外側分別對應於半導體裝置的頂表面及底表面。

此外，由於絕緣體與導電屏蔽設置成將半導體積體電路夾於其間，所以，可以防止導因於外部應力或靜電放電

之例如半導體積體電路的損傷及特徵劣化。如此，可以高產能地製造半導體裝置。

注意，本實施例中所述的半導體裝置可藉由使用可撓絕緣體而為可撓半導體裝置。

接著，將詳細說明上述製程中使用的材料等等。

關於用於形成包含於電晶體 210 和 211 中的半導體層之材料，可以使用以矽甲烷為例的半導體材料氣體之汽相生長法或濺射法所形成的非晶半導體（此後也稱為 AS）、以光能量或熱能晶化非晶半導體而形成的多晶半導體、微結晶（也稱為半非晶或微晶體）半導體（此後也稱為 SAS）。以濺射法、LPCVD 法、電漿 CVD 法、等等，形成半導體層。

當考慮吉布斯（Gibbs）自由能時，微結晶半導體屬於介於非晶與單晶之間的介穩狀態。亦即，微結晶半導體是具有第三狀態的半導體，第三狀態以自由能的觀點而言是穩定的以及具有短距序及晶格畸變。柱狀或針狀晶體以相對於基底表面的垂直方向生長。微結晶半導體的典型實施例之微晶矽的拉曼頻譜位於小於 520 cm^{-1} 的波數， 520 cm^{-1} 代表單晶矽的拉曼譜之峰值。亦即，微結晶矽的拉曼頻譜的峰值存在於代表單晶矽的 520 cm^{-1} 與代表非晶矽的 480 cm^{-1} 之間。半導體包含至少 1 原子%的氫或鹵素以終結懸鍵。此外，可以包含例如氮、氫、氟、或氬等稀有氣體以進一步促進晶格畸變，以增進穩定度及取得較佳的微結晶半導體層。

以數十至數千百萬赫茲的頻率之高頻電漿 CVD 法、或 1 GHz 或更高的頻率之微波電漿 CVD 設備，形成微結晶半導體層。使用例如 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等具有氫的矽氫化物之稀釋物，典型地形成微晶粒半導體層。藉由具有氮、氫、氯、及氟之一或多種稀有氣體的稀釋物以及矽氫化物和氫，可以形成微結晶半導體層。在該情形中，氫對矽氫化物的流量比設定為 5:1 至 200:1，較佳地 50:1 至 150:1，更佳地 100:1。

氮化的非晶矽典型上可被引用為非晶半導體，而多晶矽等典型上可被引用為結晶半導體。多晶矽的實施例包含所謂的高溫多晶矽、所謂的低溫多晶矽、藉由使用促進結晶等的元素以晶化非晶矽而取得的多晶矽、等等，所謂的高溫多晶矽含有多晶矽作為主成份以及在 800°C 或更高的製程溫度下形成，所謂的低溫多晶矽含有多晶矽作為主成份以及在 600°C 或更低的製程溫度下形成。自然地，如上所述，可以使用微結晶半導體或在部份半導體層中包含結晶相的半導體。

關於半導體的材料，可以使用例如 GaAs、InP、SiC、ZnSe、GaN、或 SiGe 等化合物半導體、以及矽(Si)、鍺(Ge)、等元素。或者，可以使用例如氧化鋅(ZnO)、氧化錫(SnO_2)、氧化鎂鋅、氧化鎵、或氧化銦等氧化物半導體；使用上述氧化物半導體的多個元素形成之氧化物；等等。舉例而言，使用以氧化鋅、氧化銦、及氧化鎵形成的氧化物半導體；等等。注意，在以氧化鋅用於半導體層的

情形中，較佳地使用 Y_2O_3 、 Al_2O_3 、或 TiO_2 的單層或堆疊層作為閘極絕緣層，以及，較佳地以 ITO、Au、Ti 等用於閘極電極層、源極電極層、或汲極電極層。此外，In、Ga、等可以添加至 ZnO。

在以結晶半導體層用於半導體層的情形中，以不同方法（例如雷射晶化法、熱晶化法、或使用例如鎳等促進晶化的元件之熱晶化法）形成結晶半導體層。而且，以雷射光執行照射，晶化微結晶半導體（為 SAS）以增加其晶性。在未導入促進晶化的元素之情形中，在以雷射光照射非晶矽層之前，在氮氛圍中以 500°C 的溫度將非晶矽層加熱一小時，氫會釋放一直到包含於非晶矽層中的氫濃度變成 1×10^{20} 原子 / cm^3 或更低。這是因為當含有高量的氫之非晶矽層由雷射光照射時，非晶矽層會受損。

對於將金屬元素導入非晶半導體層的技術並無特別限制，只要是能夠在非晶半導體層的表面或內部提供金屬元素之技術即可。舉例而言，可以使用濺射法、CVD 法、電漿處理法（包含電漿 CVD 法）、吸附法、或塗敷金屬鹽溶液的方法。在上述製程中，使用溶液的方法是方便的且具有容易調整金屬元素的濃度之優點。此外，為了增進非晶半導體層的表面之可濕性以使含水溶液散佈於非晶半導體層的整個表面上，在氧氛圍中以 UV 光照射、熱氧化、使用含有羥基的臭氧水或過氧化氫溶液的處理、等等，較佳地形成氧化物膜。

在非晶半導體層被晶化以形成結晶半導體層之晶化步

驟中，藉由將促進晶化的元素（也稱為觸媒元素或金屬元素）添加至非晶半導體層以及執行熱處理（在 550℃ 至 750℃ 下 3 分鐘至 24 小時），以執行晶化。促進晶化的元素可為鐵 (Fe)、鎳 (Ni)、鈷 (Co)、鈦 (Ru)、銻 (Rh)、鈀 (Pd)、銱 (Os)、銥 (Ir)、鉑 (Pt)、銅 (Cu) 及黃金 (Au) 之一或更多。

為了從結晶半導體層移除或降低促進結晶的元素，將含有雜質元素的半導體層形成為與結晶半導體層接觸以作為吸雜槽。雜質元素可為施予 n 型導電率的雜質元素、施予 p 型導電率的雜質元素、或稀有氣體元素。舉例而言，可以使用選自硼 (P)、氮 (N)、砷 (As)、銻 (Sb)、鉍 (Bi)、硼 (B)、氦 (He)、氖 (Ne)、氬 (Ar)、氪 (Kr)、及氙 (Xe) 中之一或多個元素。含有稀有氣體元素的半導體層形成於含有促進結晶的結晶半導體層上，以及執行熱處理（在 550℃ 至 750℃ 下 3 分鐘至 24 小時）。促進結晶半導體層中的晶化之元素移至含有稀有氣體元素的半導體層中，以及，移除或降低結晶半導體層中的晶化之元素。然後，移除作為吸雜槽的含有稀有元素的半導體層。

藉由使用加熱處理及雷射光照射處理，將非晶半導體層晶化。分別執行數次加熱處理或雷射光照射處理。

而且，直接藉由電漿法，在基底上形成結晶半導體層。或者，藉由使用電漿法，在基底上選擇性地形成結晶半導體層。

使用氧化矽以形成閘極絕緣層 207 和 227，或者，以

氧化矽及氮化矽的層結構形成閘極絕緣層 207 和 227。以電漿 CVD 法或低壓 CVD 法沈積絕緣膜而形成閘極絕緣膜 207 和 227，或者，以電漿處理的固相氧化或固相氮化，形成閘極絕緣層 207 和 227。這是因為藉由單晶半導體層的氧化或氮化所形成的閘極絕緣層是密緻的、具有高耐壓、以及可靠度優良。舉例而言，以 1 比 3(流量)，以 Ar 稀釋二氮化氧 (N_2O)，以及，在 10 Pa 至 30 Pa 的壓力下，施加 3 kW 至 5 kW 的功率之微波，以將半導體層的表面氧化或氮化。藉由此處理，形成厚度 1 nm 至 10 nm (較佳地，2 nm 至 6 nm) 的絕緣膜。此外，導入二氮化氧 (N_2O) 及矽甲烷 (SiH_4)，以及，在 10 Pa 至 30 Pa 的壓力下，施加 3 kW 至 5 kW 的功率之微波 (2.45 GHz)，以汽相沈積法，形成氮氧化矽膜；因此，形成絕緣層。固相反應與汽相沈積法的反應之結合可以形成具有低介面狀態密度及優良耐受電壓的閘極絕緣層。

關於閘極絕緣層 207 及 227，可以使用例如二氧化鋯、氧化鉛、二氧化鈦、或五氧化二鉬等高介電常數材料。當以高介電常數材料用於閘極絕緣層 207 及 227 時，可以降低閘極漏電流。

以 CVD 法、濺射法、滴放法、等等，形成閘極電極層 208 和 228。使用選自 Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Si、Ge、Zr、或 Ba 之元素；或含有任何這些元素作為主成份的合金材料或化合物材料。或者，可以使用摻有例如磷等雜質元素

的多晶矽膜為例的半導體膜、或 AgPdCu 合金。此外，可以使用單層結構或多層結構；舉例而言，可以使用氮化鎢膜及鉬膜的雙層結構、或三層結構，在三層結構中，厚度 50 nm 的鎢膜、厚度 500 nm 的鋁矽合金 (Al-Si) 膜、及厚度 30 nm 的氮化鈦膜依序堆疊。在三層結構的情形中，可以使用氮化鎢膜以取代鎢膜作為第一保護膜，可以使用鋁鈦合金 (Al-Ti) 膜取代鋁矽合金 (Al-Si) 膜作為第二導電膜，以及，使用鈦膜取代氮化鈦膜作為第三導電膜。

具有可見光透射特性的透光材料也可以用於閘極電極層 208 和 228。關於透光導電材料，可以使用銦錫氧化物 (ITO)、含有氧化矽的銦錫氧化物 (ITSO)、有機銦、有機錫、氧化鋅、等等。或者，可以使用含有氧化鋅 (ZnO) 的銦鋅氧化物 (IZO)、氧化鋅 (ZnO)、摻雜鎵 (Ga) 的 ZnO、氧化錫 (SnO₂)、含有氧化鎢的氧化銦、含有氧化鎢的銦鋅氧化物、含有氧化鈦的氧化銦、含有氧化鈦的銦錫氧化物、等等。

假使需要蝕刻處理以形成閘極電極層 208 和 228 時，可以形成遮罩以及執行乾蝕刻或濕蝕刻。藉由適當地使用 ICP(感應耦合電漿)蝕刻法及控制蝕刻條件（例如施加至線圈電極的電功率量、施加至基底側上的電極之電功率量、或基底側上的電極溫度），可以將電極層蝕刻成推拔狀。注意，關於蝕刻氣體，可以適當地使用例如 Cl₂、BCl₃、SiCl₄、及 CCl₄ 等氯化氣體、例如 CF₄、SF₆、及 NF₃ 等氟化氣體、或 O₂。

藉由形成遮蓋閘極電極層及半導體層的絕緣層、以及以 RIE（反應離子蝕刻）法的各向異性蝕刻來處理絕緣層，以自行對準方式，形成具有側壁結構的絕緣層 209a、209b、229a、及 229b。此處，對於絕緣層並無特別限定，但是，藉由使用 TEOS（原矽酸四乙酯）、矽甲烷、等等與氧、一氧化二氮、等等反應而形成的、以及具有良好的步驟遮蓋率的氧化矽，較佳地形成絕緣層。以熱 CVD 法、電漿 CVD 法、一般壓力 CVD 法、偏壓 ECRCVD 法、濺射法、等等，形成絕緣層。

雖然在本實施模式中，說明單閘極結構，但是，也可以使用例如雙閘極結構等多閘極結構。在此情形中，閘極電極層可以設置於半導體層上方或下方，或者，多個閘極電極層可以僅設於半導體層的一側上（上方或下方）。

或者，可以使用以矽化物用於電晶體的源極區和汲極區之結構。藉由在半導體層的源極和汲極區上形成導電膜，以及，以加熱處理、GRTA 法、LRTA 法、等等，使半導體層的部份曝露的在源極和汲極區中的矽與導電膜反應，以形成矽化物。或者，使用雷射光或燈之光照射，形成矽化物。關於用於形成矽化物的導電膜之材料，可以使用下述：鈦（Ti）、鎳（Ni）、鎢（W）、鉬（Mo）、鈷（Co）、鋯（Zr）、鈪（Hf）、鉭（Ta）、釩（V）、釹（Nd）、鉻（Cr）、鉑（Pt）、鈀（Pd）、等等。

以 PVD 法、CVD 法、蒸鍍法、等等，沈積導電膜，然後，將導電膜蝕刻成所需形狀，以形成作為源極和汲極

電極層的佈線層 210a、210b、230a、230b。或者，以印刷法、電鍍法、等等，在預定處選擇性地形成佈線層。此外，也可以使用回熔法及金屬鑲嵌法。關於佈線層 210a、210b、230a、230b 的材料，可以使用例如 Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、或 Ba 等金屬；或是，例如 Si 或 Ge 等半導體或其合金、或其氮化物。此外，也可以使用透光材料。

當使用透光導電材料以形成佈線層時，可以使用銦錫氧化物 (ITO)、含有氧化矽 (ITSO) 的銦錫氧化物、含有氧化鋅 (ZnO) 的銦鋅氧化物 (IZO)、氧化鋅 (ZnO)、摻雜鎵 (Ga) 的 ZnO、氧化錫 (SnO₂)、含有氧化鎢的氧化銦、含有氧化鎢的銦鋅氧化物、含有氧化鈦的氧化銦、含有氧化鈦的銦錫氧化物、等等。

氧化矽、氮化矽、氮氧化矽、氧化鋁、氮化鋁、氮氧化鋁、或其它無機絕緣材料可以用於絕緣膜 212、213、及 214。

藉由遮蓋半導體積體電路的導電屏蔽，可以止導因於靜電放電之半導體積體電路的靜電崩潰（電路故障或半導體元件受損）。藉由將半導體積體電路夾於其間的絕緣體對，可以提供具有高電阻並取得厚度及尺寸縮減的高度可靠的半導體裝置。此外，即使在製程中，仍可以防止導因於外部應力或靜電釋放之缺陷形狀及特徵劣化，以致於可以高產能地製造半導體裝置。

在本實施例的半導體裝置中，不用提場效電晶體，可

以以使用半導體層的記憶元件等作為半導體元件；因此，可以製造及提供可以滿足不同應用所需的功能之半導體裝置。

(實施例 5)

在本實施例中，將參考圖 6A 至 6E、圖 7A 至 7C、及圖 8A 和 8B，說明包含記憶體的半導體裝置及其製造方法。

本實施例的半導體裝置包含記憶胞陣列及驅動記憶胞陣列的驅動電路部。

首先，在具有絕緣表面的基底 300 上形成分離層 301、以及在分離層 301 上形成絕緣膜 302 作為基部。

接著，在絕緣膜 302 上形成半導體膜。以濺射法、LPCVD 法、電漿 CVD 法等等，形成半導體膜至 25 至 200 nm 厚（較佳地，30 至 150 nm 厚）。

在本實施例中，在絕緣膜 302 上形成非晶半導體膜，以及，以雷射光照射來晶化非晶半導體膜；因此，形成結晶半導體膜之半導體膜。

如上所述取得的半導體膜可以摻雜少量雜質元素（硼或磷），以選擇性地控制薄膜電晶體的臨界電壓。可以在晶化之前，在非晶半導體膜上執行此雜質元素摻雜。當以雜質元素摻雜非晶半導體膜時，可以藉由稍後用於晶化的熱處理來活化雜質。此外，也可以增進摻雜時產生的缺陷等等。

接著，使用遮罩，將半導體膜處理成所需形狀。在本實施例中，在移除形成於半導體膜上的氧化物膜之後，形成另一氧化物膜。然後，形成光罩，以及，使用微影術以執行處理，以致於形成半導體層 303、304、305、及 306。對於半導體層的端部，可以設置傾斜角（推拔角）。

藉由電漿蝕刻（乾蝕刻）或濕蝕刻，以執行蝕刻。為了處理大尺寸的基底，電漿蝕刻較適合。關於蝕刻氣體，使用例如 CF_4 、 NF_3 、 Cl_2 、或 BCl_3 等含氟或氯的氣體，以及，添加例如 He 或 Ar 等惰性氣體。或者，當由大氣壓力排放使用蝕刻時，局部放電是可能的，如此，可以執行蝕刻而不會在整個基底上形成遮罩。

接著，在半導體層 305 上形成絕緣膜 310。使用氧化矽或氧化矽與氮化矽的層結構，形成絕緣膜 310。以電漿 CVD 法或低壓 CVD 法，沈積絕緣層，以形成絕緣膜 310。較佳的是，藉由電漿處理，使絕緣層接受固相氧化或固相氮化以形成絕緣膜 310。這是因為藉由電漿處理之半導體層（典型上，矽層）的氧化或氮化而形成的絕緣層具有密緻的膜品質、高耐受電壓、及高可靠度。使用絕緣膜 310 作為用於將電荷注入電荷累積層 311 之穿隧絕緣層；因此，強壯的絕緣層是較佳的。此絕緣膜 310 較佳地形成至具有 1 nm 至 20 nm 的厚度，以及，較佳地具有 3 nm 至 6 nm 的厚度。

在氧氛圍下以電漿處理，在半導體層上形成厚度 3 nm 至 6 nm 的氧化矽層，以及，在氮氛圍下以氮電漿處理氧

化矽層的表面，形成氮電漿處理過的層，以此方式，由電漿處理較佳地形成絕緣膜 310。具體而言，首先，在氧氛圍之下，以電漿處理，在半導體層上形成 3 nm 至 6 nm 厚的氧化矽層。然後，藉由連續地在氮氛圍下的電漿處理之性能，在氧化矽層的表面或表面極近處，形成具有高氮濃度的氮電漿處理過的層。注意，表面極近處意指離氧化矽層的表面約 0.5 nm 至 1.5 nm 的深度處。舉例而言，藉由在氮氛圍下執行電漿處理，取得的結構中，氧化矽層在從表面至約 1 nm 深的範圍中含有 20 原子%至 50 原子%的氮。

以電漿處理，將作為半導體層的典型實施例之矽層的表面氧化，因而形成在介面中具有畸變的密緻氧化物層。此外，經由氧化物層的電漿處理之氮化，部份表面上的氧由氮替代，以及形成氮層，因此，可以使層更密緻。結果，可以形成耐受電壓高的絕緣層。

在任何情形中，經由使用上述電漿處理之固相氧化或固相氮化，即使使用具有 700°C 或更低的抗熱溫度之玻璃基底，可以取得等於 950°C 至 1050°C 的溫度下形成的熱氧化膜之絕緣層。如此，可以形成具有高可靠度的穿隧絕緣層作為非揮發性記憶元件的穿隧絕緣層。

電荷累積層 311 形成於絕緣膜 310 上。此電荷累積層 311 可以設置成具有單層或層化結構。

電荷累積層 311 可以由半導體材料或導電材料的粒子或層形成為浮動閘極。關於半導體材料，可為矽、矽銻、

或類似者。當使用矽時，可以使用非晶矽或多晶矽。此外，也可以使用摻雜磷的多晶矽。關於導電材料，可以使用選自鉭(Ta)、鈦(Ti)、鉬(Mo)、或鎢(W)的元素；含有上述元素作為主成份的合金；上述元素結合的合金膜（典型上，Mo-W合金膜或Mo-Ta合金膜）；或是被授予導電率的矽膜。在使用此材料形成的導電層之下，可以形成例如氮化鉭、氮化鎢、氮化鈦、或氮化鉬等氮化物；或例如矽化鎢、矽化鈦、或矽化鉬等矽化物。此外，可以使用上述半導體材料、導電材料、或半導體材料及導電材料的層結構。舉例而言，可以使用矽層及鍺層的層結構。

或者，可以形成電荷累積層作為具有保持電荷的絕緣層。關於此材料的典型實施例，可為矽化物及鍺化物。關於矽化合物，可為氮化矽氮氧化矽、添加氫的氮氧化矽、等等。關於鍺化合物的實施例，可為氮化鍺、添加氧的氮化鍺、添加氮的氧化鍺、添加氧及氫的氮化鍺、添加氫及氮的氧化鍺。

接著，形成用於遮蓋半導體層 303、304 和 306 的光阻遮罩。使用光阻遮罩及電荷累積層 311 作為遮罩，添加賦予 n 型導電率的雜質元素，以形成 n 型雜質區 362a 及 n 型雜質區 362b。在本實施例中，使用賦予 n 型導電率的雜質元素之磷(P)作為雜質元素。此外，添加賦予 n 型導電率的雜質元素以致於 n 型雜質區 362a 和 n 型雜質區 362b 有濃度約 1×10^7 原子/cm³ 至 5×10^{18} 原子/cm³ 的雜質元素。之後，移除遮蓋半導體層 303、304 及 306 的光阻遮罩。

移除半導體層 306 上的氧化物膜，以及，形成遮蓋半導體層 305、半導體層 306、絕緣膜 310、及電荷累積層 311 的閘極絕緣層 309。當閘極絕緣層 309 在記憶胞陣列中具有大的厚度時，薄膜電晶體及記憶元件可以對高電壓具有高抗壓性；因此，可以增進可靠度。

注意，雖然形成於半導體層 305 上的閘極絕緣層 309 作為稍後完成的記憶元件中的控制絕緣層，但是，其可作為半導體層 306 上的閘極絕緣層。因此，在本說明書中，將此層稱為閘極絕緣層 309。

接著，移除半導體層 303 和 304 上的閘極絕緣層 309，以及，形成遮蓋半導體層 303 和半導體層 304 的閘極絕緣層 308(請參見圖 6A)。以電漿 CVD 法、濺射法、等等，形成閘極絕緣層 308。設於驅動電路部中的薄膜電晶體的閘極絕緣層 308 的厚度從 1 nm 至 10 nm，更佳地約 5 nm。當閘極絕緣層 308 要薄化時，可以使驅動電路部中的電晶體以低壓高速地操作。

使用氧化矽或以氧化矽及氮化矽的層結構，形成閘極絕緣層 308。以電漿 CVD 法或低壓 CVD 法，沈積絕緣膜，可以形成閘極絕緣層 308，或著，藉由電漿處理的固相氧化或固相氮化，形成閘極絕緣層 308。這是因為藉由電漿處理以氧化或氮化半導體層而形成的閘極絕緣層是密緻的，以及具有高介電強度及優良可靠度。

關於閘極絕緣層 308，可以使用高介電常數材料。當高介電常數材料用於閘極絕緣層 308 時，可以降低閘極漏

電流。關於高介電常數材料，可以使用二氧化鋯、氧化鉛、二氧化鈦、五氧化二鉭、等等。此外，可以藉由電漿處理的固相氧化，形成氧化矽層。

此外，以 GRTA 法、LRTA 法、等等，將半導體區的表面氧化，也可以形成薄的氧化矽膜，藉以形成氧化物膜。注意，例如氬等稀有氣體元素較佳地包含於反應氣體中以及較佳地混於要形成的絕緣膜中，以在低膜形成溫度下形成具有很少閘極漏電流的密緻絕緣膜。

接著，在閘極絕緣層 308 和 309 上堆疊厚度 20 nm 至 100 nm 的第一導電膜及厚度 100 nm 至 400 nm 的第二導電膜，第一導電膜及第二導電膜均作為閘極電極層。以濺射法、蒸鍍法、CVD 法、等等，形成第一及第二導電膜。使用選自鉭 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo)、鋁 (Al)、銅 (Cu)、鉻 (Cr)、或釹 (Nd) 的元素、或含有上述材料作為主成份的化合物材料或合金，形成第一及第二導電膜。或者，以摻雜例如磷等雜質元素的多晶矽膜為例的半導體膜、或 AgPdCu 合金膜，形成第一及第二導電膜。導電膜不限於雙層結構，舉例而言，可以具有三層結構，在三層結構中，厚度 50 nm 的鎢膜、厚度 500 nm 的鋁矽合金 (Al-Si) 膜、及厚度 30 nm 的氮化鈦膜依序堆疊。在三層結構的情形中，可以使用氮化鎢膜以取代鎢膜作為第一保護膜，可以使用鋁鈦合金 (Al-Ti) 膜取代鋁矽合金 (Al-Si) 膜作為第二導電膜，以及，使用鈦膜取代氮化鈦膜作為第三導電膜。或者，也可以採用單層結構。在本實施例中

，形成鎢膜(W)至 370 nm 厚以用於第二導電膜。

將第一及第二導電膜蝕刻以形成第一閘極電極層 312、313、及 314；第二閘極電極層 316、317、及 318；第一控制閘極電極層 315；及第二控制閘極電極層 319(請參見圖 6B)。

在本實施例中，顯示之實施例中，第一閘極電極層及第二閘極電極層（第一控制閘極電極層及第二控制閘極電極層）形成至具有垂直的側表面；但是，本實施例不限於此。第一閘極電極層及第二閘極電極層（第一控制閘極電極層及第二控制閘極電極層）可以具有推拔狀，或者，藉由各向異性蝕刻，第一閘極電極層或第二閘極電極層（第一控制閘極電極層或第二控制閘極電極層）可以具有推拔狀，而另一閘極電極層可以具有垂直的側表面。在這些堆疊的閘極電極層之間，推拔角度可以不同或相同。根據推拔形狀，可以增進堆疊於其上的膜的遮蓋率及減少缺陷，而增進可靠度。

在形成閘極電極層（及控制閘極電極層）時，藉由蝕刻步驟，可以將閘極絕緣層 308 和 309 蝕刻至某程度以及薄化（所謂的膜縮減）。

接著，形成遮蓋半導體層 304 的遮罩 321 和遮蓋半導體層 305 和 306 的遮罩 363。使用遮罩 321 和 363、第一閘極電極層 312、及第二閘極電極層 316 作為遮罩，添加賦予 p 型導電率的雜質元素 320，以形成 p 型雜質區 322a 和 p 型雜質區 322b。在本實施例中，使用硼(B)作為雜質

元素。此處，執行摻雜以致於 p 型雜質區 322a 和 p 型雜質區 322b 含有濃度約 1×10^{20} 原子/cm³ 至 5×10^{21} 原子/cm³ 之賦予 p 型導電率的雜質元素。此外，在半導體層 303 中形成通道形成區 323(請參見圖 6C)。

p 型雜質區 322a 和 p 型雜質區 322b 是高濃度 p 型雜質區，作為源極區和汲極區。

接著，形成遮蓋半導體層 303 的遮罩 325。使用遮罩 325、第一閘極電極層 313、第二閘極電極層 317、第一閘極電極層 314、第二閘極電極層 318、第一控制閘極電極層 315、第二控制閘極電極層 319 作為遮罩，添加賦予 n 型導電率的雜質元素 324，以形成 n 型雜質區 326a、326b、364a、364b、327a、327b、328a 和 328b。在本實施例中，使用磷(P)作為雜質元素。此處，添加賦予 n 型導電率的雜質元素，以致於 n 型雜質區 326a、326b、327a、327b、328a 和 328b 含有濃度約 5×10^{19} 原子/cm³ 至 5×10^{20} 原子/cm³ 之 n 型雜質元素。此外，分別在半導體層 304、半導體層 305、及半導體層 306 中形成通道形成區 329、通道形成區 330、及通道形成區 331(請參見圖 6D)。

n 型雜質區 326a、326b、327a、327b、328a、和 328b 是高濃度 n 型雜質區，作為源極區和汲極區。另一方面，n 型雜質區 364a 和 n 型雜質區 364b 是低濃度雜質區，其變成 LDD 區。

以 O₂ 灰化或光阻剝除器，移除遮罩 325。之後，形成絕緣膜，亦即側壁，以遮蓋閘極電極層的側邊。以電漿

CVD 法或低壓 CVD(LPCVD)法，由含有矽的絕緣膜形成側壁。

爲了使雜質元素活化，可以執行熱處理、強光照射、或雷射光照射。與活化同時，可以降低對閘極絕緣層的電漿損傷以及閘極絕緣層與半導體層之間的介面之損傷。

接著，形成遮蓋閘極絕緣層及閘極電極層之層間絕緣層。在本實施例中，使用絕緣膜 367 和絕緣膜 368 的堆疊層結構

絕緣膜 367 和絕緣膜 368 均爲由濺射法或電漿 CVD 法形成的氮化矽膜、氧氮化矽膜、氮氧化矽膜、或氧化矽膜。此外，也可以採用另一含矽的絕緣膜以具有單層結構或包含三或更多層的堆疊層結構。

此外，在氮氛圍中，在 300℃ 至 550℃ 下，執行熱處理 1 至 12 小時，因而將半導體層氫化。較佳地，在 400℃ 至 500℃ 下，執行此步驟。經由此步驟，在半導體層中的懸鍵可由包含於絕緣膜 367 中的氫終止，絕緣膜 367 是層間絕緣層。在本實施例中，在 410℃ 下執行熱處理一小時。

使用選自例如氮化鋁(AlN)、含氧量大於含氮量的氮氧化鋁(AlON)、含氮量大於含氧量的氧氮化鋁(AlNO)、氧化鋁、類鑽石碳(DLC)、或含氮的碳(CN)等無機絕緣材料之材料，形成絕緣膜 367 和絕緣膜 368。矽氧烷樹脂相當於包含 Si-O-Si 鍵結的樹脂。

接著，使用光阻遮罩，在絕緣膜 367 和 368 以及閘極

絕緣層膜 308 和 309 中形成到達半導體層的接觸孔(開口)。

根據要使用的材料之選擇比，執行一次或多次蝕刻。以蝕刻部份地移除絕緣膜 367 和 368 以及閘極絕緣層膜 308 和 309，以形成抵達作為源極區和汲極區之 p 型雜質區 322a 和 322b 以及 n 型雜質區 326a、326b、327a、327b、328a、和 328b 之開口。為了蝕刻，可以使用濕蝕刻、乾蝕刻、或二者。可以使用例如氫氟化銨與氟化銨的混合溶液等氫氟酸為基礎的溶液作為濕蝕刻的蝕刻劑。關於蝕刻氣體，可以適當地使用以 Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 等為例的氯為基礎的氣體、以 CF_4 、 SF_6 、 NF_3 等為例的氟為基礎的氣體。此外，惰性氣體可以添加至蝕刻氣體。關於要添加的惰性元素，可以使用選自 He、Ne、Ar、Kr、及 Xe 之一或多個元素。

形成導電膜以遮蓋開口，以及，蝕刻導電膜以形成佈線層 369a、369b、370a、370b、371a、371b、372a、及 372b，佈線層 369a、369b、370a、370b、371a、371b、372a、及 372b 是電連接至部份源極區和汲極區之源極電極層和汲極電極層。以 PVD 法、CVD 法、蒸鍍法、等等，形成導電膜而形成佈線層，然後，將導電膜蝕刻成所需形狀。此外，可以藉由滴放法、印刷法、電解電鍍法、等等，在預定位置選擇性地形成導電層。此外，也可以使用回熔法或金屬鑲嵌法。關於用於源極和汲極電極層的材料，使用例如 Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、或 Ba 等金屬、或 Si、或

Ge、其合金或其氮化物。此外，可以使用這些材料的層結構。在本實施例中，鈦(Ti)形成至 60 nm 厚，氮化鈦形成至 40 nm 厚，鋁形成至 700 nm 厚，鈦(Ti)形成至 200 nm 厚，然後，將堆疊膜處理成所需形狀。

經由上述步驟，可以形成半導體積體電路 350，其在電路部包含薄膜電晶體 373 及薄膜電晶體 374，薄膜電晶體 373 是具有 p 型雜質區的 p 通道薄膜電晶體，薄膜電晶體 374 是具有 n 型雜質區的 n 通道薄膜電晶體；以及，在記憶胞陣列中，包含具有 n 型雜質區的記憶元件 375 以及具有 n 型雜質區的 n 通道薄膜電晶體 376（請參見圖 6E）。

接著，在半導體積體電路 350 上形成絕緣層 390（請參見圖 7A）。

在絕緣層 390 上形成作為天線的導電層 380，以及，在導電層 380 上形成作為保護層的無機絕緣層 381（請參見圖 7B）。

接著，在無機絕緣層 381 上形成第一絕緣體 382，以及，在第一絕緣體 382 上形成第四絕緣體 391。然後，使用分離層 301 以將半導體積體電路 350 與基底 300 分離。

此處，第一絕緣體 382 是纖維體 383 由有機樹脂 384 浸漬的結構體。在第一絕緣體 382 與第四絕緣體 391 設於無機絕緣層 381 之後，將它們加熱並使它們接受施壓接合，以致於將半導體積體電路 350、第一絕緣體 382、及第四絕緣體 391 相接合。之後，使用分離層 301，將半導體

積體電路 350 與基底 300 分離。

接著，第三絕緣體 388 設於半導體積體電路 350 的曝露分離表面上，以及，第二絕緣體 385 設置成與第三絕緣體 388 接觸。此處，藉由黏著層 389，將第三絕緣體 388 設於半導體積體電路 350 的曝露表面上（請參見圖 8A）。

。

第二絕緣體 385 是纖維體 386 由有機樹脂 387 浸漬的結構體。在第三絕緣體 388 設置成與第二絕緣體 385 接觸之後，將它們加熱並使它們接受施壓接合，以致於將第三絕緣體 388 及第二絕緣體 385 相接合。注意，在第三絕緣體 388 設於半導體積體電路 350 的曝露的分離表面上之後第二絕緣體 385 可以接合，或者，在第三絕緣體 388 設於半導體積體電路 350 的曝露的分離表面上之前第二絕緣體 385 可以接合。

接著，在第一絕緣體 382 的表面上形成導電屏蔽 395a，在第二絕緣體 385 的表面上形成導電屏蔽 395b，以及，將導電屏蔽 395a 與導電屏蔽 395b 電連接（請參見圖 8B）。在本實施例中，導電屏蔽 395a 及 395b 均為由濺射法形成至 10 nm 厚的鈦膜。以濺射法，在第一絕緣體 382 的側表面上與第二絕緣體 385 的側表面上形成鈦膜，可以取得導電屏蔽 395a 與導電屏蔽 395b 之間的電連接。

注意，在導電屏蔽 395a 與導電屏蔽 395b 分別形成於第一絕緣體 382 與第二絕緣體 385 的表面上之後，使導體穿透第一絕緣體 382 和第二絕緣體 385，因而將導電屏蔽

395a 與導電屏蔽 395b 電連接。

在實際的製程中，眾多彼此分開的半導體積體電路與眾多彼此分開的天線夾於第一絕緣體 382 與第二絕緣體 385 之間。在將半導體積體電路切割成各別的半導體積體電路之後，形成導電屏蔽 395a 及導電屏蔽 395b，以致於可以取得半導體積體電路晶片。對於切割機構並無特別限定，只要可以將半導體積體電路實體上切割即可。在眾多半導體積體電路之間切割會造成一結構，其中，作為天線的導電層 380 與半導體積體電路 350 由第一絕緣體 382 與第二絕緣體 385 密封。

藉由使用可撓絕緣體，本實施例中所述的半導體裝置可為可撓半導體裝置。

藉由導電屏蔽 395a 及 395b，可以製備半導體積體電路 350 的靜電崩潰。

此外，提供絕緣體及導電屏蔽，將半導體積體電路夾於其間，可以防止導因於外部應力或靜電放電之例如半導體積體電路的損傷及及特徵劣化等不利效果。如此，可以高產能地製造半導體裝置。

藉由遮蓋半導體積體電路的導電屏蔽，可以防止導因於靜電放電之半導體積體電路的靜電崩潰。藉由將半導體積體電路夾於其間的絕緣體對，可以提供具有高電阻並取得厚度及尺寸縮減的高度可靠的半導體裝置。此外，即使在製程中，仍可以防止導因於外部應力或靜電釋放之缺陷形狀及特徵劣化，以致於可以高產能地製造半導體裝置。

(實施例 6)

在本實施例中，將說明作為半導體裝置的實施例之具有算術功能及無接觸地傳送和接收資料之微處理器及半導體裝置的實施例。

圖 12 顯示作為半導體裝置的實施例之微處理器 500 的實施例。使用根據上述實施例形成的半導體裝置以形成微處理器 500。本微處理器 500 具有算術邏輯單元 (ALU) 501、ALU 控制器 502、指令解碼器 503、中斷控制器 504、時序控制器 505、暫存器 506、暫存器控制器 507、匯流排介面 (匯流排 I/F) 508、唯讀記憶體 (ROM) 509、及記憶體介面 (ROM I/F) 510。

經由匯流排介面 508 輸入至微處理器 500 的指令輸入至指令解碼器 503 並被解碼。然後，指令輸入至 ALU 控制器 502、中斷控制器 504、暫存控制器 507、及時序控制器 505。ALU 控制器 502、中斷控制器 504、暫存器控制器 507、及時序控制器 505 根據經過解碼的指令，執行不同的控制。具體而言，ALU 控制器 502 產生用於控制算術邏輯單元 501 的操作之訊號。中斷控制器 504 根據其優先次序或遮罩狀態，判斷來自外部輸入/輸出裝置或週邊電路的中斷請求，以及，當程式在微處理器 500 中執行時，處理請求。暫存器控制器 507 產生暫存器 506 位址，以及根據微處理器 500 的狀態而對暫存器 506 讀取/寫入資料。時序控制器 505 產生用於驅動算術邏輯單元 501、ALU

控制器 502、指令解碼器 503、中斷控制器 504、及暫存器控制器 507 之訊號。舉例而言，時序控制器 505 設有內部時脈產生器以及供應時脈訊號 CLK2 給每一上述電路，內部時脈產生器根據參考時脈訊號 CLK1，產生內部時脈訊號 CLK2。注意，圖 12 中所示的微處理器 500 正好為簡化結構的實施例，實際的處理器視用途而具有不同的結構。

接著，參考圖 13，說明具有算術功能及可以非接觸地傳送及接收資料的半導體裝置。圖 13 顯示電腦(此後也稱為 RFCPU)的實施例，其藉由無線通訊而對外部裝置傳送/接收訊號。RFCPU 511 具有類比電路部 512 及數位電路部 513。類比電路部 512 包含具有共振電容器的共振電路 514、整流電路 515、恆電壓電路 516、重置電路 517、振盪器電路 518、解調變電路 520。數位電路部 513 包含 RF 介面 521、控制暫存器 522、時脈控制器 523、CPU 介面 524、中央處理單元 525、隨機存取記憶體 526、及唯讀記憶體 527。

於下，將概要地說明具有此結構的 RFCPU 511 的操作。共振電路 514 根據天線 528 收到的訊號，產生感應電動勢。感應電動勢經由整流電路 515 而儲存於電容器部 529 中。使用例如陶瓷電容器或電雙層電容器等電容器，較佳地形成電容器部 529。電容器部 529 不一定要與 RFCPU 511 形成於相同的基底上，可以作為另一元件而附著至部份地構成 RFCPU 511 之具有絕緣表面的基底。

重置電路 517 產生訊號以將要被初始化的數位電路部

513 重置。舉例而言，產生較電源電壓的上升而延遲上升之訊號作為重置訊號。振盪器電路 518 根據恆電壓電路 516 所產生的控制訊號而改變時脈訊號的頻率及工作比。舉例而言，具有低通濾波器之解調變電路 519 將振幅移位鍵控(ASK)系統的接收的振幅改變二進位化。調變電路 520 改變要傳送之振幅移位鍵控(ASK)系統的傳輸訊號的振幅。調變電路 520 改變共振電路 514 的共振點，藉以改變通訊訊號的振幅。時脈控制器 523 根據中央處理單元 525 中的電源電壓或電流消耗而產生用於改變時脈訊號的頻率及工作比之控制訊號。電源電壓由電源控制電路 530 監控。

從天線 528 輸入至 RFCPU 511 的訊號由解調變電路 519 解調變，然後由 RF 介面 521 分割控制命令、資料、等等。控制命令儲存於控制暫存器 522 中。控制命令包含讀取儲存於唯讀記憶體 527 中的資料、將資料寫入至隨機存取記憶體 526、對中央處理單元 525 的算術指令、等等。中央處理單元 525 經由介面 524 存取唯讀記憶體 527、隨機存取記憶體 526、及控制暫存器 522。介面 524 可以根據中央處理單元 525 所請求的位址而產生用於唯讀記憶體 527、隨機存取記憶體 526、及控制暫存器 522 之存取訊號。

關於中央處理單元 525 的算術方法，可以使用一方法，其中，唯讀記憶體 527 儲存 OS（作業系統）及在啓始操作時讀取程式，然後執行程式。或者，使用一方法，其

形成專用於算術的電路，以及使用硬體以執行算術處理。在使用硬體及軟體的方法中，可使用一方法，其中，部份處理在專用於算術的電路中執行，以及，其它部份的算術處理由中央處理單元 525 使用軟體執行。

在本實施例的微處理器中，以遮蓋半導體積體電路的導電屏蔽，可以防止導因於靜電放電的半導體積體電路的靜電崩潰（例如電路故障和半導體元件的損傷）。藉由將半導體積體電路夾於其間的絕緣體對，可以提供具有高電阻並取得厚度及尺寸縮減的高度可靠的半導體裝置。此外，即使在製程中，仍可以防止導因於外部應力或靜電釋放之缺陷形狀及特徵劣化，以致於可以高產能地製造半導體裝置。

(實施例 7)

在本實施例中，將說明上述實施例中所述的半導體裝置的使用模式實施例。具體而言，將參考圖式，說明非接觸地輸入/輸出資料之半導體裝置的應用實施例。能夠非接觸地輸入及輸出資料之半導體裝置也稱為 RFID 標籤、ID 標籤、RF 標籤、無線標籤、電子標籤、或無線晶片。

將參考圖 21A，說明本實施例中所示的半導體裝置的頂表面結構的實施例。圖 21A 中所示的半導體裝置包含設有天線（也稱為晶片上天線）的半導體積體電路晶片 400 及設有天線 405（也稱為升壓天線）的支撐基底 406。半導體積體電路晶片 400 設於絕緣層 410 上，絕緣層 410 形成於支

撐基底 406 及天線 405 上。

關於設於半導體積體電路晶片 400 中的半導體積體電路，設有例如用於構成邏輯部中的記憶體部等多個元件。在本實施例的裝置中，不用提場效電晶體，使用半導體層等的記憶元件可以作為半導體元件；因此，可以製造及提供滿足不同應用所需的功能之半導體裝置。

圖 20A 是包含於圖 21A 中所示的半導體積體電路晶片 400 中的半導體積體電路及天線的放大視圖。在圖 20A 中，天線 101 是長方形迴路天線，其繞組數為一，但是本實施例不限於此結構。迴路天線的形狀不限於長方形，可以形成為例如圓形等具有曲線的形狀。此外，繞組的數目不限於一。可以使用多個繞組；但是，在天線 101 的繞組數目為一的情形中，可以降低產生於半導體積體電路 100 與天線 101 之間的寄生電容。

在圖 21A 及圖 20A 中，天線 101 配置成圍繞半導體積體電路 100 的週圍，天線 101 配置在不同於半導體積體電路 100 的區域之區域中，但是對應於虛線所標示的饋送點 408 之部份除外。但是，本實施例不限於此結構。如圖 20B 中所示般，除了對應於虛線所標示的饋送點 408 之部份外，天線 101 還配置成與半導體積體電路 100 部份地重疊。注意，在如圖 20A 所示般天線 101 配置於不同於半導體電路 100 的區域之區域中的情形中，可以降低產生於半導體積體電路 100 與天線 101 之間的寄生電容。

在圖 21A 中，天線 405 藉由主要在虛線 407 圍繞的迴

路狀部份中的電磁感應，對天線 101 傳送及接收訊號或供應功率。此外，天線 405 可以藉由主要在虛線 407 圍繞的部份以外的區域中的無線電波而對詢問器傳送及接收訊號或供應功率。注意，較佳的是，作為詢問器與半導體裝置之間的載波的無線電波的頻率約從 30 MHz 至 5 GHz。舉例而言，可以使用 950 MHz、2.45 GHz 頻帶等等。

雖然在虛線 407 圍繞的區域中之天線 405 是繞組數為一的長方形及迴路狀天線，但是，本實施例不限於此結構。迴路狀部份不一定要具有長方形，而是可以形成具有例如圓形等曲線的形狀。此外，繞組數不限於一，而是可以使用眾多繞組。

對於本實施例的半導體裝置，可以應用電磁感應法、電磁耦合法、或微波法。在微波法的情形中，可以視要使用的電磁波的波長而適當地決定天線 101 及天線 405 的各別形狀。

舉例而言，在使用微波法（例如 UHF 頻帶（860 MHz 頻帶至 960 MHz 頻率）、2.45 GHz 頻率、等等）作為半導體裝置中的訊號傳輸法的情形中，慮及用於訊號傳輸的電磁波之波長，適當地決定天線的長度、形狀、等等。舉例而言，天線可以形成為線性形狀（例如雙極天線）或平坦形狀（例如，塊狀天線或帶狀天線）。此外，天線不限於線性形狀，而是可以考慮電磁波的波長而具有曲線狀、螺旋形狀、或它們結合的形狀。

圖 10 顯示設有線圈天線 101 及線圈天線 405 的半導

體裝置實施例，電磁感應法或電磁法應用至這些天線。

在圖 10 中，在設有線圈天線 405 作為升壓天線的支撐基底 406 上形成設有線圈天線 101 的半導體積體電路晶片 400。注意，形成介於作為升壓天線的天線 405 與支撐基底 406 之間的電容器。

接著，說明半導體積體電路晶片 400 與升壓天線的結構和其配置。圖 21B 是半導體裝置的立體視圖，其中，設置用於圖 21A 中所示的支撐基底 46 之半導體積體電路晶片 400 及天線 405 堆疊。此外，圖 21C 是延著圖 21B 的虛線 X-Y 之剖面視圖。

關於圖 21C 中所示的半導體積體電路 400，可以使用實施例 1 至 6 中所述的半導體裝置，以及，此處，藉由各別地分割半導體裝置而取得的晶片是半導體積體電路晶片。注意，圖 21C 中所示的半導體積體電路晶片是使用實施例 1 的實施例，但本實施例不限於此結構而是可以應用至另一實施例。

圖 21C 中所示的半導體積體電路 100 夾於第一絕緣體 112 與第二絕緣體 102 之間，以及，半導體積體電路 100 的側表面被密封。在本實施例中，在第一絕緣體與第二絕緣體相接合以將多個半導體積體電路夾於其間之後，它們會被切割成各別的半導體積體電路，以致於製造半導體積體電路晶片 400。對於切割機構並無特別限定，只要可以將半導體積體電路實體上切割即可，舉例而言，半導體積體電路可以由雷射光照射切割。

本實施例的半導體裝置包含彼此電連接的導電屏蔽 140a 和 140b，它們設於將天線及電連接至天線的半導體積體電路夾於其間的絕緣體對的各別外側上(與設有半導體積體電路的側相反的側)。導電屏蔽 140a 及 140b 傳送要由包含於半導體裝置中的天線傳送/接收之電磁波以及屏蔽外部施加的靜電以保護半導體裝置中的半導體積體電路。

在圖 21C 中，半導體積體電路 100 配置於比天線 101 更接近天線 405 的部份處，但是，本實施例不限於此結構。天線 101 可以配置成比半導體積體電路 100 更接近天線 405。半導體積體電路 100 與天線 101 可以直接接合至第一絕緣體 112 及第二絕緣體 102，或者，以黏著層作為黏著劑而接合至第一絕緣體 112 及第二絕緣體 102。在導電屏蔽 140a 及 140b 的導電率足夠低的情形中，導電屏蔽 140a 或導電屏蔽 140b 可以設置成與天線 405 直接接觸。

接著，說明本實施例的半導體裝置的操作。圖 19 是顯示本實施例的半導體裝置的結構之方塊圖實施例。圖 19 中所示的半導體裝置 420 包含作為升壓天線的天線 422、半導體積體電路 423、及作為晶片上天線的天線 424。當電磁波從詢問器 421 傳送及天線 422 接收電磁波時，在天線 422 中產生交流電，在天線 422 的週圍中產生磁場。然後，天線 422 中的迴路狀形狀與迴路狀的天線 424 電磁地耦合，因而在天線 424 中產生感應電動勢。半導體積體電路 423 藉由使用上述感應電動勢以從詢問器 421 接收訊號

或功率。相反地，使電流流經天線 424 及根據半導體積體電路 423 中產生的訊號而於天線 422 中產生感應電動勢，因而訊號可以作為從詢問器 421 傳送來的無線電波的反射波而傳送至詢問器 421。

注意，天線 422 主要具有與天線 424 電磁地耦合之迴路狀形狀部份以及從詢問器 421 接收無線電波的部份。在主要從詢問器 421 接收無線電波的部份中的天線 422 的形狀較佳地具有能夠接收無線電波的形狀。舉例而言，可以使用雙極天線、彎折雙極天線、槽孔天線、蜿蜒線天線、微帶天線、等等。

雖然在圖 21A 至 21C 中顯示僅具有一天線的半導體積體電路的結構，但是，本實施例不限於此結構。可以設置雙天線，亦即，一天線用於接收功率，而另一天線用於接收訊號。在雙天線的情形中，可以分開地使用用於供應功率的無線電波之頻率及用於傳送訊號的無線電波的頻率。

在本實施例的半導體裝置中，使用晶片上天線，以及，非接觸地執行升壓天線與晶片上天線之間的訊號或功率傳送及接收。因此，不似外部天線連接至半導體積體電路的情形，半導體積體電路與天線難以由來自外部的力量斷接，以及，可以抑制由連接造成的初始缺陷之產生。此外，由於在本實施例中使用升壓天線，所以，不似僅使用晶片上天線的情形，可以取得例如尺寸或形狀幾乎不受半導體積體電路的面積限制之晶片上天線、可接收的無線電波的頻帶不受限、及通訊距離可增加等外部天線的優點。

在本實施例的半導體裝置中，藉由遮蓋半導體積體電路的導電屏蔽，可以防止導因於靜電放電之半導體積體電路的靜電崩潰（例如電路故障及半導體元件的損傷）。藉由將半導體積體電路夾於其間的絕緣體對，可以提供具有高電阻並取得厚度及尺寸縮減的高度可靠的半導體裝置。此外，即使在製程中，仍可以防止導因於外部應力或靜電釋放之缺陷形狀及特徵劣化，以致於可以高產能地製造半導體裝置。因此，本發明在如本實施例中所述的非接觸地輸入/輸出資料之小半導體裝置的情形中是有效的。由於本實施例的半導體裝置相對於來自外部的力量具有高可靠度，所以，半導體裝置可以工作的環境條件可以進一步改變，可以進一步取得半導體裝置的多樣性。

（實施例 8）

在本實施例中，將說明根據上述實施例形成的能夠非接觸地輸入/輸出資料之上述半導體裝置的應用實施例。

具有非接觸地交換資料的功能之半導體裝置 800 包含高頻電路 810、電源電路 820、重置電路 830、時脈產生器電路 840、資料解調變電路 850、資料調變電路 860、用於控制其它電路的控制電路 870、記憶體電路 880、及天線 890(請參見圖 11A)。高頻電路 810 從天線 890 接收訊號以及藉由天線 890 輸出從資料調變電路 860 收到的訊號。電源電路 820 從收到的訊號產生電源電位。重置電路 830 產生重置訊號。時脈產生器電路 840 根據自天線 890 輸入的

收到訊號，產生不同的時脈訊號。資料解調變電路 850 將收到的訊號解調變以及將經過解調變的訊號輸出至控制電路 870。資料調變電路 860 調變自控制電路 870 收到的訊號。關於控制電路 870，舉例而言，可提供碼選取電路 910、碼判斷電路 920、CRC 判斷電路 930、及輸出單元電路 940。注意，碼選取電路 910 選取包含於傳送給控制電路 870 的指令中的眾多碼中的每一碼。碼判斷電路 920 藉由比較選取的碼與相當於參考的碼，以判斷指令的內容。CRC 判斷電路 930 根據判斷的碼以偵測是否有傳輸錯誤等等。

接著，將說明上述半導體裝置的操作實施例。首先，由天線 890 接收無線電訊號。無線電訊號經由高頻電路 810 而傳送給電源電路 820，以及，產生高電源電位（此後稱為 VDD）。VDD 供應給半導體裝置 800 中的每一電路。經由高頻電路 810 傳送給資料解調變電路 850 之訊號會被解調變（此後，此訊號稱為解調變訊號）。此外，訊號及解調變訊號通過重置電路 830，經過高頻電路 810 的時脈產生器電路 840 傳送給控制電路 870。傳送給控制電路 870 的訊號由碼選取電路 910、碼判斷電路 920、CRC 判斷電路 930、等等分析。然後，根據經過分析的訊號，輸出儲存於記憶體電路 880 中的半導體裝置的資訊。半導體裝置的輸出資訊經由輸出單元電路 940 編碼。此外，半導體裝置 800 的編碼資訊通過資料調變電路 860，接著，由天線 890 傳送作為無線訊號。注意，低電源電位（此後

稱為 VSS)在包含於半導體裝置 800 中的多個電路中是共用的，VSS 可以是接地 (GND)。

依此方式，藉由通訊裝置，從通訊裝置傳送訊號給半導體裝置 800 以及接收自半導體裝置 800 傳送的訊號，可以讀取半導體裝置 800 中的資料。

此外，在半導體裝置 800 中，不用安裝電源(電池)，電源電壓可以藉由電磁波而供應給每一電路，或者，安裝電源(電池)以致於電源電壓藉由電磁波及電源(電池)而供應給每一電路。

接著，說明半導體裝置的用途實施例，其中，非接觸地輸入/輸出資料。通訊裝置 3200 設於包含顯示部 3210 的行動終端的側表面。半導體裝置 3230 設於產品 3220 的側表面(請參見圖 11B)。當通訊裝置 3200 被持至包含於產品 3220 中的半導體裝置 3230 時，顯示部 3210 顯示關於產品的資訊，例如其材料、其產地、用於每一製造步驟的檢測步驟、流通處理的歷史、及產品說明。此外，當產品 3260 由輸送帶輸送時，藉由使用通訊裝置 3240 及設於產品 3260 上的半導體裝置 3250，可以檢測產品 3260(請參見圖 11C)。依此方式，可以容易地取得資訊，藉由以半導體裝置用於系統，可以實現高功能及高附加價值。

如上所述，本實施例的半導體裝置具有非常寬廣範圍的應用且可以用於所有領域的電子裝置。

(實施例 9)

藉由實施上述實施例，可以形成作為具有處理器電路的晶片之半導體裝置（此後也稱為 RFID 標籤、ID 標籤、IC 標籤、RF 標籤、無線標籤、電子標籤、或無線標籤）。此半導體裝置的應用範圍是很寬廣的，其可以應用至任何物體，以致於其歷史可以被非接觸地透露及用於生產、管理、等等。舉例而言，半導體裝置可以併入於紙鈔、硬幣、證券、證書、無記名債券、包裝容器、書、記錄媒體、個人物品、交通工具、食物、衣務、健康用品、日常用品、醫葯、及電子設備中。將參考圖 9A 至 9G，說明這些實施例。

紙鈔及硬幣是可在市場流通、以及包含可以以相同方式於特定區域作為錢使用（現金證明）、紀念幣、等等的錢。證券包含支票、憑證、本票等等，以及可以設有包含處理器電路的晶片 190（請參見圖 9A）。證書意指駕駛執照、居留證、等等，以及可以設有包含處理器電路的晶片 191（請參見圖 9B）。個人物品包含袋子、眼鏡、等等，以及設有包含處理器電路的晶片 197（請參見圖 9C）。無記名債券意指郵票、米配給券、不同的商品優待券、等等。包裝容器意指用於食物容器的包裝紙、塑膠瓶、等等，以及可以設有包含處理器電路的晶片 193（請參見圖 9D）。書意指精裝書、平裝書、等等，以及設有包含處理器電路的晶片 194（請參見圖 9E）。記錄媒體意指 DVD 軟體、錄影帶、等等，以及設有包含處理器電路的晶片 195（請參見圖 9F）。交通工具意指例如腳踏車等有輪交通工具、船、等

等，以及設有包含處理器電路的晶片 196(請參見圖 9G)。

雜貨代表食物、飲料、等等。衣務代表衣服、鞋子、等等。

健康產品代表醫療設備、健康器具、等等。日常用品代表家俱、照明設備、等等。醫葯代表葯品、農葯、等等。

電子裝置代表液晶顯示裝置、EL 顯示裝置、電視機(電視接收器及薄型電視接收器)、行動電話、等等。

藉由附著至物品的表面或嵌入於物品中，以設置半導體裝置。舉例而言，在書的情形中，半導體裝置可以嵌入於紙中，以及，在有機樹脂製成的包裝之情形中，半導體裝置可以嵌入於有機書樹脂中。

如上所述，藉由提供半導體裝置給包裝容器、記錄媒體、個人物品、食物、衣服、日常用品、電子裝置、等等，可以增進檢測系統、用於租售店中的系統、等等的效率。

此外，藉由提供半導體裝置給交通工具，可以防止仿冒或偷竊。此外，當半導體裝置植入於例如動物等生物中，可以容易地識別每一生物。舉例而言，藉由將具有感測器的半導體裝置植入/附著至例如家畜等生物，可以容易地管理例如目前體溫與出生年、性能、品種、等健康條件。

注意，本實施例可以與實施例 1 至 8 中的任一實施例適當地結合。

(實施例 10)

在本實施例中，將參考圖 18A 至 18D，說明安裝上述實施例中所述的半導體裝置之實施例。

如同實施例 9 中所述般，本實施例的半導體裝置可以安裝於多種物品上。在本實施例中，說明半導體裝置安裝於可撓基底上以形成可撓半導體裝置之實施例。

圖 18A 至 18C 均顯示半導體積體電路晶片安裝成嵌入於可撓基底中的實施例。關於半導體積體電路晶片，可以使用實施例 1 至 6 中所述的半導體裝置，此處，藉由各別地切割半導體裝置而取得的晶片形式半導體積體電路晶片。此外，圖 18D 顯示半導體積體電路晶片 600 的細節。雖然圖 18D 中所示的半導體積體電路晶片是使用實施例 1 的實施例，但是，本實施例可以應用至另一實施例及不限於此結構。

圖 18A 顯示夾於可撓基底 601 與可撓基底 602 之間的半導體積體電路晶片 600。半導體積體電路晶片置於用於可撓基底 601 的凹部中。

設有半導體積體電路晶片 600 之凹部可以用於可撓基底之一或二可撓基底。圖 18B 顯示半導體積體電路晶片 600 置於用於可撓基底 601 及可撓基底 602 之凹部中的實施例。

或者，可撓基底可以具有三層結構及設於中間可撓基底中的開口，半導體積體電路晶片 600 置於開口中。圖 18C 顯示開口用於可撓基底 603、半導體積體電路晶片 600 置於開口中、及可撓基底 603 和半導體積體電路晶片 600 夾於可撓基底 601 與可撓基底 602 之間。

在圖 18A 至 18C 中，可撓基底可以堆疊於可撓基底

601 或可撓基底 602 的外側上。

關於可撓基底 601、602 和 603，可以使用織布、不織布、紙、等等，織布是以纖維束（單紗）用於經紗及緯紗而織成的（此後，纖維束也稱為紗束），不織布是由隨機方式或是在一方向上堆疊多種纖維的紗束而取得的。具體而言，可以使用由 PET（聚對苯二甲酸乙二酯）、PEN（聚萘二甲酸乙二酯）、PEN（聚醚砜）、聚苯硫（PPS）、聚丙烯、聚丙烯硫、聚碳酸酯、聚醚醯亞胺、聚苯硫醚、聚苯醚、聚砜、聚酞醯胺等基底形成的層膜；以及，由聚丙烯、乙烯、聚氟乙烯、氯乙烯、等等形成的膜；由纖維材料形成的紙；黏著合成樹脂膜（例如丙烯酸合成樹脂或環氧合成樹脂）；等等。當基底或膜接合至要處理的物件時，可以使用黏著層。根據基底或膜的種類，選取條件，藉由熱處理及/或施壓處理，執行接合。黏著層相當於具有例如熱固樹脂等黏著劑的、紫外線固化樹脂、環氧樹脂、及樹脂添加物。

在圖 18D 中，天線 101 及半導體積體電路 100 夾於第一絕緣體 112 與第二絕緣體 102 之間，以及，天線 101 的側表面與半導體積體電路 100 被密封。在本實施例中，第一絕緣體 112 與第二絕緣體 102 將多個半導體積體電路與多個天線夾於其間。在多個半導體積體電路與多個天線被切割成各別的天線 101 及半導體積體電路 100 之後，彼此電連接的導電屏蔽 140a 和 140b 形成於外側上，以致於形成半導體積體電路。對於切割機構並無特別限定，只要可

以將半導體積體電路實體上切割即可。在本情形中，天線 101 及半導體積體電路 100 由第一絕緣體 112 以及第二絕緣體 102 密封，以及，分別受設於半導體裝置之對應於頂表面及底表面之第一絕緣體 112 及第二絕緣體 102 的外側上的導電屏蔽 140a 及 140b 保護而抗靜電放電。

藉由遮蓋半導體積體電路的導電屏蔽，可以防止導因於靜電放電之半導體積體電路的靜電崩潰。藉由將半導體積體電路夾於其間的絕緣體對，可以提供具有高電阻的並取得厚度及尺寸縮減的高度可靠的半導體裝置。此外，即使在製程中，仍可以防止導因於外部應力或靜電釋放之缺陷形狀及特徵劣化，以致於可以高產能地製造半導體裝置。

如同在本實施例中，設置凹部及開口以用於安裝有半導體裝置及半導體積體電路晶片 600 要嵌入於其中的可撓基底，藉此便不會形成因為半導體積體電路晶片 600 之準備而造成之凸出。如此，可撓基底的表面具有平面，以及，厚度可以均勻。因此，即使使用用於接合半導體積體電路至要安裝的可撓基底之輥等以執行施壓處理時，可以防止對半導體積體電路晶片局部施加壓力（壓力集中）。因此，可以降低安裝步驟中對半導體積體電路晶片的損傷，以致於增進半導體裝置的產能。在安裝之後，可以取得具有高電阻之高度可靠的半導體裝置。

此外，由於半導體裝置具有平坦及平滑表面，所以，當半導體裝置儲存於及設置於機器上時，其具有優良的堆

疊及移置特性。此外，由於從外部看不到半導體積體電路晶片（在表面上不會產生反應半導體積體電路晶片的形狀之突部），所以，可以形成具有高安全性的半導體裝置。

[實例 1]

在本實例中，製造上述實施例中說明的半導體裝置，以及，顯示取得的可靠度評估結果。

關於樣品，製造導電屏蔽、第四絕緣體、第一絕緣體、天線、半導體積體電路、第三絕緣體、第二絕緣體、及導電屏蔽依序地堆疊之長方形層結構（本實例），以及第四絕緣體、第一絕緣體、天線、半導體積體電路、第三絕緣體、及第二絕緣體依序堆疊的長方形結構（比較實例）。

在樣品中，以纖維體（玻璃纖維）由有機樹脂浸漬（溴化環氧樹脂）的結構體（厚度 $20\text{ }\mu\text{m}$ ）用於第一絕緣體及第二絕緣體，由濺射法形成的鈦膜（厚度 10 nm ）用於每一導電屏蔽，醯胺膜（厚度 $12\text{ }\mu\text{m}$ ）用於第三絕緣體及第四絕緣體。注意，在天線上形成氮化矽膜作為保護膜，在第三絕緣體與半導體積體電路之間形成丙烯酸樹脂（厚度 $10\text{ }\mu\text{m}$ ）作為第三絕緣體與半導體積體電路之間的黏著層。此外，形成於第四絕緣體的表面上的導電屏蔽及形成於第二絕緣體的表面上的導電屏蔽在長方形的一側上電連接。

製造具有本實例的結構之多個樣品及具有比較實例的

結構之多個樣品。執行 ESD 測量（均對五個樣品）及彎曲測試（均對五個樣本）。

如下所述般執行 ESD 測量：樣品置於玻璃基底（0.5 mm 厚）、鋁板、及導電片的堆疊體上；從導電屏蔽由每一樣品形成的側邊，在半導體積體電路的中央部份之方向上，由 ESD 測試器施加電壓，以將電壓施加至每一樣品（簡單響應評估，由 Takaya 公司製造）；在施加 ESD 之後，移除電力（一分鐘）。以及，執行操作檢查。注意，在相對於半導體積體電路的天線側上的表面為頂表面及相對於半導體積體電路而與天線相反的側上的表面為底表面。

表 1 顯示本樣品及比較實例的 ESD 測量結果。注意，對本實例的五個樣品及對比較實例的五個樣品執行 ESD 測量。在 ESD 施加測試的結果中，分母代樣品的數目，分子代表操作樣品的號數。

[表 1]

ESD 施加電壓 [kV]	ESD 應用測試結果			
	自天線側施加 ESD		自半導體積體電路側施加 ESD	
	比較實例	本實例	比較實例	本實例
5 kV	1/5	5/5	0/5	5/5
10 kV	0/5	5/5	0/5	5/5
15 kV	0/5	5/5	0/5	5/5

關於未設置導電屏蔽的比較實例的結果，在從天線側施加 ESD 的情形中，藉施加 5 kV 電壓，五個樣品中的四

個樣品即變成非操作狀態，以及，在後續施加 10 kV 電壓及 15 kV 電壓，無樣品操作。在從半導體積體電路施加 ESD 的情形中，在施加 5 kV 電壓、10 kV 電壓及 15 kV 電壓的所有情形中，比較實例中沒有一個樣品操作。另一方面，在從天線側施加 ESD 及從半導體積體電路側施加 ESD 的二情形中，設有導電屏蔽之本實例的結果，即使施加 15kV 電壓時，本實例的五個樣品仍然操作。

接著，對本實例的五個樣品及比較實例的五個樣品執行彎曲測試（各五個樣品）。

如下所述般執行彎曲測試：具有本實例的結構的五個樣品與具有比較實例的結構之樣品配置於聚萘二甲酸乙二酯帶上；以及，使一側上設有 670g 配重的聚萘二甲酸乙二酯帶在桿（直徑 20 mm）上來回移動，在桿上纏繞有紙。

本實例及比較實例的彎曲測試的結果顯示於表 2 中。注意，在彎曲測試中使用本實例的五個樣品及比較實例的五個樣品。評估代表彎曲 300 次的測試之後是否仍能正常操作，以及，在評估結果中，分母代表測試樣品的數目，分子代表操作樣品的號數。

[表 2]

	比較實施例	本實施例
評估	0/5	5/5

關於未設有導電屏蔽的比較實例的樣品的結果，所有

五個樣品未顯示回來 300 次後的響應。另一方面，設有導電屏蔽的本實例的樣品的結果，所有五個樣品顯示回來 300 次後的響應。根據上述結果，藉由導電屏蔽以遮蔽半導體積體電路，可以防止發現導因於靜電放電的靜電崩潰，以及，藉由遮蓋半導體積體電路之絕緣體，可以增進抗彎曲應力的可靠度。此外，上述結果確認藉具有高電阻並取得厚度及尺寸縮減的高度可靠的半導體裝置。

本申請案根據 2008 年 5 月 23 日向日本專利局申請的日本專利申請序號 2008-136066，其內容於此一併列入參考。

【圖式簡單說明】

圖 1A 至 1C 顯示半導體裝置。

圖 2A 至 2C 顯示半導體裝置。

圖 3A 至 3D 顯示半導體裝置製造方法。

圖 4A 至 4C 顯示半導體裝置製造方法。

圖 5A 及 5B 顯示半導體裝置製造方法。

圖 6A 至 6E 顯示半導體裝置製造方法。

圖 7A 至 7C 顯示半導體裝置製造方法。

圖 8A 及 8B 顯示半導體裝置製造方法。

圖 9A 至 9G 均顯示半導體裝置的應用實施例。

圖 10 顯示半導體裝置。

圖 11A 至 11C 顯示半導體裝置。

圖 12 是方塊圖，顯示使用半導體裝置可以取得的微

處理器的結構。

圖 13 是方塊圖，顯示使用半導體裝置可以取得的 RFCPU 的結構。

圖 14A 及 14B 顯示半導體裝置。

圖 15A 及 15B 顯示半導體裝置。

圖 16A 至 16D 顯示半導體裝置製造方法。

圖 17A 至 17D 顯示半導體裝置製造方法。

圖 18A 至 18D 顯示半導體裝置。

圖 19 顯示半導體裝置。

圖 20A 及 20B 顯示半導體裝置。

圖 21A 至 21C 顯示半導體裝置。

【主要元件符號說明】

100：半導體積體電路

101：天線

102：絕緣體

103：絕緣體

104：黏著層

105：無機絕緣層

110：基底

111：分離層

112：絕緣體

113：絕緣體

114：黏著層

- 140：導電屏蔽
- 150：纖維體
- 151：有機樹脂
- 160：纖維體
- 161：有機樹脂
- 190：晶片
- 191：晶片
- 193：晶片
- 194：晶片
- 195：晶片
- 196：晶片
- 197：晶片
- 200：基底
- 201：分離層
- 202：絕緣膜
- 206：通道形成區
- 207：閘極絕緣層
- 208：閘極電極層
- 210：電晶體
- 211：電晶體
- 212：絕緣膜
- 213：絕緣膜
- 214：絕緣層
- 226：通道形成區

227：閘極絕緣層
 228：閘極電極層
 250：半導體積體電路
 252：絕緣體
 254：無機絕緣層
 262：絕緣體
 263：導電層
 270：纖維體
 271：有機樹脂
 280：纖維體
 281：有機樹脂
 300：基底
 301：分離層
 302：絕緣膜
 303：半導體層
 304：半導體層
 305：半導體層
 306：半導體層
 308：閘極絕緣層
 309：閘極絕緣層
 310：絕緣膜
 311：電荷累積層
 312：閘極電極層
 313：閘極電極層

- 315：控制閘極電極層
- 316：閘極電極層
- 317：閘極電極層
- 318：閘極電極層
- 319：控制閘極電極層
- 320：雜質元素
- 321：遮罩
- 323：通道形成區
- 324：雜質元素
- 325：遮罩
- 329：通道形成區
- 330：通道形成區
- 331：通道形成區
- 350：半導體積體電路
- 360：絕緣膜
- 368：絕緣膜
- 373：薄膜電晶體
- 374：薄膜電晶體
- 375：記憶元件
- 376：薄膜電晶體
- 380：導電層
- 381：無機絕緣層
- 382：絕緣體
- 383：纖維體

- 384：有機樹脂
- 385：絕緣體
- 386：纖維體
- 387：有機樹脂
- 388：絕緣體
- 389：黏著層
- 390：絕緣層
- 391：絕緣體
- 395：絕緣體
- 400：半導體積體電路晶片
- 405：天線
- 406：支撐基底
- 407：虛線
- 408：饋送點
- 410：絕緣層
- 411：電容器
- 420：半導體裝置
- 421：詢問器
- 422：天線
- 423：半導體積體電路
- 424：天線
- 500：微處理器
- 501：算術邏輯單元
- 502：ALU 控制器

- 503：指令解碼器
- 504：中斷控制器
- 505：時序控制器
- 506：暫存器
- 507：暫存器控制器
- 508：匯流排介面
- 509：唯讀記憶體
- 510：記憶體介面
- 511：RFCPU
- 512：類比電路部
- 513：數位電路部
- 514：共振電路
- 515：整流電路
- 516：恆電壓電路
- 517：重置電路
- 518：振盪器電路
- 519：解調變電路
- 520：調變電路
- 521：RF 介面
- 522：控制暫存器
- 523：時脈控制器
- 524：介面
- 525：中央處理單元
- 526：隨機存取記憶體

527：唯讀記憶體

528：天線

529：電容器部

530：電源控制電路

600：半導體積體電路晶片

601：可撓基底

602：可撓基底

603：可撓基底

800：半導體裝置

810：高頻電路

820：電源電路

830：重置電路

840：時脈產生器電路

850：資料解調變電路

860 資料調變電路

870：控制電路

880：記憶體電路

890：天線

910：碼選取電路

920：碼判斷電路

930：CRC判斷電路

940：輸出單元電路

122a：p型雜質區

140a：導電屏蔽

140b：導電屏蔽

141a：導體

141b：導體

203a：雜質區

204a：汲極區

209a：絕緣層

210a：佈線層

223a：雜質區

224a：汲極區

229a：絕緣層

230a：佈線層

260a：導電屏蔽

260b：導電屏蔽

314a：閘極電極層

3200：通訊裝置

3210：顯示部

3220：產品

322a：p型雜質區

322b：p型雜質區

3230：半導體裝置

3240：通訊裝置

3250：半導體裝置

3260：產品

326a：n型雜質區

362a : n 型 雜 質 區

362b : n 型 雜 質 區

364a : n 型 雜 質 區

364b : n 型 雜 質 區

369a : 佈 線 層

369b : 佈 線 層

370a : 佈 線 層

370b : 佈 線 層

371a : 佈 線 層

371b : 佈 線 層

372a : 佈 線 層

372b : 佈 線 層

385b : 導 電 屏 蔽

395a : 導 電 屏 蔽

395b : 導 電 屏 蔽

第098117198號專利申請案中文申請專利範圍修正~~本~~

民國 101 年 5 月 18 日修正

P1~3

七、申請專利範圍：

1.一種半導體裝置，包含：

第一絕緣體，具有第一表面及與該第一表面相反的第二表面；

第二絕緣體，具有第三表面及與該第三表面相反的第二四表面，以致於該第一表面及該第三表面彼此面對；

半導體積體電路；

天線，

其中，該半導體積體電路及該天線設於該第一絕緣體與該第二絕緣體之間；

第一導電層，設於該第一絕緣體的該第二表面上；及

第二導電層，設於該第二絕緣體的該第四表面上，

其中，該第一導電層及該第二導電層電連接，

其中，該半導體積體電路與該天線彼此電連接，並且

其中，該半導體積體電路及該天線與該第一導電層及該第二導電層中的每一者電隔離。

2.一種半導體裝置，包含：

第一絕緣體；

第二絕緣體；

半導體積體電路；

天線，

其中，該半導體積體電路及該天線設於彼此面對的該

第一絕緣體與該第二絕緣體之間；

第一導電層，設於該第一絕緣體的一表面上；及

第二導電層，設於該第二絕緣體的一表面上，

其中，該第一導電層及該第二導電層電連接，

其中，該半導體積體電路與該天線彼此電連接，並且

其中，該半導體積體電路及該天線與該第一導電層及該第二導電層中的每一者電隔離。

3.一種半導體裝置，包含：

第一絕緣體；

第二絕緣體；

半導體積體電路；

第一天線，電連接至該半導體積體電路，

其中，該半導體積體電路及該第一天線設於該第一絕緣體與該第二絕緣體之間；

第一導電層，設於該第一絕緣體的一表面上；

第二導電層，設於該第二絕緣體的一表面上，及

第二升壓天線，與該第一天線電磁地耦合；

其中，該第一導電層及該第二導電層電連接，並且

其中，該半導體積體電路及該第一天線與該第一導電層及該第二導電層中的每一者電隔離。

4.如申請專利範圍第 1 至 3 項中任一項之半導體裝置，其中，該第一導電層及該第二導電層中任一者具有分層結構。

5.如申請專利範圍第 1 至 3 項中任一項之半導體裝置

，其中，該第一導電層及該第二導電層均具有金屬膜。

6.如申請專利範圍第 1 至 3 項中任一項之半導體裝置，其中，該第一導電層及該第二導電層均包括金屬氧化物膜、金屬氮化物膜、或半導體膜。

7.如申請專利範圍第 1 至 3 項中任一項之半導體裝置，其中，該第一絕緣體及該第二絕緣體中至少之一具有從 $5\mu\text{m}$ 至 $50\mu\text{m}$ 的厚度。

8.如申請專利範圍第 1 至 3 項中任一項之半導體裝置，其中，該第一絕緣體及該第二絕緣體中至少之一具有纖維體由有機樹脂浸漬的結構體。

9.如申請專利範圍第 1 至 3 項中任一項之半導體裝置，其中，以穿透該第一絕緣體及該第二絕緣體的導體，執行該第一導電層及該第二導電層之間的電連接。

10.如申請專利範圍第 1 至 3 項中任一項之半導體裝置，其中，該第一導電層及該第二導電層是導電屏蔽。

11.如申請專利範圍第 2 項之半導體裝置，

其中，該第一絕緣體的側表面的一部份曝露，及

其中，該第二絕緣體的側表面的一部份曝露。

12.如申請專利範圍第 3 項之半導體裝置，其中，該半導體積體電路經由該第二升壓天線與外界通訊。

13.如申請專利範圍第 3 項之半導體裝置，

其中，該第二升壓天線設於基底上，及

其中，該第一絕緣體、該第二絕緣體、該半導體積體電路及該第一天線之疊層設於該第二升壓天線上。

圖 1A

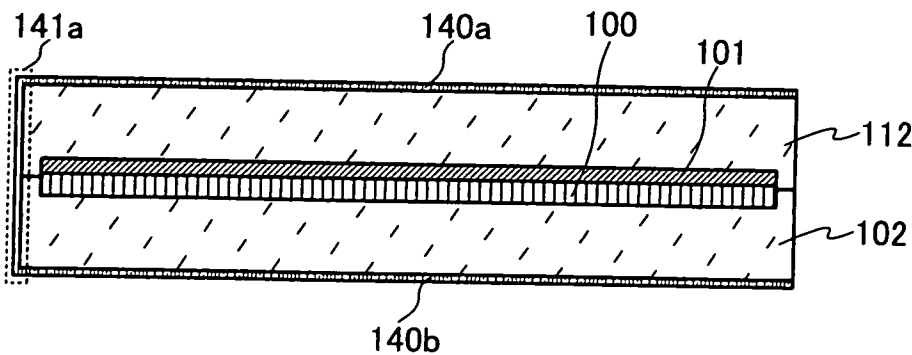


圖 1B

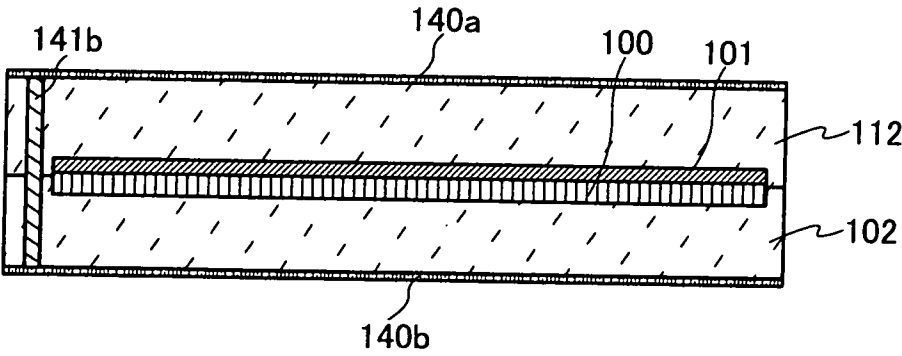


圖 1C

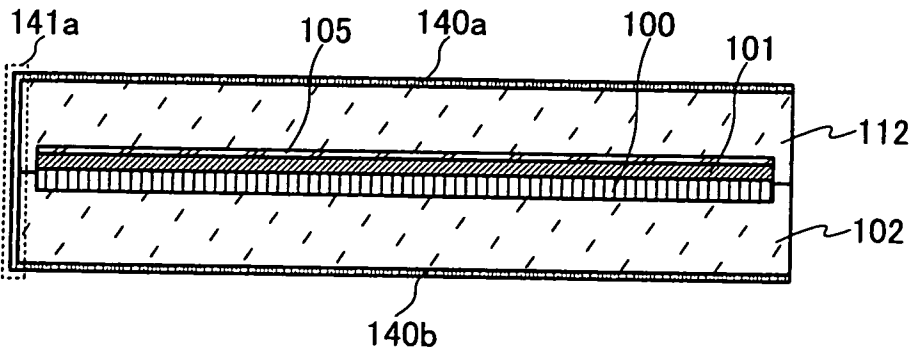


圖 2A

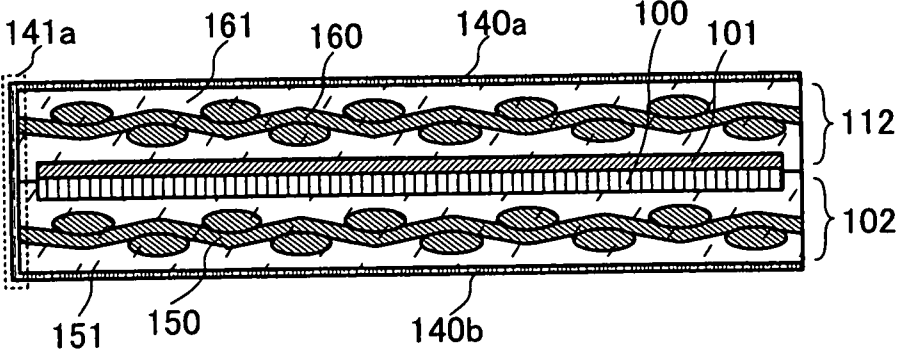


圖 2B

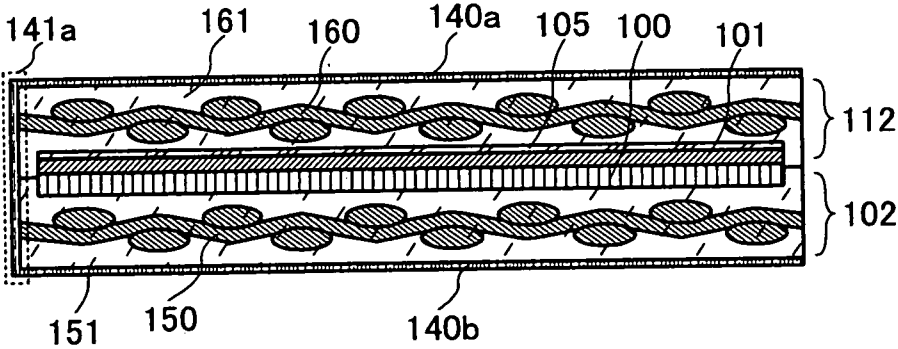


圖 2C

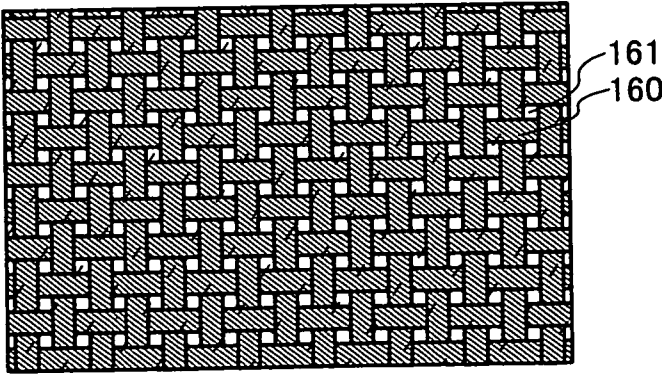


圖 3A

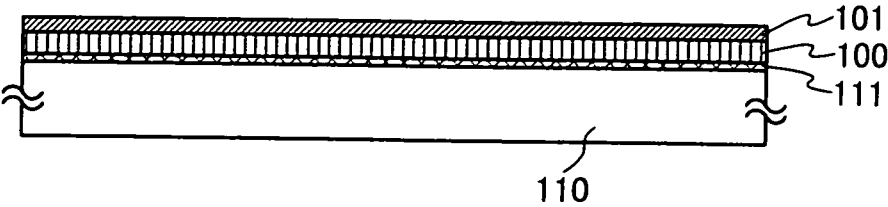


圖 3B

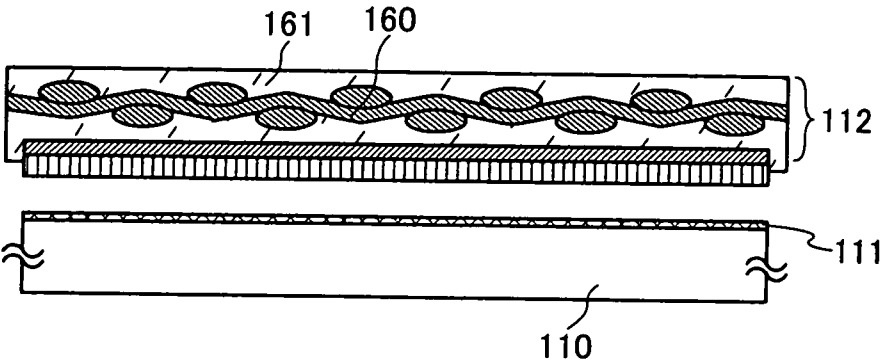


圖 3C

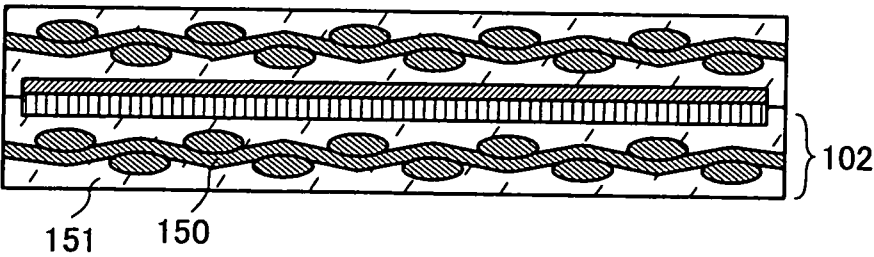


圖 3D

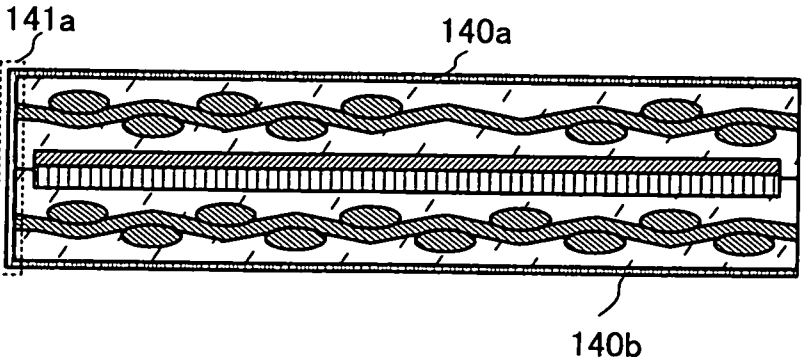


圖 5A

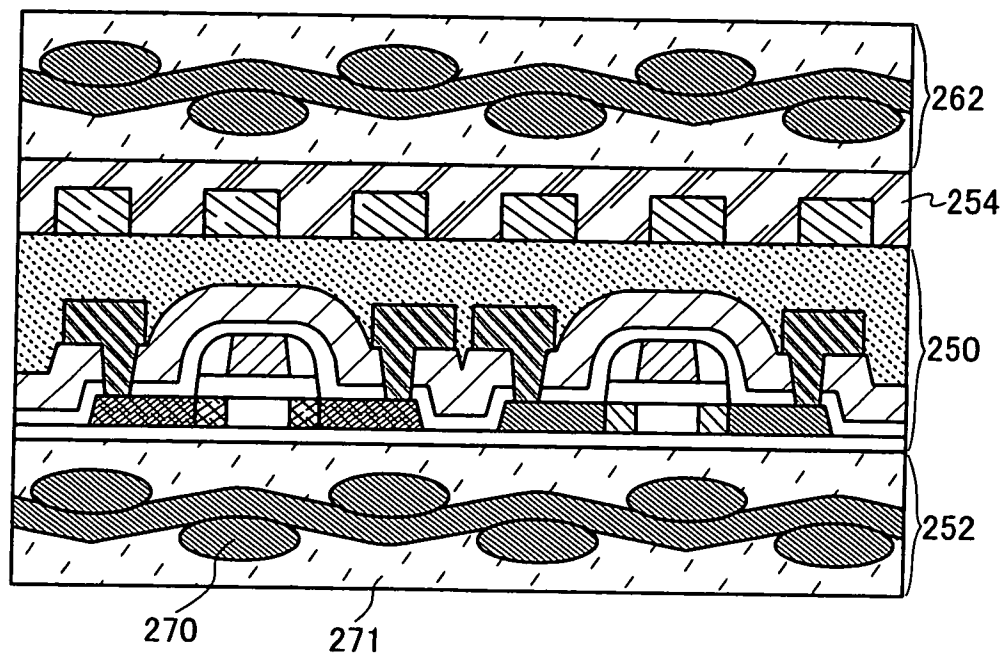


圖 5B

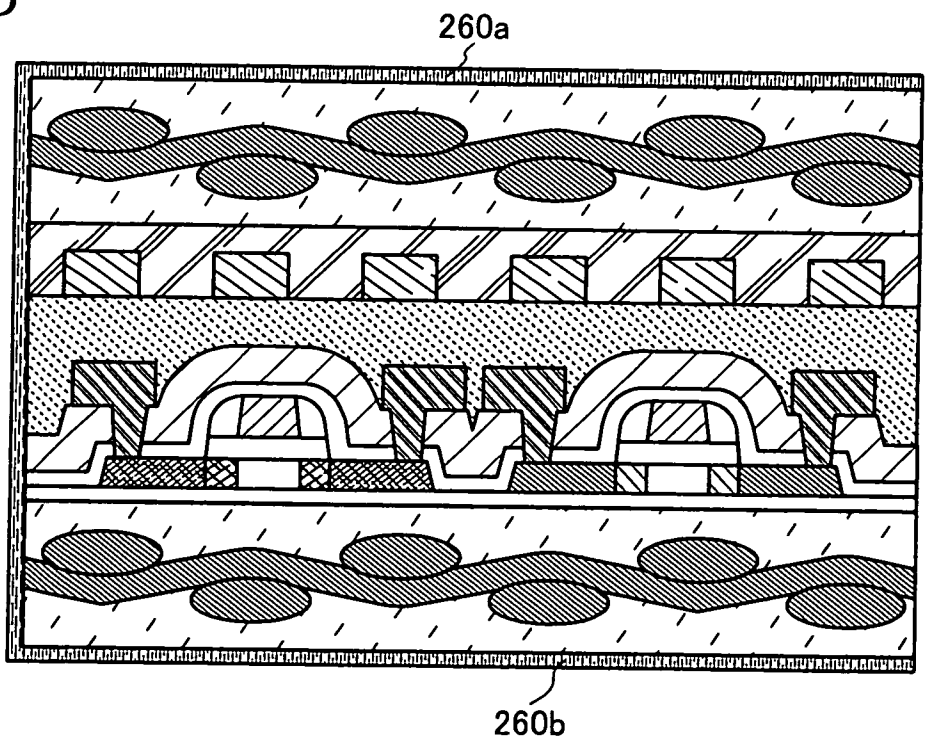


圖 7A

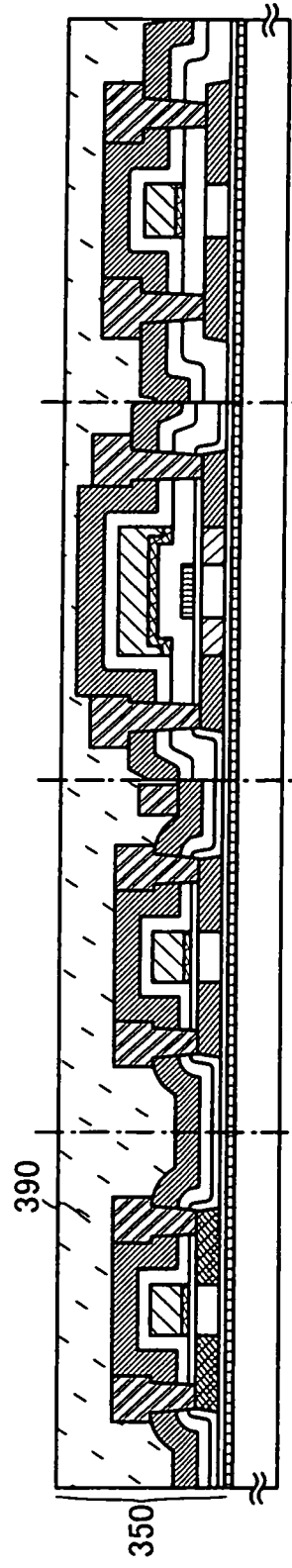


圖 7B

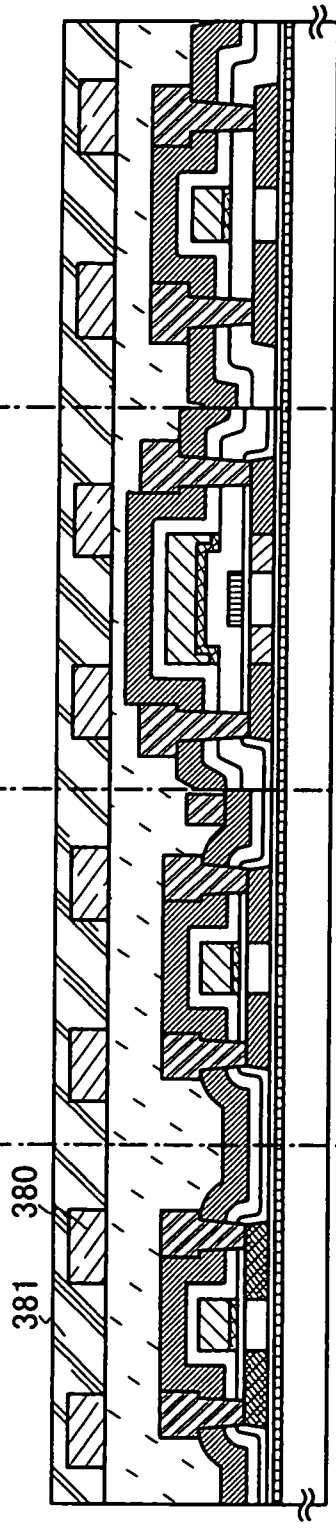


圖 7C

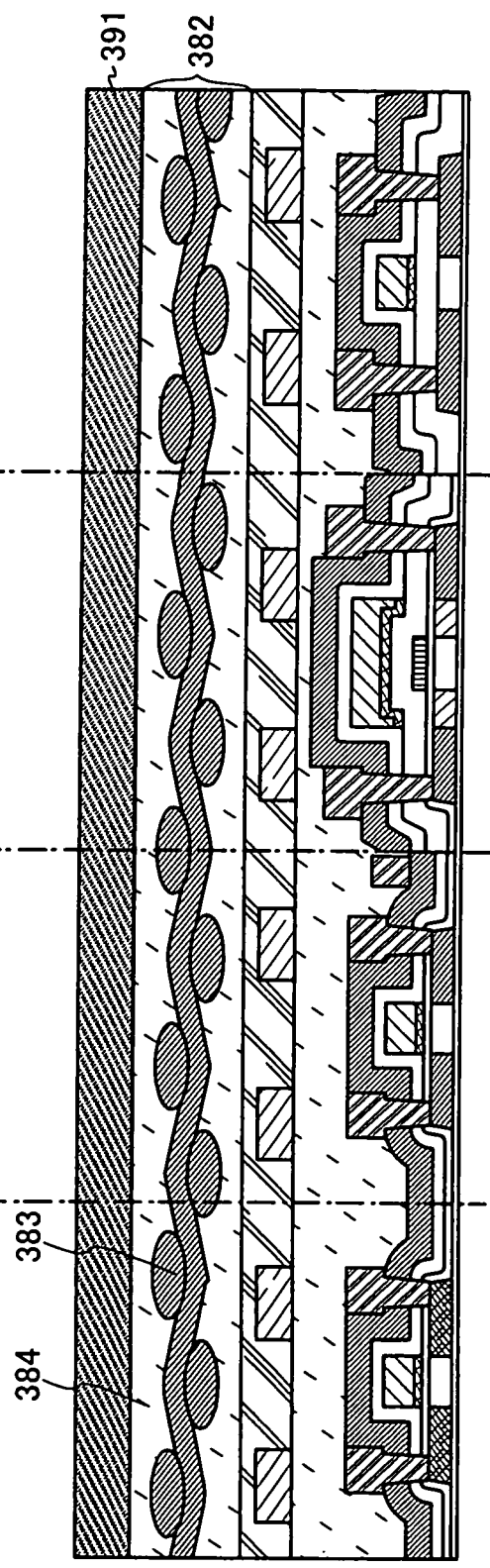


圖 8A

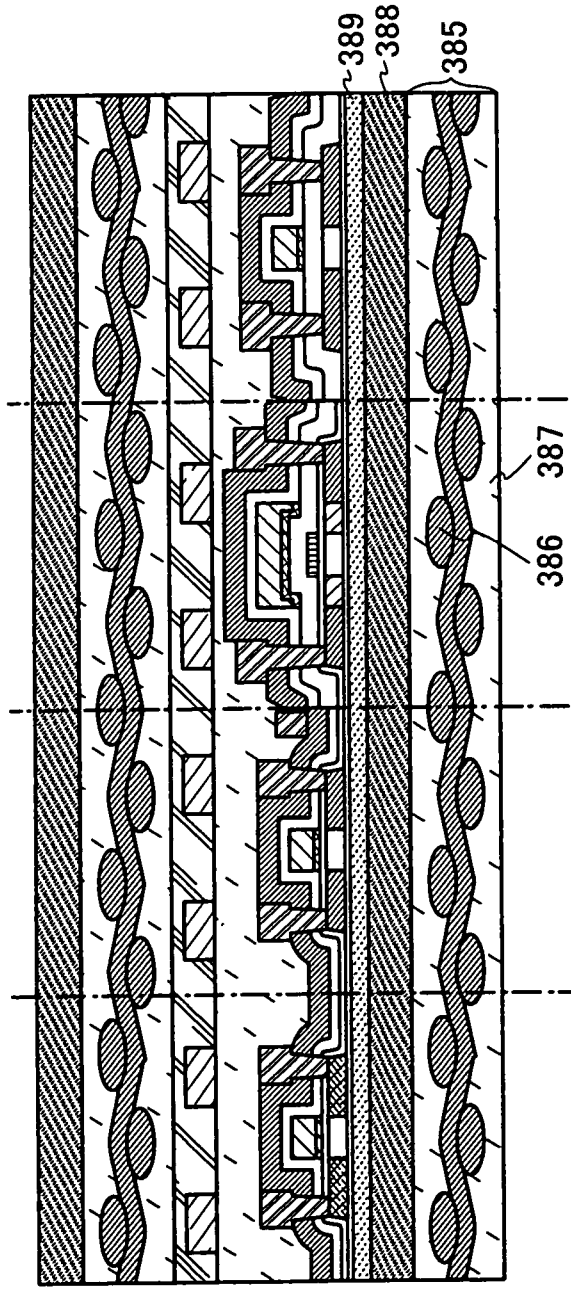


圖 8B

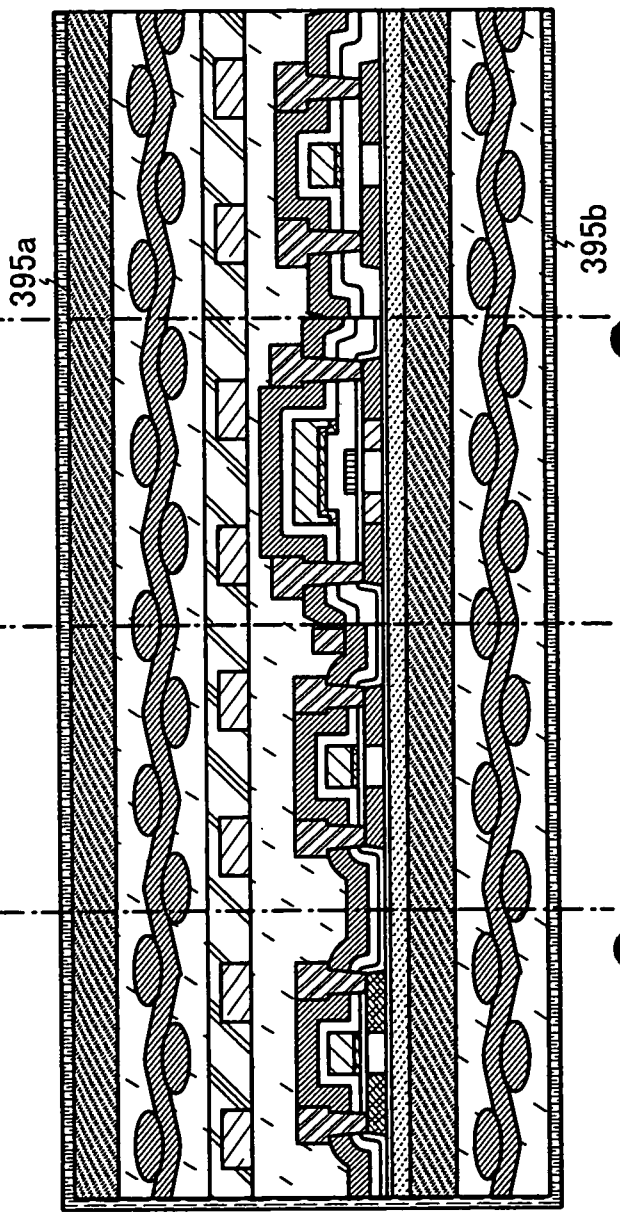


圖 9A

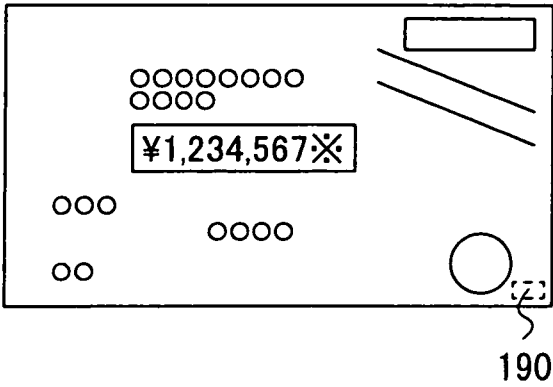


圖 9B

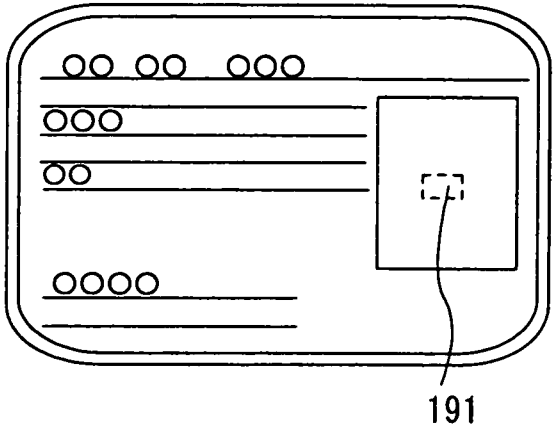


圖 9C

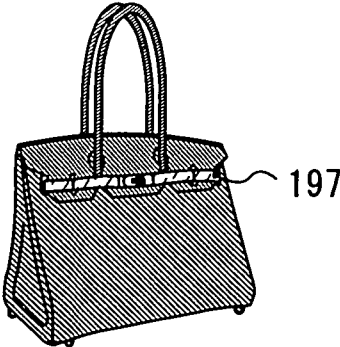


圖 9D

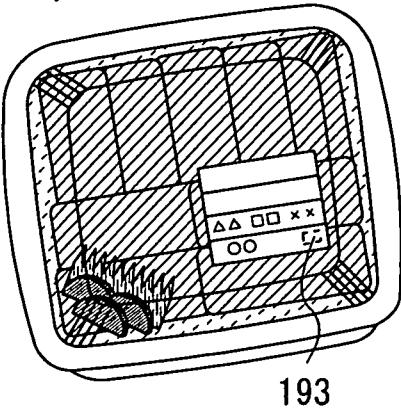


圖 9E

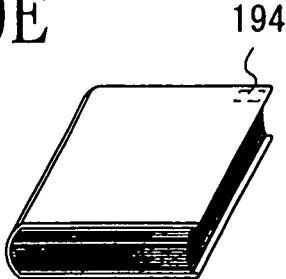


圖 9F

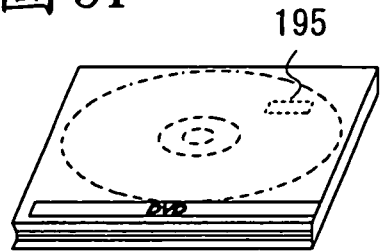


圖 9G

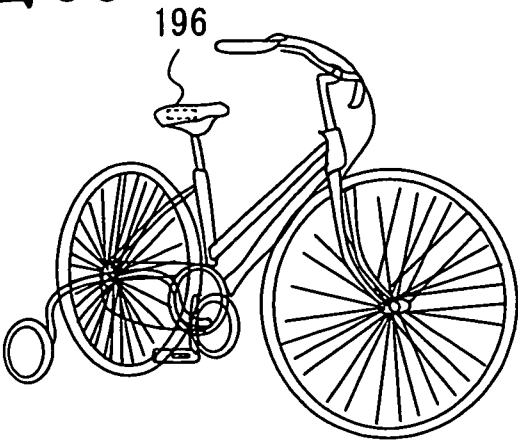


圖10

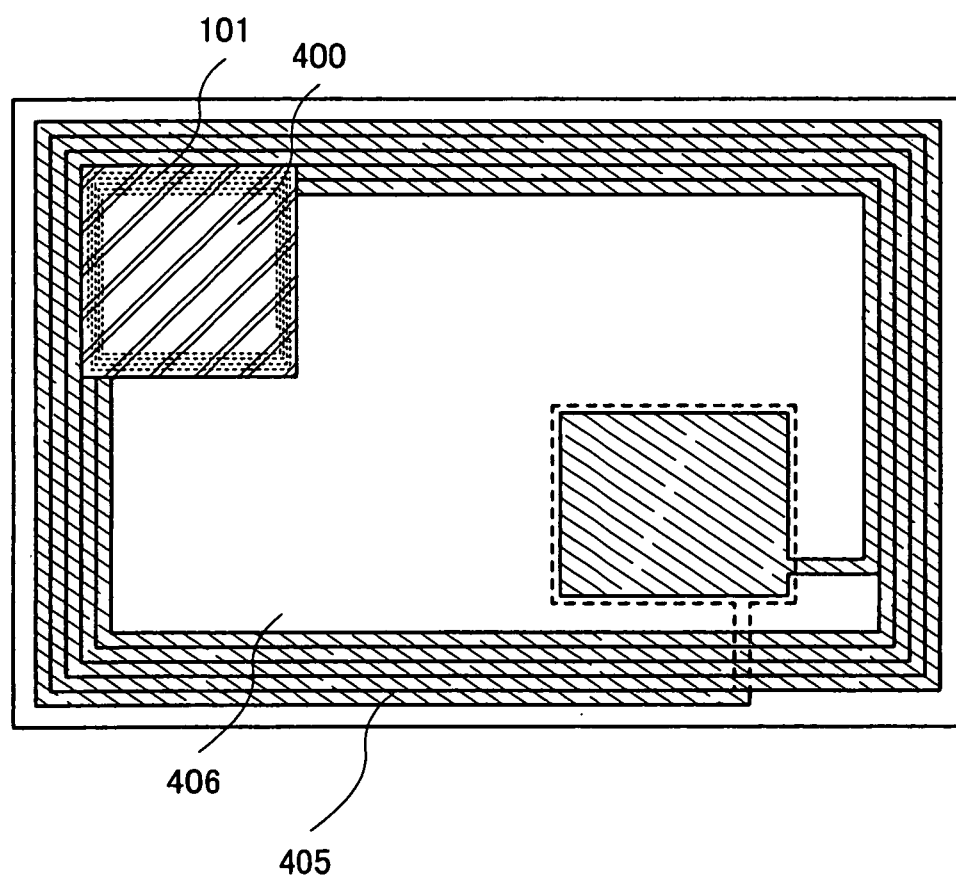


圖 11A

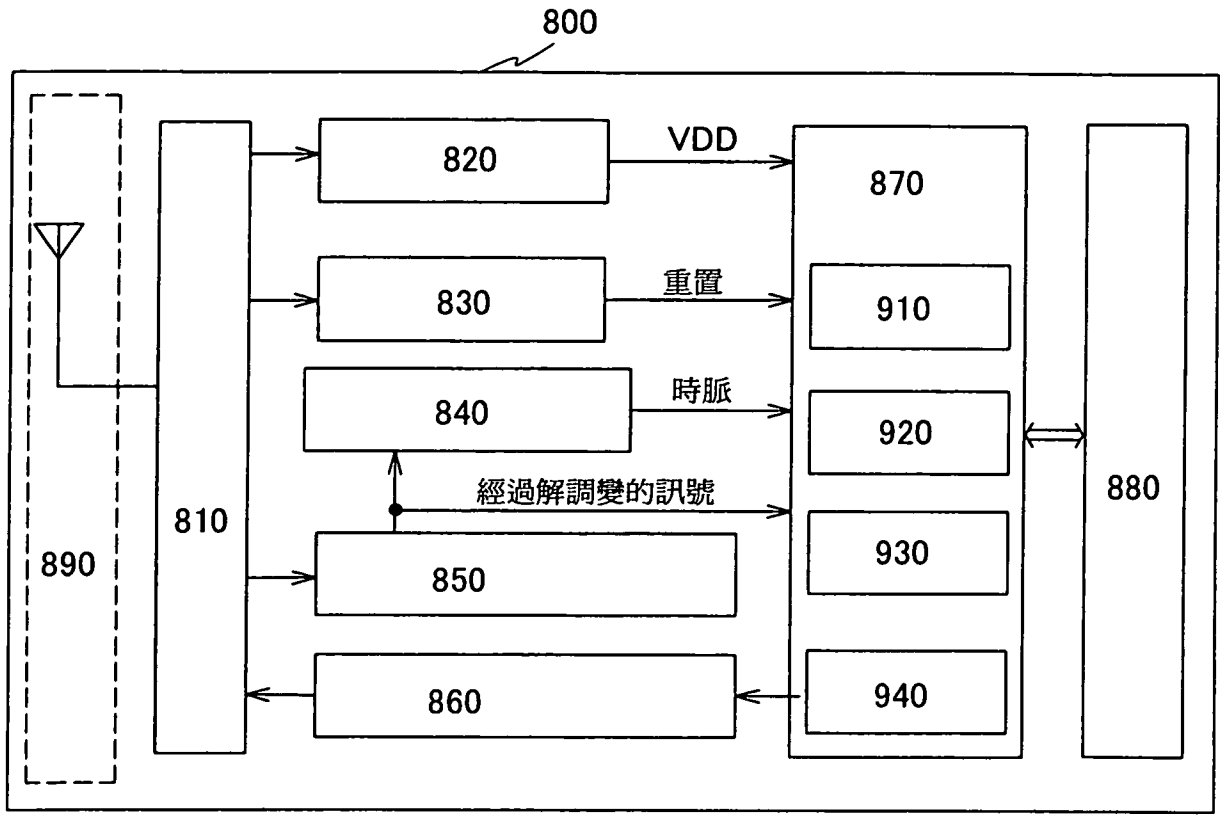


圖 11B

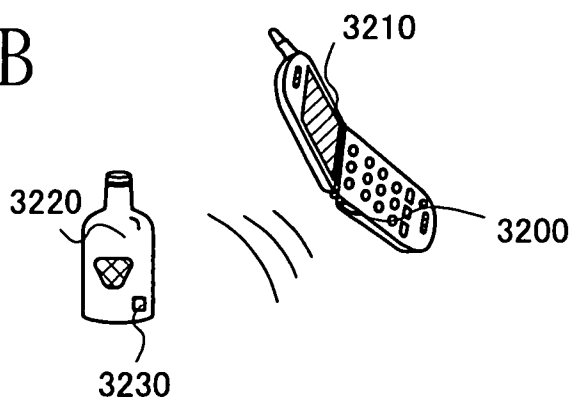


圖 11C

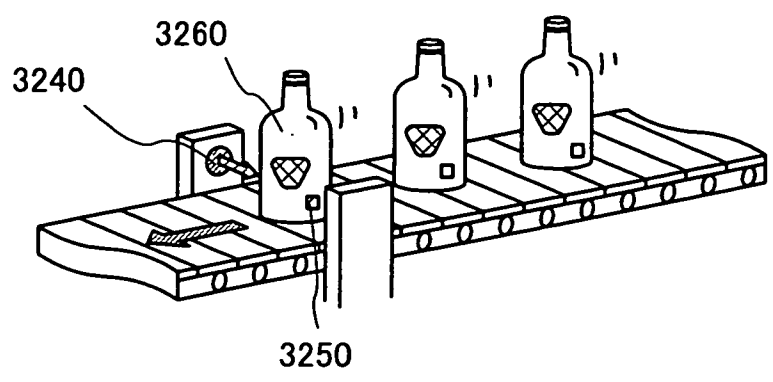


圖12

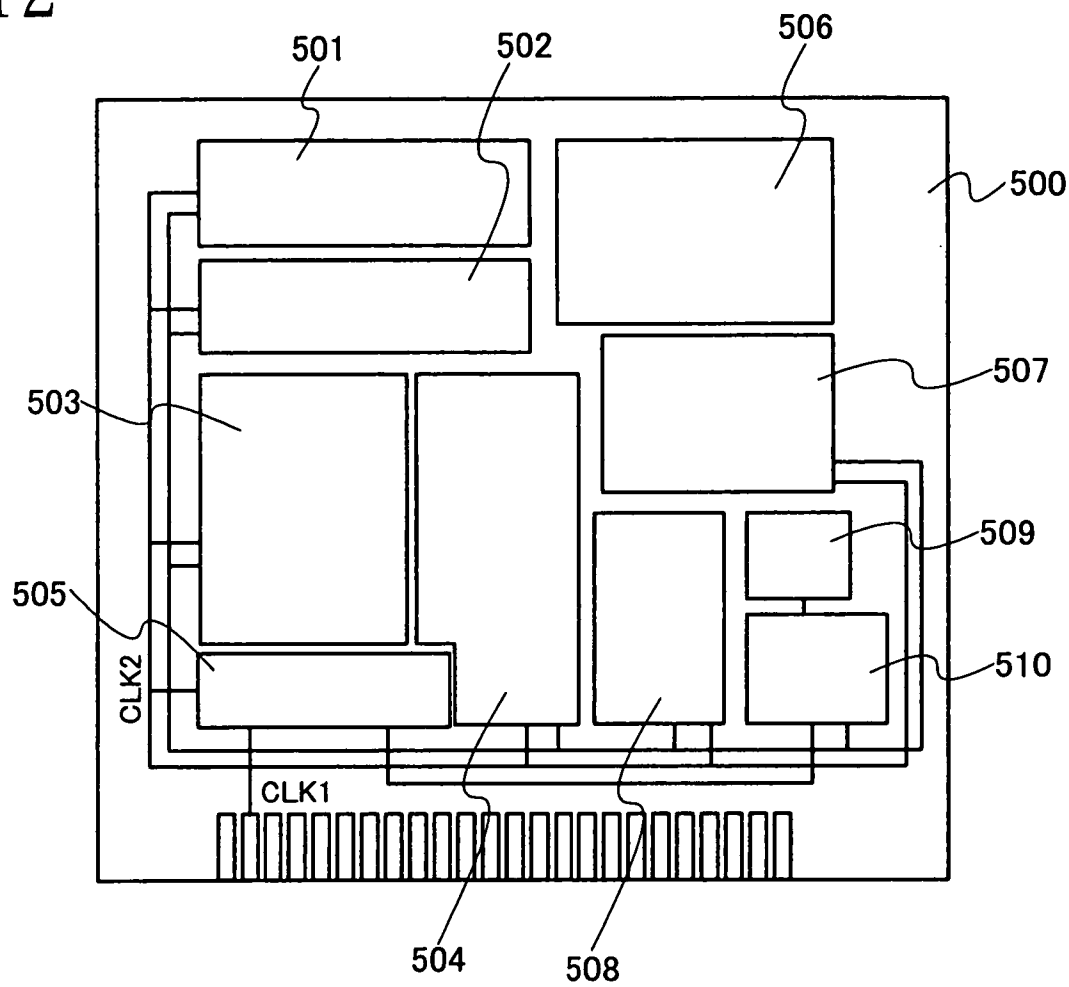


圖 13

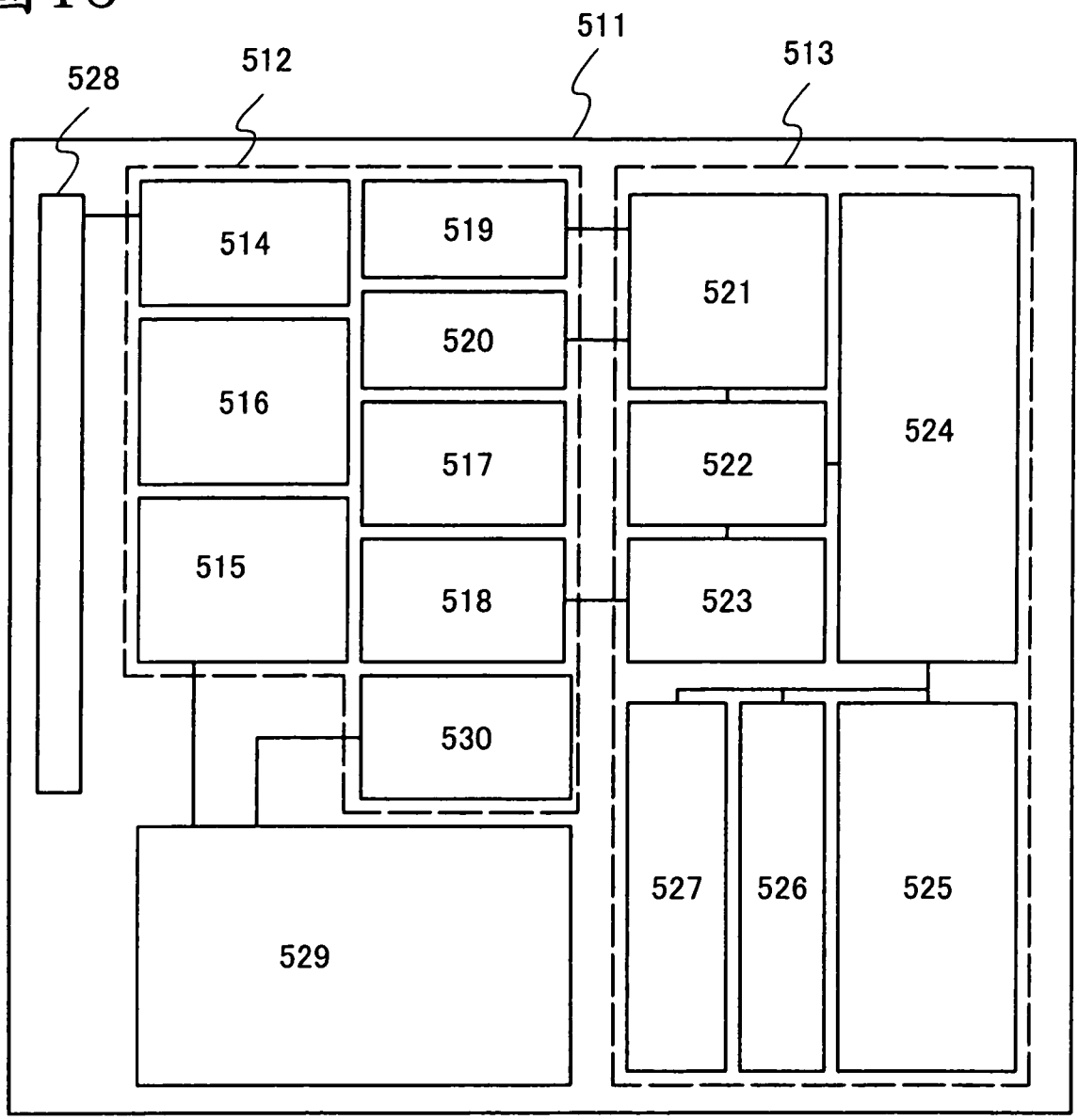


圖 14A

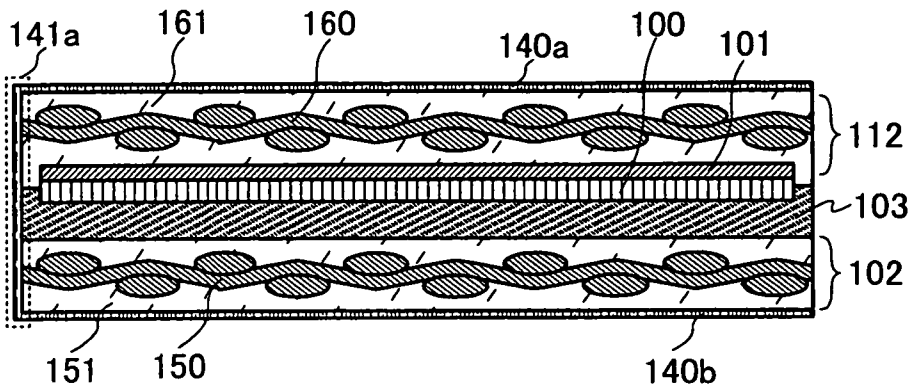


圖 14B

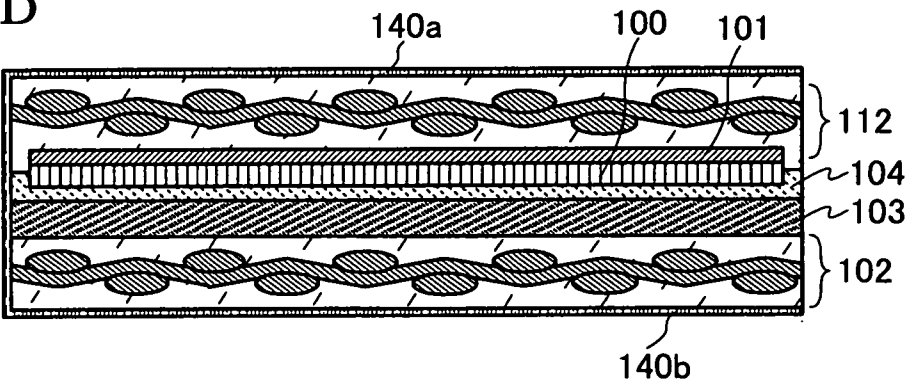


圖 15A

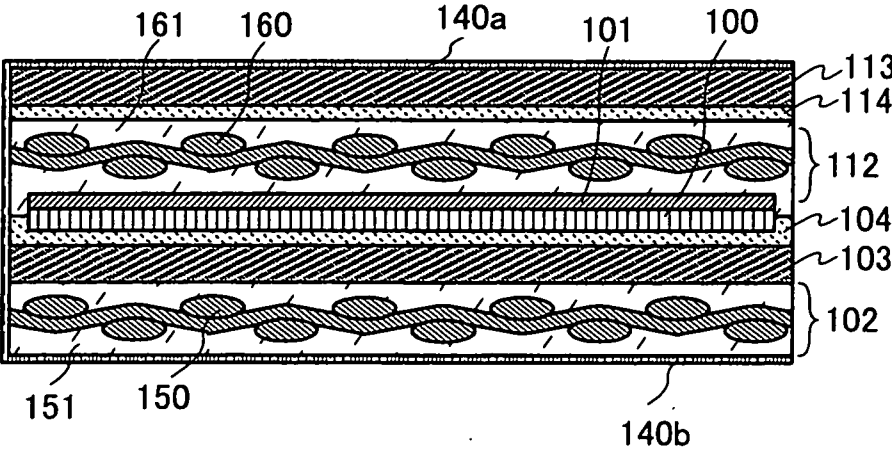


圖 15B

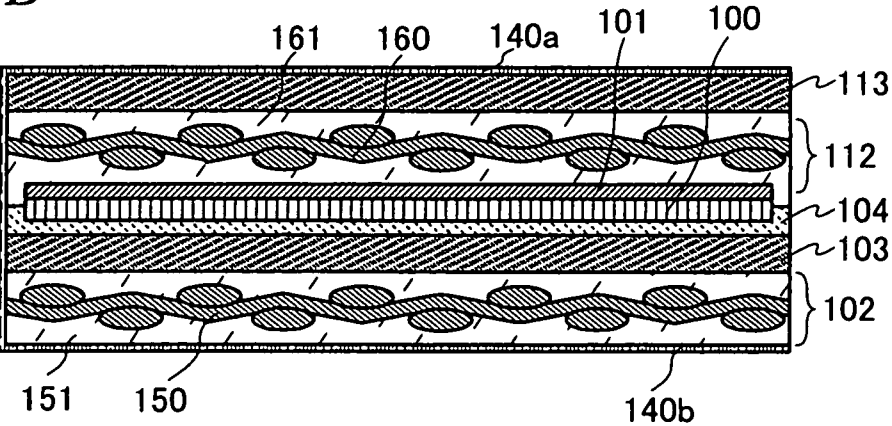


圖 16A

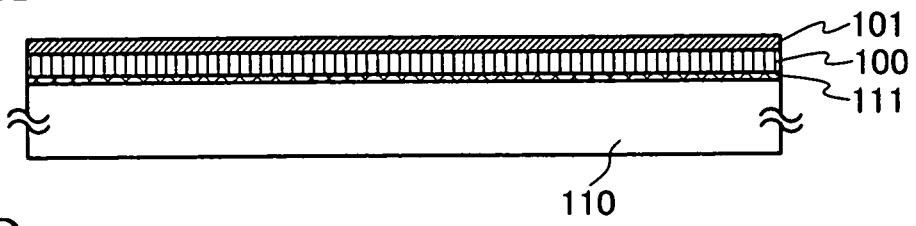


圖 16B

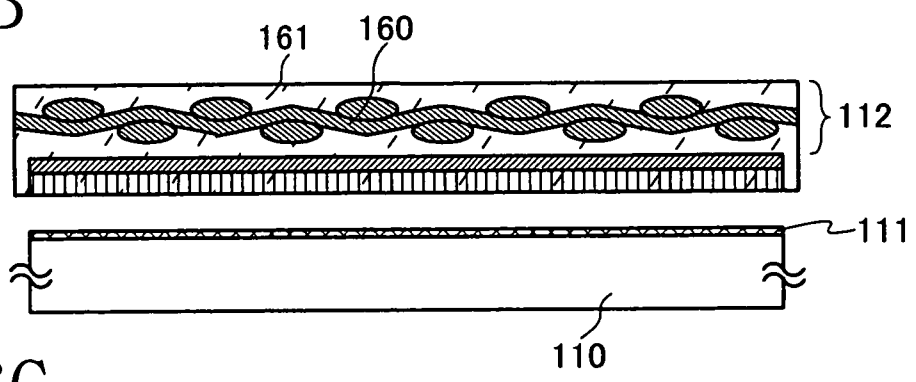


圖 16C

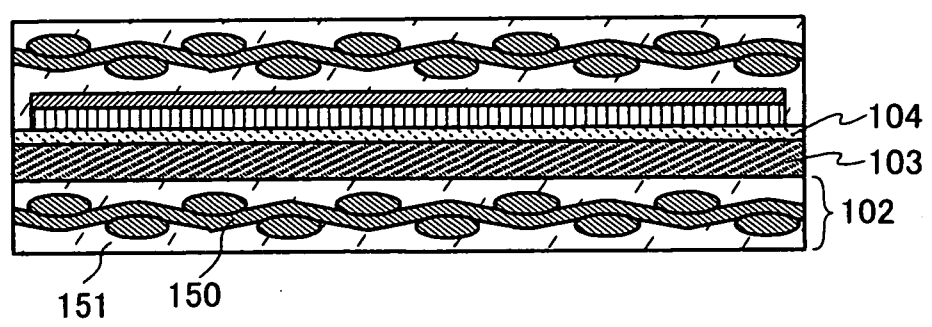


圖 16D

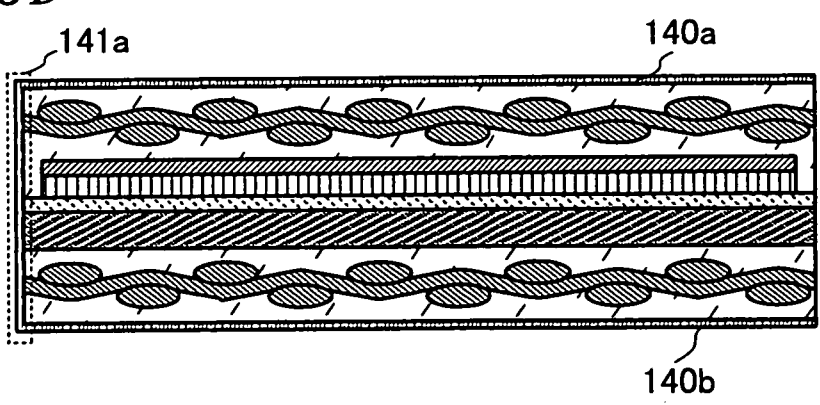


圖 17A

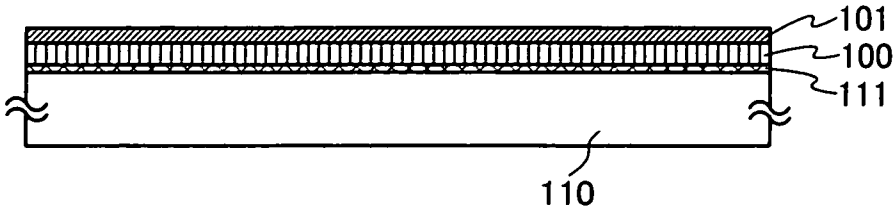


圖 17B

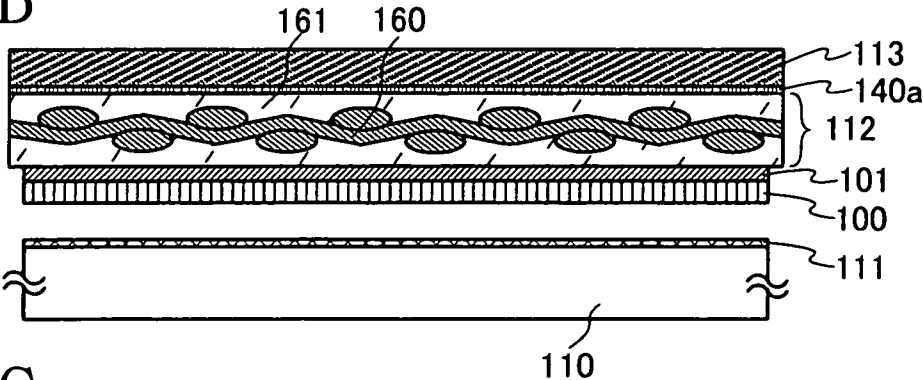


圖 17C

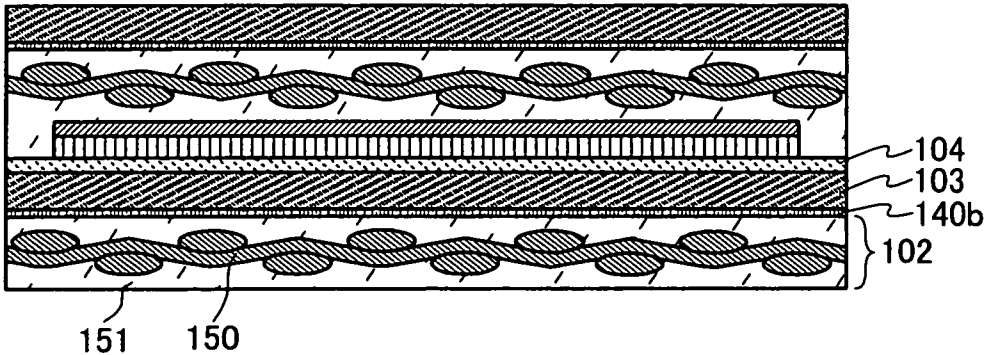


圖 17D

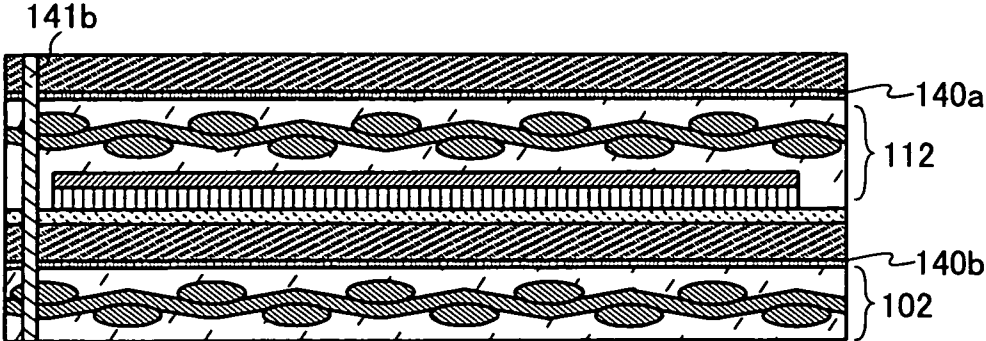


圖 18A

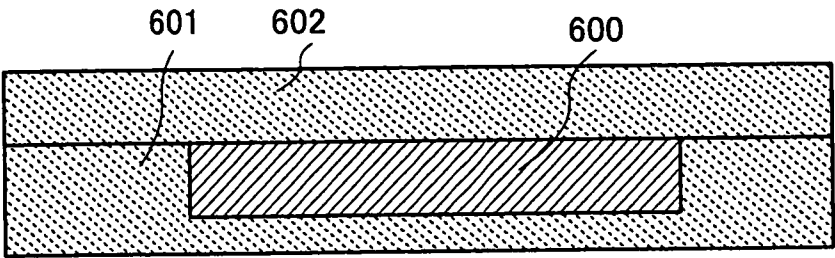


圖 18B

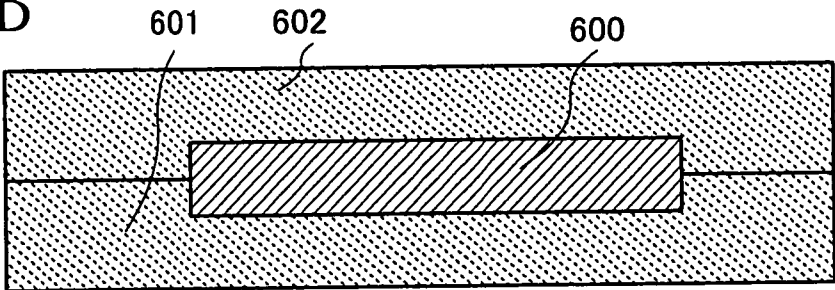


圖 18C

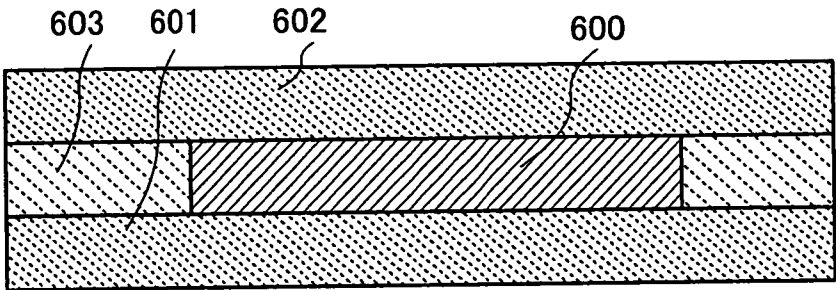


圖 18D

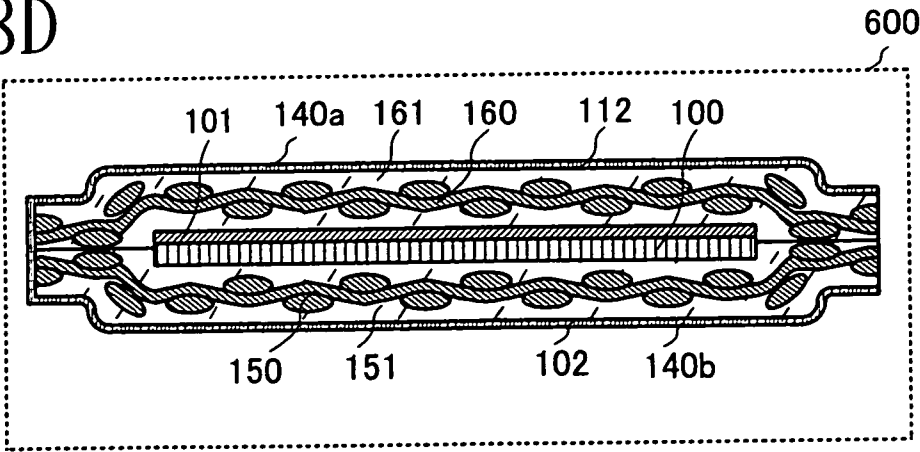


圖 19

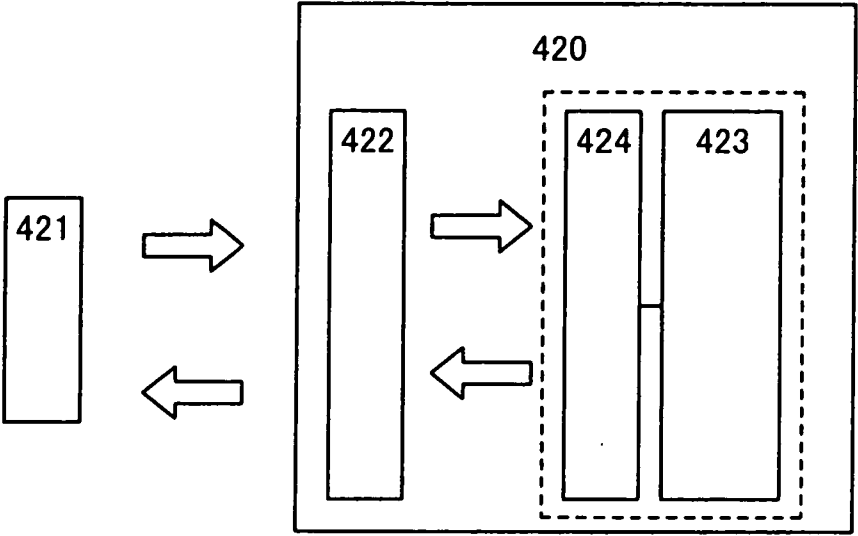


圖 20A

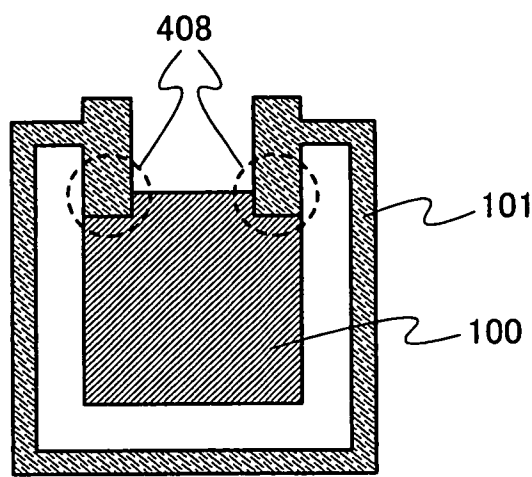


圖 20B

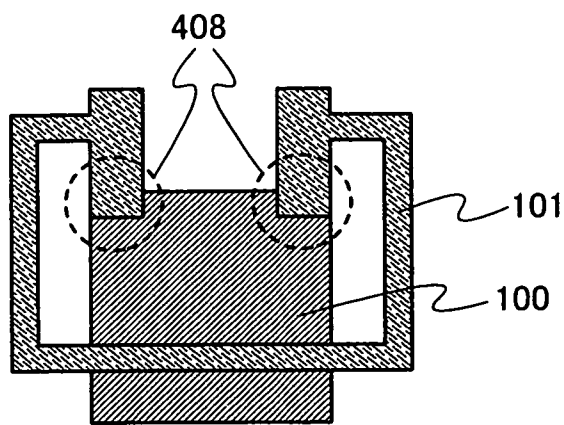


圖 21A

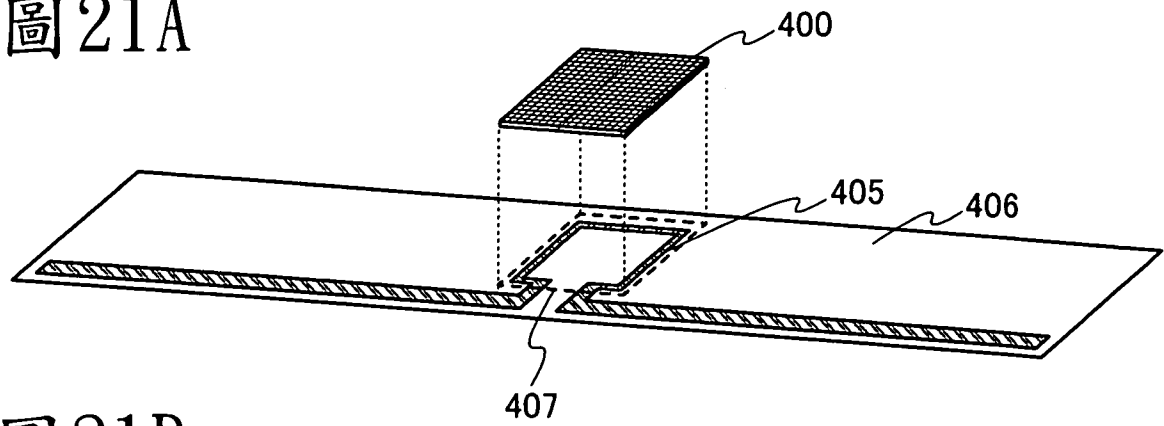


圖 21B

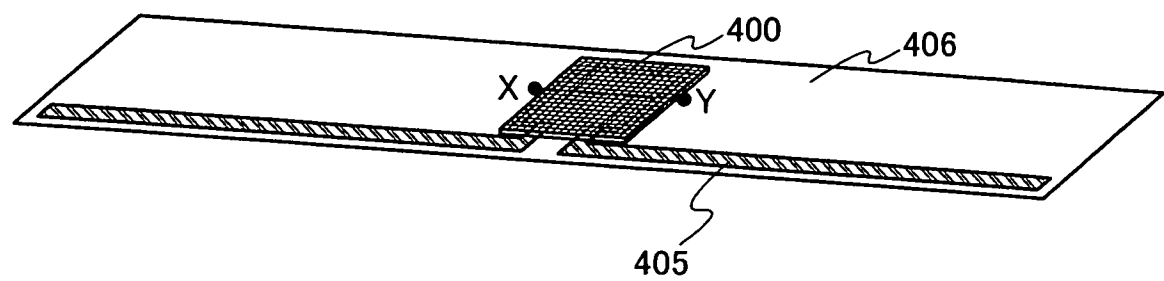


圖 21C

