(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 27/10

(11) 공개번호 특2001-0112849
(43) 공개일자 2001년12월22일

(21) 출원번호 10-2001-0033503
(22) 출원일자 2001년06월14일

(30) 우선권주장 2000-180004 2000년06월15일 일본(JP)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
가나이 쓰토무
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자 이또후미또시
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내

(74) 대리인 장수길
구영창

심사청구 : 없음

(54) 반도체 집적 회로 장치 및 반도체 집적 회로 장치의 제조방법

요약

SRAM 셀을 구성한 p채널 MIS · FET 또는/및 n채널 MIS · FET을 오프셋 구조로 하고, SRAM 셀의 선택용 MIS · FET, SRAM의 주변 회로 또는 논리 회로를 구성한 MIS · FET을 비 오프셋 구조로 하였다. SRAM 셀을 구성한 MIS · FET의 적어도 하나에 GIDL(Geted Induced Drain Leakage) 전류 대책을 실시한다.

대표도
도 16

색인어
집적 회로, SRAM 셀, 게이트 전극, 반도체 기판, 컨택트 홀

명세서

도면의 간단한 설명

도 1은 오프셋 구조를 정의하기 위한 설명도.

도 2는 도 1의 등가 회로도.

도 3은 도 1 및 도 2의 모델을 이용하여 얻어진 오프셋량 산출용 그래프.

도 4는 도 1 및 도 2의 모델을 이용하여 얻어진 오프셋량 산출용 그래프.

도 5는 본 발명자들이 본 발명에 이용한 n채널형 전계 효과 트랜지스터의 모델로서 GIDL 전류의 설명도.

도 6의 (a), (b)는 도 5의 A-A선의 각 조건에서의 반도체 에너지 대역도이며, (c)는 (b)의 확대도.

도 7은 도 5의 전계 효과 트랜지스터에서의 누설 전류를 설명도로서, 도 5의 주요부 확대 단면도.

도 8은 도 5의 전계 효과 트랜지스터의 전류 전압 특성을 나타내는 그래프.

도 9의 (a)는 SRAM 셀의 회로도이며, (b)는 본 발명의 일 실시예인 반도체 집적 회로 장치의 평면 레이아웃.

도 10의 (a), (b)는 오프셋 구조의 전계 효과 트랜지스터의 전류 전압 특성을 나타내는 그래프.

도 11은 본 발명의 일 실시예인 반도체 집적 회로 장치의 SRAM 셀의 회로도.

도 12는 본 발명의 다른 실시예인 반도체 집적 회로 장치의 SRAM 셀의 회로도.

도 13은 본 발명의 또 다른 실시예인 반도체 집적 회로 장치의 SRAM 셀의 회로도.

도 14는 도 11의 반도체 집적 회로 장치의 SRAM 셀의 평면도.

도 15는 도 14의 A-A선의 단면도.

도 16은 도 14의 B-B선의 단면도.

도 17은 본 실시예의 반도체 집적 회로 장치의 SRAM 셀 이외의 부분의 반도체 기판의 주요부 단면도.

도 18은 본 실시예의 반도체 집적 회로 장치의 SRAM 셀에서의 오프셋 구조의 p채널형 전계 효과 트랜지스터의 단면도.

도 19는 본 실시예의 반도체 집적 회로 장치의 SRAM 셀에서의 오프셋 구조의 n채널형 전계 효과 트랜지스터의 단면도.

도 20은 도 18 및 도 19의 전계 효과 트랜지스터의 치수나 불순물 농도의 일례를 설명하기 위한 설명도.

도 21은 본 실시예의 반도체 집적 회로 장치의 SRAM 셀 이외의 부분에서의 비 오프셋 구조의 p채널형 전계 효과 트랜지스터의 단면도.

도 22는 도 21의 전계 효과 트랜지스터의 치수나 불순물 농도의 일례를 설명하기 위한 설명도.

도 23은 본 실시예의 반도체 집적 회로 장치의 비 오프셋 구조의 n채널형 전계 효과 트랜지스터의 단면도.

도 24는 도 23의 전계 효과 트랜지스터의 치수나 불순물 농도의 일례를 설명하기 위한 설명도.

도 25의 (a), (b)는 본 발명의 일 실시예인 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 단면도.

도 26의 (a), (b)는 도 25에 계속되는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 단면도.

도 27의 (a), (b)는 도 26에 계속되는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 단면도.

도 28의 (a), (b)는 도 27에 계속되는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 단면도.

도 29의 (a)는 본 발명의 다른 실시예인 반도체 집적 회로 장치의 오프셋 구조의 전계 효과 트랜지스터의 단면도, (b)는 동일한 반도체 집적 회로 장치에서의 비 오프셋 구조의 전계 효과 트랜지스터의 단면도.

도 30의 (a)는 본 발명의 다른 실시예인 반도체 집적 회로 장치의 GIDL 전류 대책용 전계 효과 트랜지스터의 단면도, (b)는 동일한 반도체 집적 회로 장치에서의비 GIDL 전류 대책용 전계 효과 트랜지스터의 단면도.

도 31의 (a)는 본 발명의 또 다른 실시예인 반도체 집적 회로 장치의 GIDL 전류 대책용 전계 효과 트랜지스터의 단면도, (b)는 동일한 반도체 집적 회로 장치에서의 비 GIDL 전류 대책용 전계 효과 트랜지스터의 단면도.

도 32의 (a), (b)는 도 31의 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 단면도.

도 33은 (a), (b)는 도 32에 계속되는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 단면도.

도 34는 (a), (b)는 도 33에 계속되는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 단면도.

도 35는 (a), (b)는 도 34에 계속되는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

1, 50 : 반도체 기판

3 : 분리부

5 : 게이트 절연막

6 : 배선

6a, 6b, 11, 13, 15, 47, 53 : 게이트 전극

7 : 실리사이드막

8 : 측벽

9a, 9b, 9c, 12b : n^+ 형 반도체 영역

9d, 12a : n^- 형 반도체 영역

10a, 10b, 12, 14, 45, 51, 51a, 51b : 반도체 영역

14a : p^- 형 반도체 영역

4, 14b : p^+ 형 반도체 영역

16 : 층간 절연막

17, 17a 17d : 컨택트 홀

18 : 플러그

19, 19a, 19b : 제1층 배선

20a, 20b : 포토레지스트 패턴

21 : 도체막

22, 23, 46, 52 : 게이트 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 장치 및 반도체 집적 회로 장치의 제조 기술에 관한 것으로, 특히, SRAM(Static Random Access Memory)을 갖는 반도체 집적 회로 장치 및 반도체 집적 회로 장치의 제조 방법에 적용함에서 유효한 기술에 관한다.

SRAM은 메모리 셀 자체가 전하 공급용 능동 소자를 갖고 있기 때문에 리프레시 동작이 필요없어 사용하기 쉽기 때문에, 휴대 기기나 가전 제품을 포함한 여러가지 전자 장치에 사용되어 왔다. 이 휴대 기기나 가전 제품 등에서는 소비 전력을 낮추기 위해서, 회로의 동작 전류 및 스탠바이 전류를 저감시키는 것이 요구되고 있다. 이 때문에 이 종류의 제품에 사용되는 SRAM에서는 메모리 셀 및 주변 회로를 포함하는 대부분이 저소비 전력 성능이 우수한 MIS(Metal Insulator Semiconductor)형 반도체 소자로 구성된다. 또한, 하나의 메모리 셀이 6개의 MIS형 반도체 소자로 구성된 완전 상보형 전계 효과 트랜지스터[CMIS (Complementary MIS)] 구성의 메모리 셀을 갖는 SRAM은 구조 상, 데이터 보유 시의 누설 전류가 매우 작아서, 휴대 기기나 가전 제품 등과 같은 배터리 · 백업이 필요한 제품에 많이 사용되고 있다. 또, SRAM에 대해서는 예를 들면, USP. 5, 754, 467, UPS. 5, 787, 910에 기재된다.

발명이 이루고자 하는 기술적 과제

그런데, 상기 SRAM을 갖는 반도체 집적 회로 장치 기술에서 다음의 공지되지 않은 과제가 있다는 것을 본 발명에서 처음으로 발견하였다.

즉, MIS형 반도체 소자의 치수 축소에 따라, 반도체 내부 전계가 높아짐으로써, 드레인 전압을 인가한 상태로 대역간 터널 전류(GIDL; Gate Induced Drain Leakage)가 흐르고, MIS형 반도체 소자의 오프 전류(스탠바이 전류)가 증가한 결과, SRAM을 갖은 반도체 집적 회로 장치의 소비 전력이 증가하는 문제가 발생되고 있다. 완전 CMIS형 메모리 셀을 갖는 SRAM에서는 데이터 보유 상태(즉, 메모리 셀의 선택 트랜지스터가 오프의 상태) 시의 누설 전류가 GIDL 전류에 의해 지배되기 때문에, 특히 문제가 된다.

또, 본 발명자들은 본 발명의 결과에 기초하여 GIDL에 대하여 공지예를 조사하였다. 그 결과에 의하면, 예를 들면, 특개평9-135029호 공보에는 GIDL 대책으로서 게이트 전극의 측벽에 측벽을 붙인 상태로, 소스 영역 및 드레인 영역 형성용 불순물을 반도체 기판에 도입하는 기술이 개시된다.

또한, 예를 들면 특개평9-92830호 공보에는 GIDL 대책으로서 게이트 전극의 양측면에 측벽을 설치한 상태로, 소스 영역 및 드레인 영역 형성용 불순물을 반도체 기판에 도입하는 기술이 개시된다.

또한, 예를 들면 특개평10-65151호 공보에는 GIDL 대책으로서 게이트 전극의 양측면에 제1, 제2 측벽을 설치하여, LDD(Lightly Doped Drain) 형성용 불순물 및 소스/드레인 확산층용 불순물을 반도체 기판에 도입하는 기술이 개시된다.

또한, 예를 들면 특개평7-321320호 공보에는 GIDL 대책으로서 게이트 전극의 양측면에 측벽을 설치한 상태로, 소스 영역 및 드레인 영역 형성용 불순물을 반도체 기판에 도입한다. 또한, 소스 영역측만으로 상대적으로 불순물 농도가 낮은 LDD용 반도체 영역을 설치하는 기술이 개시된다.

또한, 예를 들면 특개평8-228000호 공보에는 GIDL 대책으로서, 소스 영역측의 게이트 절연막 부분의 두께를 드레인 영역측의 게이트 절연막 부분의 두께보다 얇게 하는 기술이 개시된다.

또한, 예를 들면 특개평11-274494호 공보에는 GIDL 대책으로서, 미리 반도체 기판에서 게이트 전극 단부에 상당하는 부분에 불순물을 도입한 후, 게이트 절연막의 재산화 처리를 실시함으로써, 게이트 전극 양단부의 게이트 절연막 부분의 막 두께를 상대적으로 두껍게 하는 기술이 개시된다.

또한, 예를 들면 특개평11-163317호 공보에는 GIDL 대책으로서, 게이트 절연막 상에 게이트 전극을 패턴 형성한 후, 게이트 절연막의 양단부에 게이트 버즈 비크를 형성하여, 부분적으로 두껍게 하는 기술이 개시된다.

또한, 예를 들면 특개2000-12843호 공보에는 GIDL 대책으로서, 게이트 산화막 상에 게이트 전극을 패턴 형성한 후, 게이트 산화막의 양단부를 일단 웨트 에칭으로 부분적으로 제거하고, 산화 처리를 재실시함으로써, 게이트 산화막의 양단부를 부분적으로 두껍게 하는 기술이 개시된다.

또한, 예를 들면 특개평11-3990호 공보에는 GIDL 대책으로서, 게이트 절연막 상에 게이트 전극을 패턴 형성한 후, 게이트 절연막의 양단부를 일단 에칭으로 부분적으로 제거하고, 게이트 전극 단부에 공간을 설치하거나, 그 공간에 유전체를 매립하는 구조가 개시된다.

본 발명의 목적은 SRAM의 메모리 셀을 구성한 MIS형 반도체 소자에서 GIDL 전류를 저감시킬 수 있는 기술을 제공하는 데 있다.

또한, 본 발명의 다른 목적은 SRAM을 갖는 반도체 집적 회로 장치의 소비 전력을 저감시킬 수 있는 기술을 제공하는 데 있다.

또한, 본 발명의 다른 목적은 SRAM을 갖는 반도체 집적 회로 장치의 고속 동작을 실현시킬 수 있는 기술을 제공하는 데 있다.

또한, 본 발명의 다른 목적은 SRAM을 갖는 반도체 집적 회로 장치의 소비 전력을 저감시키고, 또한 고속 동작을 실현시킬 수 있는 기술을 제공하는 데 있다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부된 도면에서 명확해진다.

본 발명에서 개시되는 발명 중, 대표적인 개요를 간단히 설명하면, 다음과 같다.

즉, 본 발명은 SRAM을 갖는 반도체 집적 회로 장치에서, SRAM 셀을 구성한 복수의 전계 효과 트랜지스터 중, 적어도 하나의 전계 효과 트랜지스터에 대하여 GIDL 전류 대책을 실시한다.

또한, 본 발명은 SRAM을 갖는 반도체 집적 회로 장치에서, SRAM 셀을 구성한 복수의 전계 효과 트랜지스터 중, 적어도 하나의 전계 효과 트랜지스터를 오프셋 구조로 한다.

또한, 본 발명은 상보형 전계 효과 트랜지스터 구조의 SRAM 셀을 구성한 적어도 하나의 전계 효과 트랜지스터를 오프셋 구조로 하고, 그 외의 전계 효과 트랜지스터를 비 오프셋 구조로 한다.

또한, 본 발명은 상보형 전계 효과 트랜지스터 구조의 SRAM 셀을 구성한 적어도 하나의 제1 전계 효과 트랜지스터의 게이트 절연막을, 그 외의 전계 효과 트랜지스터에서, 상기 제1 전계 효과 트랜지스터와 동일한 전원 전압이 공급된 제2 전계 효과 트랜지스터의 게이트 절연막보다 두껍게 한다.

또한, 본 발명은 SRAM을 갖는 반도체 집적 회로 장치에서, SRAM 셀을 구성한 복수의 전계 효과 트랜지스터 중, 적어도 하나의 제1 전계 효과 트랜지스터의 소스·드레인용의 한쌍의 반도체 영역에서의 저불순물 농도의 반도체 영역의 불순물 농도를, 상기 반도체 기판에 형성된 전계 효과 트랜지스터에서, 상기 제1 전계 효과 트랜지스터 이외의 전계 효과 트랜지스터로서, 상기 제1 전계 효과 트랜지스터와 동일한 전원 전압이 공급된 제2 전계 효과 트랜지스터의 소스·드레인용의 한쌍의 반도체 영역에서의 저불순물 농도의 반도체 영역의 불순물 농도보다 낮게 한다.

발명의 구성 및 작용

본원 발명의 실시예를 설명하기에 앞서, 본 발명에서의 용어의 기본적인 의미를 설명하면 다음과 같다.

1. 본 발명에서 반도체 집적 회로 장치는, 특히 단결정 실리콘 기판 상에 만들어진 것 뿐만 아니라, 특별히 그렇지 않다는 취지가 명시된 경우를 제외하고는, SOI (Silicon 0n Insulator) 기판이나 TFT(Thin Film Transistor) 액정 제조용 기판 등 다른 기판 상에 만들어진 것을 포함하는 것으로 한다.

2. 반도체 웨이퍼(반도체 기판)는, 반도체 집적 회로 웨이퍼 또는 단순히 웨이퍼라고도 하며, 반도체 집적 회로 장치의 제조에 이용된 실리콘 외의 반도체 단결정 기판(일반적으로 거의 평면 원 형상), 사파이어 기판[SOS(Silicon On Sapphire) 기판 등], 유리 기판, 그 밖의 절연, 반 절연 또는 반도체 기판 및 이들의 복합적 기판을 말한다. 또, 기판 표면의 일부나 전부, 또는 게이트 전극의 전부나 일부를 예를 들면, 다결정 실리콘 또는 단결정 실리콘과 게르마늄의 합금(이하, SiGe라 함) 등과 같은 다른 반도체로 형성하여도 좋다.

3. 반도체 칩(반도체 기판)은, 반도체 집적 회로 칩 또는 단순히 칩이라고도 하며, 웨이퍼 공정(웨이퍼 프로세스 또는 전 공정이라고도 함)이 완료된 반도체 웨이퍼를 단위 회로군으로 분할한 것을 말한다.

4. 오프셋 구조는, 전계 효과 트랜지스터의 소스·드레인용의 한쌍의 반도체 영역의 채널측 단부가 전계 효과 트랜지스터의 동작을 저해하지 않은 범위 내에서, 그 게이트 전극과 중첩되지 않도록 게이트 전극의 양단으로부터 멀어진 방향으로 떨어져서(벗어나) 배치되는 구조를 말한다. 또한, 비 오프셋 구조는 전계 효과 트랜지스터의 통상의 소스·드레인 구조에서, 그 소스·드레인용의 한쌍의 반도체 영역의 채널측 단부가 게이트 전극의 양단과 거의 일치하는 위치 또는 게이트 전극의 일부에 평면적으로 중첩되도록 배치되는 구조를 말한다. 또, 그 소스·드레인에는 채널측에 상대적으로 저불순물 농도의 반도체 영역을 설치한 소위 LDD (Lightly Doped Drain) 구조를 포함시키는 경우도 있는 것으로 한다.

또한, 오프셋량은 예를 들면, 다음과 같이 정의할 수 있다. 도 1 및 도 2 각각은 전계 효과 트랜지스터를 대표한 MIS·FET(Metal Insulator Semiconductor Field Effect Transistor) Qref의 단면도 및 그 MIS·FET Qref의 등가 회로도를 모식적으로 나타내고 있다. MIS·FET Qref는 소스·드레인용의 한쌍의 반도체 영역(45)과, 게이트 절연막(46)과, 게이트 전극(47)을 갖고 있다. 부호 Lg는 게이트 길이를, Lmask는 마스크 치수를, Leff는 실효적인 채널 길이를, ΔL은 오프셋량을, Vg는 게이트 전압을, Vs는 소스 전압을, R은 저항을, Vds는 드레인 전압을, Ids는 드레인 전류

를 각각 나타내고 있다.

오프셋량 ΔL을 도 1 및 도 2와 같이 정의한다. 오프셋량 ΔL은 선형 영역에서의 Vg-Ids 파형으로부터 계산에 의해 구한다.

(1) 채널 저항 방법(Channel Resistance Method)

기생 저항 R도 포함시킨 채널 저항 Rtotal은 다음과 같이 나타낸다. 즉, Rtotal=R+(Lmask-ΔL)/(Leff·Cox·W(Vg-Vth-mVd s/2)이다. 또, Cox는 게이트 절연막 용량이고, W는 게이트 폭이고, Vth는 임계치 전압이고, m은 벌크 차지 효과 상수(m>1)이다. 이 식으로부터 게이트 길이가 다른 MIS·FET의 선형 영역의 Vg-Id 특성을 측정하면 도 3과 같은 플롯(plot)을 얻을 수 있다. 도 3에 도시한 바와 같이 게이트 길이가 다르더라도 각 플롯선은 (R, ΔL)의 한 점에서 교차하기 때문에, 오프셋량 ΔL을 구할 수 있다. 또, 이 방법의 상세한 내용에 대해서는 J. G. J. Chern, P. Chang, R. F. Motta, and N. Gadinho(1980). " A new method to determine M0SFET channel length," IEEE Electron Device Lett. ED-1, p.170을 참조하기 바란다.

(2) 시프트 앤드 레이시오 방법(Shift and Ratio Method)

상기 Rtotal의 식을 이용하여,

$dR^{i}tota1/dVg=L^{i}eff \cdot df(VB-Vth^{i})/dVg=S^{i}(Vg)$

로 하였을 때,

$r(\delta, Vg) \equiv S^{\circ}(Vg)/S^{i}(Vg-\delta)$가 일정치가 되는 δ를 이용하여, ΔL, R를 구한다. 또, 이 방법의 상세한 내용에 대해서는 Y. Taur D. S. Zicherman D. R. Lombardi, P. J. Restle, C. H. Hsu, H. I. Hanafi, M. R. Wordeman, B. Davari, and G. G. Shahidi(1992). " A new shift and ratio method for MOSFET channel length extraction," IEEE Electron Device Lett. ED-13, p.267을 참조하기 바란다.

(3) 이동도 저하 방법(Mobility Degradation Method)

이동도(mobility) 저하 및 기생 저항 R을 고려한 선형 영역의 Ids의 식인 $Ids=(\beta(Vg-Vth)Vds)/(1+\alpha(Vg-Vth))$의 식에 Vg-Id 파형을 피팅(fitting)하여, α, Vth, β를 구한다. 이 때, β를 도 4와 같이 플롯한다. 이를 다른 게이트 길이 Lg로 행한다.

이하의 실시예에서는, 편의상 필요 시에 복수의 섹션 또는 실시예로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고는 이들이 서로 관계없는 것이 아니라, 한쪽은 다른 쪽의 일부나 전부의 변형예, 상세한 설명, 보충 설명 등과 관계가 있다.

또한, 이하의 실시예에서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)에 언급한 경우, 특별히 명시한 경우나 원리적으로 분명히 특정한 수에 한정된 경우 등을 제외하고는, 그 특정 수에 한정된 것이 아니라, 특정한 수 이상이거나, 이하이어도 좋다.

또한, 이하의 실시예에서, 그 구성 요소(요소 단계 등도 포함함)는 특별히 명시한 경우나 원리적으로 분명히 필수라고 생각되는 경우 등을 제외하고는, 반드시 필수적인 것이 아닌 것은 물론이다.

마찬가지로, 이하의 실시예에서, 구성 요소 등의 형상, 위치 관계 등에 언급할 때는 특별히 명시한 경우나 원리적으로 분명히 그렇지 않다고 생각되는 경우 등을 제외하고는, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함한 것으로 한다. 이는 상기 수치 및 범위에 대해서도 마찬가지다.

또한, 실시예를 설명하기 위한 모든 도면에서 동일한 기능을 갖는 것은 동일한 부호를 붙여, 그 반복 설명은 생략하기로 한다.

또한, 본 실시예에서 전계 효과 트랜지스터를 대표한 MIS · FET을 단순히 MIS라 하고, p채널형 MIS · FET를 pMIS라 하고, n채널형 MIS · FET를 nMIS라 한다.

〈제1 실시예〉

우선, 제1 실시예에 대하여 설명하기 전에 본 발명자들이 본 발명을 발명하는 데 있어서 검토한 공지의 기술이 아닌(이하, 발명자 검토 기술이라고도 함) 과제에 대하여 설명하기로 한다.

도 5는 발명자 검토 기술의 SRAM을 갖는 반도체 집적 회로 장치에서의 MISQ50의 단면도의 일례를 나타내고 있다. MISQ50은 반도체 기판(50)에 형성된 소스 · 드레인용의 한쌍의 반도체 영역(51)과, 게이트 절연막(52)과, 게이트 전극(53)을 갖고 있다. 한쌍의 반도체 영역(51)은 채널측에 설치된 저불순물 농도의 반도체 영역(51a)과, 그 외측[게이트 전극(53)으로부터 이격되는 방향]에 설치된 고불순물 농도의 반도체 영역(51b)을 갖고 있다. 저불순물 농도의 반도체 영역(51a)은 소위 LDD 구조를 구성한 영역이고, MIS의 온 전류를 저하시키지 않기 때문에 즉, 반도체 집적 회로 장치의 동작 속도의 향상을 도모하도록, 그 일부가 게이트 전극(53)의 양단부에 평면적으로 중첩되는 구조(비 오프셋 구조)로 된다.

도 6은 도 5의 MISQ50이 MIS를 상정한 경우에서의 A-A선 단면의 반도체 에너지 대역 도면을 나타내고 있다. 도 6의 (a)는 게이트 전압 Vg=0V, 드레인 전압 Vd=0V인 경우를, 도 6의 (b)는 게이트 전압 Vg=0V, 드레인 전압=고전위 측의 전원 전압 VCC인 경우를, 도 6의 (c)는 도 6의 (b)의 영역 A의 확대도를 각각 나타내고 있다. 반도체 집적 회로 장치의 소자 치수의 축소에 따라, 반도체의 내부 전계가 높아진 결과, 드레인 전압에 전원 전압 VCC을 인가한 상태[도 6의 (b), 도 6의 (c)]에서 대역간 터널 전류, 즉, GIDL(Gate Induced Drain Leakage) 전류 Igidl가 흐른다. 이 때문에 MISQ50의 오프 전류(MISQ50의 스탠바이 시에 흐르는 스탠바이 전류)가 증가하여, SRAM을 갖는 반도체 집적 회로 장치의 소비 전력이 증대한다.

도 7은 도 5의 MISQ50의 주요부 확대 단면도를 나타내고 있다. GIDL 전류는 저불순물 농도 영역(51a)의 일부가 게이트 전극(53)에 평면적으로 중첩되는 부분으로 흐르기 쉽다. 또, 도 3에서 부호 Ich는 채널 전류를 나타내고, 부호 Isdl는 스탠바이 시 등에서의 소스 · 드레인 사이의 누설 전류를 나타내고 있다. 이 누설 전류 Isdl에 대해서는 고불순물 농도의 반도체 영역과 반도체 기판의 pn 접합부에서, 불순물 농도 프로파일을 최적화함으로써 해결할 수 있다.

도 8은 도 5 및 도 7에 나타낸 MISQ50의 전류 전압 특성을 나타내고 있다. 게이트 전압 Vg=0V에서의 전류는 GIDL 전류가 지배적이다. 즉, MISQ50의 오프 시(스탠바이 시)의 누설 전류는 GIDL 전류로 지배된다.

도 9의 (a)는 일반적인 완전 CMIS(Complementary MIS)형 SRAM 셀 MC의 회로도를 나타내고 있다. 이 SRAM 셀 MC은 한쌍의 상보성 비트선 BL1, BL2와, 워드선 WL과의 교차부 근방에 배치되어 있고, 한쌍의 구동용 MISQd1, Qd2와, 한쌍의 부하 저항용 MISQL1, QL2와, 한쌍의 선택용 MISQt1, Qt2와의 6개의 MIS를 갖고 있다. 한쌍의 상보성 비트선 BL1, BL2에는 상호 반전된 신호가 전송된다. 또, 이 SRMA 셀 MC의 회로 자체는 후술의 제1 실시예의 SRAM 셀 MC과 동일하다.

이러한 완전 CMIS형 SRMA 셀에서는 고저항 다결정 실리콘막 등을 고저항 부하로서 이용한 4MIS형 SRAM 셀과 달리, 선택용 MISQt1, Qt2가 오프 상태(즉, 데이터 보유 상태)에서의 누설 전류가 GIDL 전류로 지배된다. 예를 들면,

도 9의 노드 N1이 하이(High) 상태, 노드 N2가 로우(Low) 상태인 경우, 구동용 MlSQd1, 선택용 MISQt1 및 부하용 MISQL2에서의 GIDL 전류가 문제가 되는 반면, 노드 N1이 Low 상태, 노드 N2가 High 상태인 경우, 구동용 MISQd2, 선택용 MISQt2 및 부하용 MISQL1에서의 GIDL 전류가 문제가 된다. 이 문제는 특히 pMIS로 구성된 부하용 MISQL1, QL2에서 문제가 된다. 일반적으로 MIS의 소스·드레인용 반도체 영역의 불순물 농도가 임의 농도 이상이 되면, 에너지 대역이 구부려지기 어려워(도 6 참조), GIDL 전류가 발생되기 어렵다. 그러나, pMIS에서는 그 불순물 농도를 높게 하면, 소스·드레인 사이의 누설 전류가 생기기 쉬워서, 펀치 쓰루(punch through)의 문제가 발생되므로 그 불순물 농도를 높게 할 수 없다. 이 때문에 pMIS에서는 GIDL 전류가 발생되기 쉽다.

또한, 이러한 SRAM에서 도 9의 (b)에 도시한 바와 같이, 반도체 칩 (100) 면적을 차지하는 메모리 셀의 면적 메모리 어레이(10)가 일반적인 것의 60%를 초과하므로, SRAM의 전체 소비 전력에 차지하는 SRAM 셀 MC의 보유 전류에 의한 소비 전력의 비율이 매우 크다. 따라서, 완전 CMIS형 SRAM 셀을 복수개 갖는 SRAM에서는 데이터 보유 상태(스탠바이 상태) 시의 소비 전력의 증가가 문제된다. 마이크로 프로세서에 이용된 SRAM에, 보다 많은 메모리 셀을 탑재하는 경향이 있기 때문에, 어쨌든 소비 전력을 낮추는 것이 중요한 과제가 된다. 또한, 도 9의 (b)에서, 부호 PH는 메모리 셀 이외의 주변 회로이다.

여기서, 본 발명자들의 검토에 따르면, GIDL 전류를 저감시키기 위해서는 예를 들면 다음의 방법이 있다. 첫째, MIS의 소스·드레인용 반도체 영역(상기 저불순물 농도의 반도체 영역)과 게이트 전극의 평면적인 중첩 부분을 줄이는(또는 중첩을 없애는 소위, 오프셋 구조) 방법, 둘째, MIS의 게이트 절연막을 두껍게 하는 방법, 셋째, MIS의 소스·드레인용 상기 저불순물 농도 영역의 불순물 농도를 더욱 낮게 하는 방법 등이다. 그러나, 어느 방법에서도, MIS의 온 전류(드레인 전류)가 저하되는 결과, 반도체 집적 회로 장치의 동작 속도가 늦어진다.

도 10의 (a), (b)는 상기 오프셋 구조를 갖는 MIS 전류 전압 특성을 나타내고 있다. 또한, 도 10의 (a), (b)에서 ●은 오프셋 MIS를, ○은 통상 MIS를 나타낸다. 오프셋 MIS는, 도 10의 (a)에 도시한 바와 같이 GIDL 전류는 저감되지만, 도 10의 (b)에 도시한 바와 같이 온 전류(ON current)는 저하하는 것을 알 수 있다. 즉, 상기 오프셋 구조를 상기 SRAM을 구성한 모든 MIS에 적용한 경우, SRAM 셀의 GIDL 전류를 저감시킬 수 있지만, 데이터의 판독이나 기입 등을 행하는 주변 회로의 동작 속도가 늦어져, 고속 동작이 곤란하게 된다. 또한, SRAM을 구성한 모든 MIS의 게이트 절연막을 두껍게 한 경우, 온 전류가 게이트 절연막 두께에 역비례하여 저하된다. 또한, SRAM을 구성한 모든 MIS의 상기 저불순물 농도의 반도체 영역과 게이트 전극과의 평면적인 중첩량을 줄이거나, 상기 저불순물 농도의 반도체 영역의 불순물 농도를 더욱 낮게 한 경우, 기생 저항이 높아지기 때문에 어느 경우라도 온 전류가 저하되어 SRAM의 고속 동작이 곤란하게 된다.

그래서, 제1 실시예에서 SRAM 셀 중 적어도 하나의 MIS의 소스·드레인을 오프셋으로 하고, SRAM 셀 이외의 주변 회로 또는 동일한 반도체 칩 내에 논리 회로가 있는 경우, 그 논리 회로의 MIS의 소스·드레인을 비 오프셋으로 한다. 이에 따라, SRAM 단체 또는 SRAM을 갖는 반도체 집적 회로 장치에서, 스탠바이 시의 SRAM 셀에서의 GIDL 전류를 저하시킴으로써 저소비 전력을 실현하고, 또한 SRAM의 주변 회로나 다른 논리 회로에서의 동작 속도를 향상시킴으로써 반도체 집적 회로 장치의 고속 동작을 실현시킬 수 있다.

다음으로, 본 발명의 기술 사상을 적용한 반도체 집적 회로 장치의 구체적인 일례를 설명하기로 한다. 제1 실시예의 반도체 집적 회로 장치는 예를 들면, SRAM을 내장한 휴대 기기용 컨트롤러용 마이크로 프로세서(MPU)나 대용량 SRAM을 내장한 마이크로 프로세서(MPU 또는 CPU) 등, 전지 구동으로 저소비 전력이 요구되는 휴대형 전자 장치용 반도

체 집적 회로 장치이다. 또, 반도체 집적 회로 장치를 구성한 MIS의 최소의 실효 채널 길이는 예를 들면 0.14㎛ 정도나 그 이하이다. 또한, 전지로는 예를 들면, 리튬 이온 2차 전지, 금속 리튬 2차 전지, 또는 리튬 폴리머 2차 전지 등, 여러 가지 소형 휴대 전자 장치용 전지가 있다.

우선, 제1 실시예의 반도체 집적 회로 장치의 SRAM 셀의 회로 구조예를 도 11에 의해 설명하기로 한다. 또, 도 11에서 굵은 선은 상기 오프셋 구조로 되어 있는 부분을 나타내고 있다.

제1 실시예의 반도체 집적 회로 장치에서는 예를 들면, 중속 SRAM이 사용되고 있다. 그 SRAM 셀 MC은 한쌍의 상보성 비트선 BL1, BL2와, 워드선 WL과의 교차부 근방에 배치된다. 한쌍의 상보성 비트선 BL1, BL2에는 상호 반전된 신호가 전송된다.

이 SRAM 셀 MC은 예를 들면, 완전 CMIS형 SRAM 셀로서, 한쌍의 구동용 MISQd1, Qd2와, 한쌍의 부하 저항용 MISQL1, QL2와, 한쌍의 선택용 MISQt1, Qt2와의 6개의 MIS를 갖고 있다. 구동용 MISQd1, Qd2 및 선택용 MISQt1, Qt2는 MIS로 구성되고, 부하 저항용 MISQL1, QL2는 pMIS로 구성된다.

상기 한쌍의 구동용 MISQd1, Qd2 및 한쌍의 부하용 MISQL1, QL2는 플립플롭 회로를 구성하고 있다. 이 플립플롭 회로는 1비트의 정보(" 1=high" 또는 " 0=LOW")를 기억하는 기억 소자로서, 그 일단(부하 저항용 MISQL1, QL2측)은 상대적으로 고전위측의 전원 전압 Vcc가 인가된 전극과 전기적으로 접속되고, 타단(구동용 MISQd1, Qd2측)은 상대적으로 저전위(접지 전위)측의 전원 전압 GND가 인가된 전극과 전기적으로 접속된다. 또, 고전위측의 전원 전압 Vcc는 예를 들면, 1.8V정도나 1.5V 정도이고, 저전위측의 전원 전압 GND는 예를 들면, 0V 정도이다.

또한, 한쌍의 선택용 MISQt1, Qt2는 상기 기억 소자용 플립플롭 회로를 비트선 BL1, BL2에 전기적으로 접속하거나, 분리하기 위한 스위칭 소자로서, 각각의 플립플롭 회로의 입출력 단자(노드 N1, N2)와 비트선 BL1, BL2 사이에 개재된다. 또, 한쌍의 선택용 MISQt1, Qt2의 게이트 전극은 워드선 WL과 전기적으로 접속된다.

제1 실시예에서 도 11의 굵은 선으로 도시한 바와 같이 한쌍의 구동용 MISQd1, Qd2 및 한쌍의 부하 저항용 MISQL1, QL2의 소스 · 드레인이 상기 오프셋 구조로 된다. SRAM 셀 MC의 MIS를 오프셋 구조로 하는 이유는 SRAM 셀 MC 내의 MIS는 보유 노드의 누설 전류 만큼의 전류를 공급하는 만큼, 또는 비트선 BL의 전위를 약간 변화시키기 위한 전류를 구동할 수 있음으로써, 주변 회로나 논리 회로 등에 비해 큰 구동 능력이 필요하지 않기 때문이다. 워드선 WL이 Low 상태가 되는 유지 상태로는 한쌍의 부하용 MISQL1, QL2 중 어느 하나와, 한쌍의 구동용 MISQd1, Qd2 중 어느 하나의 MIS에서 항상 드레인에 전압이 인가된 상태가 되므로 오프 전류가 흐른다. 그러나, nMIS 및 pMIS의 오프 전류가 동일한 경우, 오프셋 구조의 MIS의 채택에 의해, 1개의 MIS당 오프 전류를 1/2로 가능하였다고 하면, 도 11의 1개의 SRAM 셀 MC당 약 50% 정도의 소비 전류의 삭감이 가능하게 된다. 즉, 제1 실시예에 따르면, SRAM을 갖는 반도체 집적 회로 장치의 소비 전력은, 전혀 오프셋 구조를 채택하지 않은 경우의 절반 정도나 그 이상 저감될 수 있다. 따라서, 이러한 반도체 집적 회로 장치를 전지 구동의 휴대형 전자 장치에 사용함으로써, 그 휴대형 전자 장치의 동작 시간을 길게 할 수 있다. 이 때문에 휴대형 전자 장치를 한창 사용중일 때 전원이 끊어지거나, 전지 교환을 하는 문제점이나 전지 교환의 횟수를 줄일 수 있다.

또한, 한쌍의 선택용 MISQt1, Qt2, SRAM의 주변 회로 및 동일한 반도체 칩 내에 SRAM 이외의 논리 회로가 있는 경우, 그 논리 회로를 구성한 MIS의 소스 · 드레인이 비 오프셋 구조(즉, 통상의 MIS 구조)로 된다. 이와 같이 SRAM의 주변 회로 등을 구성한 MIS를 포함시켜서, 한쌍의 선택용 MISQt1, Qt2를 비 오프셋 구조(통상의 MIS 구조)로 함으로써, 판독, 기입 동작의 고속성을 확보할 수 있다. 따라서, 반도체 집적 회로 장치의 고속 동작을 실현시킬 수 있다. 이에 따라, 제1 실시예의 반도체 집적 회로 장치를 갖는 휴대형 전자 장치의 처리 속도를 확보할 수 있다. 이 때문에, 조작자의 소정의 조작에 대한 휴대형 전자 장치가 신속한 응답을 유지할 수 있다.

단, 오프셋 구조의 적용은 상기한 것에 한정된 것이 아니라 여러가지 변경이 가능하다. 예를 들면, 도 12에 도시한 바와 같이 한쌍의 부하 저항용 MISQL1, QL2를 오프셋 구조로 하고(굵은 선으로 나타냄), 한쌍의 구동용 MISQd1, Qd2, 한쌍의 선택용 MISQt1, Qt2, SRAM의 주변 회로, 및 동일한 반도체 칩 내에 SRAM 이외의 논리 회로가 있는 경우, 그 논리 회로를 구성한 MIS를 비 오프셋 구조로 하여도 좋다. 도 12에 도시한 구조에서는 도 11에 도시한 구조에 비해 오프 전류에 대한 대책된 MIS가 적지만, nMIS에 비해 pMIS의 오프 전류가 상대적으로 많은 경우, 오프 전류의 저감 효과가 크다. 또한, SRAM의 주변 회로 등을 포함시켜, 한쌍의 선택용 MISQt1, Qt2를 비 오프셋 구조(통상의 MIS 구조)로 함으로써, 도 11의 경우와 마찬가지로, 반도체 집적 회로 장치의 고속 동작을 실현시킬 수 있다.

또한, 다른 예로서 도 13에 도시한 바와 같이 SRAM 셀 MC의 모든 MIS, 즉 한쌍의 부하 저항용 MISQL1, QL2, 한쌍의 구동용 MISQd1, Qd2 및 한쌍의 선택용 MISQt1, Qt2를 오프셋 구조로 한(굵은 선으로 나타냄), SRAM의 주변 회로 및 동일한 반도체 칩 내에 SRAM 이외의 논리 회로가 있는 경우, 그 논리 회로를 구성한 MIS를 비 오프셋 구조로 하여도 좋다. 워드선 WL이 Low 상태가 되는 유지 상태로는 부하용 MISQL1, QL2 중 어느 하나와, 구동용 MISQd1, Qd2 중 어느 하나 이외에 선택용 MISQt1, Qt2의 어느 것도 항상 드레인 전압이 인가된 상태가 되어 오프 전류가 흐른다. 따라서, SRAM 셀 MC의 모든 MIS를 오프셋 구조로 한 도 13의 경우, 도 11과 비교하여, 소비 전력을 보다 저감시킬 수 있다. 또, 한쌍의 선택용 MISQt1, Qt2도 오프셋 구조로 되어 있기 때문에 동작 속도가 약간 저하되지만, 주변 회로나 논리 회로는 비 오프셋 구조로 되어 있기 때문에 주변 회로나 논리 회로의 동작 속도의 저하가 발생되지 않는다. 따라서, 도 13의 구조로 하였다고 해서 반도체 집적 회로 장치의 동작 속도가 현저히 저하되는 것도 아니다.

다음으로, 제1 실시예의 반도체 집적 회로 장치의 디바이스 구조예를 도 14 도 24에 의해 설명하기로 한다. 도 14는 상기 SRAM 셀 MC의 평면도를, 도 15는 도 14의 A-A선의 단면도를, 도 16은 도 14의 B-B선의 단면도를 나타내고 있다. 또한, 도 17은 SRAM의 주변 회로 또는 동일한 반도체 칩에 논리 회로가 있는 경우, 그 논리 회로를 구성한 MIS의 단면도를 나타내고 있다. 또한, 도 18 및 도 19는 SRAM 셀 MC에서의 오프셋 구조의 MIS의 주요부 확대 단면도, 도 20은 도 18 및 도 19의 MIS의 각 부에서의 치수나 불순물 농도의 일례의 설명도이다. 또, 도 21 및 도 23은 SRAM의 주변 회로 및 동일한 반도체 칩 상에 논리 회로가 있는 경우, 그 논리 회로 및 SRAM 셀에서의 비 오프셋 구조의 MIS의 주요부 확대 단면도이고, 도 22 및 도 24 각각은 도 21 및 도 23의 MIS 각 부에서의 치수나 불순물 농도의 일례의 설명도이다.

반도체 칩을 구성한 반도체 기판(1)은 예를 들면, p형 실리콘(Si) 단결정으로 이루어진다. 반도체 기판(1)에는 p웰(2) PW 및 n웰(2) NW가 형성된다. p웰(2) PW는 반도체 기판(1)의 주면(소자 형성면)으로부터 소정의 깊이로 깊어져 붕소(B) 등의 불순물이 분포됨으로써 형성되고, n웰(2) NW는 반도체 기판(1)의 주면으로부터 소정의 깊이로 깊어져 인(P) 또는 비소(As) 등의 불순물이 분포됨으로써 형성된다.

또한, 반도체 기판(1)의 주면에는 예를 들면, 홈형 분리부(3: 트렌치 아이솔레이션)와, 이에 평면적으로 둘러싸인 활성 영역 L이 형성된다. 홈형 분리부 (3)는 반도체 기판(1)에 파인 홈 내에 예를 들면, 산화 실리콘(SiO_2) 등과 같은 절연막이 매립됨으로써 형성된다. 분리부(3)를 홈형으로 함으로써 반도체 기판(1)의 주면 상의 평탄성을 향상시킬 수 있다. 분리부(3)는 홈형의 분리부 뿐만 아니라, 예를 들면, LOCOS(Local 0xidization of Silicon)법에 의해 형성된 필드 절연막으로 형성하여도 좋다. 상기한 부하용 MISQL1, QL2, 구동용 MISQd1, Qd2 및 선택용 MISQt1, Qt2는 분리부(3)에 둘러싸인 활성 영역 L에 형성된다.

우선, 부하용 MISQL1, QL2에 대하여 설명하기로 한다. 부하용 MISQL1, QL2는 상기한 바와 같이 pMIS로 이루어지며, 소스·드레인용의 한쌍의 p^+ 형 반도체 영역(4, 4)과, 게이트 절연막(5)과, 게이트 전극(6a)을 갖고 있다. 한쌍의 p^+ 형 반도체 영역(4, 4)은 반도체 기판(1)의 n웰(2) NW에 예를 들면, 붕소가 도입되어 형성된다. 제1 실시예에서 상기한 바와 같이 부하용 MISQL1, QL2의 한쌍의 p^+ 형 반도체 영역(4, 4)이 오프셋 구조로 된다. 즉, 한쌍의 p^+ 형 반도체 영역(4)에서 부하용 MISQL1, QL2의 채널측을 향하는 단부(채널측 단부)가 게이트 전극(6a)과 중첩되지 않도록, 게이트 전극(6a)의 측면의 단부로부터 멀어진 방향을 향하여 소정의 길이만큼 떨어지도록(벗어나도록) 된다(도 16, 도 18 및 도 20 참조). 즉, 전계 강도가 상대적으로 높은 게이트 전극의 바닥부측의 양단부로부터 소스·드레인용 반도체 영역의 단부를 멀리함으로써, 그 소스·드레인용 반도체 영역의 단부에 인가된 전계 강도를 완화할 수 있기 때문에 GIDL 전류가 흐르는 것을 억제 또는 방지할 수 있다. 이에 따라, 부하용 MISQL1, L2에서 데이터 보유 상태 시의 GIDL 전류를 저감시킬 수 있다. 따라서, SRAM 셀의 데이터 보유 상태 시의 누설 전류를 저감시킬 수 있고, 반도체 집적 회로 장치 전체의 소비 전력을 저감시킬 수 있다. 또한, pMIS로 구성된 부하용 MISQL1, L2의 소스·드레인의 불순물 농도를 높이지 않아도 좋기 때문에 소스·드레인 사이의 누설 전류나 펀치 쓰루의 문제를 억제하거나 방지할 수 있다. 따라서, 반도체 집적 회로 장치의 동작 신뢰성을 향상시킬 수 있다. 이러한 부하용 MISQL1, L2의 한쌍의 p^+ 형 반도체 영역(4, 4)의 상부에는 예를 들면, 코발트 실리사이드(CoSi) 등으로 이루어진 실리사이드막(7)이 형성된다. 이에 따라, 배선과의 접촉 저항이나 기생 용량 등을 저감시킬 수 있다. 또한 실리사이드막(7)은 예를 들면, 텅스텐 실리사이드(WSi), 니켈 실리사이드(NiSi), 티탄 실리사이드(TiSi) 또는 몰리브덴 실리사이드(MoSi)를 이용할 수도 있다.

부하용 MISQL1, QL2의 게이트 절연막(5)은 예를 들면, 산화 실리콘으로 이루어지고, 그 막 두께는 이산화 실리콘막 환산 막 두께로, 예를 들면 3㎚ 5㎚ 정도이다. 게이트 절연막(5)은 산화 실리콘막 대신에 산질화 실리콘(SiON)막으로 구성하여도 좋다. 산질화 실리콘막은 산화 실리콘막에 비해 막 중에서 계면 준위의 발생을 억제하거나, 전자 트랩을 저감하기도 하는 효과가 높기 때문에 게이트 절연막(5)의 핫 캐리어 내성과 절연 내성을 향상시킬 수 있다. 또한, 산질화 실리콘막은 산화 실리콘막에 비해 불순물이 관통하기 어렵기 때문에 게이트 절연막(5)을 산질화 실리콘막으로 구성함으로써, 게이트 전극 재료 중의 불순물이 반도체 기판측에 확산함으로 인한 임계치 전압의 변동을 억제할 수 있다. 산질화 실리콘막을 형성하기 위해서는 예를 들면, 반도체 기판(1)을 NO, NO_2 또는 NH_3 등의 질소 포함 가스 분위기속에서 열 처리하면 좋다. 또한, p웰(2) PW 및 n웰(2) NW의 각각의 표면에 산화 실리콘으로 이루어진 게이트 절연막(5)을 형성한 후, 반도체 기판(1)을 상기한 질소 포함 가스 분위기속에서 열 처리하여, 게이트 절연막(5)과 반도체 기판(1)과의 계면에 질소를 편석(segregation)시킴으로써도, 상기와 동일한 효과를 얻을 수 있다.

또한, 게이트 절연막(5)을 예를 들면, 질화 실리콘막 또는 산화 실리콘막과 질화 실리콘막의 복합 절연막으로 형성하여도 좋다. 산화 실리콘으로 이루어진 게이트 절연막(5)을 이산화 실리콘 환산 막 두께로 5㎚ 미만, 특히 3㎚ 미만까지 얇게 하면, 직접 터널 전류의 발생이나 응력으로 인한 핫 캐리어 등에 따른 절연 내압의 저하가 두드러진다. 질화 실리콘막은 산화 실리콘막보다 유전률이 높기 때문에 그 이산화 실리콘 환산 막 두께를 실제 막 두께보다 얇게 할 수 있다. 즉, 질화 실리콘막을 갖는 경우, 물리적(실제)으로 두꺼워도, 상대적으로 얇은 이산화 실리콘막과 동등한 용량을 얻을 수 있다. 따라서, 게이트 절연막(5)을 단일 질화 실리콘막 또는 그것과 산화 실리콘막과의 복합막으로 구성함으로써, 그 실효막 두께를 산화 실리콘막으로 구성된 게이트 절연막보다 두껍게 할 수 있기 때문에, 터널 누설 전류의 발생이나 핫 캐리어에 따른 절연 내압의 저하를 개선할 수 있다.

부하용 MISQL1, QL2의 게이트 전극(6a)은 예를 들면, 저저항 다결정 실리콘막 상에 코발트 실리사이드로 이루어진 실리사이드막(7)이 형성된 소위 폴리사이드 구조로 구성된다. 이와 같이 게이트 전극(6a)의 상부에 실리사이드막(7)을 설치함으로써, 게이트 전극(6a)의 저항을 실리사이드막(7)을 설치하지 않은 경우에 비해 대폭 낮출 수 있다. 또한, 배선과의 접촉 저항이나 기생 저항을 낮출 수도 있다. 따라서, SRAM의 동작 속도의 향상을 추진시킬 수 있다. 게이트 전극(6a)의 상부의 실리사이드막(7)은 상기 한쌍의 p^+ 형 반도체 영역(4) 상부의 실리사이드막(7)과 동일한 공정에서 형성된다. 또, 게이트 전극(6a) 상부의 실리사이드막(7)도, 예를 들면 텅스텐 실리사이드(TiSi), 니켈 실리사이드(NiSi), 티탄 실리사이드(TiSi) 또는 몰리브덴 실리사이드(MoSi)로 형성할 수도 있다. 게이트 전극(6a)의 측면에는 예를 들면, 산화 실리콘 또는 질화 실리콘으로 이루어진 측벽[(측벽 절연막) 8]이 형성된다.

이 게이트 전극(6a)은 상기 폴리사이드 구조에 한정된 것이 아니라, 여러 가지 변경 가능하며, 예를 들면, 다결정 실리

콘 막상에 질화 텅스텐(WN)이나 질화 티탄(TiN) 등과 같은 배리어 막을 통해 텅스텐(W), 티탄(Ti) 또는 몰리브덴(Mo) 등과 같은 금속막을 피착하여 이루어진 소위 폴리 메탈 구조로서도 좋다. 이 경우, 게이트 전극(6a)의 저항을 폴리사이드 구조에 비해 대폭 저감시킬 수 있다. 후술하는 바와 같이 게이트 전극(6a)은 배선의 일부이기도 하다. 즉, 그 배선을 폴리 메탈 구조로 함으로써, 그 배선의 저항을 대폭 저감시킬 수 있다. 따라서, 반도체 집적 회로 장치의 동작 속도의 향상을 추진시킬 수 있다.

또한, 다결정 실리콘막 상에 상기 SiGe 층을 중첩함으로써 게이트 전극(6a)을 구성하여도 좋다. 이 경우, Ge의 농도는 게이트 전극(6a)의 일함수(work function)를 n형 다결정 실리콘의 일함수(약 4.15V)와 p형 다결정 실리콘의 일함수(약 5.15V) 사이의 값으로 설정하는 것이 용이하기 때문에 40% 이상으로 하는 것이 바람직하다. 동일한 반도체 기판에 pMIS 및 nMIS를 갖는 경우, 반도체 기판의 불순물 농도를 높게 하지 않고 pMIS 및 nMIS의 임계치 전압의 저하를 방지하기 위해 각각의 MIS의 게이트 전극에 별개의 불순물을 도입하는 기술(소위 이중 게이트 구조)이 있다. 그러나, 그 기술은 불순물의 분리 주입이 필요하기 때문에 제조 공정이 증가되는 문제가 있다. 또한, 별개의 불순물이 도입된 동일한 막을 한번에 에칭하기 때문에 가공 치수에 변동이 생겨, 게이트 전극의 가공 치수 정밀도가 열화되는 문제가 있다. 이에 대하여, SiGe 층을 게이트 전극으로 하여 이용한 경우, 그 일함수를 n형 다결정 실리콘의 일함수와 p형 다결정 실리콘의 일함수 사이의 값으로 설정할 수 있기 때문에, 상술한 바와 같은 별개의 불순물을 도입하는 공정이 필요없게 된다. 따라서, CMIS형 SRAM 셀을 갖는 반도체 집적 회로 장치의 제조 공정의 간략화가 가능하게 된다. 또, 제조 공정을 간략화할 수 있기 때문에 반도체 집적 회로 장치의 비용을 저감시킬 수 있다. 또한, 게이트 전극의 가공 치수 정밀도를 향상시킬 수 있다. 이 때문에 CMIS형 SRAM 셀을 갖는 반도체 집적 회로 장치의 성능을 향상시킬 수 있다. 또, CMIS형 SRAM 셀을 갖는 반도체 집적 회로 장치의 수율을 향상시킬 수 있다. 또, 다결정 실리콘막 상에 SiGe 층을 통해 다결정 실리콘막을 설치하고, 그 최상의 다결정 실리콘막의 상부에 상기 실리사이드막(7)을 형성할 수도 있다. 즉, 최상의 다결정 실리콘막도 살리사이드화(살리사이드 프로세스를 실시함)하여 상기 실리사이드막(7)을 형성한다. 이 경우, 상기 SiGe 층을 이용한 경우의 효과 외에, 접촉 저항, 기생 용량 등의 저감 효과도 얻을 수 있다.

다음으로, 구동용 MISQd1, Qd2에 대하여 설명하기로 한다. 구동용 MISQd1, Qd2는 상기한 바와 같이 nMIS로 이루어져서, 소스·드레인용의 한쌍의 n^+ 형 반도체 영역(9a, 9b)과, 게이트 절연막(5)과, 게이트 전극(6b)을 갖고 있다. 한쌍의 n^+ 형 반도체 영역(9a, 9b)은 반도체 기판(1)의 p웰(2) PW에 예를 들면 인 또는 비소가 도입되어 형성된다. 제1 실시예에서 상기한 바와 같이 구동용 MISQd1, Qd2의 한쌍의 n^+ 형 반도체 영역(9a, 9b)이 오프셋 구조로 된다. 즉, 한쌍의 n^+ 형 반도체 영역(9a, 9b)에서 채널측 단부가 게이트 전극(6b)과 중첩되지 않도록, 게이트 전극(6b)의 측면의 단부로부터 멀어진 방향을 향하여 소정의 길이만큼 떨어져(벗어나) 있다(도 15, 도 19 및 도 20 참조). 이에 따라, 구동용 MISQL1, L2에서도, 데이터 보유 상태 시의 GIDL 전류를 저감시킬 수 있다. 따라서, SRAM 셀 MC의 데이터 보유 상태 시의 누설 전류를 저감시킬 수 있고, 반도체 집적 회로 장치 전체의 소비 전력을 저감시킬 수 있다. 이와 같이 구동용 MISQd1, d2의 한쌍의 n^+ 형 반도체 영역(9a, 9b)의 상부에는 상기 실리사이드막(7)이 형성된다. 이에 따라, 배선과의 접촉 저항이나 기생 용량 등을 저감시킬 수 있다.

구동용 MISQd1, Qd2의 게이트 절연막(5) 및 게이트 전극(6b)은 상기 부하용 MISQL1, QL2의 게이트 절연막(5) 및 게이트 전극(6a)과 동일한 형성 공정 시에 형성되며, 그 구성 재료 및 구조는 상기 부하용 MISQL1, QL2의 게이트 절연막(5) 및 게이트 전극(6a)과 동일하므로, 설명을 생략하기로 한다. 단, 상기 부하용 MISQL1, QL2 및 구동용 MISQd1, Qd2의 게이트 전극(6a, 6b)은 평면으로 대략 Y자형 배선(6, 6)의 일부에 형성된다. 즉, 한쪽의 배선(6)은 부하용 MISQL1 및 구동용 MISQd1의 게이트 전극(6a, 6b)을 직선형으로 연결하는 배선 부분과, 그것에 대하여 경사 방향으로 연장되어, 구동용 MISQd2의 한쪽의 n형 반도체 영역(9b)에 전기적으로 접속된 배선 부분을 갖고 있다. 또한, 이것과 쌍을 이루는 다른 쪽의 배선(6)은 부하용 MISQL2 및 구동용 MISQd2의 게이트 전극 (6a, 6b)을 직선형으로 연결하는 배선 부분과, 그것에 대하여 경사 방향으로 연장되어, 부하용 MISQL1의 한쪽의 p형 반도체 영역(4)에 전기적으로 접속된 배선 부분을 갖고 있다. 또, 배선(6)의 재료나 구조는 게이트 전극(6a, 6b)과 동일하다.

특별히 한정된 것은 아니지만, 부하용 MISQL1, QL2 및 구동용 MISQd1, Qd2의 각부의 치수 및 불순물 농도의 일례를 도 20에 참고로서 기재하였다. 게이트 길이 Lg1은 예를 들면 0.16㎛ 정도, 측벽(8)의 폭 SL은 예를 들면 0.07㎛ 정도이다. 소스·드레인용 p^+ 형 반도체 영역(4) 및 n^+ 형 반도체 영역(9a, 9b)의 깊이[반도체 기판(1)의 주면으로부터 pn 접합의 공핍층까지의 길이] d1은 예를 들면 200㎚ 정도이다. 채널 영역 CH에서의 불순물 농도는 예를 들면 2×10^{18} /㎤ 정도이다. 소스·드레인용 p^+ 형 반도체 영역(4) 및 n^+ 형 반도체 영역(9a, 9b)의 채널측 단부의 영역 A에서의 불순물 농도는 예를 들면 5×10^{18} /㎤ 정도이고, 영역 B(일반적으로 저불순물 농도 영역과 고불순물 농도 영역이 중첩되는 영역)에서의 불순물 농도는 예를 들면 1×10^{20} /㎤ 정도이고, 그 영역 B보다 하층의 영역 C(고불순물 농도의 반도체 영역만의 영역)에서의 불순물 농도는 예를 들면 1×10^{18} /㎤ 정도이다.

다음으로, 선택용 MISQt1, Qt2에 대하여 설명하기로 한다. 선택용 MISQt1, Qt2는 상기한 바와 같이 MIS로 이루어져서, 소스·드레인용의 한쌍의 n형 반도체 영역(10a, 10b)과, 게이트 절연막(5)과, 게이트 전극(11)을 갖고 있다. 여기서는 선택용 MISQt1, Qt2의 한쌍의 n형 반도체 영역(10a, 10b)이 도 11에서 도시한 바와 같이 비 오프셋 구조로 되어 있는 경우가 예시된다. 즉, 선택용 MISQt1, Qt2는 통상의 MIS와 동일한 구조로 된다. 따라서, 상기한 바와 같이 판독이나 기입 시간을 지연시키지 않고 소비 전력의 저감이 가능하게 된다.

한쌍의 반도체 영역(10a, 10b) 각각은 상대적으로 고불순물 농도의 n^+ 형 반도체 영역(9b, 9c)과, 그 채널측 단부에 설치된 상대적으로 저불순물 농도의 n^- 형 반도체 영역(9d, 9d)을 갖고 있다. n^+ 형 반도체 영역(9b, 9c) 및 n^- 형 반도체 영역 (9d, 9d)은 어느 것이나 p웰(2) PW에, 예를 들면 인 또는 비소가 도입되어 형성된다. n^- 형 반도체 영역(9d, 9d)은 주로 상기 LDD용 반도체 영역으로서 기능하는 영역이다. n^- 형 반도체 영역(9d, 9d)에서, 선택용 MISQt1, Qt2의 채널측의 단부는 게이트 전극(11)에 부분적으로 소정 길이만큼 중첩되거나, 게이트 전극(11)의 양단부에 거의 일치한다(도 16, 도 23 및 도 24 참조). 한편, n^+ 형 반도체 영역(9b, 9c)은 그 채널측 단부가 거의 측벽(8)의 폭 크기 만큼 게이트 전극 (11)의 양단으로부터 멀어지도록 형성된다. 이 n^+ 형 반도체 영역(9b, 9d)의 상부에는 상기 실리사이드막(7)이 형성된다. 이에 따라, 배선과의 접촉 저항이나 기생 용량 등을 저감시킬 수 있다.

선택용 MISQt1, Qt2의 게이트 절연막(5) 및 게이트 전극(11)은 상기 부하용 MISQL1, QL2의 게이트 절연막(5) 및 게이트 전극(6a)과 동일한 형성 공정 시에 형성되며, 그 구성 재료나 구조는 상기 부하용 MISQL1, QL2의 게이트 절연막(5) 및 게이트 전극(6a)과 동일하므로, 그 설명을 생략하기로 한다. 단, 상기 선택용 MISQt1, Qt2의 게이트 전극(11, 11)은 동일한 워드선 WL의 일부로 형성된다. 워드선 WL은 도 14의 좌우 가로 방향으로 대략 직선형으로 연장된 띠 모양의 패턴으로 형성된다. 워드선 WL은 SRAM 셀의 형성 영역의 끝부터 끝까지 일체적으로 연장되어 형성된다. 이 때문에 이 워드선 WL을 상기 폴리사이드 구조로 함으로써, 그 배선 저항을 저감시킬 수 있어 SRAM의 동작 속도를 향상시킬 수 있다. 또, 워드선 WL을 상기 폴리 메탈 구조로 함으로써, 그 배선 저항을 더욱 저감시킬 수 있어서 SRAM의 동작 속도를 더욱 향상시킬 수 있다. 또, 워드선 WL의 선 길이 한계를 증가시킬 수 있어 소자 집적도의 향상을 도모할 수 있고, SRAM의 기억 용량을 증대시킬 수 있다. 또, 워드선 WL의 선 폭은 예를 들면 0.25㎛ 정도이다.

다음으로, 주로 도 17, 도 21 도 24를 참조하여 SRAM의 주변 회로 또는 동일한 반도체 칩 내에 논리 회로가 있는 경우, 그 주변 회로 및 논리 회로 nMISQn 및 pMIS를 설명하기로 한다. nMISQn 및 pMISQp는 상기한 바와 같이 비 오프셋 구조로 된다. 따라서, 그 주변 회로나 논리 회로에서의 동작 속도와 반도체 집적 회로 장치의 동작 속도를 확보할 수 있다.

nMISQn은 소스·드레인용의 한쌍의 n형 반도체 영역(12, 12)과, 게이트 절연막 (5)과, 게이트 전극(13)을 갖고 있다. 한쌍의 n형 반도체 영역(12, 12)은 nMISQn의 채널측에 설치된 상대적으로 저불순물 농도의 n^- 형 반도체 영역(12a, 12a)과, 이것에 접속된 상대적으로 고불순물 농도의 n^+ 형 반도체 영역(12b, 12b)을 갖고 있다. n^- 형 반도체 영역(12a) 및 n^+ 형 반도체 영역(12b)은 어느 것이나 p웰(2) PW에, 예를 들면 인 또는 비소가 도입되어 형성된다.

n^- 형 반도체 영역(12a)은 주로 상기 LDD용 반도체 영역으로서 기능하는 영역이고, 그 채널측의 단부는 게이트 전극(13)에 부분적으로 소정 길이만큼 중첩되거나, 게이트 전극(13)의 양단부에 거의 일치한다(도 17, 도 23 및 도 24 참조). 한편, n^+ 형 반도체 영역(12b)은 그 채널측 단부가 거의 측벽(8)의 폭뿐만 게이트 전극(13)의 양단으로부터 멀어지도록 형성된다. 이 n^+ 형 반도체 영역(12b)의 상부에는 상기 실리사이드막(7)이 형성된다. 이에 따라, 배선과의 접촉 저항이나 기생 용량 등을 저감시킬 수 있다.

특별히 한정된 것은 아니지만, 선택용 MISQt1, Qt2 및 nMISQn의 각 부의 치수 및 불순물 농도의 일례를 도 24에 참고로서 기재한다. 게이트 길이 Lg1, 측벽 (8)의 폭, 소스·드레인용 n^+ 형 반도체 영역(9b, 9c, 12b)의 깊이[반도체 기판(1)의 주면으로부터 pn 접합의 공핍층까지의 길이] d1 및 채널 영역 CH에서의 불순물 농도는 도 20에서 설명한 것과 동일하다. n^- 형 반도체 영역(9d, 12a)의 깊이[반도체 기판(1)의 주면으로부터 pn접합의 공핍층까지의 길이] d2는 예를 들면 50㎚ 정도이다. 또한, n^- 형 반도체 영역(9d, 12a)의 불순물 농도는 예를 들면 1×10^{19} /㎤ 정도이다. 소스·드레인용의 한쌍의 반도체 영역(10a, 10b, 12)의 주면측의 영역 B(일반적으로 저불순물 농도의 반도체 영역과 고불순물 농도의 반도체 영역이 중첩되는 영역)에서의 불순물 농도는 예를 들면 1×10^{20} /㎤ 정도이고, 그 영역 B보다 하층의 영역 C(고불순물 농도의 반도체 영역만의 영역)에서의 불순물 농도는 예를 들면 1×10^{18} /㎤ 정도이다.

한편, pMISQp는 소스·드레인용의 한쌍의 n형 반도체 영역(14, 14)과, 게이트 절연막(5)과, 게이트 전극(15)을 갖고 있다. 한쌍의 p형 반도체 영역(14, 14)은 상대적으로 저불순물 농도의 p^- 형 반도체 영역(14a, 14a)과, 그것에 접속된 상대적으로 고불순물 농도의 p^+ 형 반도체 영역(14b, 14b)을 갖고 있다. p^- 형 반도체 영역 (14a) 및 p^+ 형 반도체 영역(14b) 어느 것에나 n웰(2) NW에, 예를 들면 붕소가 도입되어 형성된다. p^- 형 반도체 영역(14a)은 주로 상기 LDD용 반도체 영역으로서 기능하는 영역이고, 그 채널측의 단부는 게이트 전극(15)에 부분적으로 소정 길이만큼 중첩되거나, 게이트 전극(15)의 양단부에 거의 일치한다(도 17, 도 21 및 도 22 참조). 한편, p^+ 형 반도체 영역(14b)은 그 채널측 단부가 거의 측벽(8)의 폭 크기 만큼 게이트 전극(15)의 양단으로부터 멀어지도록 형성된다. 이 p^+ 형 반도체 영역(14b)의 상부에는 상기 실리사이드막(7)이 형성된다. 이에 따라, 배선과의 접촉 저항이나 기생 용량 등을 저감시킬 수 있다. 또, 이러한 nMISQn 및 pMISQp의 게이트 절연막(5) 및 게이트 전극(13, 15)은 상기 부하용 MISQL1, QL2와 동일한 형성 공정 시에 형성되며, 그 재료 및 구성은 상기 부하용 MISQL1, QL2의 게이트 절연막(5) 및 게이트 전극(6a)과 동일하므로, 그 설명은 생략하기로 한다.

특별히 한정된 것이 아니지만, pMISQp의 각 부의 치수 및 불순물 농도의 일례를 도 22에 참고로서 기재한다. 게이트 길이 Lg1, 측벽(8)의 폭, 소스·드레인용 p^+ 형 반도체 영역(14b)의 깊이[반도체 기판(1)의 주면으로부터 pn 접합의 공핍층까지의 길이] d1, 채널 영역 CH에서의 불순물 농도 및 반도체 영역(14)의 영역 B, C의 불순물 농도는 도 20에서 설명한 것과 동일한다. p^- 형 반도체 영역(14a)의 깊이(반도체 기판(1)의 주면으로부터 pn접합의 공핍층까지의 길이) d2는 예를 들면 100㎚ 정도이다. 또한, p^- 형 반도체 영역(14a)의 불순물 농도는 예를 들면 1×10^{19} /㎤ 정도이다.

이러한 반도체 기판(1)의 주면 상에는 예를 들면 산화 실리콘으로 이루어진 층간 절연막(16)이 피착된다. 층간 절연막(16)에는 컨택트홀(17)이 천공된다. 컨택트홀(17) 중, SRAM 셀 MC의 컨택트홀(17a)로부터 n^+ 형 반도체 영역 (9b)과 배선(6) 양방의 일부가 노출된다(도 14 및 도 15 참조). 또한, SRAM 셀 MC의 컨택트홀(17b)에서 n^+ 형 반도체 영역(4)과 배선(6) 양방의 일부가 노출된다(도 14 참조). 이 컨택트홀(17) 내에는 플러그(18)가 매립된다. 플러그(18)는 예를 들면 텅스텐 등으로 이루어진다. 이 플러그(18)는 상기 각 MIS의 소스·드레인용 반도체 영역이나 게이트 전극과 전기적으로 접속된다. 컨택트홀(17a) 내에 매립된 플러그(18)는 n^+ 형 반도체 영역(9b)과 배선(6)을 전기적으로 접속된다. 또, 컨택트홀(17b) 내에 매립된 플러그(18)는 p^+ 형 반도체 영역(4)과 배선(6)을 전기적으로 접속된다. 층간 절연막(16) 상에는 제1층 배선(19)이 형성된다. 제1층 배선(19)은 예를 들면 질화 티탄막 상에 알루미늄-실리콘-구리 합금막을 통해 티탄막이 중첩되어 이루어지며, 상기 플러그(18)를 통하여 상기 각 MIS의 소스·드레인용 반도체 영역이나 게이트 전극과 전기적으로 접속된다. 컨택트홀(17a) 내의 플러그(18)는 제1층 배선(19a)을 통하여 컨택트홀 (17c) 내의 플러그(18)와 전기적으로 접속된다. 또한, 컨택트홀(17b) 내의 플러그(18)는 제1층 배선(19)을 통하여 컨택트홀(17)d 내의 플러그(18)와 전기적으로 접속된다.

다음으로, 제1 실시예의 반도체 집적 회로 장치의 제조 방법의 일례를 도 25 도 28에 의해 설명하기로 한다. 또, 도 25 도 28에서 설명을 간단히 하기 위해 pMIS 부분을 추출하여 설명하겠지만 nMIS에 대해서도 동일한다. 또한, 도 25 도 28에서, 도 25 내지 도 28의 (a)는 SRAM 셀, 주변 회로 및 동일한 반도체 칩에 논리 회로가 있는 경우, 그 논

리 회로의 비 오프셋 구조의 pMIS 형성 영역을 나타내고, 도 25 내지 도 28의 (b)는 SRAM 셀의 오프셋 구조의 pMIS 형성 영역을 나타내고 있다.

우선, 도 25에 도시한 바와 같이 반도체 기판(1)에 n웰(2) NW를 형성한 후, 상기 게이트 절연막(5) 및 게이트 절연막(5) 상에 게이트 전극(15, 6a)을 형성한다. 또, 이 게이트 전극(15, 6a)은 게이트 전극 형성용 도체막을 피착한 후, 이것을 동일한 패터닝 공정 시에 패터닝함으로써 형성한다. 또한, 상술한 바와 같이 게이트 전극 형성용 도체막은 실리콘막, SiGe층, 실리콘막을 순차적으로 피착함으로써 형성할 수 있다. 또한, 이 단계의 게이트 전극(15, 6a)에는 상기 실리사이드막은 형성되어 있지 않다. 계속해서, 반도체 기판(1)의 주면 상에 포토레지스트 패턴(20a)을 형성한다. 이 포토레지스트 패턴(20a)은 오프셋 구조의 pMIS 형성 영역을 덮고, 비 오프셋 구조의 pMIS 형성 영역이 노출되도록 패턴 형성된다. 그 후, 반도체 기판(1)에 예를 들면 붕소를 이온 주입법 등에 의해 도입함으로써, 비 오프셋 구조의 pMIS 형성 영역에 저불순물 농도의 p^- 형 반도체 영역(14a)을 게이트 전극(15)에 대하여 자기 정합적으로 형성한다.

계속해서, 포토레지스트 패턴(20a)을 제거한 후, 반도체 기판(1)의 주면 상에 예를 들면 산화 실리콘으로 이루어진 절연막을 CVD(Chemical Vapor Deposition)법 등에 의해 피착하고, 또한 이것을 이방성 드라이 에칭법 등에 의해 에칭백(etching back)함으로써, 도 26에 도시한 바와 같이 게이트 전극(6a, 15)의 측면에 측벽(8)을 형성한다. 계속해서, 도 27에 도시한 바와 같이 반도체 기판(1)에 예를 들면 붕소를 이온 주입법 등에 의해 도입함으로써, 비 오프셋 구조의 pMIS 형성 영역 및 SRAM 셀의 오프셋 구조의 pMIS 형성 영역에 각각 고불순물 농도의 p^+ 형 반도체 영역(14b, 4)을 게이트 전극(15, 6a) 및 측벽(8)에 대하여 자기 정합적으로 형성한다. 오프셋 구조의 pMIS (부하용 MISQL1, L2)에서는 p^+ 형 반도체 영역(4)의 채널측 단부가 게이트 전극(6a)의 양단에서 소정의 길이분만큼 떨어져 형성된다. 이와 같이 하여, 비 오프셋 구조의 pMISQp 및 오프셋 구조의 pMIS(부하용 MISQL1, L2)을 형성한다. 그 후, 도 28에 도시한 바와 같이 반도체 기판(1)의 주면 상에 예를 들면 코발트 등으로 이루어잔 도체막(21)을 스퍼터링법 등에 의해 피착한 후, 불활성 가스 분위기속에서 열 처리를 실시함으로써(실리사이드화), 도체막 (21)과 반도체 기판(1) 및 게이트 전극(6a, 15) 등과의 접촉 계면에 코발트 실리사이드 등과 같은 상기 실리사이드막(7)을 자기 정합적으로 형성한다(살리사이드 프로세스). 또한 게이트 전극(15, 6a)을 실리콘막, SiGe층, 실리콘 막의 적층으로 형성한 경우, 적어도 SiGe층 상의 실리콘 막을 살리사이드화하여 상기 실리사이드막(7)을 형성하여도 좋다.

〈제2 실시예〉

제2 실시예는 상기 제1 실시예의 GIDL 전류 대책의 변형예를 설명한 것으로, 오프셋 구조의 MIS의 소스·드레인이 저불순물 농도의 반도체 영역과 고불순물 농도의 반도체 영역을 갖는 경우에 대하여 설명하기로 한다.

도 29의 (a)는 제2 실시예의 오프셋 구조의 MIS로서 상기 구동용 MISQd1, Qd2를 예시하고, 도 29의 (b)는 비 오프셋 구조의 MIS로서 상기 nMISQn 및 선택용 MISQt1, Qt2를 예시하고 있다. 또, 여기서는 nMIS를 예시하였지만, pMIS에 대해서도 여기서 설명한 GIDL 전류 대책을 한 nMIS 및 GIDL 대책을 하지 않은 nMIS와 동일한 구조로 할 수 있다.

도 29의 (a)에 도시한 바와 같이 구동용 MISQd1, Qd2의 소스·드레인용의 한쌍의 반도체 영역은 채널측에 배치된 n^- 형 반도체 영역(9e)과, 그에 접속된 n^+ 형 반도체 영역(9a)을 갖고 있다. n^- 형 반도체 영역(9e)은 그 불순물 농도가 n^+ 형 반도체 영역(9a)의 불순물 농도보다 낮게 설정하고, 도 29의 (b)의 비 오프셋 구조의 nMISQn의 n^- 형 반도체 영역(9d) 및 선택용 MISQt1, Qt2의 n^- 형 반도체 영역(12a)의 불순물 농도와 같은 정도로 설정된다. 이 n^- 형 반도체 영역(9e)의 채널측 단부는 GIDL 전류 대책으로서 게이트 전극(6b)의 양단부로부터 멀어진 방향으로 소정의 길이만큼 떨어져 있다(오프셋 구조). 또, 도 29의 (b)의 nMISQn 및 선택용 MISQt1, Qt2의 구조는 상기한 것과 동일하므로, 설명을 생략하기로 한다.

이러한 제2 실시예에 따르면, 상기 제1 실시예에서 얻은 효과 이외에 다음의 효과를 얻을 수 있다.

(1) SRAM 셀 MC의 오프셋 구조의 MIS의 채널에서의 기생 저항을 저감시킬 수 있기 때문에, 드레인 전류를 증대시킬 수 있다. 이 때문에 SRAM 셀 MC의 판독 동작이나 기입 동작 등의 속도를 향상시킬 수 있어서, 복수의 SRAM 셀 MC을 갖는 반도체 집적 회로 장치의 동작 속도를 향상시킬 수 있다.

(2) SRAM 셀 MC의 오프셋 구조의 MIS의 소스·드레인에 저불순물 농도의 반도체 영역을 설치함으로써, 열 전자 효과를 완화할 수 있어서 그 MIS의 동작 신뢰성을 향상시킬 수 있다.

〈제3 실시예〉

제3 실시예는 상기 제1 실시예의 변형예를 설명한 것으로, 상기 GIDL 전류 대책으로서, 그 MIS의 소스·드레인용 저불순물 농도의 반도체 영역의 불순물 농도를 GIDL 전류 대책을 필요로 하지 않은 MIS의 소스·드레인용 저불순물 농도의 반도체 영역의 불순물 농도보다 낮게 하는 경우에 대해 설명하기로 한다.

도 30의 (a)는 제3 실시예의 GIDL 전류 대책용 MIS로서 상기 구동용 MISQd1, Qd2를 예시하고, 도 30의 (b)는 그 GIDL 전류 대책용 MIS와 구동 전원 전압을 동일하게 하는 MIS로서, GIDL 전류 대책을 하지 않은 nMISQn 및 선택용 MISQt1, Qt2를 예시하고 있다. 또, 여기서 nMIS를 예시하였지만, pMIS에 대해서도 여기서 설명한 GIDL 전류 대책을 한 nMIS 및 GIDL 대책을 하지 않은 nMIS와 동일한 구조로 할 수 있다.

도 30의 (a)에 도시한 바와 같이 구동용 MISQd1, Qd2의 소스·드레인용의 한쌍의 반도체 영역은 채널측에 배치된 n^-형 반도체 영역(9f)과, 그에 접속된 n^+형 반도체 영역(9a)을 갖고 있다. n^-형 반도체 영역(9f)은 그 불순물 농도가 n^+형 반도체 영역(9a)의 불순물 농도보다 낮게 설정되고, 도 30의 (b)의 비 오프셋 구조의 nMISQn의 n^-형 반도체 영역(9d) 및 선택용 MISQt1, Qt2의 n^-형 반도체 영역(12a)의 불순물 농도보다 낮게 설정된다. 이 GIDL 전류 대책을 필요로 하는 구동용 MISQd1, Qd2에서의 n^-형 반도체 영역(9f)의 채널측 단부는 게이트 전극(6b)과 부분적으로 중첩되거나, 게이트 전극 양단부와 거의 동일한 위치가 되도록 형성된다. 즉, 비 오프셋 구조로 된다. 그러나, 여기서는 n^-형 반도체 영역(9f)의 불순물 농도를 nMISQn의 n^-형 반도체 영역(9d) 및 선택용 MISQt1, Qt2의 n^-형 반도체 영역(12a)의 불순물 농도보다 낮게 함으로써, 본 구조를 채택하지 않은 경우에 비하여, SRAM 셀 MC의 데이터 보유 상태(스탠바이 상태) 시의 GIDL 전류를 저감시킬 수 있다. 또, 도 30의 (b)의 nMISQn 및 선택용 MISQt1, Qt2의 구조는 상기한 것과 동일하므로, 설명을 생략하기로 한다.

이러한 제3 실시예에서 이하의 효과를 얻을 수 있다.

(1) SRAM 셀 MC의 MIS에 대하여 GIDL 전류 대책을 실시하면서, 그 소스·드레인의 구조를 비 오프셋 구조로 함으로써, SRAM 셀 MC의 데이터 보유 상태 시의 GIDL 전류를 억제하여 소비 전력을 저감시켜서, SRAM 셀 MC의 MIS에서의 드레인 전류를 향상시키고 판독 동작이나 기입하고 동작 등의 속도를 향상시킬 수 있다.

(2) SRAM 셀 MC의 MIS에 저불순물 농도의 반도체 영역을 설치함으로써, 상기 제2 실시예와 마찬가지로, SRAM 셀 MC의 MIS의 열 전자 효과를 완화할 수 있어서 MIS의 동작 신뢰성을 향상시킬 수 있다.

〈제4 실시예〉

제4 실시예는 오프셋 구조의 MIS의 변형예를 설명한 것으로, GIDL 전류 대책으로서, 그 MIS의 게이트 절연막을 상대적으로 두껍게 하는 경우에 대하여 설명하기로 한다.

도 31의 (a)는 제4 실시예의 GIDL 전류 대책용 MIS로서 상기 구동용 MISQd1, Qd2를 예시하고, 도 31의 (b)는 그 GIDL 전류 대책용 MIS와 구동 전원 전압을 동일하게 한 MIS이고, GIDL 전류 대책을 하지 않은 nMISQn 및 선택용 MISQt1, Qt2를 예시하고 있다. 또, 여기서도 nMIS를 예시하였지만, pMIS에 대해서도 여기서 설명한 GIDL 전류 대책을 한 nMIS 및 GIDL 대책을 하지 않은 nMIS와 동일한 구조로 할 수 있다.

도 31의 (a)에 도시한 바와 같이 구동용 MISQd1, Qd2의 소스·드레인용의 한쌍의 반도체 영역은 채널측에 배치된 n^-형 반도체 영역(9g)과, 그에 접속된 n^+형 반도체 영역(9a)을 갖고 있다. 이 n^-형 반도체 영역(9g)의 채널측 단부는 게이트 전극(6b)의 양단과 거의 일치하는 위치 또는 게이트 전극(6b)의 일부에 중첩되도록 된다(비 오프셋 구조). 이 n^-형 반도체 영역(9g)의 불순물 농도는 n^+형 반도체 영역(9a)의 불순물 농도보다 낮지만, 도 31의 (b)의 nMISQn의 n^-형 반도체 영역 (9d) 및 선택용 MISQt1, Qt2의 n^-형 반도체 영역(12a)의 불순물 농도와 동등하다. 즉, 구동용 MIS MISQd1, Qd2의 소스·드레인용의 한쌍의 반도체 영역의 구조는 nMISQn 및 선택용 MISQt1, Qt2의 소스·드레인용의 한쌍의 반도체 영역의 구조와 동일한다.

여기서는 GIDL 전류의 대책으로서, 구동용 MISQd1, Qd2의 게이트 절연막(22)의 막 두께(이산화 실리콘막 환산 막 두께)가 nMISQn 및 선택용 MISQt1, Qt2의 게이트 절연막(5)의 막 두께(이산화 실리콘막 환산 막 두께)보다 두껍게 된다. 이에 따라, 반도체 기판(1) 측에 인가된 전계를 완화시킬 수 있어 SRAM 셀 MC의 데이터 보유 상태 시의 GIDL 전류를 저감시킬 수 있다. 제4 실시예와, 상기 제1 실시예 제3 실시예 중 어느 하나를 조합할 수도 있다. 그 경우도 상기와 동일한 효과를 얻을 수 있다. 또, 도 31의 (b)의 nMISQn 및 선택용 MISQt1, Qt2의 구조는 상기한 것과 동일하므로, 설명을 생략하기로 한다.

다음으로, 이러한 SRAM을 갖는 반도체 집적 회로 장치의 제조 방법의 일례를 도 32 도 35에 의해 설명하기로 한다. 도 32 도 35의 (a)는 제4 실시예의 GIDL 전류 대책용 MIS의 형성 영역을 나타내고, 도 32 도 35의 (b)는 그 GIDL 전류 대책용 MIS와 구동 전원 전압을 동일로 하는 MIS로서, GIDL 전류 대책을 하지 않은 MIS의 형성 영역을 나타내고 있다.

우선, 도 32의 (a), 도 32의 (b)에 도시한 바와 같이 반도체 기판(1)의 주면 상에 열 산화법 등에 의해 게이트 절연막(5)을 형성한다. 이 단계에서는 GIDL 전류 대책용 MIS의 형성 영역 및 GIDL 전류 대책을 하지 않은 MIS의 형성 영역의 양방에 게이트 절연막(23)을 형성한다.

계속해서, 도 33의 (a), 도 33의 (b)에 도시한 바와 같이 GIDL 전류 대책용 MIS의 형성 영역이 피복되어, GIDL 전류 대책을 하지 않은 MIS의 형성 영역이 노출된 포토레지스트 패턴(20b)을 형성한 후, 이를 에칭 마스크로 하여, 거기에서 노출된 게이트 절연막(23)을 불산 에칭 제거한다.

그 후, 포토레지스트 패턴(20b)을 제거한 후, 반도체 기판(1)에 대하여 재차 열 산화 처리를 실시함으로써, 도 34의 (a), (b)에 도시한 바와 같이 GIDL 전류 대책용 MIS의 형성 영역에 게이트 절연막(23, 5)의 적층막[즉, 게이트 절연막(22)]을 형성하고, GIDL 전류 대책을 하지 않은 MIS의 형성 영역에 게이트 절연막(5)을 형성한다. 이와 같이 함으로써, GIDL 전류 대책용 MIS의 형성 영역에 상대적으로 두꺼운 게이트 절연막(22)을 형성한다.

계속해서, 게이트 절연막(5, 22) 상에 게이트 전극 형성용 도체막을 피착한 후, 이것을 통상의 포토리소그래피 기술 및 드라이에칭 기술에 의해 패터닝함으로써, 도 35의 (a), 도 35의 (b)에 도시한 바와 같이 게이트 전극(6b, 11, 13)을 형성한다. 또, 이 단계에서는 게이트 전극(6b, 11, 13)의 상면에, 상기 실리사이드막이 형성되어 있지 않다.

계속해서, 게이트 전극(6b, 11, 13)을 마스크로 하여, 예를 들면, 인 또는 비소를 도입함으로써, 도 31의 (a), (b)에 나타낸 저불순물 농도의 n^- 형 반도체 영역(9b, 9g, 12b)을 동일한 공정 시에 게이트 전극(6b, 11, 13)에 대하여 자기 정합적으로 형성한다. n^- 형 반도체 영역(9b, 9g, 12b)은 비 오프셋 구조로 된다.

그 후, 게이트 전극(6b, 11, 13)의 측면에 상기 제1 실시예와 마찬가지로, 측벽(8)을 형성한 후, 게이트 전극(6b, 11, 13) 및 측벽(8)을 마스크로 하여, 예를 들면, 인 또는 비소를 도입함으로써, 고불순물 농도의 n^+ 형 반도체 영역(9a, 9b, 12b)을 동일한 공정 시에 게이트 전극(6b, 11, 13)에 대해 자기 정합적으로 형성한다. 이후는 상기 제1 실시예와 동일하므로, 그 설명을 생략하기로 한다.

SRAM을 갖는 반도체 집적 회로 장치의 제조 공정에서는 동일한 반도체 기판 내에 두께가 다른 게이트 절연막을 형성하는 경우가 있다. 예를 들면, 상대적으로 고속 동작을 필요로 하는 MIS의 게이트 절연막을, 상대적으로 높은 내압을 필요로 하는 MIS의 게이트 절연막보다 얇게 하는 경우 등이 있다. 그 경우의 프로세스에 제4 실시예의 프로세스를 적용함으로써, 프로세스의 증가를 초래하지 않고 SRAM을 갖는 반도체 집적 회로 장치를 제조할 수 있다.

이러한 제4 실시예에서 이하의 효과를 얻을 수 있다.

(1) SRAM 셀 MC의 MIS에 대하여 GIDL 전류 대책을 실시하면서, 그 소스·드레인의 구조를 SRAM 셀 MC 이외의 통상의 MIS와 동일한 비 오프셋 구조로 함으로써, SRAM 셀 MC의 데이터 보유 상태 시의 GIDL 전류를 억제하여 소비 전력을 저감하여서, 판독 동작이나 기입 동작 등의 속도를 향상시킬 수 있다.

(2) SRAM 셀 MC의 MIS에 저불순물 농도의 반도체 영역을 설치함으로써, 상기 제2 실시예와 마찬가지로, SRAM 셀 MC의 MIS의 열 전자 효과를 완화할 수 있기 때문에 그 MIS의 동작 신뢰성을 향상시킬 수 있다.

(3) SRAM 셀 MC의 GIDL 전류 대책을 한 MIS의 소스·드레인 영역을 GIDL 전류 대책을 하지 않은 MIS의 소스·드레인 영역과 동일한 공정 시에 형성할 수 있다.

(4) 상기 (3)에 의해 SRAM을 갖는 반도체 집적 회로 장치의 개발 또는 제조 시간을 단축시킬 수 있다.

(5) 상기 (3)에 의해 SRAM을 갖는 반도체 집적 회로 장치의 제조 비용을 저감시킬 수 있다.

이상, 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예뿐만 아니라, 그 요지를 일탈하지 않은 범위에서 여러가지로 변경 가능한 것은 물론이다.

예를 들면, 반도체 기판으로는 상기한 바와 같이 SOI 기판을 이용하여도 좋다. 즉, 반도체 기판을 산화 실리콘막 등으로 이루어진 매립 절연층 상에 단결정 실리콘으로 이루어진 소자 형성용 반도체층을 설치하는 구조로 하여도 좋다. 이 경우, 기생 용량, 기생 저항 및 기생 컨덕턴스를 저감할 수 있기 때문에 반도체 집적 회로 장치의 동작 속도를 향상시킬 수 있다. 또한, 래치 업을 방지할 수 있기 때문에 반도체 집적 회로 장치의 신뢰성을 향상시킬 수 있다.

또한, 반도체 기판의 주면에 에피택셜층을 설치한 소위 에피택셜 웨이퍼를 이용하여도 좋다. 이 경우, 게이트 절연막의 막질을 향상시킬 수 있기 때문에, 반도체 집적 회로 장치의 성능 및 신뢰성을 향상시킬 수 있다.

이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경으로 한이용 분야인 SRAM 내장의 마이크로 프로세서에 적용한 경우에 대해 설명하였지만, 이에 한정된 것이 아니라, 예를 들면, SRAM을 내장한 다른 반도체 집적 회로 장치나 SRAM 단체에도 적용할 수 있다.

발명의 효과

본원에 의해 개시되는 발명 중, 대표적인 것에 의해 얻을 수 있는 효과를 간단히 설명하면, 다음과 같다.

(1) 본 발명에 따르면, 상보형 전계 효과 트랜지스터 구조의 SRAM 셀 중 적어도 하나의 전계 효과 트랜지스터에서 소스·드레인용의 한쌍의 반도체 영역을 오프셋 구조로 함으로써, SRAM 셀에서의 GIDL 전류를 저감할 수 있기 때문에 복수의 SRAM 셀을 갖는 반도체 집적 회로 장치의 소비 전력을 대폭 저감시킬 수 있다.

(2) 본 발명에 따르면, 상보형 전계 효과 트랜지스터 구조의 SRAM 셀 중 적어도 하나의 전계 효과 트랜지스터의 게이트 절연막을 그 전계 효과 트랜지스터와 동일한 전원 전압이 공급된 다른 전계 효과 트랜지스터의 게이트 절연막보다 두껍게 함으로써, SRAM 셀에서의 GIDL 전류를 저감할 수 있기 때문에 복수의 SRAM 셀을 갖는 반도체 집적 회로 장치의 소비 전력을 대폭 저감시킬 수 있다.

(3) 본 발명에 따르면, 상보형 전계 효과 트랜지스터 구조의 SRAM 셀 중 적어도 하나의 전계 효과 트랜지스터의 소스·드레인용의 한쌍의 반도체 영역에서 저불순물 농도의 반도체 영역의 불순물 농도를, 그 전계 효과 트랜지스터와 동일한 전원 전압이 공급된 다른 전계 효과 트랜지스터의 소스·드레인용의 한쌍의 반도체 영역에서의 저불순물 농도의 반도체 영역의 불순물 농도보다 낮게 함으로써, SRAM 셀에서의 GIDL 전류를 저감할 수 있기 때문에, 복수의 SRAM 셀을 갖는 반도체 집적 회로 장치의 소비 전력을 대폭 저감시킬 수 있다.

(4) 본 발명에 따르면, 상보형 전계 효과 트랜지스터 구조의 SRAM 셀을 구성한 전계 효과 트랜지스터 이외의 전계 효과 트랜지스터에서 소스·드레인용의 한쌍의 반도체 영역을 비 오프셋 구조로 함으로써, SRAM을 갖는 반도체 집적 회로 장치의 고속 동작을 실현시킬 수 있다.

(57) 청구의 범위

청구항 1.

반도체 집적 회로 장치에 있어서,

반도체 기판에 설치된 상보형 전계 효과 트랜지스터 구성의 복수의 SRAM 셀 각각을 구성한 복수의 전계 효과 트랜지스터 중, 적어도 하나의 제1 전계 효과 트랜지스터의 소스 또는 드레인을 구성한 한쌍의 반도체 영역의 채널측 단부를, 상기 전계 효과 트랜지스터의 게이트 전극과 중첩되지 않도록 그 게이트 전극의 양단부로부터 멀어진 방향으로 분리하여 배치하고,

상기 반도체 기판에 형성된 전계 효과 트랜지스터에서, 상기 제1 전계 효과 트랜지스터 이외의 제2 전계 효과 트랜지스터를 구성한 한쌍의 반도체 영역의 채널측 단부를, 그 전계 효과 트랜지스터의 게이트 전극과 일부가 중첩되도록 배치한 반도체 집적 회로 장치.

청구항 2.

반도체 집적 회로 장치에 있어서,

반도체 기판에 설치된 상보형 전계 효과 트랜지스터 구성을 갖는 복수의 SRAM 셀 각각을 구성한 복수의 전계 효과 트랜지스터 중, 적어도 하나의 제1 전계 효과 트랜지스터의 소스 또는 드레인 영역과 게이트 전극을 오프셋 구조로 한 반도체 집적 회로 장치.

청구항 3.

반도체 집적 회로 장치에 있어서,

반도체 기판에 설치된 상보형 전계 효과 트랜지스터 구성의 복수의 SRAM 셀 각각을 구성한 복수의 전계 효과 트랜지스터 중, 적어도 하나의 제1 전계 효과 트랜지스터의 게이트 절연막의 두께를, 상기 반도체 기판에 형성된 전계 효과 트랜지스터에서, 상기 제1 전계 효과 트랜지스터 이외의 전계 효과 트랜지스터로서, 상기 제1 전계 효과 트랜지스터와 동일한 전원 전압이 공급된 제2 전계 효과 트랜지스터의 게이트 절연막보다 두껍게 한 반도체 집적 회로 장치.

청구항 4.

제3항에 있어서,

상기 제1 전계 효과 트랜지스터의 소스 또는 드레인 영역과 게이트 전극을 오프셋 구조로 하고, 상기 제2 전계 효과 트랜지스터의 소스 또는 드레인 영역과 게이트 전극을 비 오프셋 구조로 한 반도체 집적 회로 장치.

청구항 5.

반도체 집적 회로 장치에 있어서,

반도체 기판에 설치된 상보형 전계 효과 트랜지스터 구성의 복수의 SRAM 셀 각각을 구성한 복수의 전계 효과 트랜지스터 중, 적어도 하나의 제1 전계 효과 트랜지스터의 소스 또는 드레인용 반도체 영역은 채널측에 배치되어 상대적으로 불순물 농도가 낮은 제1 반도체 영역과, 상기 제1 반도체 영역에 접속되어 상대적으로 불순물 농도가 높은 제2 반도체 영역을 가지며,

상기 반도체 기판에 형성된 전계 효과 트랜지스터에서, 상기 제1 전계 효과 트랜지스터 이외의 전계 효과 트랜지스터로서, 상기 제1 전계 효과 트랜지스터와 동일한 전원 전압이 공급된 제2 전계 효과 트랜지스터의 소스 또는 드레인용 반도체 영역은 채널측에 배치되어 상대적으로 불순물 농도가 낮은 제1 반도체 영역과, 상기 제1 반도체 영역에 접속되어 상대적으로 불순물 농도가 높은 제2 반도체 영역을 가지며,

상기 제1 전계 효과 트랜지스터의 제1 반도체 영역의 불순물 농도를, 상기 제2 전계 효과 트랜지스터의 제1 반도체 영역의 불순물 농도보다 낮게 한 반도체 집적 회로 장치.

청구항 6.

제5항에 있어서,

상기 제1 전계 효과 트랜지스터 및 상기 제2 전계 효과 트랜지스터의 소스 또는 드레인 영역과 게이트 전극을 비 오프셋 구조로 한 반도체 집적 회로 장치.

청구항 7.

제5항에 있어서,

상기 제1 전계 효과 트랜지스터의 소스 또는 드레인 영역과 게이트 전극을 오프셋 구조로 하고, 상기 제2 전계 효과 트랜지스터의 소스 또는 드레인 영역과 게이트 전극을 비 오프셋 구조로 한 반도체 집적 회로 장치.

청구항 8.

제5항에 있어서,

상기 제1 전계 효과 트랜지스터의 게이트 절연막을 상기 제2 전계 효과 트랜지스터의 게이트 절연막보다 두껍게 한 반도체 집적 회로 장치.

청구항 9.

제1항에 있어서,

상기 SRAM 셀의 부하용 전계 효과 트랜지스터를 상기 제1 전계 효과 트랜지스터로 구성하고, 상기 SRAM 셀의 구동용 및 선택용 전계 효과 트랜지스터를 상기 제2 전계 효과 트랜지스터로 구성한 반도체 집적 회로 장치.

청구항 10.

제1항에 있어서,

상기 SRAM 셀의 부하용 및 구동용 전계 효과 트랜지스터를 상기 제1 전계 효과 트랜지스터로 구성하고, 상기 SRAM 셀의 선택용 전계 효과 트랜지스터를 상기 제2 전계 효과 트랜지스터로 구성한 반도체 집적 회로 장치.

청구항 11.

제1항에 있어서,

상기 SRAM 셀의 부하용, 구동용 및 선택용 전계 효과 트랜지스터를 상기 제1 전계 효과 트랜지스터로 구성한 반도체 집적 회로 장치.

청구항 12.

제9항에 있어서,

상기 부하용 전계 효과 트랜지스터가 p채널형 전계 효과 트랜지스터인 반도체 집적 회로 장치.

청구항 13.

제1항에 있어서,

상기 반도체 기판에 형성된 SRAM 셀의 주변 회로, 상기 반도체 기판에 형성된 SRAM 셀 이외의 논리 회로 또는 양방의 회로를 구성한 전계 효과 트랜지스터를 상기 제2 전계 효과 트랜지스터로 구성한 반도체 집적 회로 장치.

청구항 14.

제1항에 있어서,

2차 전지로 구동하는 휴대형 전자 장치에 전기적으로 조립되는 반도체 집적 회로 장치.

청구항 15.

반도체 집적 회로 장치의 제조 방법에 있어서,

상보형 전계 효과 트랜지스터 구성의 복수의 SRAM 셀 각각을 구성한 복수의 전계 효과 트랜지스터 및 상기 SRAM 셀 이외의 회로를 구성한 복수의 전계 효과 트랜지스터를 반도체 기판에 형성하는 공정을 가지며,

상기 SRAM 셀을 구성한 복수의 전계 효과 트랜지스터 중, 적어도 하나의 제1 전계 효과 트랜지스터의 소스 또는 드레인용 반도체 영역과, 게이트 전극이 오프셋되고, 상기 복수의 전계 효과 트랜지스터 중, 상기 제1 전계 효과 트랜지스터 이외의 제2 전계 효과 트랜지스터의 소스 또는 드레인용 반도체 영역과, 게이트 전극이 비 오프셋되도록, 상기 제1 및 제2 전계 효과 트랜지스터의 반도체 영역을 형성하는 반도체 집적 회로 장치의 제조 방법.

청구항 16.

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 반도체 기판에 제1, 제2 전계 효과 트랜지스터의 게이트 절연막을 형성하는 공정과,

(b) 상기 게이트 절연막 상에 상기 제1, 제2 전계 효과 트랜지스터의 게이트 전극을 형성하는 공정과,

(C) 상기 제1 전계 효과 트랜지스터의 형성 영역을 피복하여, 상기 제2 전계 효과 트랜지스터의 형성 영역이 노출된 마스크를 형성한 후, 그 반도체 기판에 제1 불순물을 도입함으로써, 상기 제2 전계 효과 트랜지스터의 소스 또는 드레인용 반도체 영역 중, 상대적으로 불순물 농도가 낮은 제1 반도체 영역을 상기 제2 전계 효과 트랜지스터의 게이트 전극에 대하여 자기 정합적으로 형성하는 공정과,

(d) 상기 제1, 제2 전계 효과 트랜지스터 각각의 게이트 전극의 측면에 측벽 절연막을 형성한 후, 상기 반도체 기판에 제2 불순물을 도입함으로써, 상기 제1, 제2 전계 효과 트랜지스터의 소스 또는 드레인용 반도체 영역 중, 상대적으로 불순물 농도가 높은 제2 반도체 영역을 상기 제1, 제2 전계 효과 트랜지스터 각각의 게이트 전극 및 측벽 절연막에 대하여 자기 정합적으로 형성하는 공정을 갖는 반도체 집적 회로 장치의 제조 방법.

청구항 17.

반도체 집적 회로 장치의 제조 방법에 있어서,

상보형 전계 효과 트랜지스터 구성의 복수의 SRAM 셀 각각을 구성한 복수의 전계 효과 트랜지스터 및 상기 SRAM 셀 이외의 회로를 구성한 복수의 전계 효과 트랜지스터를 반도체 기판에 형성하는 공정을 가지며,

상기 SRAM 셀을 구성한 복수의 전계 효과 트랜지스터 중, 적어도 하나의 제1 전계 효과 트랜지스터의 게이트 절연막의 두께를, 상기 제1 전계 효과 트랜지스터 이외의 전계 효과 트랜지스터에서, 상기 제1 전계 효과 트랜지스터와 동일한 전원 전압이 공급된 제2 전계 효과 트랜지스터의 게이트 절연막보다 두껍게 되도록 형성하는 반도체 집적 회로 장치의 제조 방법.

청구항 18.

제17항에 있어서,

(a) 상기 반도체 기판의 주면 상에 제1 게이트 절연막을 형성하는 공정과,

(b) 상기 제1 전계 효과 트랜지스터 형성 영역에 형성된 상기 제1 게이트 절연막 부분을 선택적으로 제거하는 공정과,

(c) 상기 (b) 공정 후, 상기 반도체 기판의 주면 상에 제2 게이트 절연막을 형성하는 공정을 갖는 반도체 집적 회로 장치의 제조 방법.

청구항 19.

제17항에 있어서,

상기 제1 전계 효과 트랜지스터의 소스 또는 드레인용 반도체 영역이 게이트 전극에 대하여 오프셋되고, 상기 제2 전계 효과 트랜지스터의 소스 또는 드레인용 반도체 영역이 게이트 전극에 대하여 비 오프셋되도록, 각각의 반도체 영역을 형성하는 반도체 집적 회로 장치의 제조 방법.

청구항 20.

제15항에 있어서,

상기 SRAM 셀의 부하용 전계 효과 트랜지스터를 상기 제1 전계 효과 트랜지스터로 형성하고, 상기 SRAM 셀의 구동용 및 선택용 전계 효과 트랜지스터를 상기 제2 전계 효과 트랜지스터로 형성하는 반도체 집적 회로 장치의 제조 방법.

청구항 21.

제15항에 있어서,

상기 SRAM 셀의 부하용 및 구동용 전계 효과 트랜지스터를 상기 제1 전계 효과 트랜지스터로 형성하고, 상기 SRAM 셀의 선택용 전계 효과 트랜지스터를 상기 제2 전계 효과 트랜지스터로 형성하는 반도체 집적 회로 장치의 제조 방법.

청구항 22.

제15항에 있어서,

상기 SRAM 셀의 부하 저항용, 구동용 및 선택용 전계 효과 트랜지스터를 상기 제1 전계 효과 트랜지스터로 형성하는 반도체 집적 회로 장치의 제조 방법.

청구항 23.

제20항에 있어서,

상기 부하용 전계 효과 트랜지스터를 p채널형 전계 효과 트랜지스터로 형성하는 반도체 집적 회로 장치의 제조 방법.

청구항 24.

제15항에 있어서,

상기 반도체 기판에 형성된 SRAM 셀의 주변 회로, 상기 반도체 기판에 형성된 논리 회로 또는 양방의 회로를 구성한 전계 효과 트랜지스터를 상기 제2 전계 효과 트랜지스터로 형성하는 반도체 집적 회로 장치의 제조 방법.

청구항 25.

SRAM 셀을 갖는 반도체 집적 회로 장치에 있어서,

SRAM 셀은 제1 n채널 MISFET과, 제2 n채널 MISFET과, 제1 p채널 MISFET과, 제2 p채널 MISFET을 가지며,

n채널 MISFET 및 p채널 MISFET의 소스 및 드레인 영역은 반도체 기판 내에 형성되고,

제1 n채널 MISFET의 드레인 영역과, 제1 p채널 MISFET의 드레인 영역과, 제2 n채널 MISFET의 게이트 전극과, 제2 p채널 MISFET의 게이트 전극은 상호 전기적으로 접속되고,

제1 n채널 MISFET의 드레인 영역과, 제1 p채널 MISFET의 드레인 영역과, 제2 n채널 MISFET의 게이트 전극과, 제2 p채널 MISFET의 게이트 전극은 상호 전기적으로 접속되고,

n채널 MISFET과 p채널 MISFET 중 적어도 한쪽은 그 드레인 영역과 게이트 전극이 오프셋 구조로 구성된 반도체 집적 회로 장치.

청구항 26.

제25항에 있어서,

n채널 MISFET 및 p채널 MISFET의 양방이 오프셋 구조로 구성된 반도체 집적 회로 장치.

청구항 27.

제25항에 있어서,

p채널 MISFET이 오프셋 구조로 구성된 반도체 집적 회로 장치.

청구항 28.

제25항에 있어서,

n채널 MISFET이 오프셋 구조로 구성된 반도체 집적 회로 장치.

청구항 29.

SRAM 셀을 갖는 반도체 집적 회로 장치에 있어서,

SRAM 셀은 제1 n채널 MISFET과, 제2 n채널 MISFET과, 제1 p채널 MISFET과, 제2 p채널 MISFET을 가지며,

n채널 MISFET 및 p채널 MISFET의 소스 및 드레인 영역은 반도체 기판 내에 형성되고,

제1 n채널 MISFET의 드레인 영역과, 제1 p채널 MISFET의 드레인 영역과, 제2 n채널 MISFET의 게이트 전극과, 제2 p채널 MISFET의 게이트 전극은 상호 전기적으로 접속되고,

제1 n채널 MISFET의 드레인 영역과, 제1 p채널 MISFET의 드레인 영역과, 제2 n채널 MISFET의 게이트 전극과, 제2 p채널 MISFET의 게이트 전극은 상호 전기적으로 접속되고,

n채널 MISFET과 p채널 MISFET 중 적어도 한쪽은 그 드레인 영역이 게이트 전극의 단부로부터 멀어진 방향으로 분리하여 배치되는 반도체 집적 회로 장치.

청구항 30.

제29항에 있어서,

n채널 MISFET 및 p채널 MISFET 양방이, 그들 드레인 영역이 게이트 전극의 단부로부터 멀어진 방향으로 분리하여 배치되는 반도체 집적 회로 장치.

청구항 31.

제29항에 있어서,

p채널 MISFET은, 그ㅂ 드레인 영역이 게이트 전극의 단부로부터 멀어진 방향으로 분리하여 배치되는 반도체 집적 회로 장치.

청구항 32.

제29항에 있어서,

n채널 MISFET이, 그 드레인 영역이 게이트 전극의 단부로부터 멀어진 방향으로 분리하여 배치되는 반도체 집적 회로 장치.

청구항 33.

SRAM 셀과 주변 회로를 갖는 반도체 집적 회로 장치에 있어서,

SRAM 셀은 제1 n채널 MISFET과, 제2 n채널 MISFET과, 제1 p채널 MISFET과, 제2 p채널 MISFET을 가지며,

n채널 MISFET 및 p채널 MISFET의 소스 및 드레인 영역은 반도체 기판 내에 형성되고,

제1 n채널 MISFET의 드레인 영역과, 제1 p채널 MISFET의 드레인 영역과, 제2 n채널 MISFET의 게이트 전극과, 제2 p채널 MISFET의 게이트 전극은 상호 전기적으로 접속되고,

제1 n채널 MISFET의 드레인 영역과, 제1 p채널 MISFET의 드레인 영역과, 제2 n채널 MISFET의 게이트 전극과, 제2 p채널 MISFET의 게이트 전극은 상호 전기적으로 접속되고,

주변 회로는 n채널 MISFET과 p채널 MISFET을 포함하고,

SRAM 셀의 p채널 MISFET의 드레인 영역의 채널 영역에 접하는 부분의 농도는 주변 회로의 p채널 MISFET의 드레인 영역의 채널 영역에 접하는 부분의 농도보다 낮은 반도체 집적 회로 장치.

청구항 34.

제32항에 있어서,

SRAM 셀의 n채널 MISFET의 드레인 영역의 채널 영역에 접하는 부분의 농도는 주변 회로의 n채널 MISFET의 드레인 영역의 채널 영역에 접하는 부분의 농도보다 낮은 반도체 집적 회로 장치.

청구항 35.

SRAM 셀과 주변 회로를 갖는 반도체 집적 회로 장치에 있어서,

SRAM 셀은 제1 n채널 MISFET과, 제2 n채널 MISFET과, 제1 p채널 MISFET과, 제2 p채널 MISFET을 가지며,

n채널 MISFET 및 p채널 MISFET의 소스 및 드레인 영역은 반도체 기판 내에 형성되고,

제1 n채널 MISFET의 드레인 영역과, 제1 p채널 MISFET의 드레인 영역과, 제2 n채널 MISFET의 게이트 전극과, 제2 p채널 MISFET의 게이트 전극은 상호 전기적으로 접속되고,

제1 n채널 MISFET의 드레인 영역과, 제1 p채널 MISFET의 드레인 영역과, 제2 n채널 MISFET의 게이트 전극과, 제2 p채널 MISFET의 게이트 전극은 상호 전기적으로 접속되고,

주변 회로는 n채널 MISFET과 p채널 MISFET을 포함하고,

SRAM 셀의 n채널 MISFET의 드레인 영역의 채널 영역에 접하는 부분의 농도는 주변 회로의 n채널 MISFET의 드레인 영역의 채널 영역에 접하는 부분의 농도보다 낮은 반도체 집적 회로 장치.

청구항 36.

반도체 집적 회로 장치에 있어서,

SRAM 셀을 구성하는 MISFET의 소스 및 드레인 영역이 반도체 기판 내에 형성되고, 또한 상기 MISFET의 드레인 영역과 게이트 전극이 오프셋 구조로 구성된 반도체 집적 회로 장치.

청구항 37.

반도체 집적 회로 장치에 있어서,

SRAM 셀을 구성한 MISFET의 소스 및 드레인 영역이 반도체 기판 내에 형성되고, 또한 상기 MISFET의 드레인 영역이 게이트 전극의 단부로부터 멀어진 방향으로 분리하여 배치되는 반도체 집적 회로 장치.

청구항 38.

반도체 집적 회로 장치에 있어서,

SRAM 셀을 구성한 MISFET의 소스 및 드레인 영역이 반도체 기판 내에 형성되고, 또한 상기 MISFET의 드레인 영역의 채널 영역에 접하는 부분의 농도는 주변 회로의 MISFET의 드레인 영역의 채널 영역에 접하는 부분의 농도보다 낮은 반도체 집적 회로 장치.

청구항 39.

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 게이트 절연막 상에 형성된 제1 실리콘막과, 제1 실리콘막 상에 형성된 SiGe 층과, SiGe 층 상에 형성된 제2 실리콘막을 갖는 게이트 전극을 형성하는 공정과,

(b) (a) 공정 후, 적어도 제2 실리콘막에 실리사이드막을 형성하는 공정을 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 40.

제39항에 있어서,

게이트 전극 형성 공정에서 p채널 NISFET의 게이트 전극과 n채널 NISFET의 게이트 전극이 형성되는 반도체 집적 회로 장치의 제조 방법.

청구항 41.

제39항 또는 제40항에 있어서,

SiGe 층의 Ge의 농도는 게이트 전극의 일함수가 p형 실리콘막의 일함수와 n형 실리콘막의 일함수 사이의 값으로 설정되는 농도인 반도체 집적 회로 장치의 제조 방법.

청구항 42.

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 게이트 절연막 상에 제1 실리콘막을 피착하는 공정과,

(b) 제1 실리콘막 상에 SiGe 층을 피착하는 공정과,

(c) SiGe 층 상에 제2 실리콘막을 피착하는 공정과,

(d) 제2 실리콘막, SiGe층, 제1 실리콘막을 패터닝하여 p채널 NISFET의 게이트 전극과 n채널 NISFET의 게이트 전극을 형성하는 공정과,

(e) 적어도 제2 실리콘막에 실리사이드막을 형성하는 공정을 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 43.

제42항에 있어서,

SiGe 층의 Ge의 농도는 게이트 전극의 일함수가 p형 실리콘막의 일함수와 n형 실리콘막의 일함수 사이의 값으로 설정되는 농도인 반도체 집적 회로 장치의 제조 방법.

청구항 44.

제42항 또는 제 43항에 있어서,

실리사이드막은 제2 실리콘막을 살리사이드화함으로써 형성되는 반도체 집적 회로 장치의 제조 방법.

청구항 45.

제42항 또는 제43항에 있어서,

게이트 절연막은 산질화 실리콘막으로 형성되는 반도체 집적 회로 장치의 제조 방법.

청구항 46.

반도체 집적 회로 장치에 있어서,

게이트 전극은 게이트 절연막 상에 형성된 제1 실리콘막과, 제1 실리콘막 상에 형성된 SiGe 층과, SiGe 층 상에 형성된 제2 실리콘막을 가지며,

적어도 제2 실리콘막에 실리사이드막이 형성되는 반도체 집적 회로 장치.

청구항 47.

제46항에 있어서,

SiGe 층의 Ge의 농도는 게이트 전극의 일함수가 p형 실리콘막의 일함수와 n형 실리콘막의 일함수 사이의 값으로 설정되는 농도인 반도체 집적 회로 장치.

청구항 48.

제46항 또는 제47항에 있어서,

게이트 절연막은 산질화 실리콘막으로 형성되는 반도체 집적 회로 장치.

청구항 49.

반도체 집적 회로 장치에 있어서,

p채널 NISFET 및 n채널 NISFET의 게이트 전극 각각은 게이트 절연막 상에 형성된 제1 실리콘막과, 제1 실리콘막 상에 형성된 SiGe 층과, SiGe 층 상에 형성된 제2 실리콘막을 가지며,

적어도 제2 실리콘막에 실리사이드막이 형성되는 반도체 집적 회로 장치.

청구항 50.

제49항에 있어서,

SiGe 층의 Ge의 농도는 게이트 전극의 일함수가 p형 실리콘막의 일함수와 n형 실리콘막의 일함수 사이의 값으로 설정되는 농도인 반도체 집적 회로 장치.

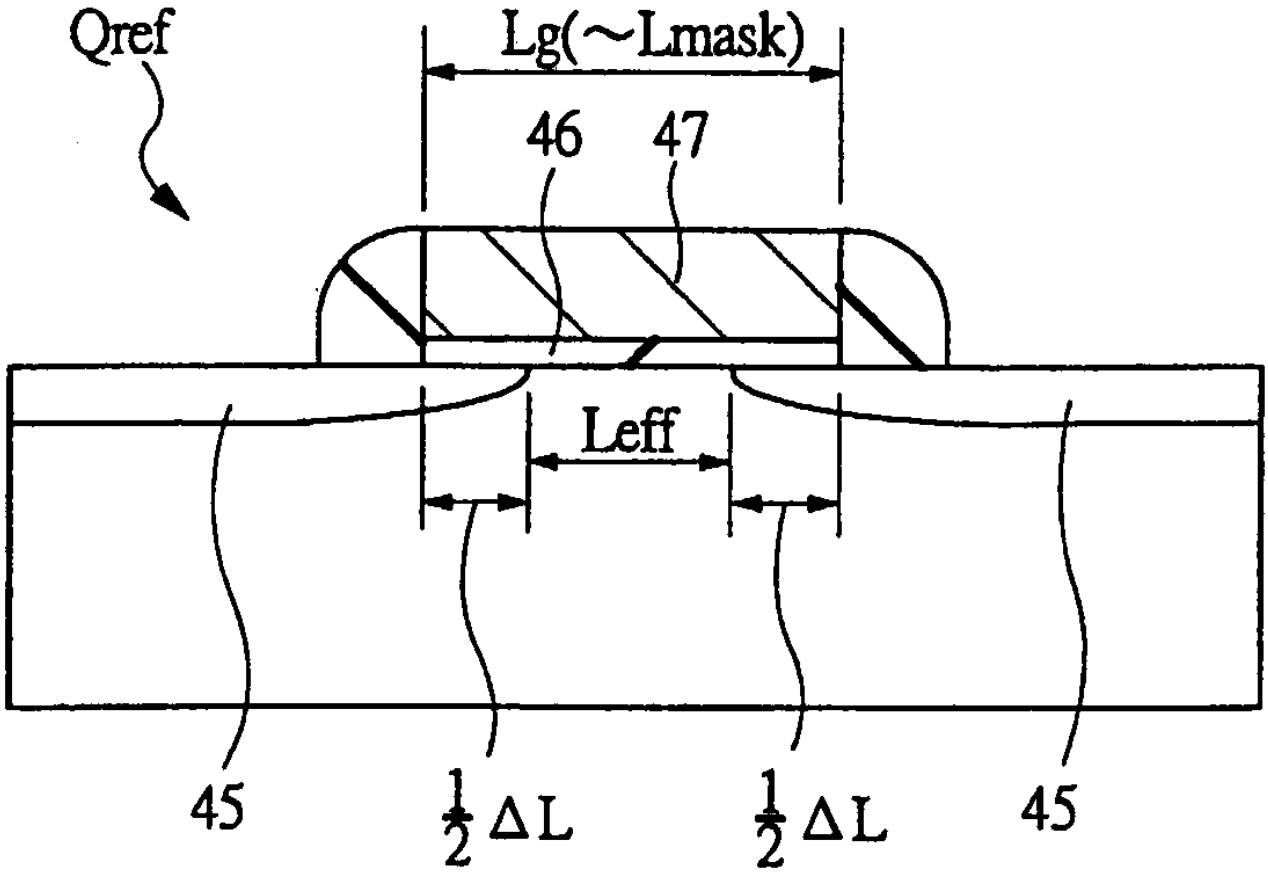
청구항 51.

제49항 또는 제 50항에 있어서,

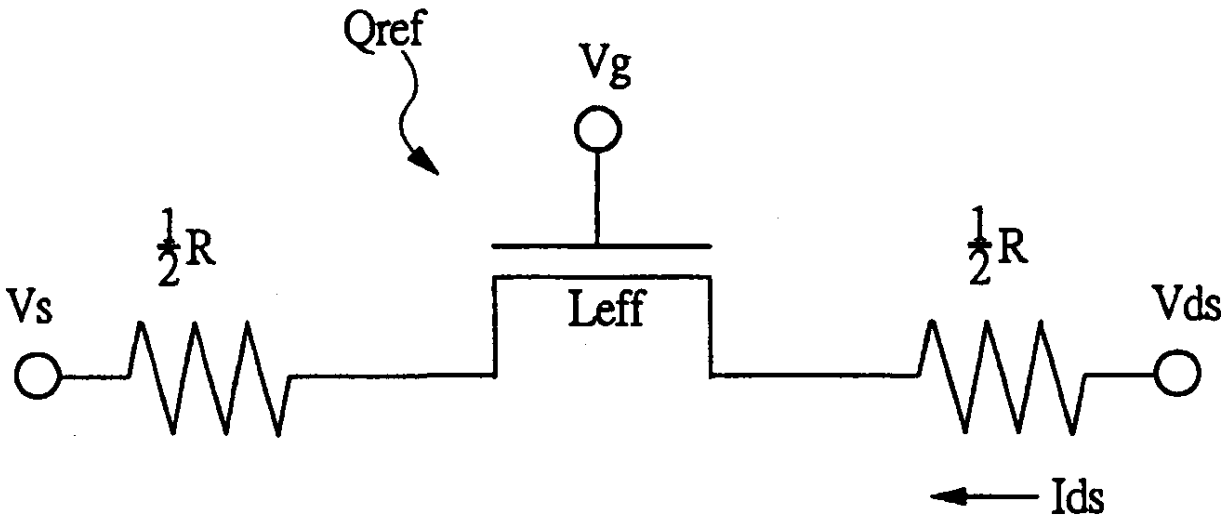
게이트 절연막은 산질화 실리콘막으로 형성되는 반도체 집적 회로 장치.

도면

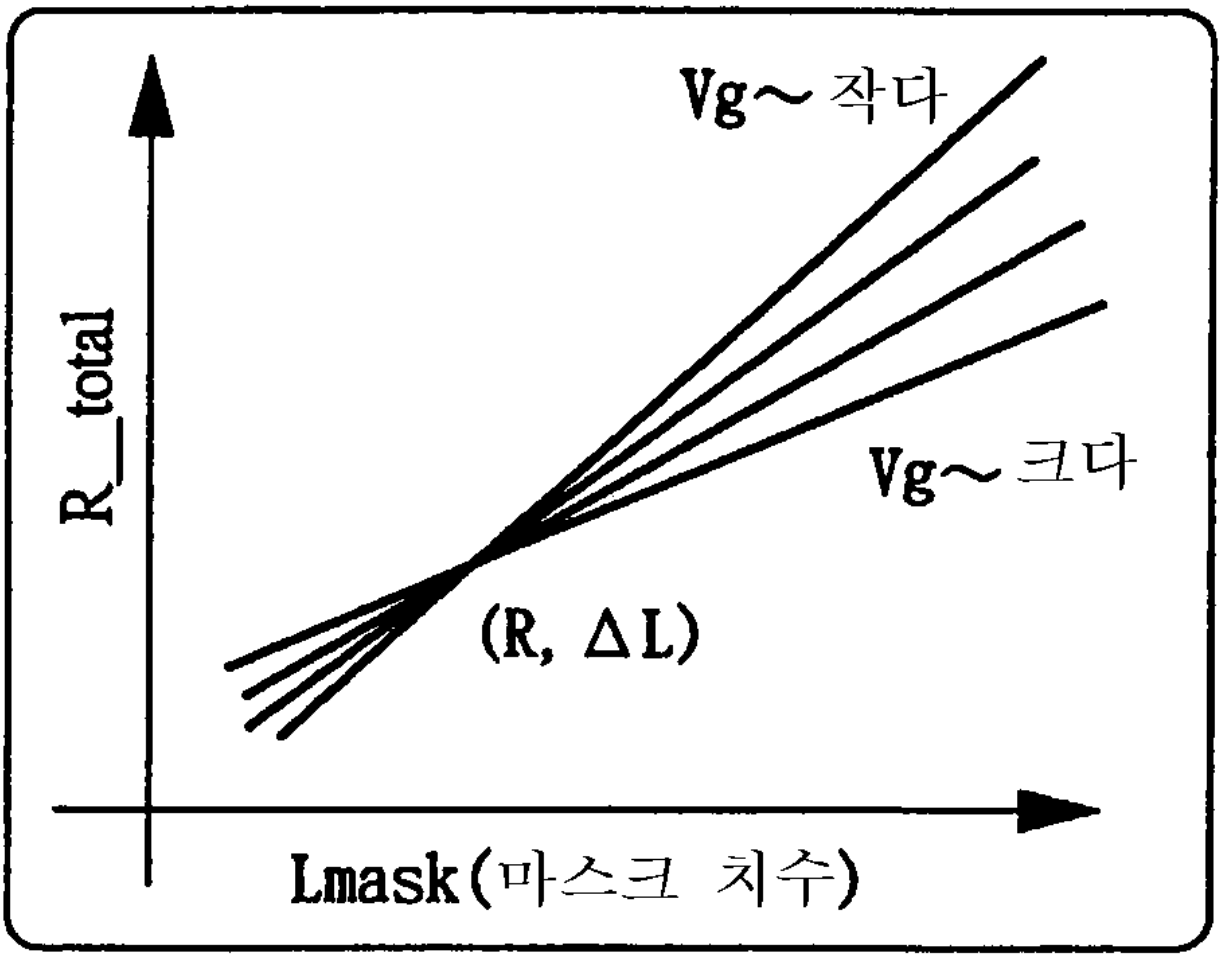
도면 1



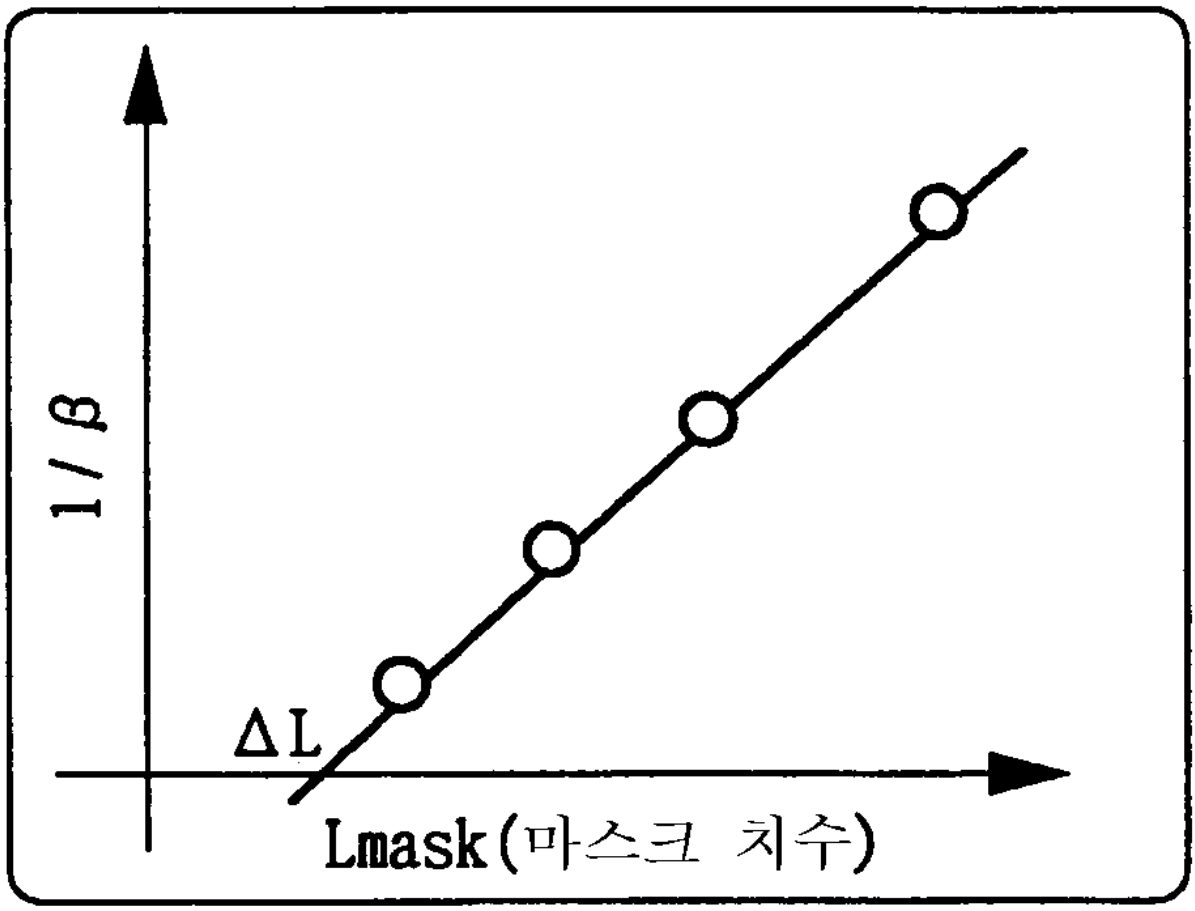
도면 2



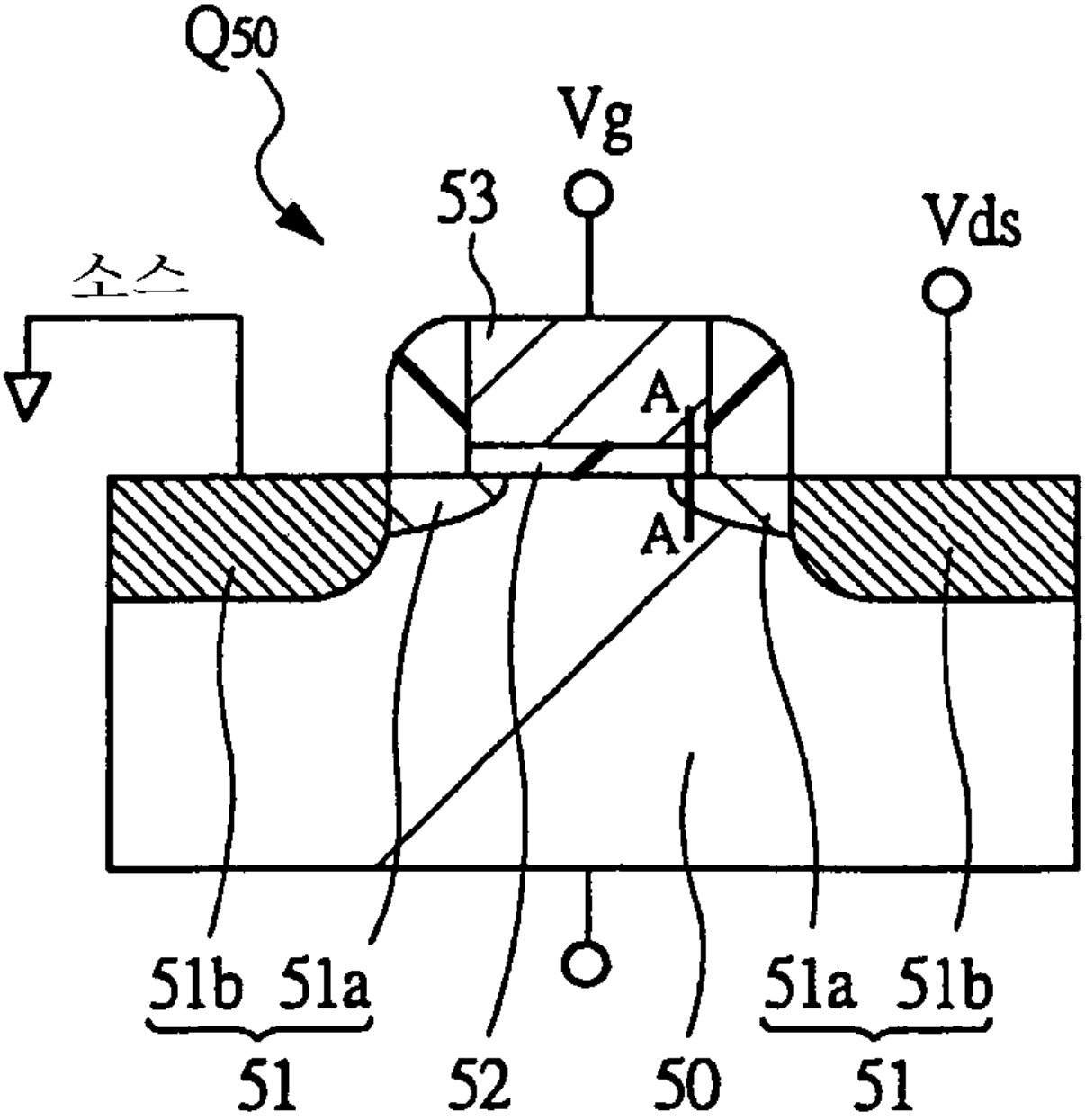
도면 3



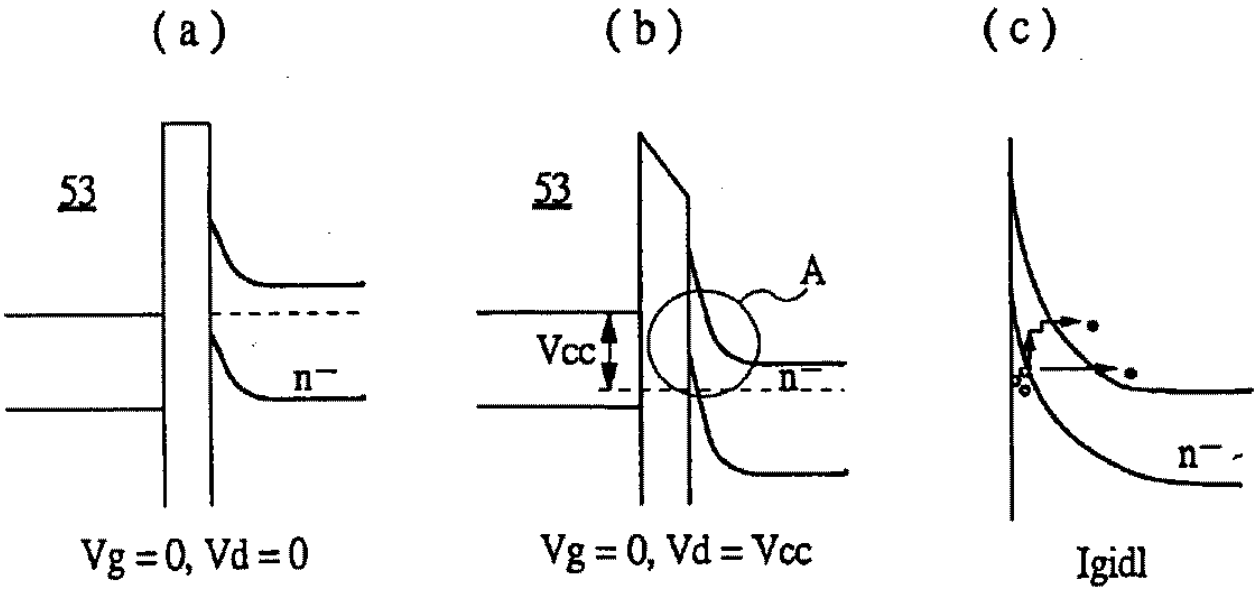
도면 4



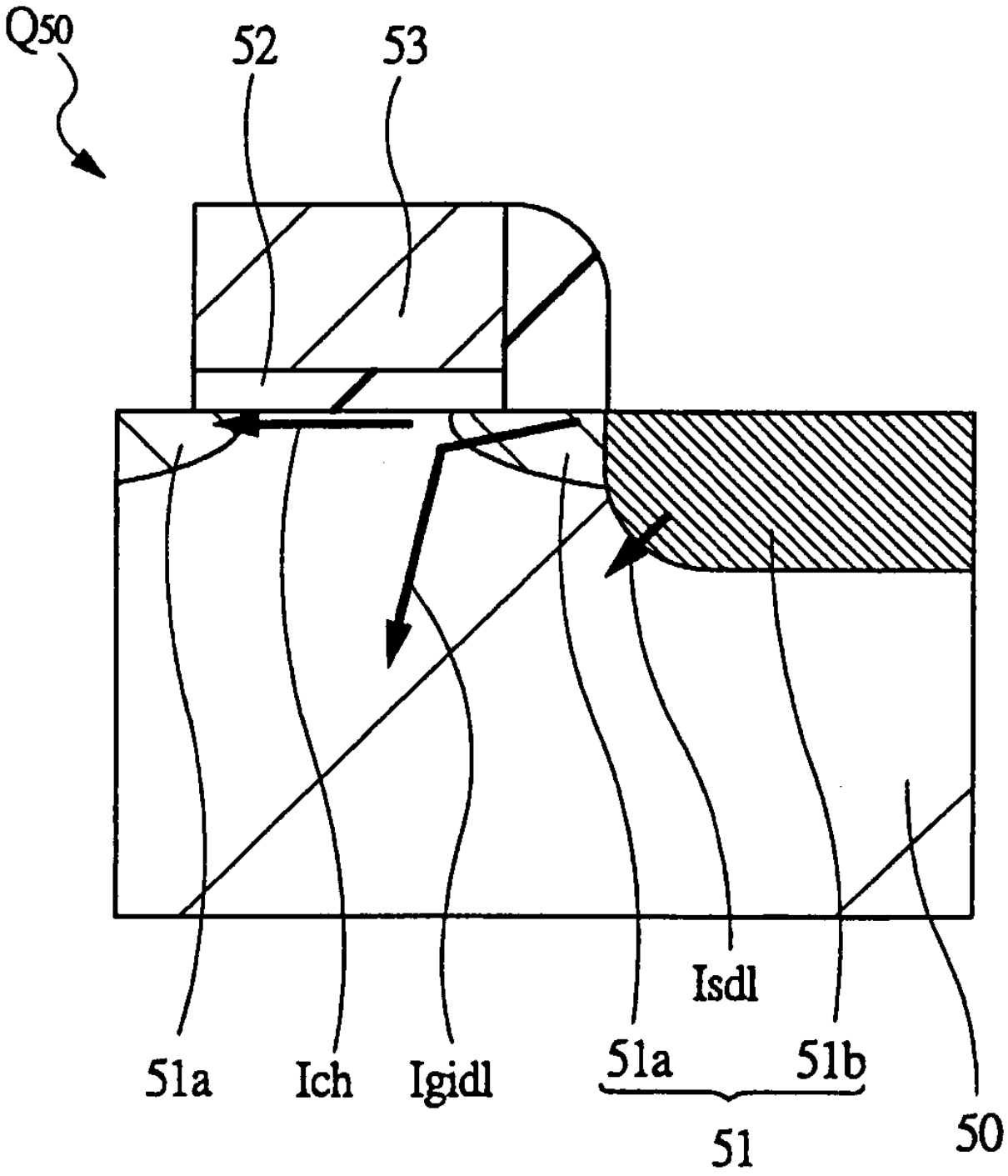
도면 5



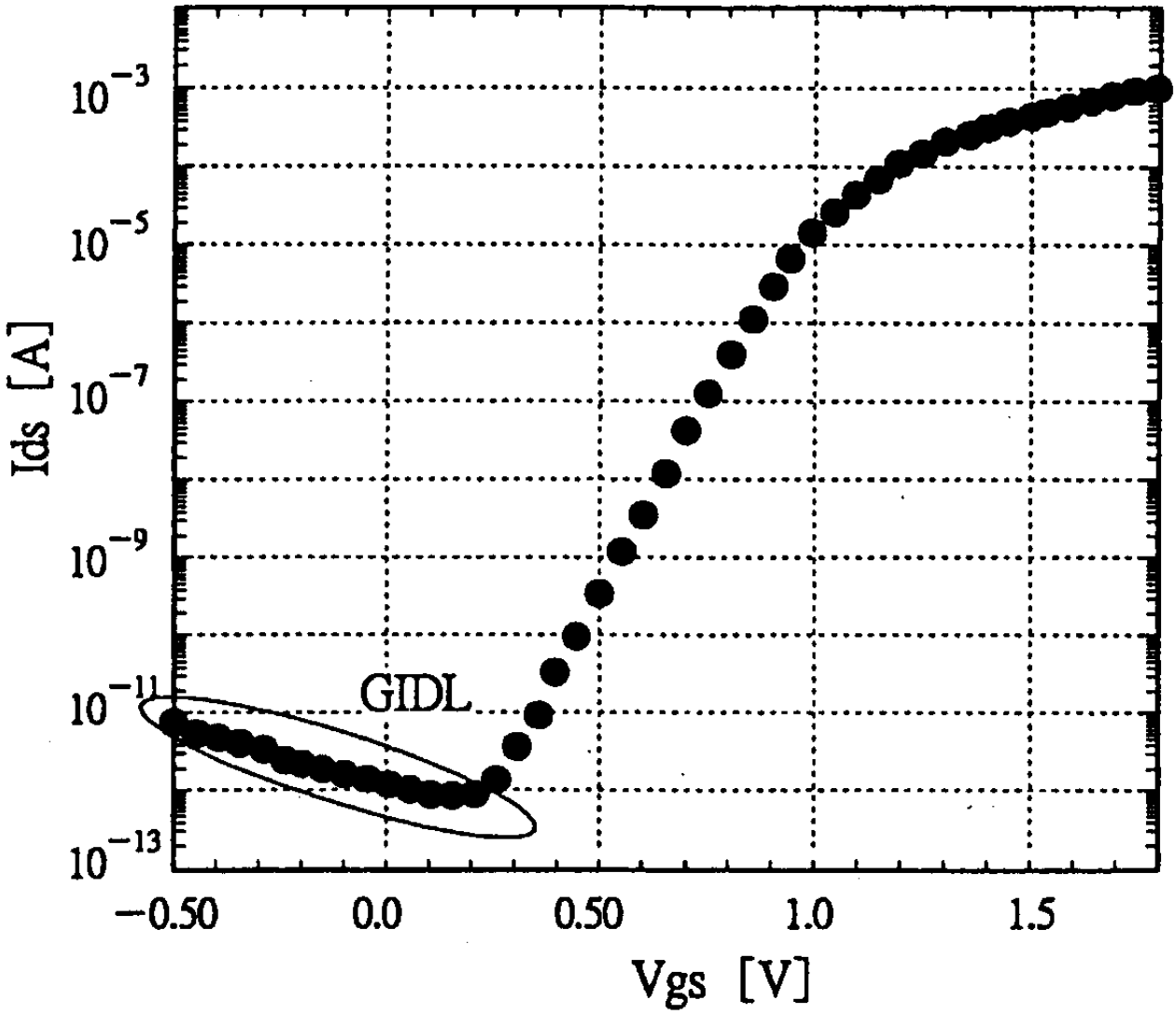
도면 6



도면 7

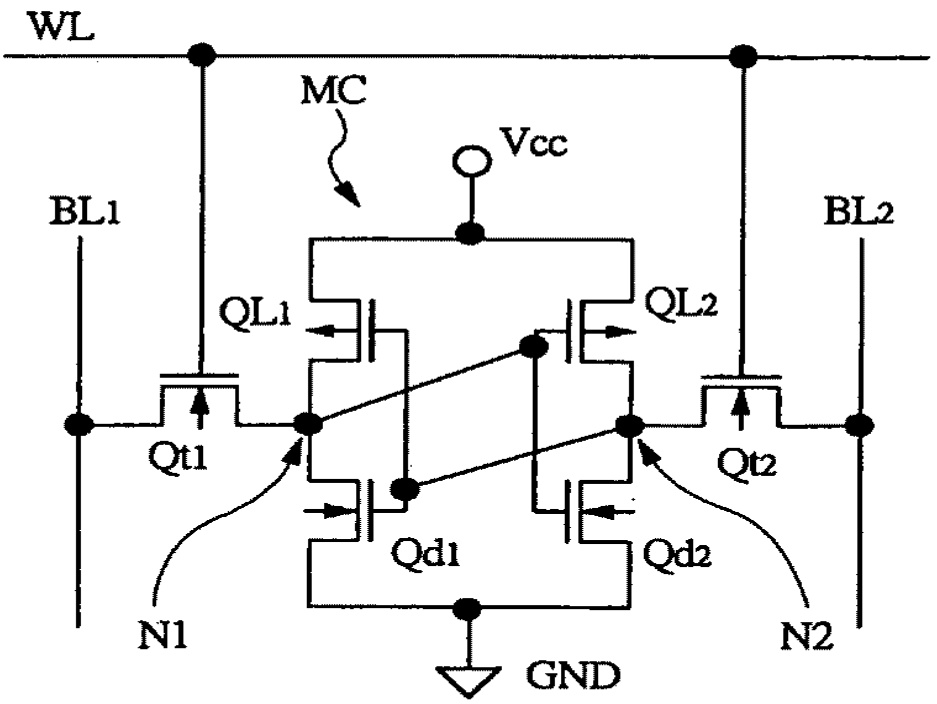


도면 8

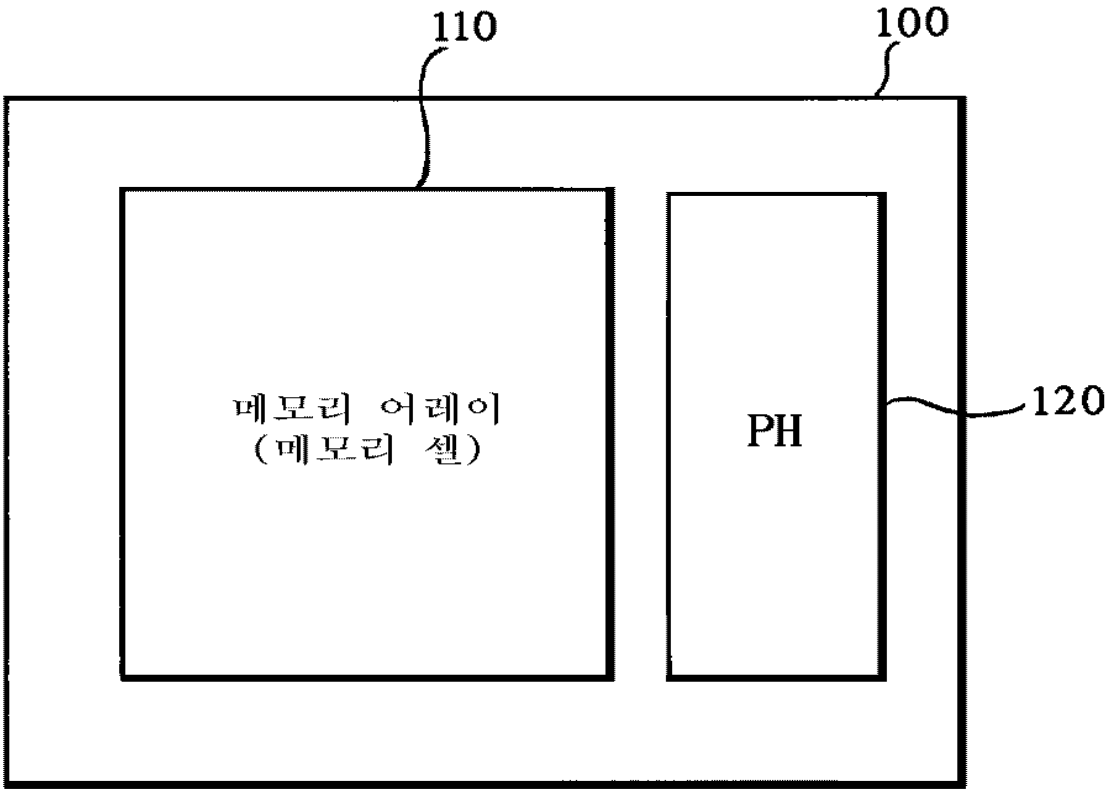


도면 9

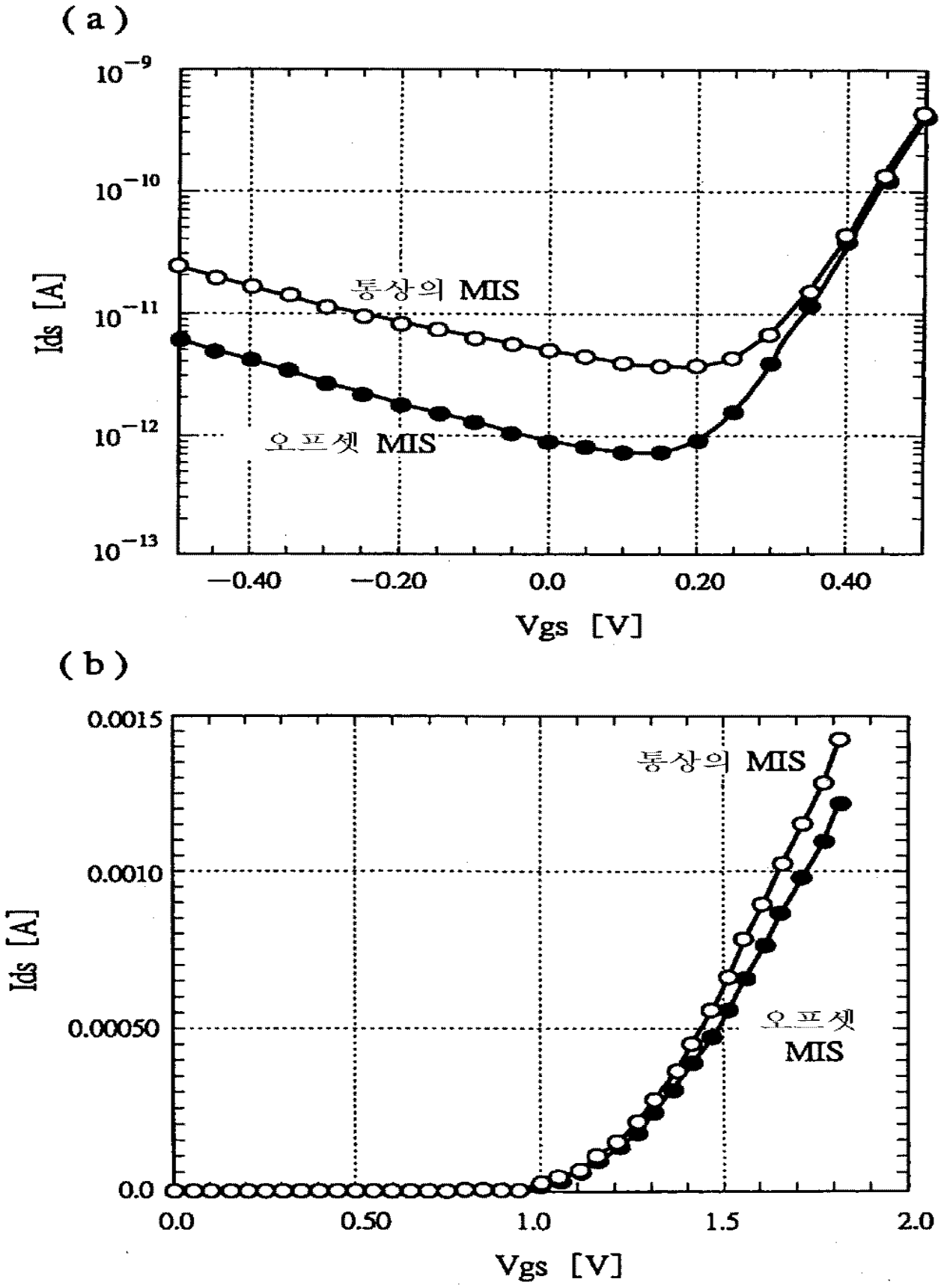
(a)


WL
MC
Vcc
BL1
BL2
QL1
QL2
Qt1
Qt2
Qd1
Qd2
N1
N2
GND

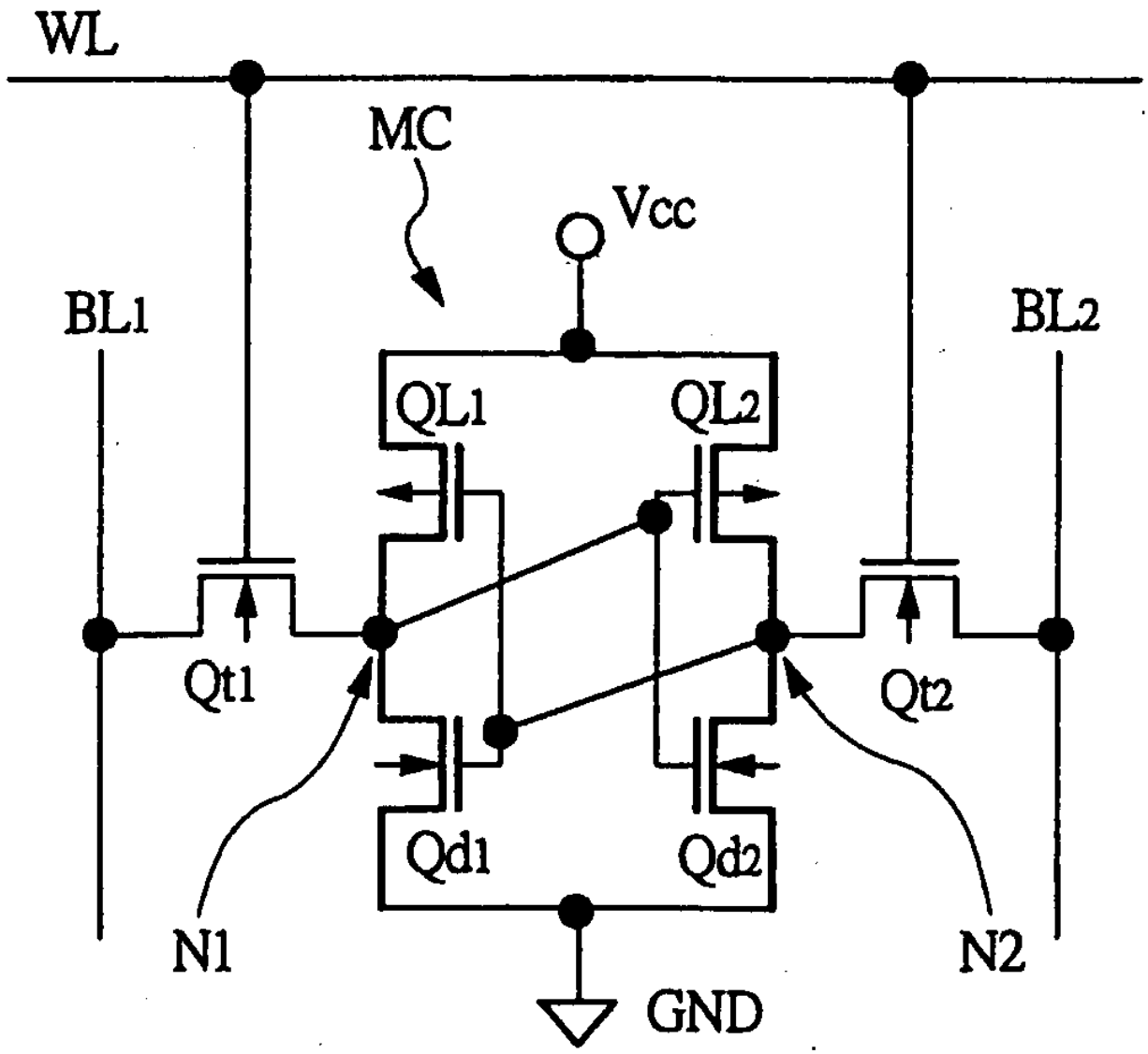
(b)


110
100
메모리 어레이
(메모리 셀)
PH
120

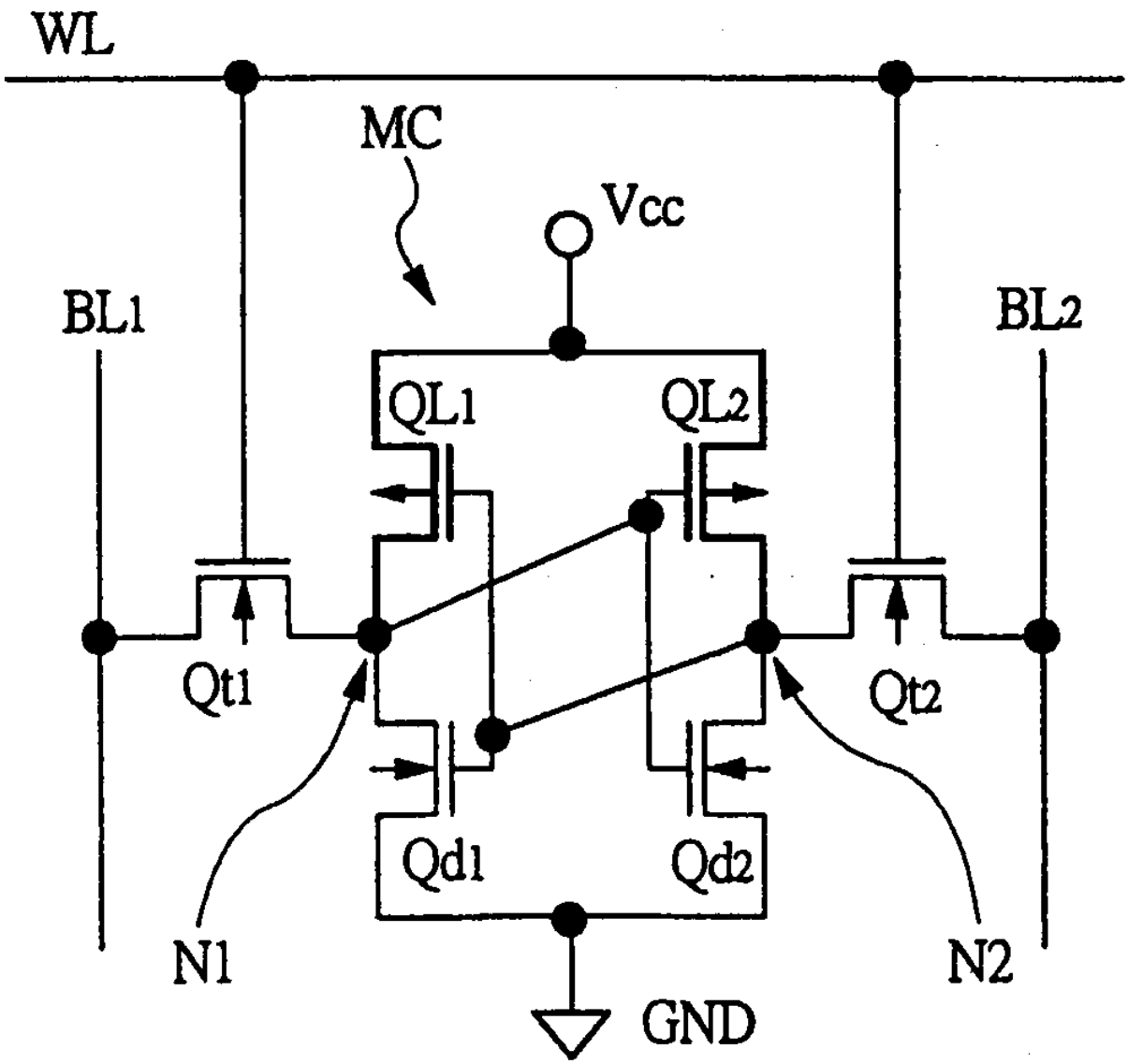
도면 10


(a)
10^{-9}
10^{-10}
10^{-11}
10^{-12}
10^{-13}
Ids [A]
통상의 MIS
오프셋 MIS
−0.40
−0.20
0.0
0.20
0.40
Vgs [V]
(b)
0.0015
0.0010
0.00050
0.0
Ids [A]
통상의 MIS
오프셋
MIS
0.0
0.50
1.0
1.5
2.0
Vgs [V]

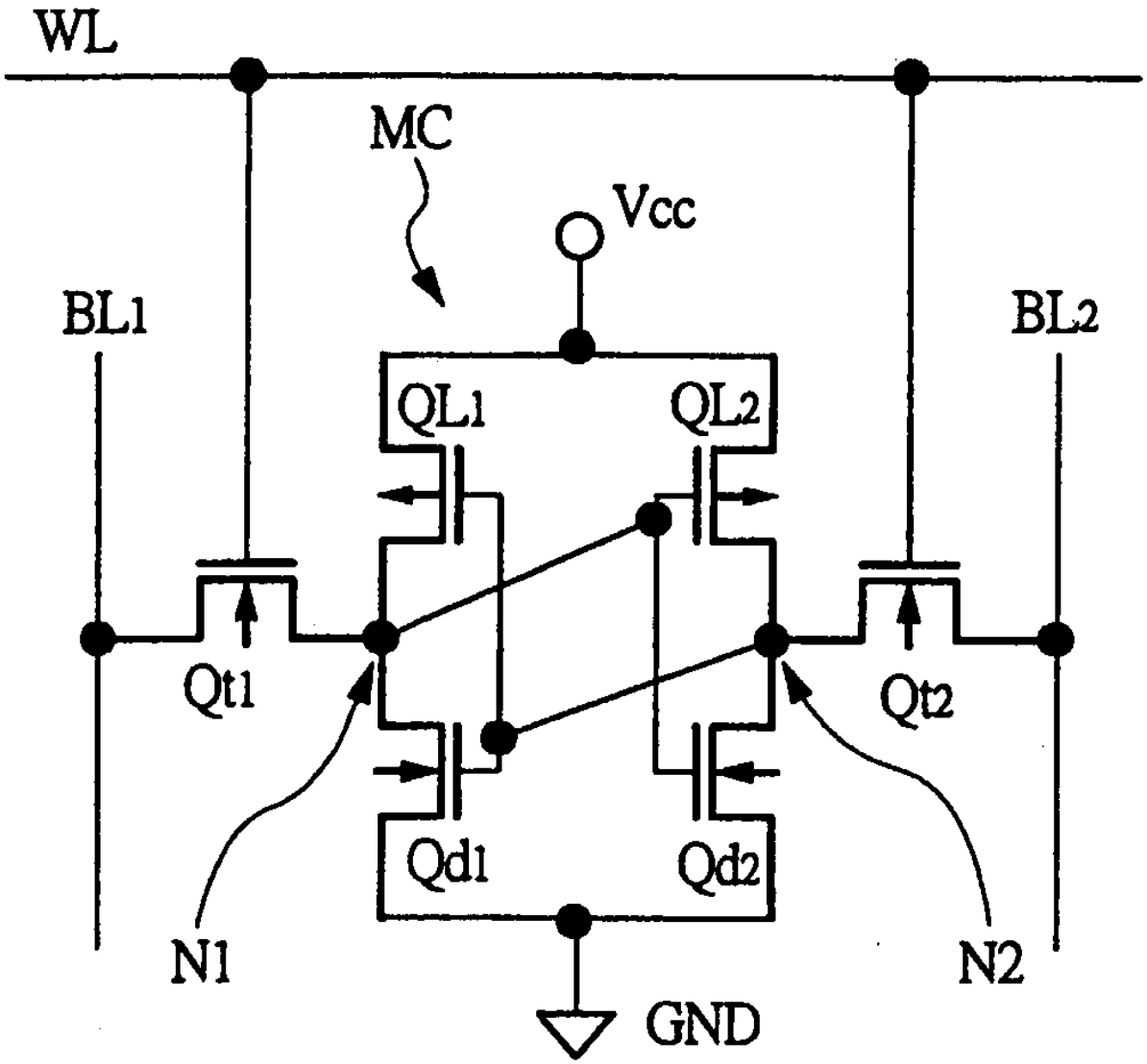
도면 11



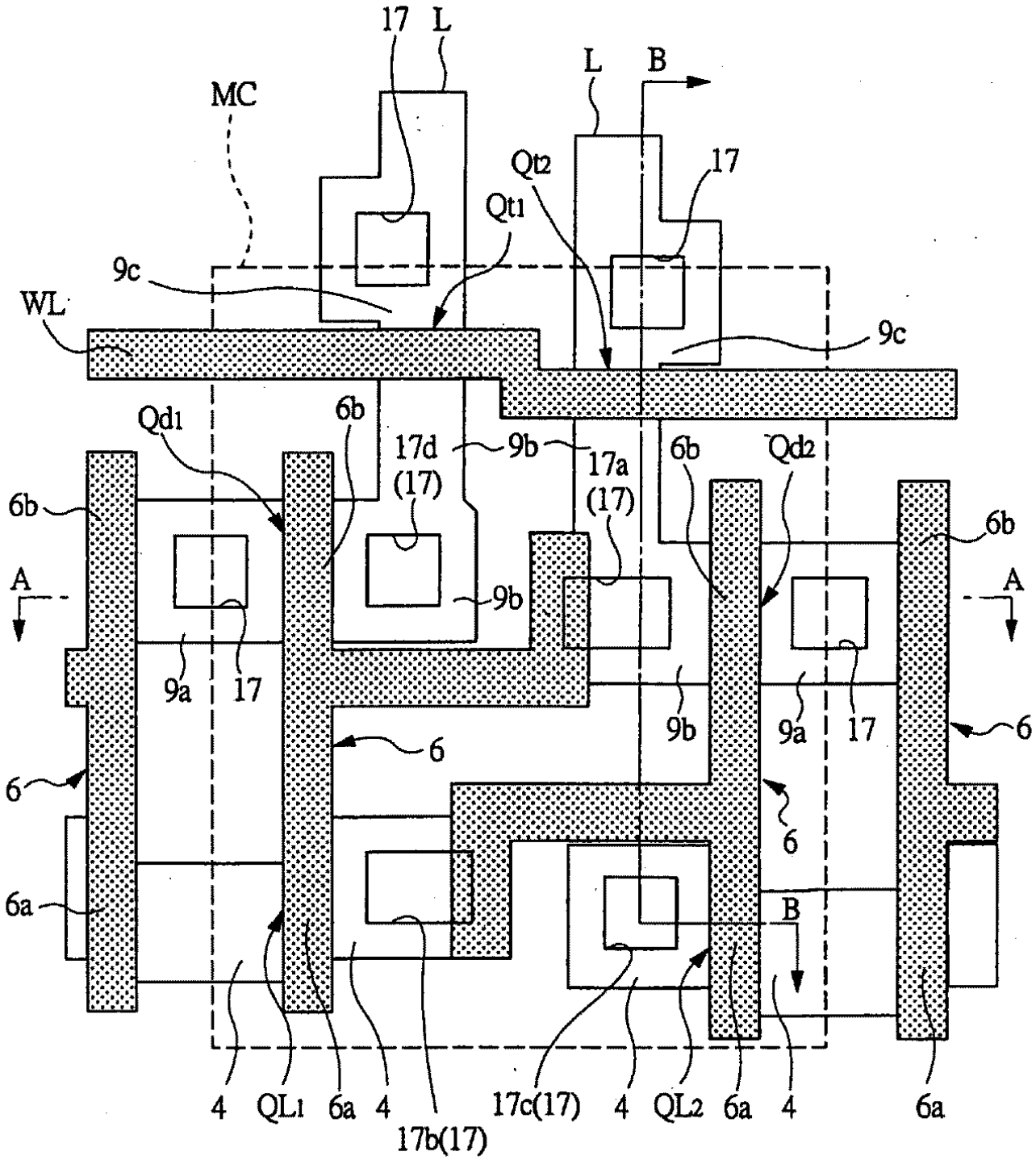
도면 12



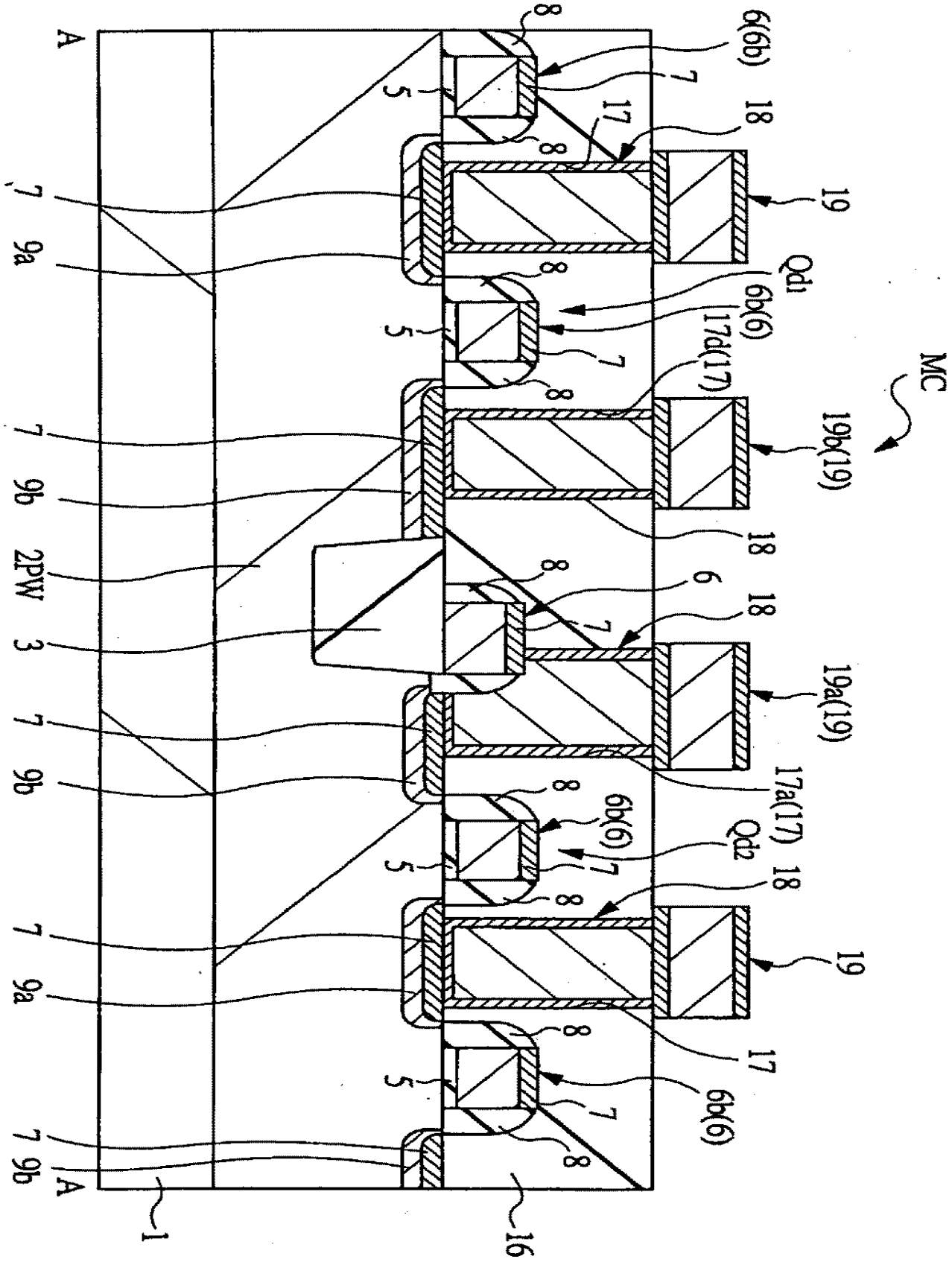
도면 13



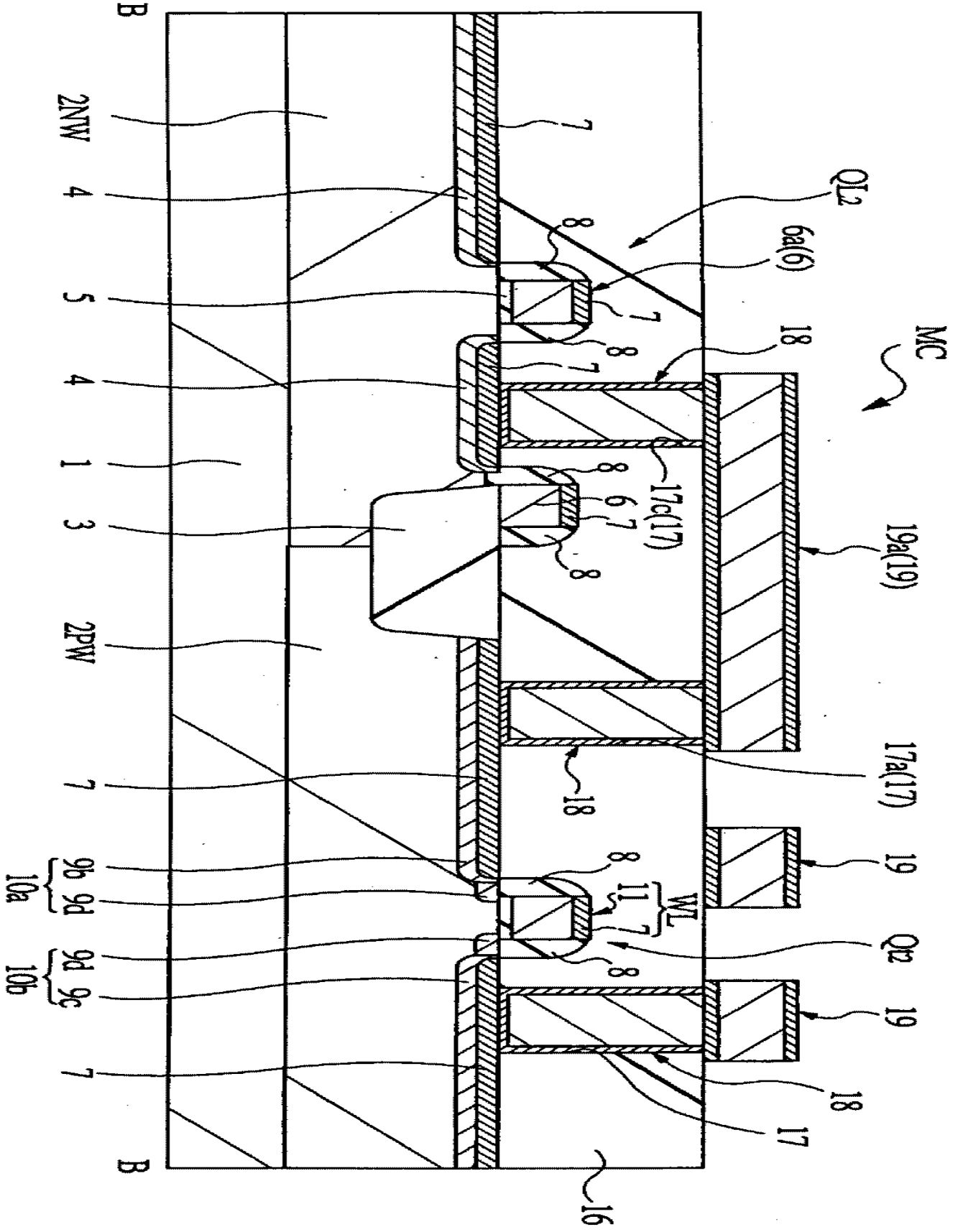
도면 14


17
L
L
B
MC
Qt2
17
Qt1
9c
WL
9c
Qd1
6b
17d
(17)
9b
17a
(17)
6b
Qd2
6b
6b
A
A
9b
9a
17
9b
9a
17
6
6
6
6a
B
4
QL1
6a
4
17b(17)
17c(17)
4
QL2
6a
4
6a

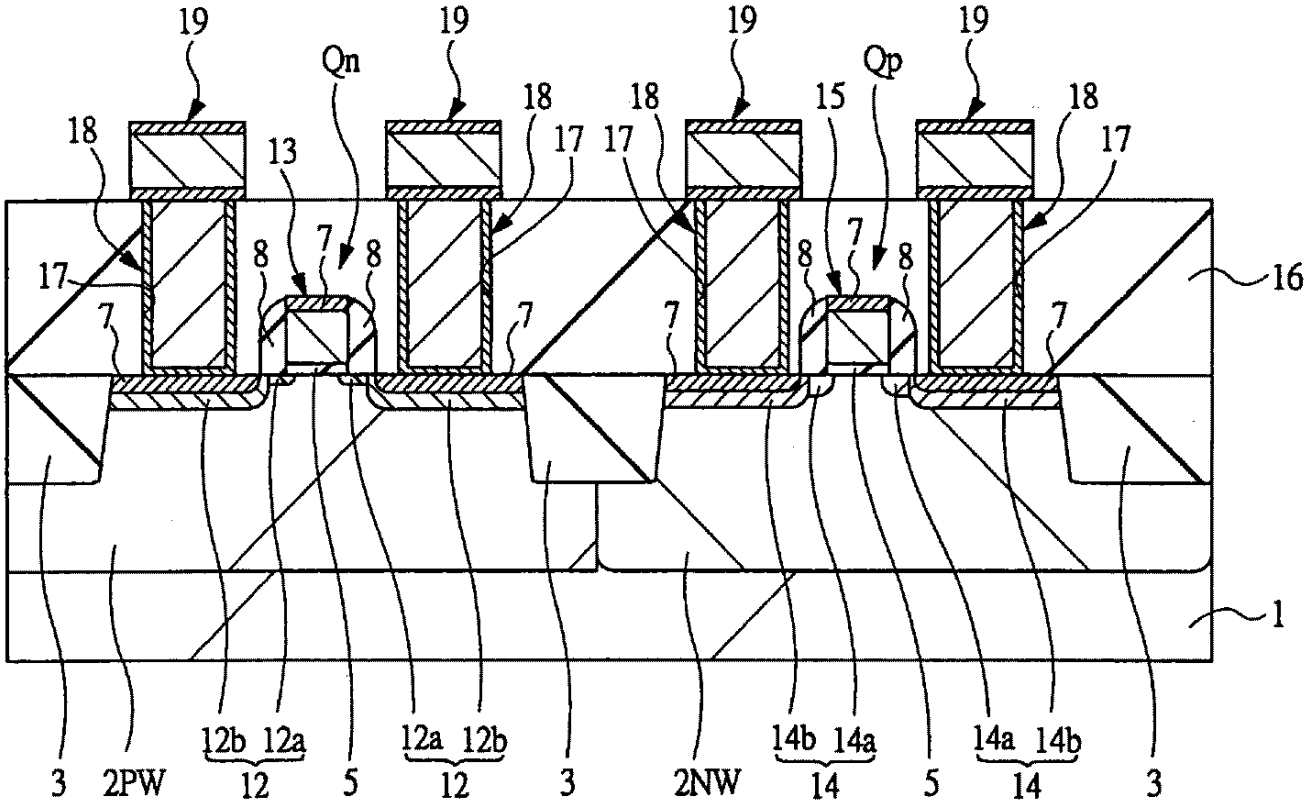
도면 15


A
A
1
16
2PW
3
5
6(6b)
6b(6)
7
8
9a
9b
17
17a(17)
17d(17)
18
19
19a(19)
19b(19)
MC
Qd1
Qd2

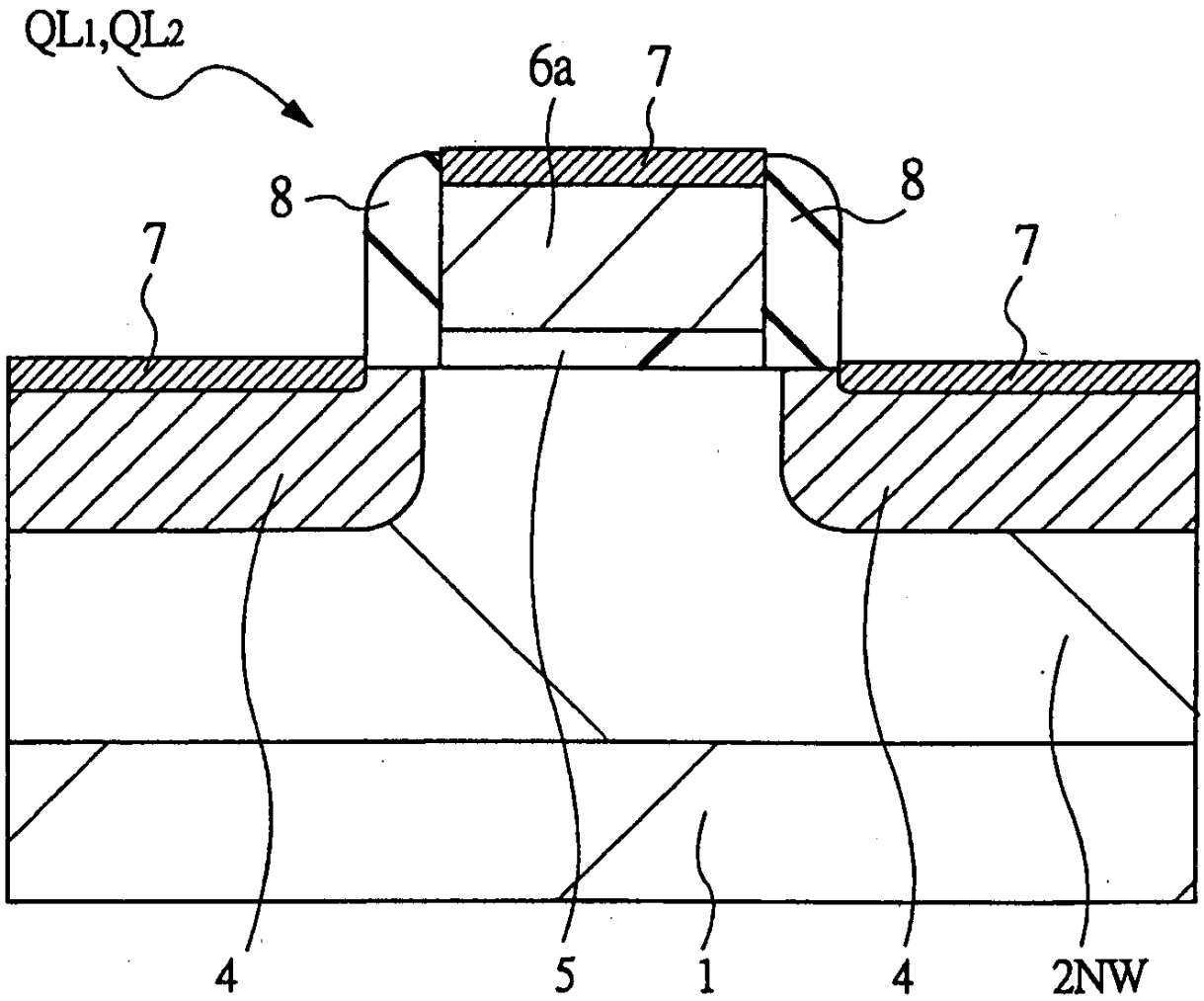
도면 16


B
2NW
4
5
4
1
3
2PW
7
9b
10a
9d
9d
10b
9c
7
B
7
8
QL2
6a(6)
7
8
18
MC
7
8
17c(17)
6
7
8
19a(19)
18
17a(17)
19
8
11
WL
7
8
Qt2
19
18
17
16

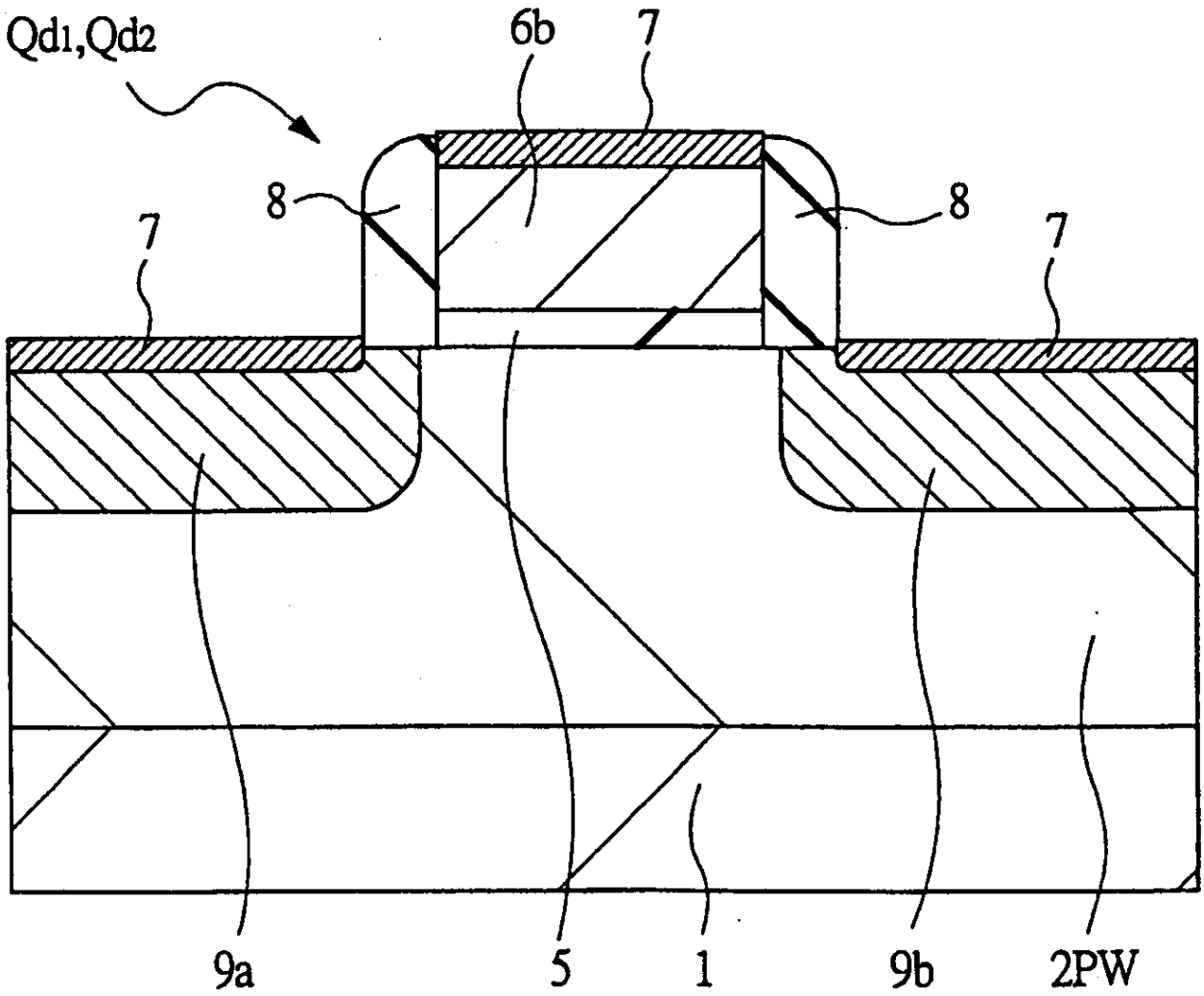
도면 17


19
Qn
19
18
18
13
17
17
8
7
8
7
17
7
7
19
Qp
19
18
18
15
17
17
8
7
8
7
16
1
3
2PW
12b
12a
12
5
12a
12b
12
3
2NW
14b
14a
14
5
14a
14b
14
3

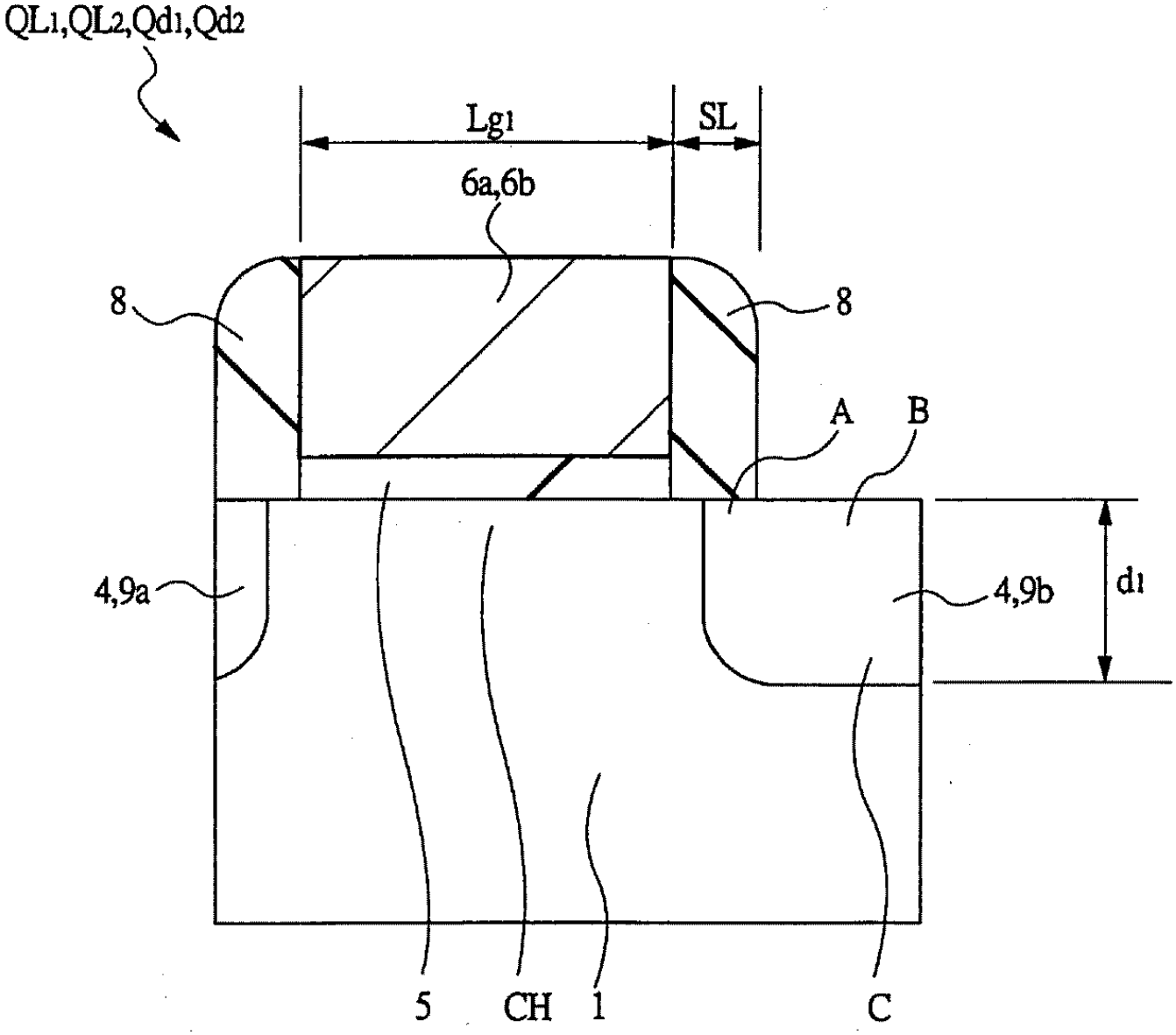
도면 18



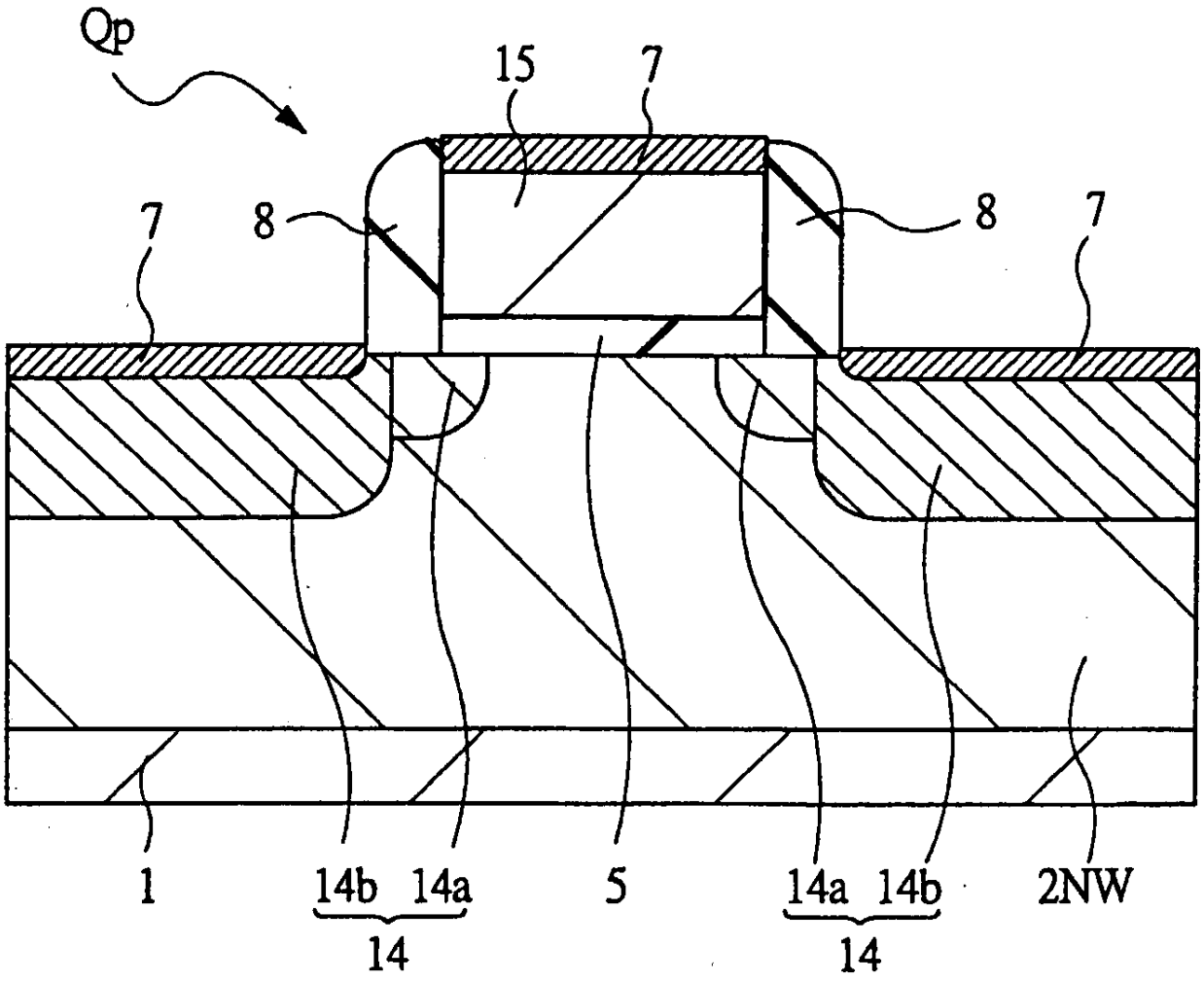
도면 19



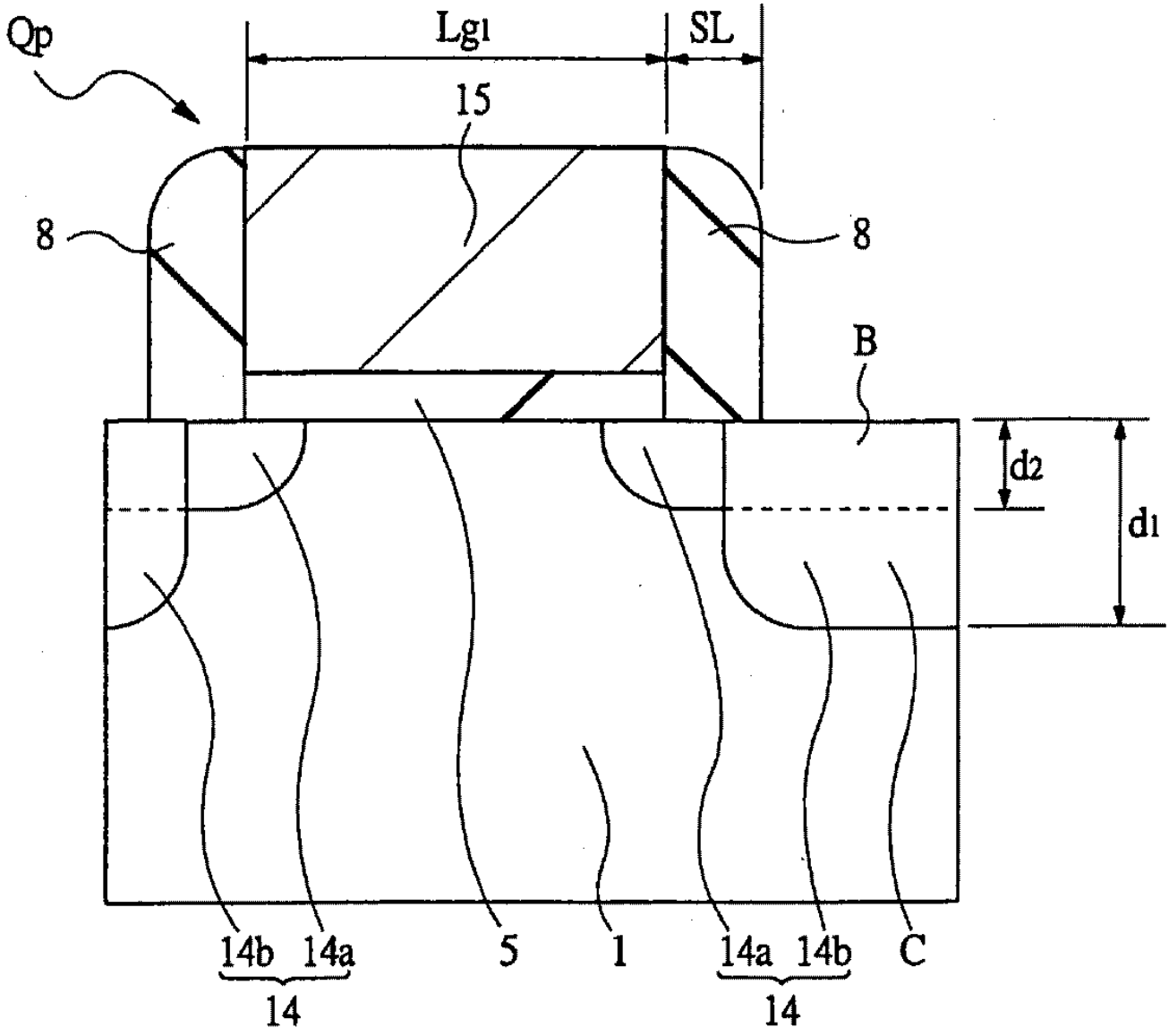
도면 20



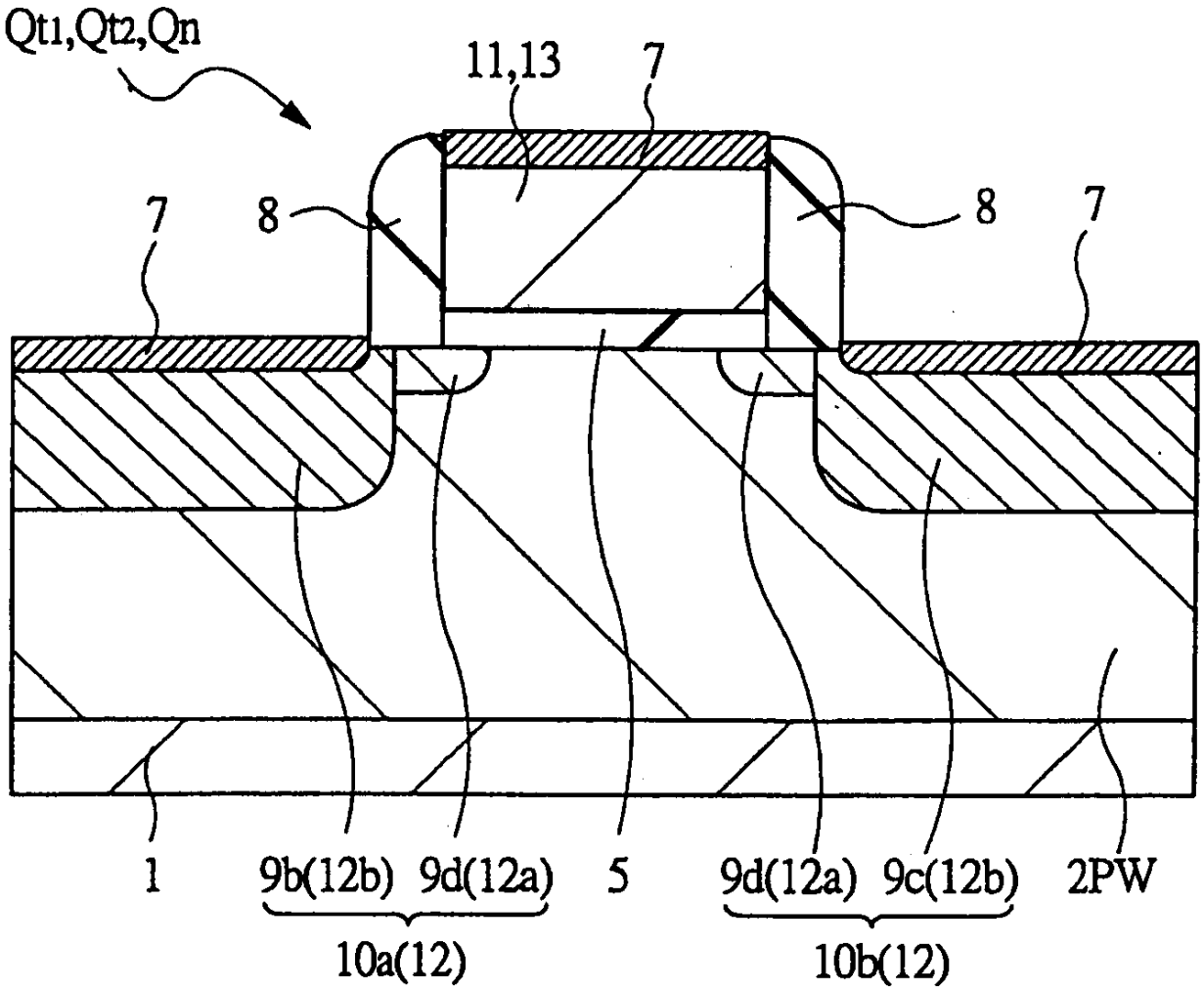
도면 21



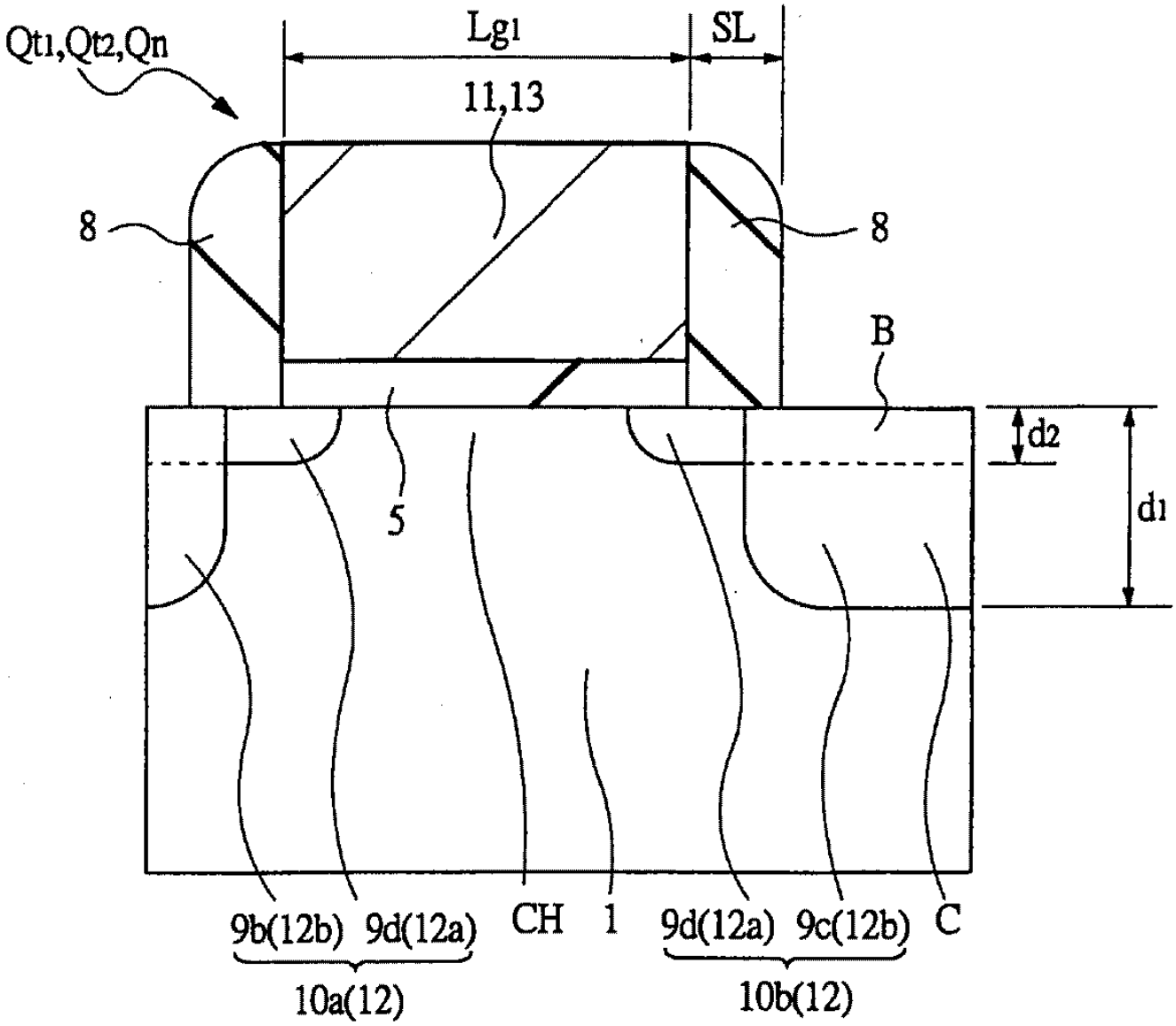
도면 22



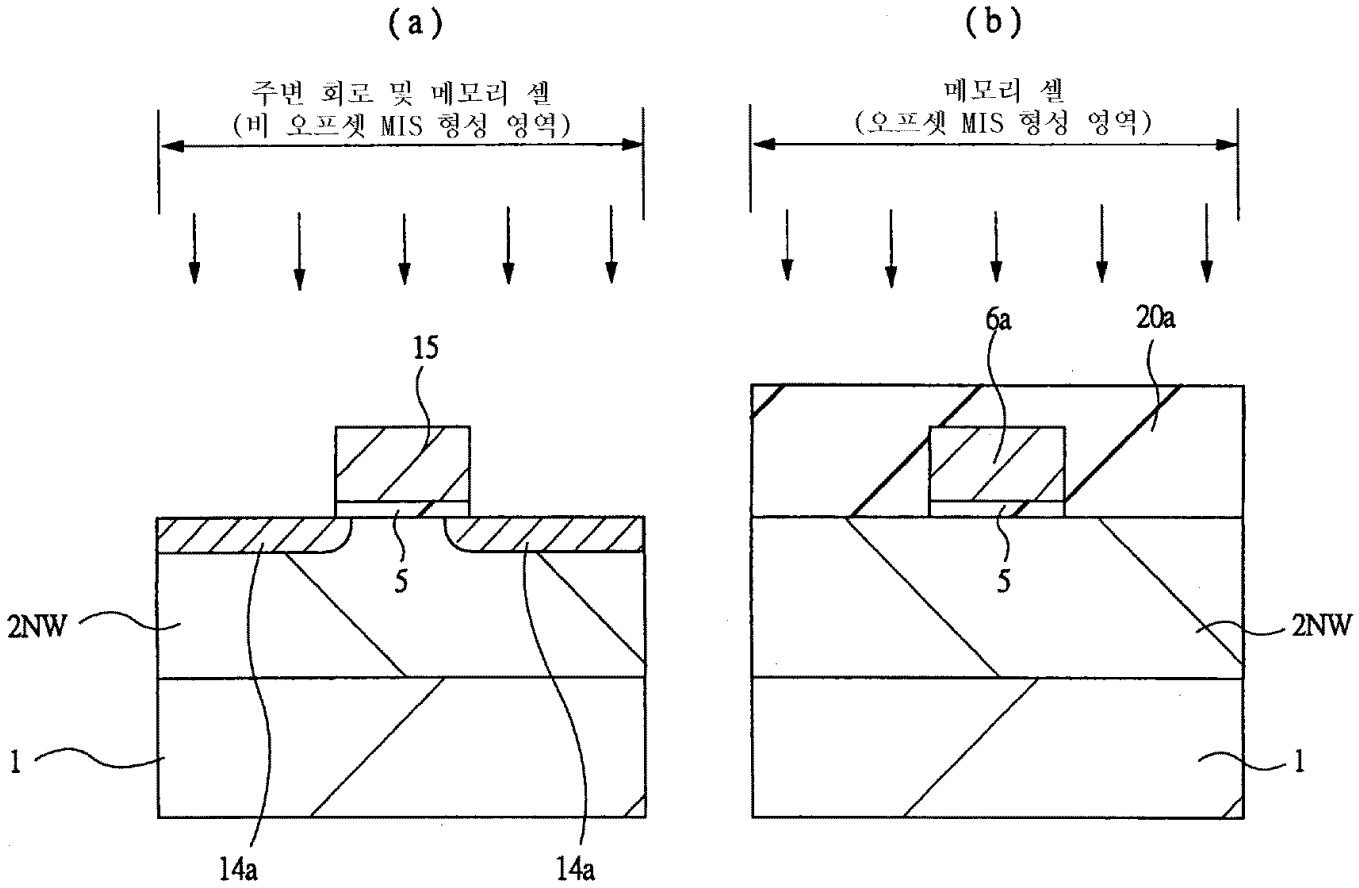
도면 23


Qt1,Qt2,Qn
11,13
7
7
8
8
7
1
9b(12b)
9d(12a)
5
9d(12a)
9c(12b)
2PW
10a(12)
10b(12)

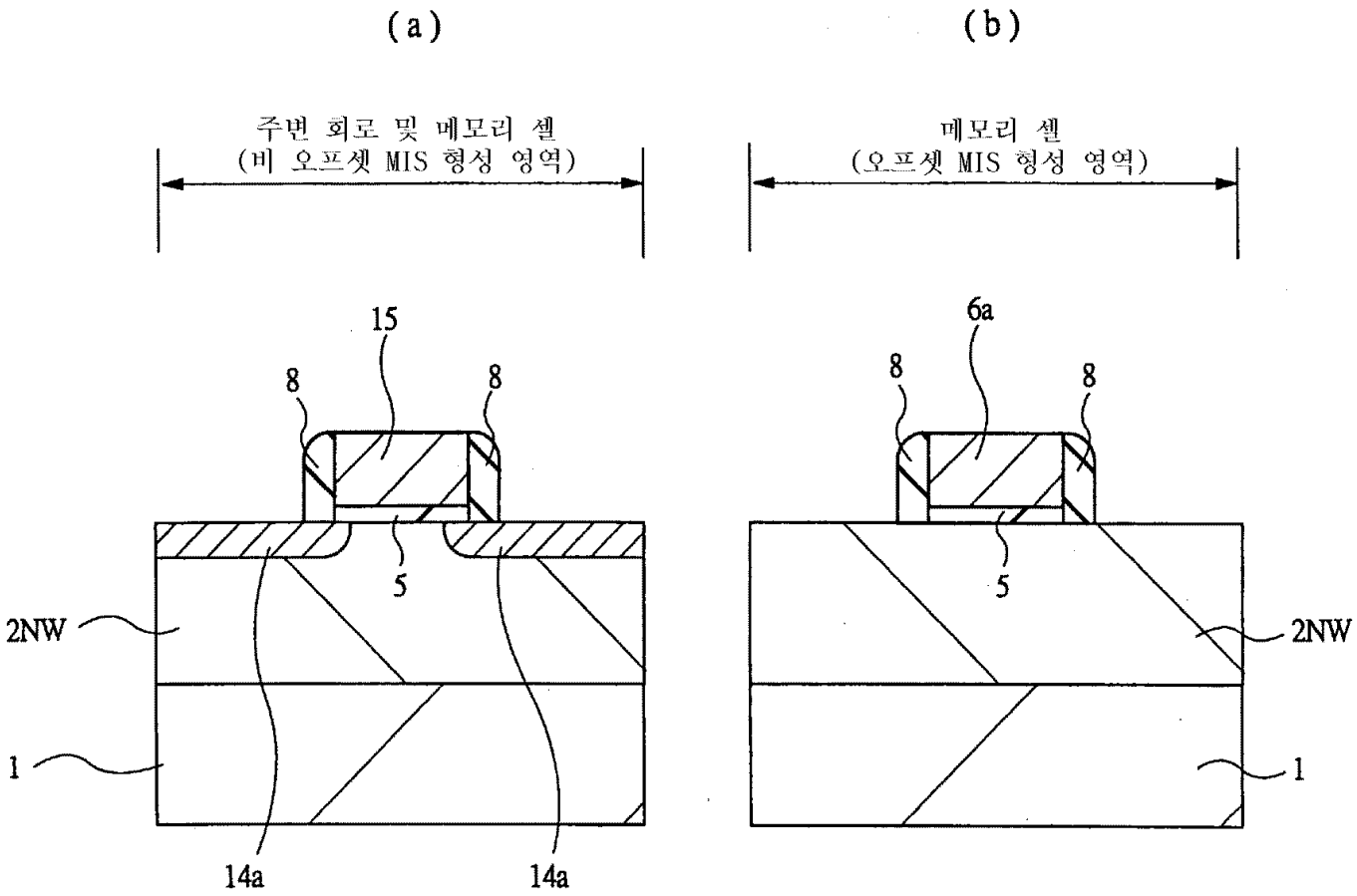
도면 24


Qt1,Qt2,Qn
Lg1
SL
11,13
8
8
B
d2
d1
5
9b(12b)
9d(12a)
CH
1
9d(12a)
9c(12b)
C
10a(12)
10b(12)

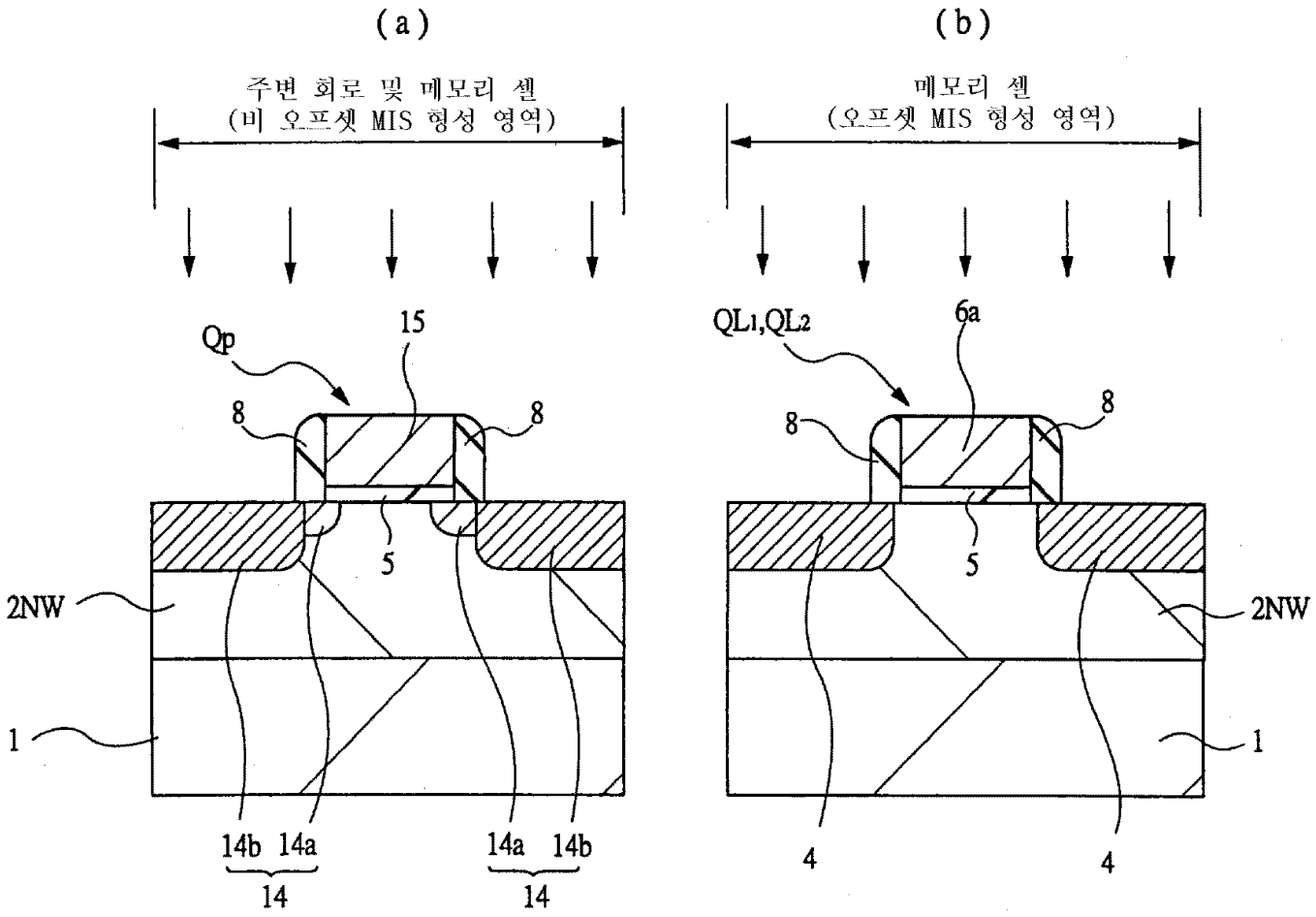
도면 25


(a)
주변 회로 및 메모리 셀
(비 오프셋 MIS 형성 영역)
15
5
2NW
1
14a
14a
(b)
메모리 셀
(오프셋 MIS 형성 영역)
6a
20a
5
2NW
1

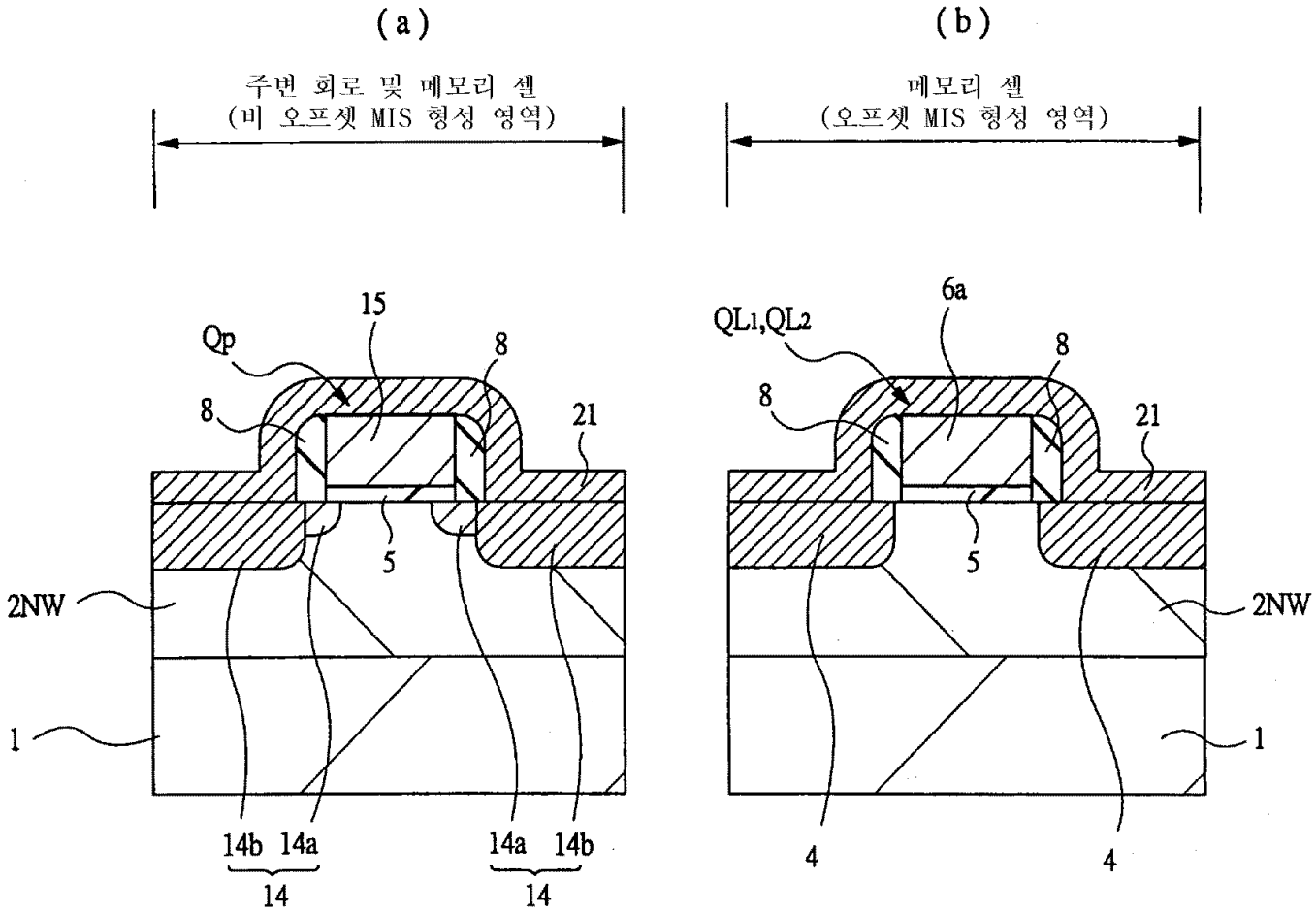
도면 26


(a)
(b)
주변 회로 및 메모리 셀
(비 오프셋 MIS 형성 영역)
메모리 셀
(오프셋 MIS 형성 영역)
15
8
8
5
2NW
1
14a
14a
6a
8
8
5
2NW
1

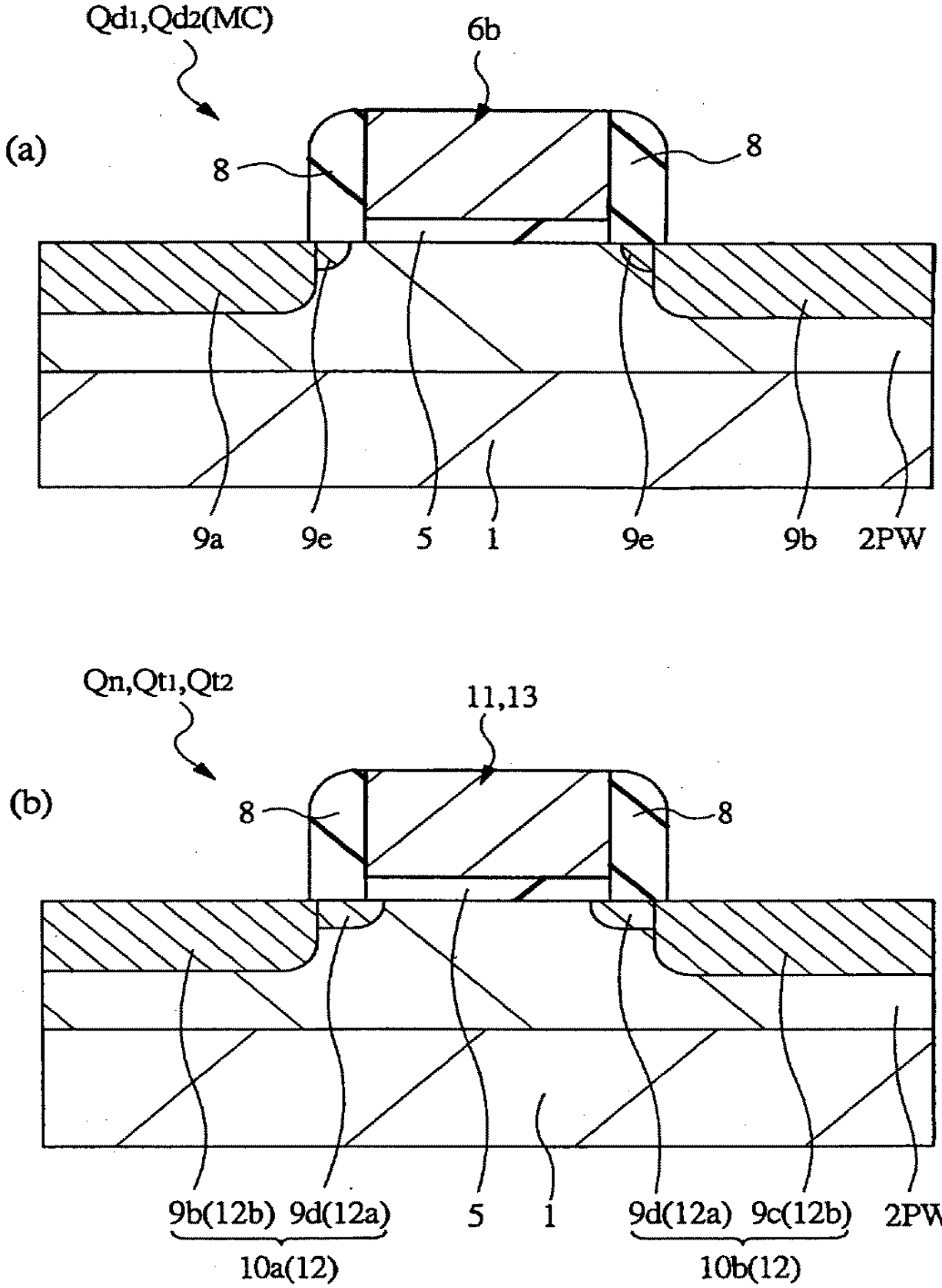
도면 27


(a)
주변 회로 및 메모리 셀
(비 오프셋 MIS 형성 영역)
Qp
15
8
8
5
2NW
1
14b
14a
14
14a
14b
14
(b)
메모리 셀
(오프셋 MIS 형성 영역)
QL1,QL2
6a
8
8
5
2NW
1
4
4

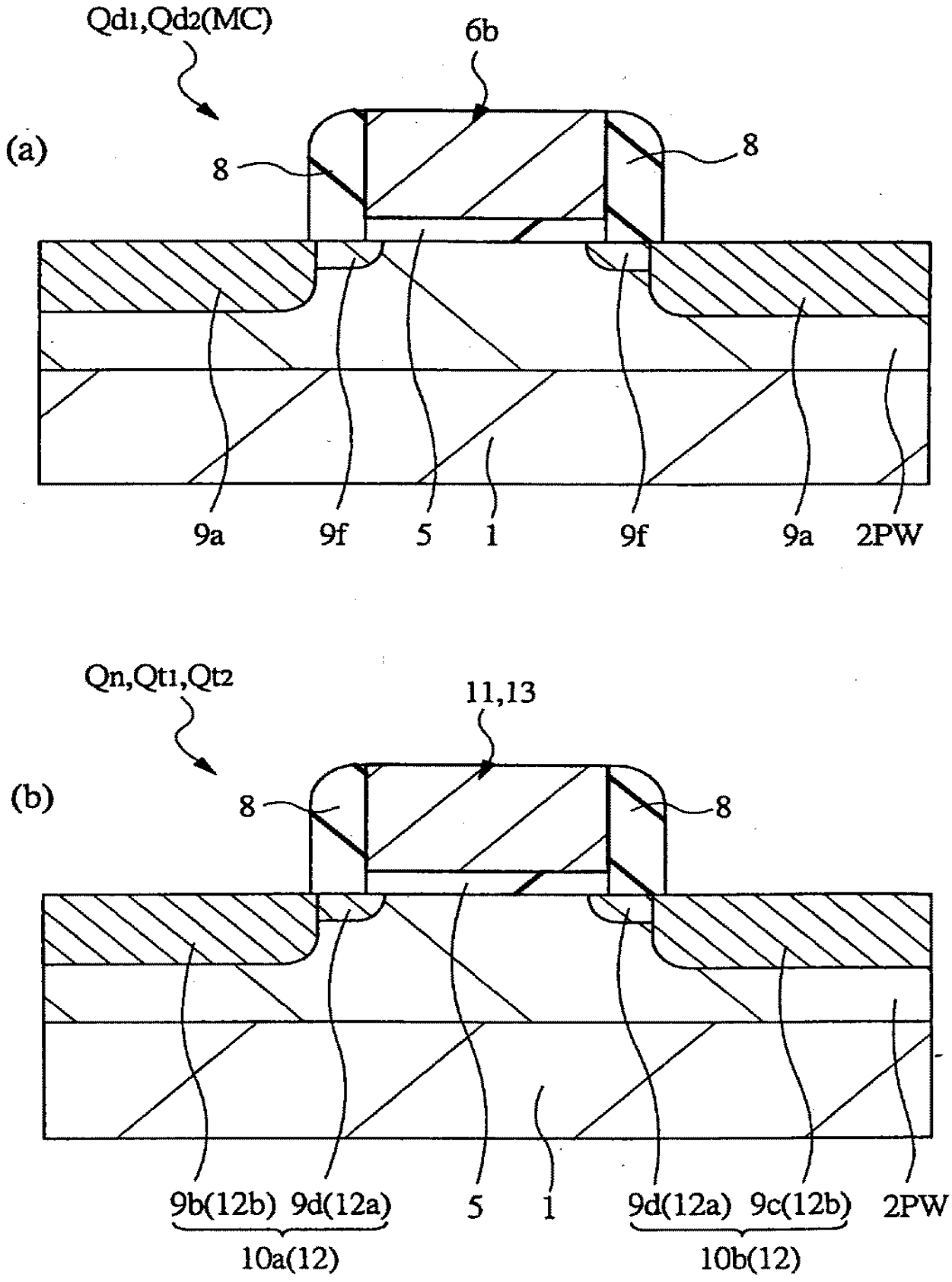
도면 28


(a)
주변 회로 및 메모리 셀
(비 오프셋 MIS 형성 영역)
(b)
메모리 셀
(오프셋 MIS 형성 영역)
Qp
15
8
8
21
5
2NW
1
14b
14a
14
14a
14b
14
QL1,QL2
6a
8
8
21
5
2NW
1
4
4

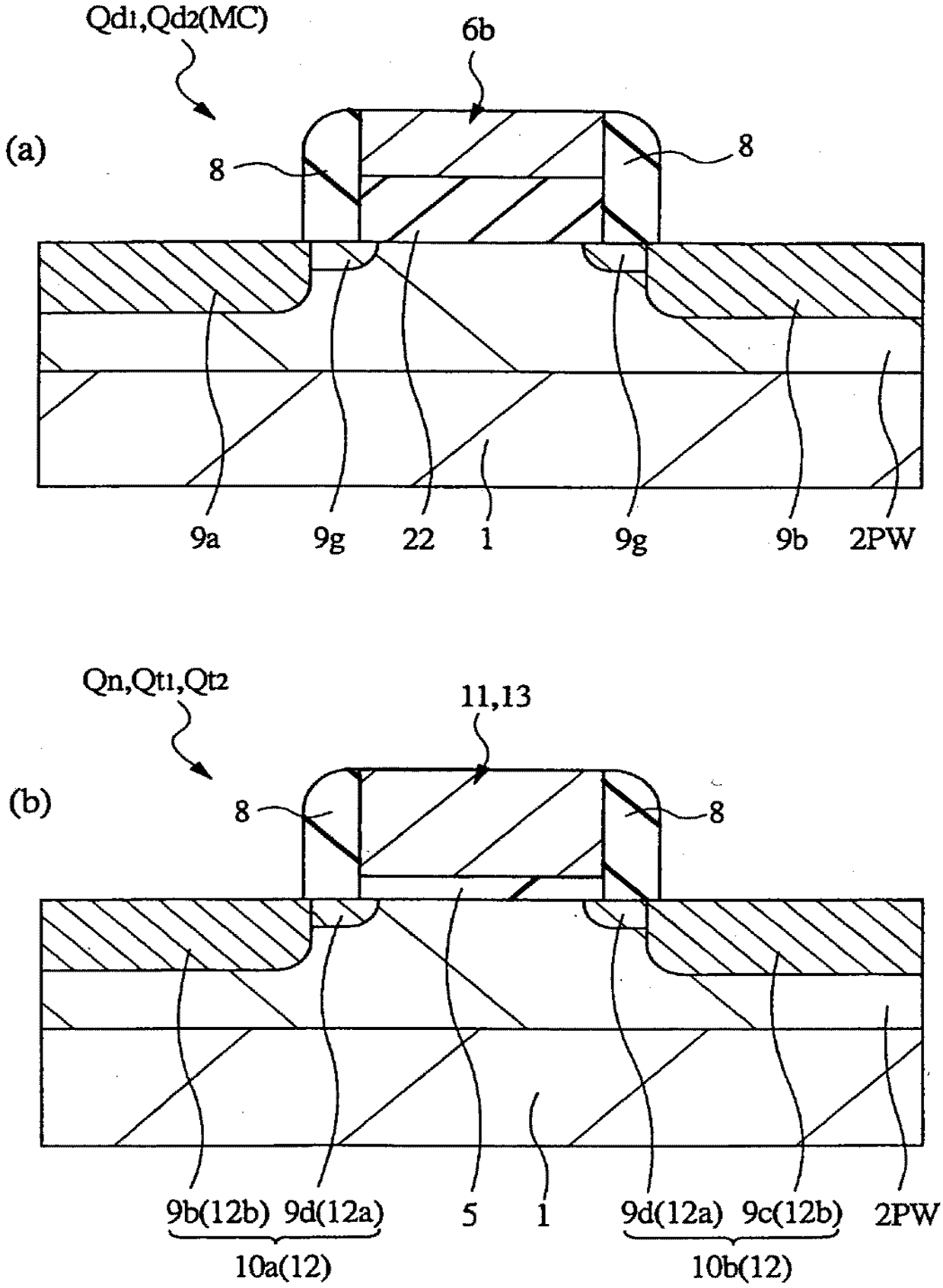
도면 29


Qd1,Qd2(MC)
6b
(a)
8
8
9a
9e
5
1
9e
9b
2PW
Qn,Qt1,Qt2
11,13
(b)
8
8
9b(12b)
9d(12a)
5
1
9d(12a)
9c(12b)
2PW
10a(12)
10b(12)

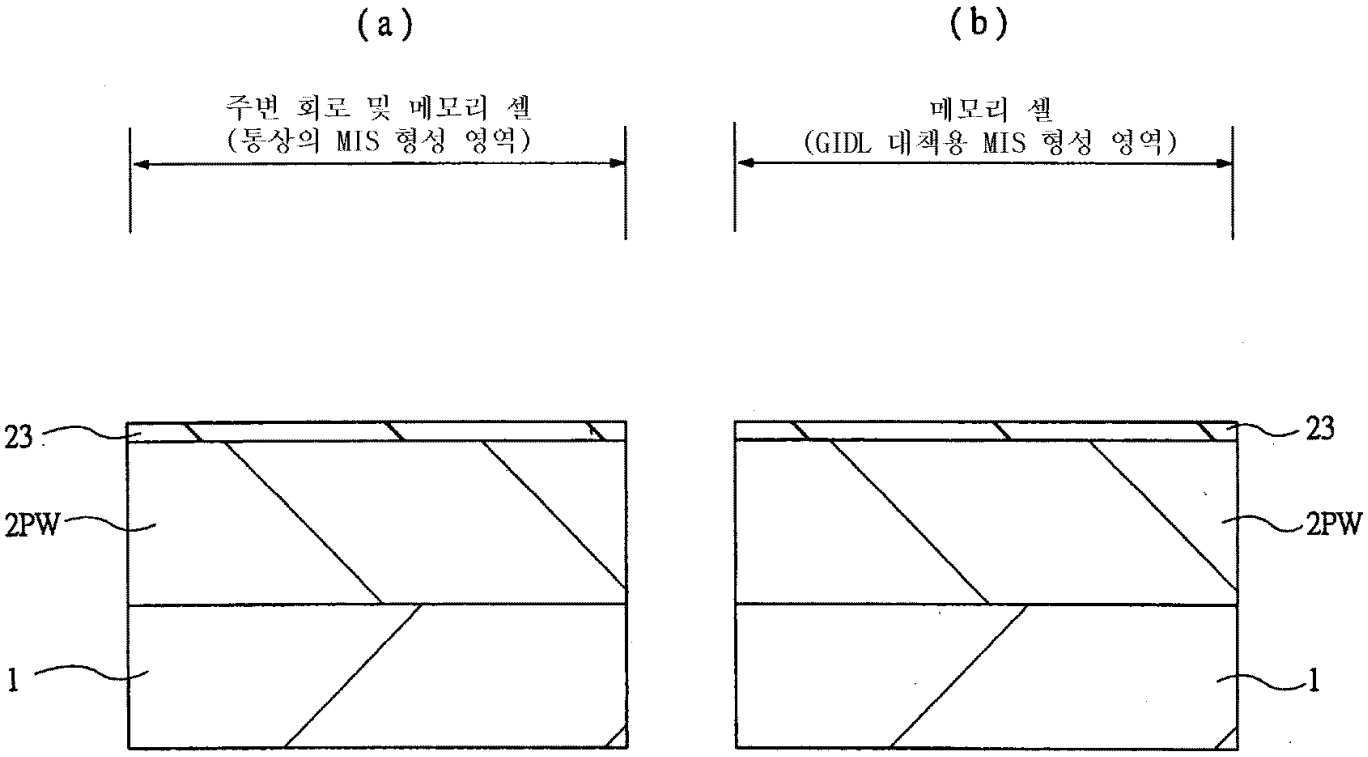
도면 30


Qd1,Qd2(MC)
6b
(a)
8
8
9a
9f
5
1
9f
9a
2PW
Qn,Qt1,Qt2
11,13
(b)
8
8
9b(12b)
9d(12a)
5
1
9d(12a)
9c(12b)
2PW
10a(12)
10b(12)

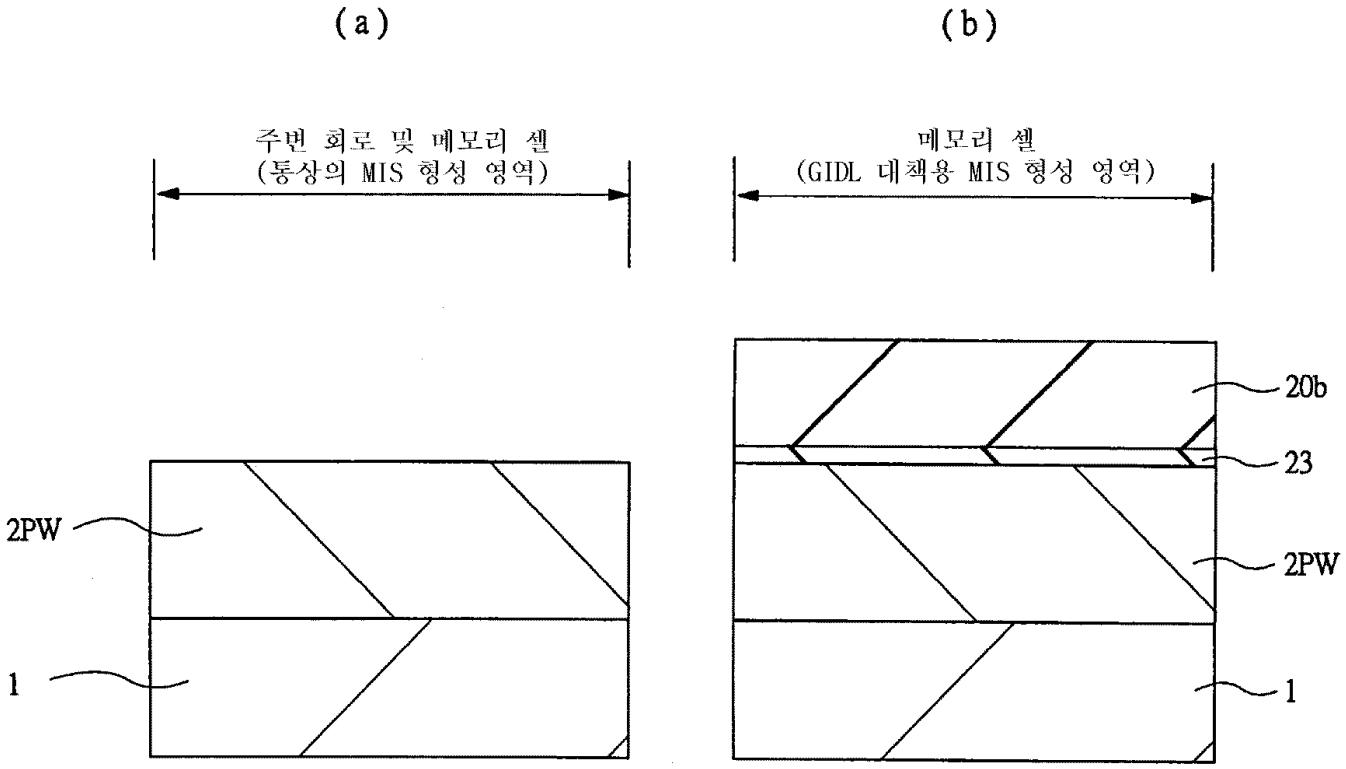
도면 31


(a)
Qd1,Qd2(MC)
6b
8
8
9a
9g
22
1
9g
9b
2PW
(b)
Qn,Qt1,Qt2
11,13
8
8
9b(12b)
9d(12a)
5
1
9d(12a)
9c(12b)
2PW
10a(12)
10b(12)

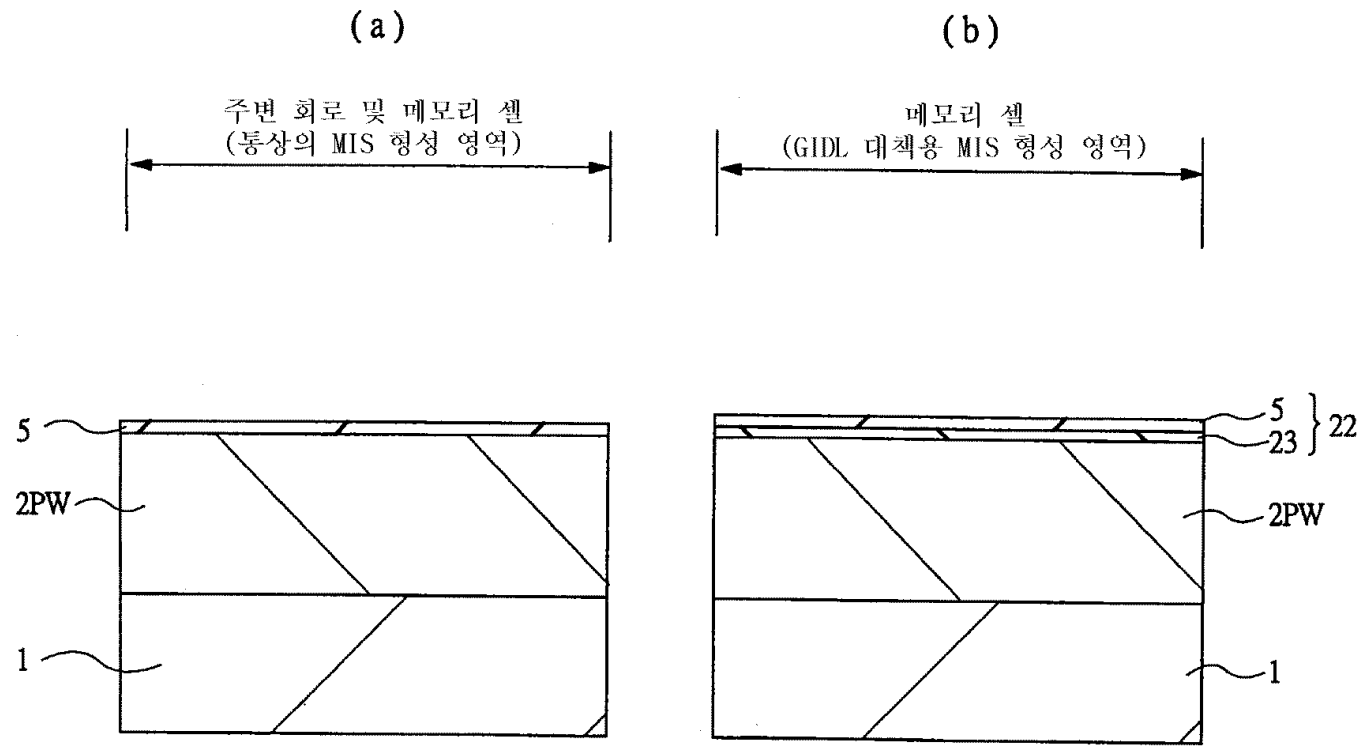
도면 32


(a)
주변 회로 및 메모리 셀
(통상의 MIS 형성 영역)
(b)
메모리 셀
(GIDL 대책용 MIS 형성 영역)
23
2PW
1
23
2PW
1

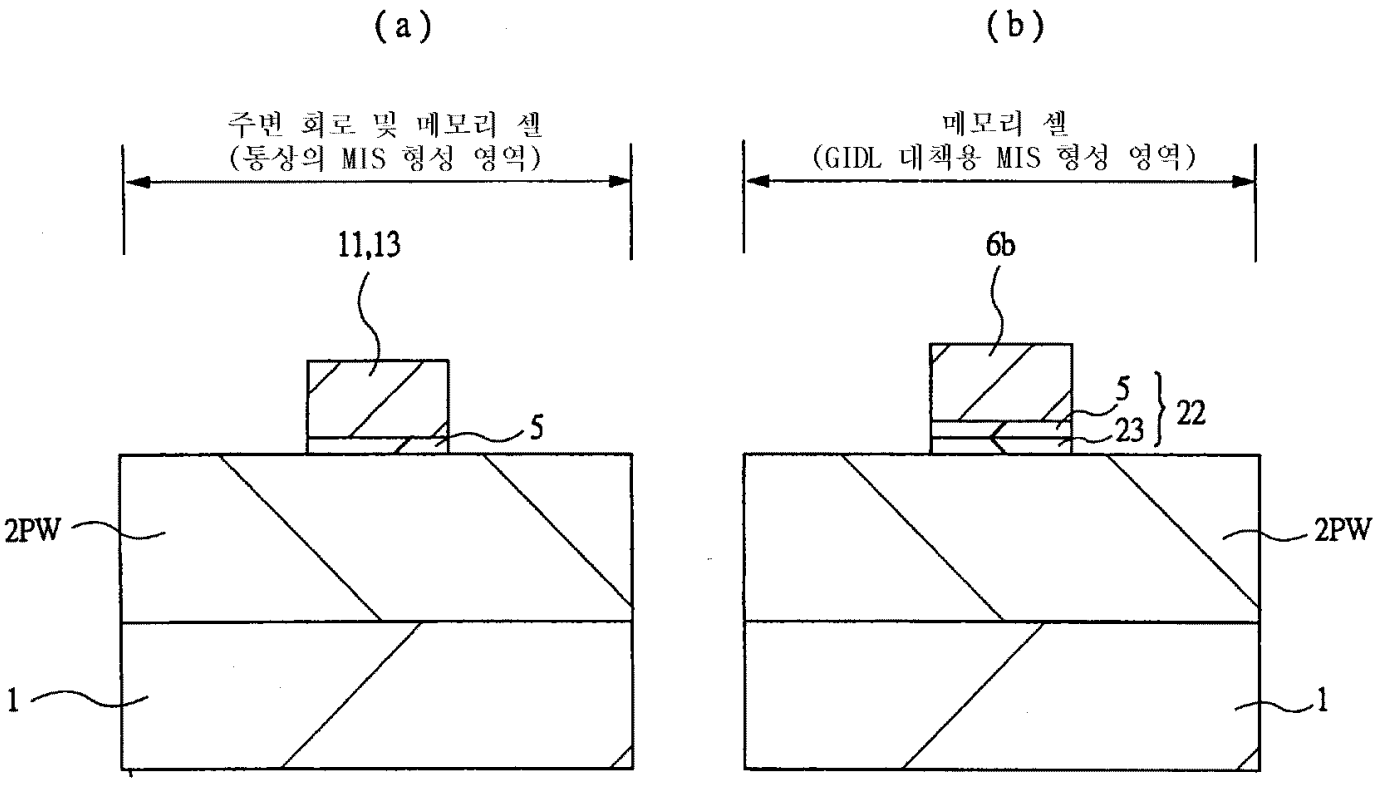
도면 33


(a)
주변 회로 및 메모리 셀
(통상의 MIS 형성 영역)
(b)
메모리 셀
(GIDL 대책용 MIS 형성 영역)
2PW
1
20b
23
2PW
1

도면 34


(a)
(b)
주변 회로 및 메모리 셀
(통상의 MIS 형성 영역)
메모리 셀
(GIDL 대책용 MIS 형성 영역)
5
2PW
1
5
23
22
2PW
1

도면 35


(a)
(b)
주변 회로 및 메모리 셀
(통상의 MIS 형성 영역)
메모리 셀
(GIDL 대책용 MIS 형성 영역)
11,13
5
2PW
1
6b
5
23
22
2PW
1