

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月15日(15.09.2022)



(10) 国際公開番号

WO 2022/190352 A1

(51) 国際特許分類:
H01S 5/026 (2006.01) *G02F 1/017* (2006.01)

Shigeru); 〒1808585 東京都武蔵野市緑町 3 丁目
9-11 NTT 知的財産センタ内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2021/010039

(22) 国際出願日: 2021年3月12日(12.03.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 日本電信電話株式会社 (**NIPPON TELEGRAPH AND TELEPHONE CORPORATION**) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).

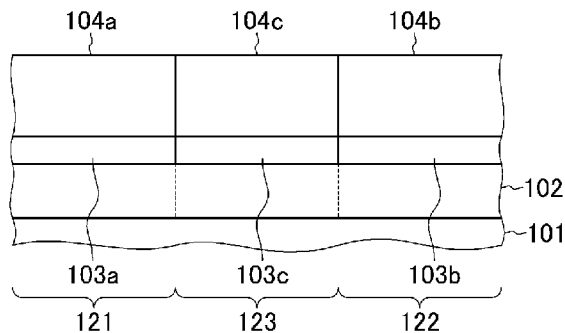
(74) 代理人: 山川 茂樹, 外(**YAMAKAWA, Shigeki et al.**); 〒1006104 東京都千代田区永田町 2 丁目 11 番 1 号 山王パークタワー 4 階 山川国際特許事務所内 Tokyo (JP).

(72) 発明者: 小林 亘 (**KOBAYASHI, Wataru**); 〒1808585 東京都武蔵野市緑町 3 丁目 9-11 NTT 知的財産センタ内 Tokyo (JP). 満原 学(**MITSUHARA, Manabu**); 〒1808585 東京都武蔵野市緑町 3 丁目 9-11 NTT 知的財産センタ内 Tokyo (JP). 金澤 慈(**KANAZAWA,**

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** This semiconductor device comprises a semi-insulating substrate (101) formed from a III-V group compound semiconductor, and a first semiconductor layer (102) formed on the substrate (101) from a III-V group compound semiconductor doped with carbon (C). The first semiconductor layer (102) has a first element region (121), a second element region (122), and a separation region (123) that is disposed between the first element region (121) and the second element region (122) and that separates the first element region (121) and the second element region (122). The first semiconductor layer (102) is formed integrally throughout the first element region (121), the separation region (123), and the second element region (122). The activation rate of the C that the first semiconductor layer (102) is doped with in the separation region (123) is made to be less than the activation rate of the C that the first semiconductor layer (102) is doped with in the first element region (121) and the second element region (122).

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置は、半絶縁性のⅢⅤ族化合物半導体から構成された基板(101)と、炭素(C)がドーピングされたⅢⅤ族化合物半導体から構成されて、基板(101)の上に形成された第1半導体層(102)とを備える。第1半導体層(102)は、第1素子領域(121)、第2素子領域(122)、および第1素子領域(121)と第2素子領域(122)との間に配置されて第1素子領域(121)と第2素子領域(122)とを分離する分離領域(123)を有する。第1半導体層(102)は、第1素子領域(121)、分離領域(123)、および第2素子領域(122)にかけて一体に形成されている。分離領域(123)の第1半導体層(102)にドーピングされているCの活性化率は、第1素子領域(121)および第2素子領域(122)の第1半導体層(102)にドーピングされているCの活性化率より低くされている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、光デバイスとするための活性層を備える半導体装置に関する。

背景技術

[0002] クラウド技術の活用、オンラインビジネスなどのＩＰサービスの多様化に伴い、通信トラフィックは増加の一途をたどっているが、通信トラフィックを支える光通信デバイスには従来にも増して、大容量化と低消費電力化、モジュールの小型化・高密度化、が求められている。

[0003] こうした光通信デバイスは、用途に応じて通信距離が分類されているが、基本的な構成は搬送波としての光を生み出す半導体レーザと、搬送波を変調するための光変調器と、変調した光の強度を増幅させるための光増幅器、変調した光を電気信号に変換するための受光器から成り立っている。

[0004] こうした光通信デバイスは、小型化や、電力効率の改善を目的として、同一の半導体基板上にモノリシック集積されることが用途に応じて行われている。また、特に光変調器については、変調電圧の使用効率を高め、コモンモードノイズを抑制した光波形のＳ／Ｎ改善を目的として差動変調駆動が求められている。

[0005] 光通信デバイスとして用いられている従来の半導体光変調器集積レーザは、同一基板上にレーザと光変調器とをモノリシック集積しており、素子のＧＮＤは共通の半導体層と結線されている。しかしこの構成では、以下に示すことにより、光変調器部の差動変調動作を実現することができない。レーザと光変調器とのＧＮＤがショートしているために、光変調器を差動変調動作させる際、片相の変調電圧がレーザに流れ込み、光変調器に所望の電圧を給電することが難しくなり、同時にレーザに不要の電圧給電されるため、レーザの安定動作が難しくなるためである。

[0006] 通常、半導体光デバイスにおいて差動変調駆動を実現するためには、半絶

縁性(semi-insulating : S I) 基板を用い、デバイスの駆動端子を G N D に対して o p e n の状態にする。この構成においては、レーザや光変調器を形成するためには、S I 基板上に、p 極性の半導体層を形成し、この上に活性層を形成し、この上に n 極性の半導体層を形成することになる。しかしこの構成では、S I 基板に 1 つの機能を有するデバイス（例えば直接変調レーザ等）の作製は可能であるが、同一基板に複数機能を有するデバイスのモノリシック集積の実現は不可能であった。

[0007] これに対し、S I 基板の上に、p 極性の半導体層、半絶縁性の半導体層、p 極性の半導体層を並べて形成し、これらの上に活性層を形成し、さらに、この上に n 極性の半導体層を形成するバットジョイントプロセスにより、レーザと光変調器とを集積することが考えられる。

[0008] しかしながら、この技術では、S I 基板の上に、異なる半導体層を成長するため、異なる半導体層の間で平坦性が損なわれるものとなる。この上に、各々の素子の活性層を成長するため、必然的に上層の結晶の平坦性も損なわれ、面内均一性が劣化する。また、活性層を光導波路として用いる場合は、ジョイントの部分で導波路損失を生じるなどの問題を生じる。

発明の概要

発明が解決しようとする課題

[0009] 以上に説明したように、従来の技術では、レーザや光変調器などの各々機能の異なる複数の素子を、素子間の電氣的な分離がなされた状態で、各素子の結晶品質を保って、モノリシックに集積することが容易ではないという問題があった。

[0010] 本発明は、以上のような問題点を解消するためになされたものであり、各々機能の異なる複数の素子を、素子間の電氣的な分離がなされた状態で、各素子の結晶品質を保って、モノリシックに集積することを目的とする。

課題を解決するための手段

[0011] 本発明に係る半導体装置は、半絶縁性の I I I - V 族化合物半導体から構成された基板と、第 1 素子領域、第 2 素子領域、および第 1 素子領域と第 2

素子領域との間に配置されて第1素子領域と第2素子領域とを分離する分離領域を有し、炭素がドーピングされたIII-V族化合物半導体から構成されて基板の上に形成された第1半導体層と、III-V族化合物半導体から構成されて、第1素子領域の第1半導体層の上に形成された第1活性層と、III-V族化合物半導体から構成されて、第2素子領域の第1半導体層の上に形成された第2活性層と、半絶縁性のIII-V族化合物半導体から構成されて、分離領域の第1半導体層の上に、第1活性層と第2活性層とに挟まれて形成された第1分離層と、n型のIII-V族化合物半導体から構成されて、第1活性層の上に形成された第1n型半導体層と、n型のIII-V族化合物半導体から構成されて、第2活性層の上に形成された第2n型半導体層と、半絶縁性のIII-V族化合物半導体から構成されて、第1分離層の上に、第1n型半導体層と第2n型半導体層とに挟まれて形成された第2分離層とを備え、第1半導体層は、第1素子領域、分離領域、および第2素子領域にかけて一体に形成され、分離領域の第1半導体層にドーピングされている炭素の活性化率は、第1素子領域および第2素子領域の第1半導体層にドーピングされている炭素の活性化率より低くされている。

発明の効果

[0012] 以上説明したように、本発明によれば、炭素をドーピングして基板の上に形成された第1半導体層において、分離領域の第1半導体層にドーピングされている炭素の活性化率を、第1素子領域および第2素子領域の第1半導体層にドーピングされている炭素の活性化率より低くしたので、各々機能の異なる複数の素子を、素子間の電気的な分離がなされた状態で、各素子の結晶品質を保って、モノリシックに集積することができる。

図面の簡単な説明

[0013] [図1]図1は、本発明の実施の形態1に係る半導体装置の構成を示す断面図である。

[図2A]図2Aは、本発明の実施の形態1に係る半導体装置の構成を示す断面図である。

[図2B]図2 Bは、本発明の実施の形態1に係る半導体装置の構成を示す断面図である。

[図2C]図2 Cは、本発明の実施の形態1に係る半導体装置の構成を示す断面図である。

[図3]図3は、分離領域123の長さ毎の、第1素子領域121、第2素子領域122における第1半導体層102の抵抗Aと第1半導体層102の断面積との関係を示す特性図である。

[図4A]図4 Aは、本発明の実施の形態1に係る半導体装置の他の構成を示す断面図である。

[図4B]図4 Bは、本発明の実施の形態1に係る半導体装置の他の構成を示す断面図である。

[図4C]図4 Cは、本発明の実施の形態1に係る半導体装置の他の構成を示す断面図である。

[図5A]図5 Aは、本発明の実施の形態2に係る半導体装置の構成を示す断面図である。

[図5B]図5 Bは、本発明の実施の形態2に係る半導体装置の構成を示す断面図である。

[図6]図6は、分離領域123の抵抗と分離領域123の長さとの関係を示す特性図である。

[図7A]図7 Aは、本発明の実施の形態3に係る半導体装置の構成を示す断面図である。

[図7B]図7 Bは、本発明の実施の形態3に係る半導体装置の構成を示す断面図である。

[図7C]図7 Cは、本発明の実施の形態3に係る半導体装置の構成を示す断面図である。

[図7D]図7 Dは、本発明の実施の形態3に係る半導体装置の構成を示す断面図である。

[図8]図8は、本発明の実施の形態に係る他の半導体装置の構成を示す断面図

である。

発明を実施するための形態

[0014] 以下、本発明の実施の形態に係る半導体装置について説明する。

[0015] [実施の形態 1]

はじめに、本発明の実施の形態 1 に係る半導体装置について、図 1、図 2 A、図 2 B、図 2 C を参照して説明する。この半導体装置は、まず、半絶縁性の III-V 族化合物半導体から構成された基板 101 と、炭素 (C) がドーピングされた III-V 族化合物半導体から構成されて、基板 101 の上に形成された第 1 半導体層 102 とを備える。第 1 半導体層 102 は、InGaAsP、InGaAs、InGaAlAs、および InAlAs のいずれかから構成することができる。

[0016] 第 1 半導体層 102 は、第 1 素子領域 121、第 2 素子領域 122、および第 1 素子領域 121 と第 2 素子領域 122 との間に配置されて第 1 素子領域 121 と第 2 素子領域 122 とを分離する分離領域 123 を有する。第 1 半導体層 102 は、第 1 素子領域 121、分離領域 123、および第 2 素子領域 122 にかけて一体に形成されている。

[0017] また、分離領域 123 の第 1 半導体層 102 にドーピングされている C の活性化率は、第 1 素子領域 121 および第 2 素子領域 122 の第 1 半導体層 102 にドーピングされている C の活性化率より低くされている。このため、分離領域 123 の第 1 半導体層 102 は、第 1 素子領域 121 および第 2 素子領域 122 の領域よりも、抵抗が高い状態となっている。分離領域 123 の第 1 半導体層 102 にドーピングされている C の活性化率は、第 1 素子領域 121 と第 2 素子領域 122 との間で電氣的な分離が実現できる範囲とされている。

[0018] また、この半導体装置は、III-V 族化合物半導体から構成されて、第 1 素子領域 121 の第 1 半導体層 102 の上に形成された第 1 活性層 103 a と、III-V 族化合物半導体から構成されて、第 2 素子領域 122 の第 1 半導体層 102 の上に形成された第 2 活性層 103 b とを備える。また、

分離領域 1 2 3 の第 1 半導体層 1 0 2 の上には、半絶縁性の III-V 族化合物半導体から構成された第 1 分離層 1 0 3 c を備える。第 1 分離層 1 0 3 c は、第 1 活性層 1 0 3 a と第 2 活性層 1 0 3 b とに挟まれて形成されている。

[0019] 例えば、第 1 活性層 1 0 3 a と、第 1 分離層 1 0 3 c と、第 2 活性層 1 0 3 b とは、各々個別に形成されている。また、第 1 活性層 1 0 3 a と、第 1 分離層 1 0 3 c と、第 2 活性層 1 0 3 b とは、同じ厚さに形成されている。なお、同じ厚さとは、実質的に同じ厚さのことを示し、製造の制約上、例えば、各々が 10 nm 違う場合も含むものである。第 1 活性層 1 0 3 a と、第 1 分離層 1 0 3 c と、第 2 活性層 1 0 3 b とは、各部間の光導波路の光結合効率が十分高くなるように、各々の厚さが設定されていることが重要である。

[0020] また、この半導体装置は、n 型の III-V 族化合物半導体から構成されて、第 1 活性層 1 0 3 a の上に形成された第 1 n 型半導体層 1 0 4 a と、n 型の III-V 族化合物半導体から構成されて、第 2 活性層 1 0 3 b の上に形成された第 2 n 型半導体層 1 0 4 b とを備える。また、第 1 分離層 1 0 3 c の上には、半絶縁性の III-V 族化合物半導体から構成されていた第 2 分離層 1 0 4 c を備える。第 2 分離層 1 0 4 c は、第 1 n 型半導体層 1 0 4 a と第 2 n 型半導体層 1 0 4 b とに挟まれて形成されている。

[0021] 例えば、第 1 n 型半導体層 1 0 4 a と、第 2 分離層 1 0 4 c と、第 2 n 型半導体層 1 0 4 b とは、各々個別（別体）に形成されている。なお、製造においては、第 1 n 型半導体層 1 0 4 a および第 2 n 型半導体層 1 0 4 b を、同じ層から形成することができる。また、第 1 n 型半導体層 1 0 4 a と、第 2 分離層 1 0 4 c と、第 2 n 型半導体層 1 0 4 b とは、同じ厚さに形成されている。なお、同じ厚さとは、実質的に同じ厚さのことを示し、製造の制約上、例えば、各々が 10 nm 違う場合も含むものである。また、これらは、同じ厚さである必要なく、例えば、第 1 n 型半導体層 1 0 4 a に対して、第 2 分離層 1 0 4 c が 100 nm 厚い構成であっても、特性上は影響がない。

- [0022] この半導体装置は、例えば、第1素子領域121をレーザとし、第2素子領域122を光変調器とし、これら各光素子が、分離領域123により、基板101の上で電氣的に分離された光通信デバイスである。この光通信デバイスは、例えば、第1活性層103a、第1分離層103c、および第2活性層103bをコアとし、これらの配列方向を導波方向とする光導波路構造とされている。
- [0023] 図1は、この導波方向に平行な断面を示している。また、図2Aは、第1素子領域121における導波方向に垂直な断面を示している。また、図2Bは、第2素子領域122における導波方向に垂直な断面を示している。また、図2Cは、分離領域123における導波方向に垂直な断面を示している。
- [0024] 図2A、図2B、図2Cに示すように、第1活性層103a、第1分離層103c、第2活性層103b、第1n型半導体層104a、第2分離層104c、および第2n型半導体層104bは、導波方向の側面が、半絶縁性の半導体からなる第1S₁層105および第2S₁層106で挟まれている（埋め込まれている）。これは、よく知られた埋め込み(buried heterostructure)構造である。第1S₁層105および第2S₁層106は、第1半導体層102の上に形成されている。
- [0025] また、第1素子領域121において、第1S₁層105および第2S₁層106が形成されていない領域の第1半導体層102の上には、第1半導体層102にオーミック接続する第1p電極107aが形成されている。また、第1素子領域121において、第1n型半導体層104aの上には、第1n型半導体層104aにオーミック接続する第1n電極108aが形成されている。
- [0026] また、第2素子領域122において、第1S₁層105および第2S₁層106が形成されていない領域の第1半導体層102の上には、第1半導体層102にオーミック接続する第2p電極107bが形成されている。また、第2素子領域122において、第2n型半導体層104bの上には、第2n型半導体層104bにオーミック接続する第2n電極108bが形成され

ている。

[0027] この例では、第1 S I 層 105 および第2 S I 層 106 は、厚さ方向に一部の第1 半導体層 102 に入り込んで形成されている。なお、厚さ方向に一部の第1 半導体層 102 に入り込むことなく、第1 S I 層 105 および第2 S I 層 106 を形成することもできる。

[0028] 第1 半導体層 102 が、1つの層から構成されているので、第1 活性層 103 a、第1 分離層 103 c、および第2 活性層 103 b を、いわゆるバットジョイントプロセスにより形成しても、第1 活性層 103 a、第1 分離層 103 c、および第2 活性層 103 b の、平坦性が損なわれることがない。このため、第1 活性層 103 a、第1 分離層 103 c、および第2 活性層 103 b による光導波路が、各々のジョイント部分で導波路損失を生じることが発生しない。

[0029] このように、実施の形態1によれば、各々機能の異なる複数の素子を、素子間の電氣的な分離がなされた状態で、各素子の結晶品質を保って、モノリシックに集積することができる。この結果、実施の形態1によれば、モノリシックに集積した光素子の差動変調駆動の実現が可能になる。差動変調駆動が実現できることによる効果は、第1に、変調振幅電圧を半減できることがあり、第2に、コモンモードノイズを低減できることによる光信号のS/N改善がある（参考文献1）。

[0030] ここで、従来、InP材料のp極性のドーパントとしては、ZnやBeが広く用いられてきた（参考文献2）。一方、Cは、ZnやBeに比べ、半導体内の拡散係数が小さく（参考文献3）、InP基板上に形成したInGaAlAs（InAlAs）やInGaAsP（InGaAs）の材料における高濃度のドーピングが可能という特徴がある。

[0031] InGaAs等の半導体層内にドーピングしたCは、N₂雰囲気中で熱処理をすることで活性化されp極性として作用する（参考文献4）。Cは、InGaAsPの組成によってはn極性／p極性として作用することも知られている（参考文献5）。しかしながら、熱処理時にウエハ内で熱分布を発生さ

せることで、局所的にCの活性化率を変化させて抵抗率を制御するという報告はなされていなかった。

[0032] ここで、半導体層の抵抗 R [Ω] は、半導体層の抵抗率 ρ [$\Omega \mu\text{m}$]、半導体層の断面積 S [μm^2]、半導体層の抵抗部分の長さを L [μm]として、「 $R = \rho (L / S)$ 」で表すことができる。例えば、半導体層が、 $p - InP$ から構成されている場合は、 p ドーパントを $1 \times 10^{18} \text{cm}^{-3}$ 導入した場合、 ρ は 0.066 [Ωcm]であり、 $2 \mu\text{m} \times 2 \mu\text{m}$ の断面積で抵抗部分の長さを $50 \mu\text{m}$ とすると約 $8.2 \text{k}\Omega$ の分離抵抗になる。

[0033] 参考文献4のFig. 1によると、 $7 \times 10^{19} \text{cm}^{-3}$ のCドーパントを $InGaAs$ に導入し、 N_2 雰囲気内の熱処理時間を20分とすると、 450°C の条件および 500°C の条件で活性化されたCは、それぞれ約 $2.5 \times 10^{19} \text{cm}^{-3}$ (35%)、 $6 \times 10^{19} \text{cm}^{-3}$ (85%)と見積もれる。このことから、同一の半導体層 ($InGaAs$ 層)の中で、加熱処理の温度を、 50°C 変化させることができれば、活性化率として50%の差を与えることができ、この結果、同一の半導体層の中で、抵抗率 ρ を部分的に変化させることができる。

[0034] 実施の形態1に係る半導体装置では、分離領域123における第1半導体層102の導波方向に垂直な断面の面積(断面積) S_{iso} 、および第1半導体層102の導波方向の長さ L_{iso} を決定する。例えば、Cをドーパした $InGaAs$ から第1半導体層102を形成し、第1素子領域121、第2素子領域122と、分離領域123との間で熱処理温度に勾配を与える。これにより、第1素子領域121、第2素子領域122の第1半導体層102は、 p^+ とし、分離領域123では、 p^- とすることができる。

[0035] p^+ とした第1素子領域121、第2素子領域122の第1半導体層102における活性化されたCドーパントは、75~85%とする。また、 p^- とした分離領域123の第1半導体層102における活性化されたCドーパントは、35~45%とする。この時の、第1半導体層102の抵抗率 ρ は、第1素子領域121、第2素子領域122で、おおよそ $0.01 \Omega \text{cm}$ となり

、分離領域123で、 $0.02\Omega\text{cm}$ となる。 p^+ としている第1素子領域121、第2素子領域122の第1半導体層102には、第1p電極107a、第2p電極107bが形成されている。

[0036] 分離領域123における第1半導体層102の、断面積を S_{iso} とし、分離領域123の長さを L_{iso} とする。第1素子領域121、第2素子領域122における第1半導体層102の抵抗をAとする。また、第1n型半導体層104aおよび第2n型半導体層104bにおける抵抗をBとする。

[0037] 抵抗Bは、第1素子領域121と第2素子領域122の間の分離領域123における第2分離層104cが、半絶縁性の半導体で構成されているために、抵抗率は抵抗Aの領域に比べて十分に小さく、抵抗Aのみを考慮すればよい。

[0038] 図3に抵抗Aの計算値を示す。 ρ は $0.066\Omega\text{cm}$ という一般的な値を用いた。分離領域123の長さLが $50\mu\text{m}$ から $150\mu\text{m}$ になるに従い、抵抗値は大きくなる。半導体の各機能部の分離抵抗として $10\text{k}\Omega$ を得るためには、Lが $100\mu\text{m}$ の時は、断面積 S_{iso} を $7\mu\text{m}^2$ 程度とし、Lが $150\mu\text{m}$ の時は、断面積 S_{iso} をおよそ $9\mu\text{m}^2$ 程度とする必要がある。

[0039] ところで、図4A、図4B、図4Cに示すように、第1半導体層102の導波方向の側面まで、第1S1層105および第2S1層106で埋め込む（挟まれた）構造とすることができる。この構成の場合であっても、図3に示すように、 S_{iso} が $10\mu\text{m}^2$ 以下になるような構造とすることが重要となる。一方で、第1素子領域121、第2素子領域122では、p電極を形成しないといけない。第1素子領域121、第2素子領域122における p^+ とした第1半導体層102の断面積はp電極が維持できる大きさに維持し、分離領域123の第1半導体層102の S_{iso} が小さくなるようにする必要がある。第1素子領域121、第2素子領域122における p^+ とした第1半導体層102の断面積は、このまま分離領域123の p^- とした第1半導体層102の S_{iso} になるため、 S_{iso} が小さくなるように、 p^+ を維持しつつp電極の形成を実現する必要がある。なお、p電極が容易に形成できる図2A、図2B、図2Cを

用いて説明した構成においても、 S_{iso} を $10\mu m^2$ 以下とすることは、設計上は実現可能である。

[0040] 次に、作製方法について説明する。まず、Feをドーピングすることで半絶縁性としたInPからなる基板101を用意する。次いで、基板101の上に、CをドーピングしたInGaAsを結晶成長することで第1半導体層102を形成する。Cのドーピング量は、例えば、 $1 \times 10^{19} cm^{-3}$ とすることができる。

[0041] 次に、CドーピングしたInGaAsからなる第1半導体層102の上に、公知のバットジョイントプロセスにより、レーザとして機能する多重量子井戸構造の第1活性層103a、電界吸収型(EA)変調器として機能する多重量子井戸構造の第2活性層103bを形成する。また、これらの間に、電気分離として機能するフォトルミネッセンス波長1.1mmのInGaAsPを結晶成長し、第1分離層103cを形成する。

[0042] 次に、第1活性層103a、第2活性層103bの上に、Siをドーピングしたn-InPを結晶成長して、第1n型半導体層104a、第2n型半導体層104bを形成する、また、第1分離層103cの上に、FeをドーピングしたInPを結晶成長して第2分離層104cを形成する。

[0043] 次に、第1Si層105および第2Si層106を形成するために、第1活性層103a、第1分離層103c、第2活性層103b、第1n型半導体層104a、第2分離層104c、および第2n型半導体層104bを、例えばウエットエッチングによりリッジパターンに加工する。また、例えば、分離領域123においては、第1半導体層102もリッジ状に形成する。次いで、リッジ状に形成した部分の側方に露出する第1半導体層102の上、および基板101の上に、Feをドーピングすることで半絶縁性としたInPを結晶再成長することで、第1Si層105および第2Si層106を形成する。

[0044] 次に、第1素子領域121、第2素子領域122において、第1p電極107a、第2p電極107bを形成する。まず、第1Si層105、第2Si層106、第1n型半導体層104a、第2n型半導体層104bの全面

に絶縁膜を形成する。次いで、電氣的な接触を確保する第1 n型半導体層104 a、第2 n型半導体層104 bの上の絶縁膜を除去する。次いで、第1 p電極107 a、第2 p電極107 bを、第1 n型半導体層104 a、第2 n型半導体層104 bおよび第1 S I層105、第2 S I層106の上に広がるように形成する。第1 p電極107 a、第2 p電極107 bは、絶縁膜を除去した箇所で、第1 n型半導体層104 a、第2 n型半導体層104 bに電氣的に接続する。この後、各電極には、図示していないが、配線（ワイヤ）が接続（ワイヤリング）される。

[0045] また、第1半導体層102におけるCの活性化処理として、分離領域123の上にのみAuからなる金属マスクを形成して保護し、N₂雰囲気中で、500℃で5分間の条件で加熱処理を行った。この加熱処理は、輻射熱により実施する。この加熱処理では、第1素子領域121、第2素子領域122は500℃に上昇するが、分離領域123では、輻射熱が金属マスクで反射される効果により450℃程度までしか上昇しない。

[0046] この工程により、第1素子領域121、第2素子領域122における第1半導体層102のCの活性化率は、およそ85%となる。また、この工程により、分離領域123における第1半導体層102のCの活性化率は、およそ35%となる。これらの結果として、第1素子領域121、第2素子領域122における第1半導体層102では、活性化されたCの濃度が $8 \times 10^{18} \text{ cm}^{-3}$ 程度となる。また、分離領域123における第1半導体層102では、活性化されたCの濃度が、 $3 \times 10^{18} \text{ cm}^{-3}$ 程度となる。

[0047] なお、分離領域123における導波方向の長さは、50 μmとした。また、第1半導体層102の断面積は0.8 μm²とした。

[0048] 上述したことにより作製した、実施の形態1に係る半導体装置の第1素子領域121（LD部）と、第2素子領域122（EA変調器部）との電気分離を測定したところ、第1 p電極107 aと第2 p電極107 bとの間は12.5 kW以上、第1 n電極108 aと第2 n電極108 bとの間50 kW以上であった。この電気分離を反映して、LD部は安定したDC動作、EA

変調器は50Gb/sの差動変調動作が実現された。

[0049] [実施の形態2]

次に、本発明の実施の形態2に係る半導体装置について、図5A、図5Bを参照して説明する。この半導体装置は、まず、半絶縁性のIII-V族化合物半導体から構成された基板101と、CがドーピングされたIII-V族化合物半導体から構成されて、基板101の上に形成された下部第1半導体層102aと、CがドーピングされたIII-V族化合物半導体から構成されて、下部第1半導体層102a上に形成された上部第1半導体層102bとを備える。下部第1半導体層102a、上部第1半導体層102bの各々は、InGaAsP、InGaAs、InGaAlAs、およびInAlAsのいずれかから構成することができる。他の構成は、前述した実施の形態1と同様である。

[0050] 実施の形態2では、Cがドーピングされた半導体の層を、2つの層から構成している。実施の形態2では、第1素子領域121、第2素子領域122では、図5Aに示すように、上部第1半導体層102bの上に、第1Si層105および第2Si層106を形成する。一方、分離領域123では、下部第1半導体層102aの上に、第1Si層105および第2Si層106を形成する。下部第1半導体層102a、上部第1半導体層102bにおけるCの活性化率は、第1素子領域121、第2素子領域122に比較して、分離領域123が低くされている。例えば、第1素子領域121、第2素子領域122において、下部第1半導体層102a、上部第1半導体層102bは、 p^+ とされ、分離領域123において、下部第1半導体層102a、上部第1半導体層102bは、 p^- とされている。

[0051] 第1p電極107a、第2p電極107bは、第1Si層105および第2Si層106が形成されていない領域の、上部第1半導体層102bの上に形成する。このように構成することで、分離領域123における電気分離を大きくすることができる。

[0052] 分離領域123では、第1Si層105および第2Si層106を形成す

る領域の上部第1半導体層102bをエッチング除去し、下部第1半導体層102aを露出させ、この上に第1S1層105および第2S1層106を形成する。なお、分離領域123では、第2S1層106が形成されていない領域の下部第1半導体層102aの上には、電極を形成する必要はない。

[0053] 分離領域123における分離抵抗は、各々p⁻とされている下部第1半導体層102aと上部第1半導体層102bとが、並列に接続されていると考えることで計算することができる。分離領域123の抵抗を R_{iso} とし、p⁻とされている下部第1半導体層102aと上部第1半導体層102bの抵抗を、各々 R_1 、 R_2 とすると、 $1/R_{iso} = (1/R_1) + (1/R_2)$ とあわらされるものとなる。分離領域123の導波方向の長さをLとし、下部第1半導体層102aの断面積を $0.4\mu m^2$ とし、上部第1半導体層102bの断面積を $10\mu m^2$ とした。

[0054] 上部第1半導体層102bの抵抗率を 0.02 とし、下部第1半導体層102aの抵抗率 ρ_2 を、 0.12 、 0.1 、 $0.033\Omega cm$ と変化させて、上式の計算を行った結果を図6に示す。下部第1半導体層102aは S_{iso} が大きくなるために、抵抗に与える影響が大きく、分離領域123における下部第1半導体層102aの抵抗率 ρ_2 の値は、 0.1 以上でないと分離領域123における $10k\Omega$ を確保するのは難しいことを示している。一方、分離領域123における下部第1半導体層102aの抵抗率 ρ_2 が 0.12 であれば、分離領域123の長さが $100\mu m$ であっても、 $10k\Omega$ の抵抗値を確保できることを示している。

[0055] [実施の形態3]

次に、本発明の実施の形態3に係る半導体装置について、図7A、図7B、図7Cを参照して説明する。この半導体装置は、まず、半絶縁性のIII-V族化合物半導体から構成された基板101と、CがドーピングされたIII-V族化合物半導体から構成されて、基板101の上に形成された第1半導体層102とを備える。第1半導体層102は、InGaAsP、InGaAs、InGaAlAs、およびInAlAsのいずれかから構成する

ことができる。

[0056] 加えて、実施の形態3では、基板101と第1半導体層102との間に、Znをドーピングしたp型のInPからなるp型半導体層110をさらに備える。他の構成は、前述した実施の形態と同様である。また、基板101の上に、p型半導体層110を形成した後、前述した作製方法と同様に、p型半導体層110の上に各層を形成することで、実施の形態3に係る半導体装置が得られる。

[0057] なお、実施の形態3では、前述同様の加熱処理により、第1素子領域121、第2素子領域122における第1半導体層102のCの活性化率は、およそ85%となる。また、この工程により、分離領域123における第1半導体層102のCの活性化率は、およそ35%となる。ただし、実施の形態3では、第1素子領域121、第2素子領域122における第1半導体層102では、活性化されたCの濃度が $4 \times 10^{18} \text{ cm}^{-3}$ 程度となる。また、分離領域123における第1半導体層102では、活性化されたCの濃度が、 $2 \times 10^{18} \text{ cm}^{-3}$ 程度となる。

[0058] 実施の形態3において、分離領域123における導波方向の長さは、 $120 \mu\text{m}$ とした。また、第1半導体層102の断面積は $0.4 \mu\text{m}^2$ とした。この結果、実施の形態3に係る半導体装置の第1素子領域121（LD部）と、第2素子領域122（EA変調器部）との電気分離を測定したところ、第1p電極107aと第2p電極107bとの間は10.5kW以上、第1n電極108aと第2n電極108bとの間50kW以上であった。この電気分離を反映して、LD部は安定したDC動作、EA変調器は50Gb/sの差動変調動作が実現された。

[0059] ところで、図7Dに示すように、分離領域123において、第1Si層105および第2Si層106が形成されていない領域において、第1半導体層102を除去してp型半導体層110を露出させ、この上にオーミック接続する電極107cを形成し、電極107cを、接地電位とする構成とすることもできる。

- [0060] 上記構成において、LD部となる第1素子領域121の第1p電極107aには、+2.0V程度の電圧を印加する。一方、EA変調器となる第2素子領域122の第2p電極107bには、-0.5~-1.5VのDC電圧を印加し、1.0V程度の変調振幅電圧を重畳させて動作させる。これにより、第1素子領域121の第1半導体層102、第2素子領域122の第1半導体層102には、それぞれ正および負の電圧が印加されるものとなる。このように駆動する構成において、電極107cを接地電位とすることで、第1素子領域121と第2素子領域122との間の分離が強化できる。
- [0061] 上述した実施の形態3により、第1素子領域121（LD部）と第2素子領域122（EA変調器部）との差動変調動作の光波形品質の改善が実現できる。
- [0062] ところで、図8に示すように、分離領域123では、第1Si層105および第2Si層106を形成せず、p型半導体層110、第1半導体層102、第1分離層103c、および第2分離層104cの積層体による、ハイメサ構造とすることもできる。このようなハイメサ構造とすることで、分離領域123における電気分離のさらなる改善が実現できる。また、図8に示す構造では、p型半導体層110の接続領域の断面積が、図7A、図7B、図7Cを用いて説明した構成に比べ小さくなるために、分離領域123における電気抵抗を確保しやすくなる。
- [0063] なお、上述では、第1素子領域121をLDとし、第2素子領域122をEA変調器とこれらを差動駆動する場合を例に説明したが、これに限るものではない。LDとした第1素子領域121に連続して形成される分離領域123を、平面視で複数に分岐する分岐導波路構造とし、これら各々に接続してMZ変調器とする第2素子領域122を形成することもできる。この場合においても、分離領域123の層構造は、前述した実施の形態と同様である。また、第2素子領域122の主に第2活性層103bが、MZ変調器用に設計されているものとすることができる。
- [0064] 以上に説明したように、本発明によれば、炭素をドーピングして基板の上に形

成された第1半導体層において、分離領域の第1半導体層にドーピングされている炭素の活性化率を、第1素子領域および第2素子領域の第1半導体層にドーピングされている炭素の活性化率より低くしたので、各々機能の異なる複数の素子を、素子間の電氣的な分離がなされた状態で、各素子の結晶品質を保って、モノリシックに集積することができるようになる。

[0065] なお、本発明は以上に説明した実施の形態に限定されるものではなく、本発明の技術的思想内で、当分野において通常の知識を有する者により、多くの変形および組み合わせが実施可能であることは明白である。

[0066] [参考文献]

[参考文献1] W. Kobayashi et al., "Design and Fabrication of Wide Wavelength Range 25.8-Gb/s, 1.3- μ m, Push-Pull-Driven DMLs", Journal of Lightwave Technology, vol. 32, no. 1, pp. 3-9, 2014.

[参考文献2] D. Cui et al., "Impact of doping and MOCVD conditions on minority carrier lifetime of zinc- and carbon-doped InGaAs and its applications to zinc- and carbon-doped InP/InGaAs heterostructure bipolar transistors", Semiconductor Science and Technology, vol. 17, pp. 503-509, 2002.

[参考文献3] N. Kobayashi et al., "Abrupt p-type doping profile of carbon atomic layer doped GaAs grown by flow-rate modulation epitaxy", Applied Physics Letters, vol. 50, no. 20, pp. 1435-1437, 1987.

[参考文献4] N. Watanabe et al., "Annealing effect on C-doped InGaAs grown by metalorganic chemical vapor deposition", Journal of Crystal Growth, vol. 195, no. 48-53, 1998.

[参考文献5] H. Sugiura et al., "Characterization of heavily carbon-doped InGaAsP layers grown by chemical beam epitaxy using tetrabromide", Applied Physics Letters, vol. 73, no. 17, pp. 2482-2484, 1998.

符号の説明

[0067] 101…基板、102…第1半導体層、103a…第1活性層、103b

…第2活性層、103c…第1分離層、104a…第1n型半導體層、104b…第2n型半導體層、104c…第2分離層、105…第1Si層、106…第2Si層、107a…第1p電極、107b…第2p電極、108a…第1n電極、108b…第2n電極、121…第1素子領域、122…第2素子領域、123…分離領域。

請求の範囲

[請求項1]

半絶縁性のⅢ－Ⅴ族化合物半導体から構成された基板と、

第1素子領域、第2素子領域、および前記第1素子領域と前記第2素子領域との間に配置されて前記第1素子領域と前記第2素子領域とを分離する分離領域を有し、炭素がドーピングされたⅢ－Ⅴ族化合物半導体から構成されて前記基板の上に形成された第1半導体層と、

Ⅲ－Ⅴ族化合物半導体から構成されて、前記第1素子領域の前記第1半導体層の上に形成された第1活性層と、

Ⅲ－Ⅴ族化合物半導体から構成されて、前記第2素子領域の前記第1半導体層の上に形成された第2活性層と、

半絶縁性のⅢ－Ⅴ族化合物半導体から構成されて、前記分離領域の前記第1半導体層の上に、前記第1活性層と前記第2活性層とに挟まれて形成された第1分離層と、

n型のⅢ－Ⅴ族化合物半導体から構成されて、前記第1活性層の上に形成された第1n型半導体層と、

n型のⅢ－Ⅴ族化合物半導体から構成されて、前記第2活性層の上に形成された第2n型半導体層と、

半絶縁性のⅢ－Ⅴ族化合物半導体から構成されて、前記第1分離層の上に、

前記第1n型半導体層と前記第2n型半導体層とに挟まれて形成された第2分離層と

を備え、

前記第1半導体層は、前記第1素子領域、前記分離領域、および前記第2素子領域にかけて一体に形成され、

前記分離領域の前記第1半導体層にドーピングされている炭素の活性化率は、前記第1素子領域および前記第2素子領域の前記第1半導体層にドーピングされている炭素の活性化率より低くされている

ことを特徴とする半導体装置。

[請求項2]

請求項1記載の半導体装置において、

前記第1活性層と、前記第1分離層と、前記第2活性層とは、各々個別に形成されていることを特徴とする半導体装置。

[請求項3]

請求項2記載の半導体装置において、

前記第1活性層と、前記第1分離層と、前記第2活性層とは、同じ厚さに形成されていることを特徴とする半導体装置。

[請求項4]

請求項1～3のいずれか1項に記載の半導体装置において、

前記第1 n型半導体層と、前記第2分離層と、前記第2 n型半導体層とは、各々個別に形成されていることを特徴とする半導体装置。

[請求項5]

請求項4記載の半導体装置において、

前記第1 n型半導体層と、前記第2分離層と、前記第2 n型半導体層とは、同じ厚さに形成されていることを特徴とする半導体装置。

[請求項6]

請求項1～5のいずれか1項に記載の半導体装置において、

前記分離領域の前記第1半導体層にドーピングされている炭素の活性化率は、前記第1素子領域と前記第2素子領域との間で電氣的な分離が実現できる範囲とされている

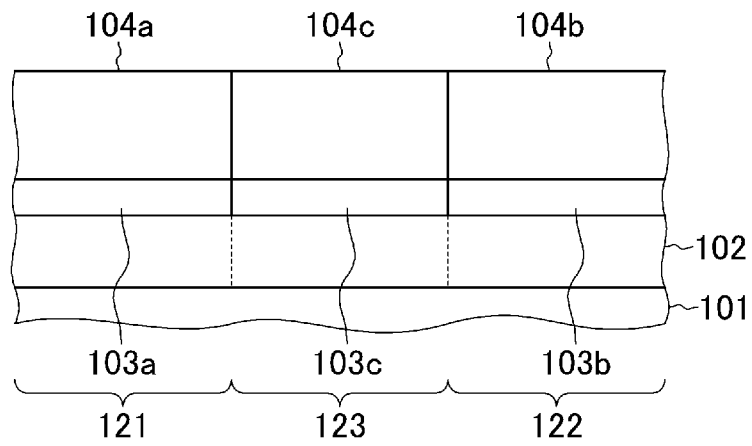
ことを特徴とする半導体装置。

[請求項7]

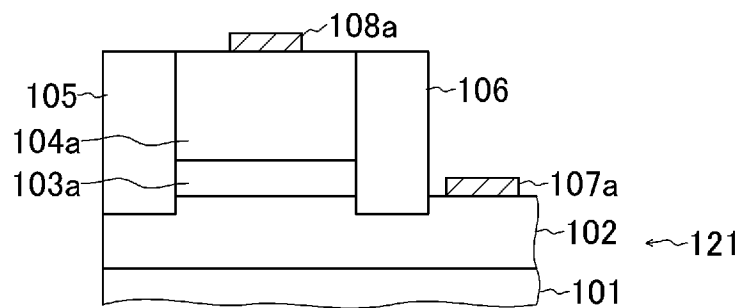
請求項1～6のいずれか1項に記載の半導体装置において、

前記第1半導体層は、InGaAsP、InGaAs、InGaAlAs、およびInAlAsのいずれかから構成されていることを特徴とする半導体装置。

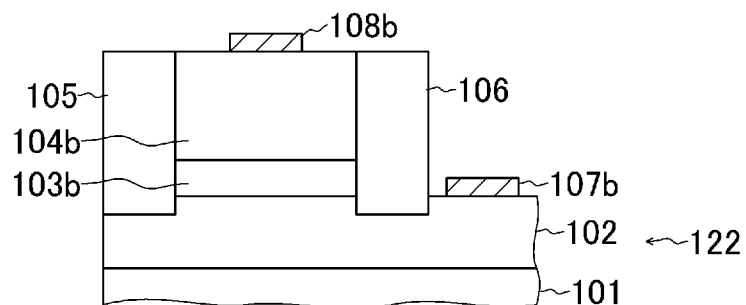
[図1]



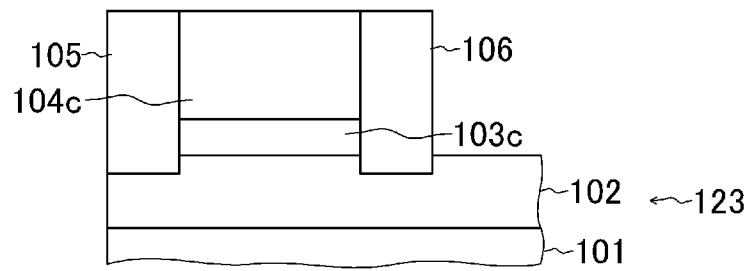
[図2A]



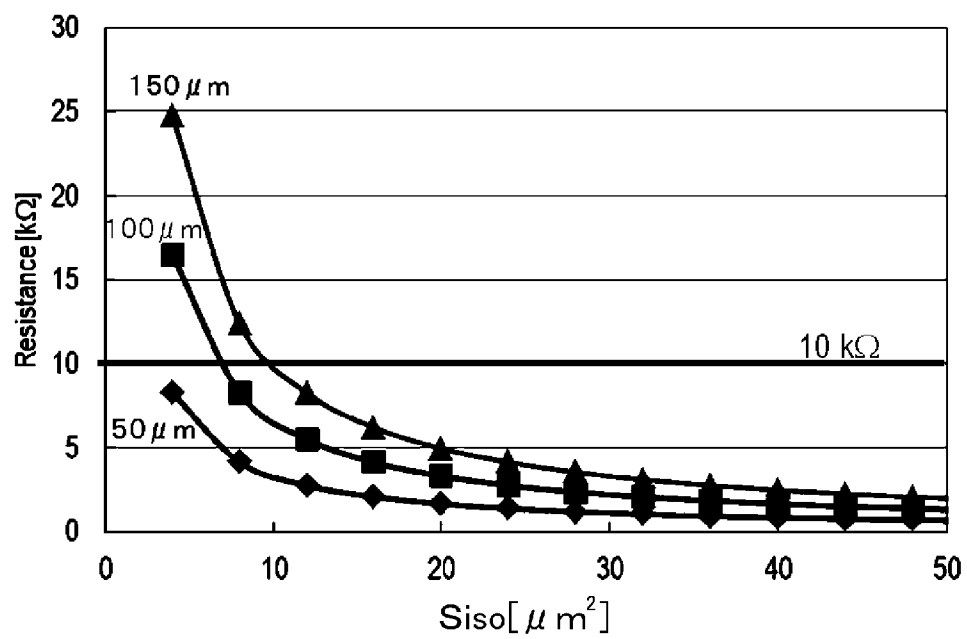
[図2B]



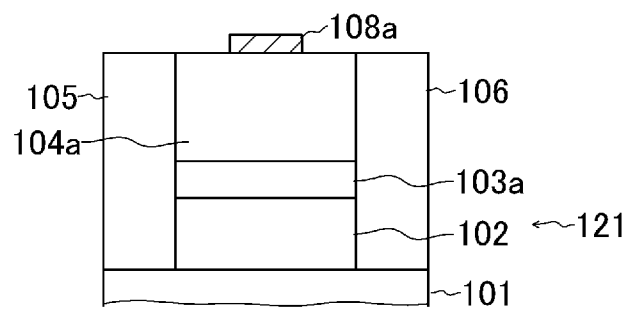
[図2C]



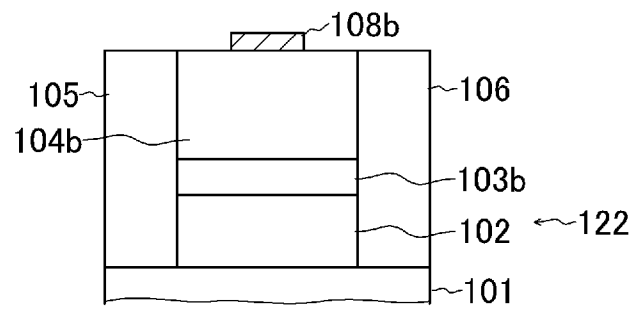
[図3]



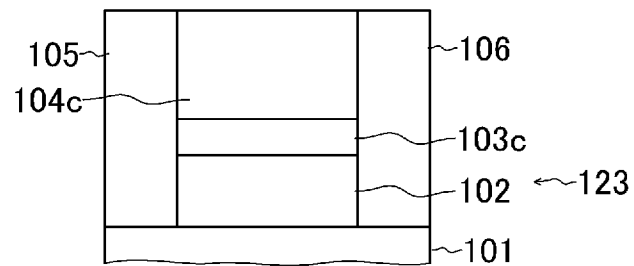
[図4A]



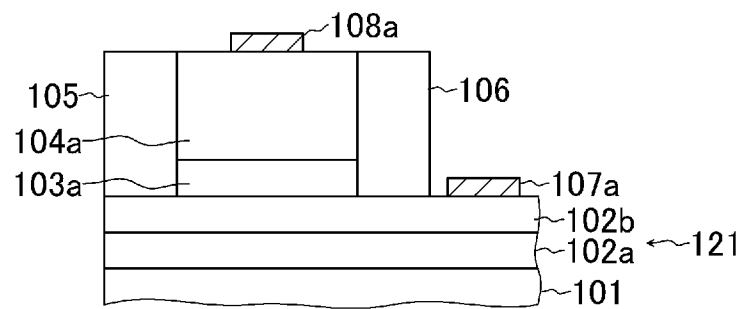
[図4B]



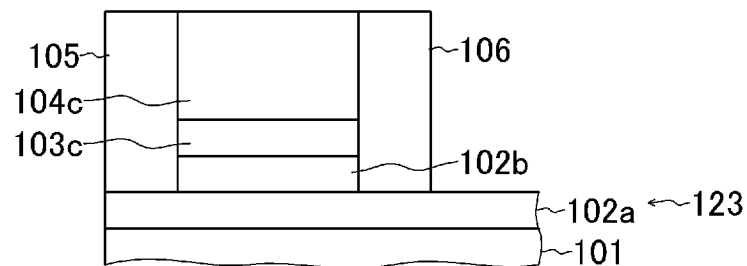
[図4C]



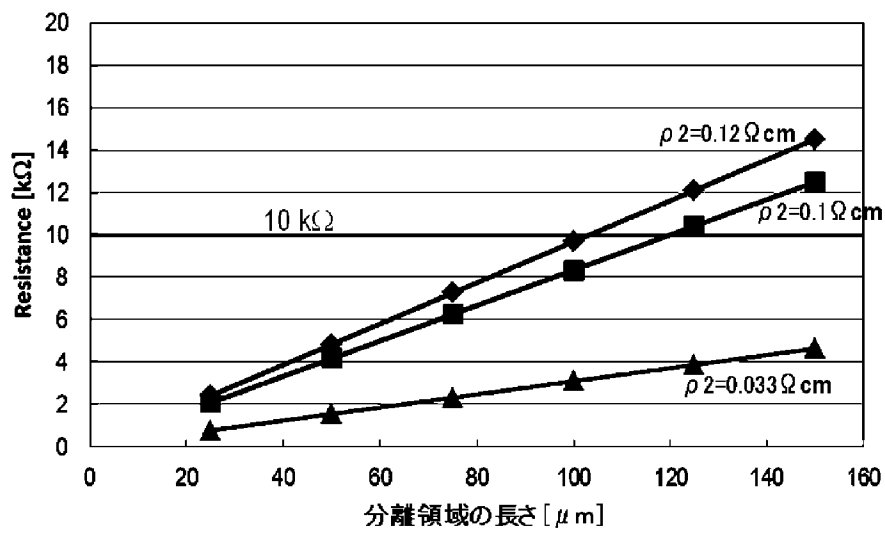
[図5A]



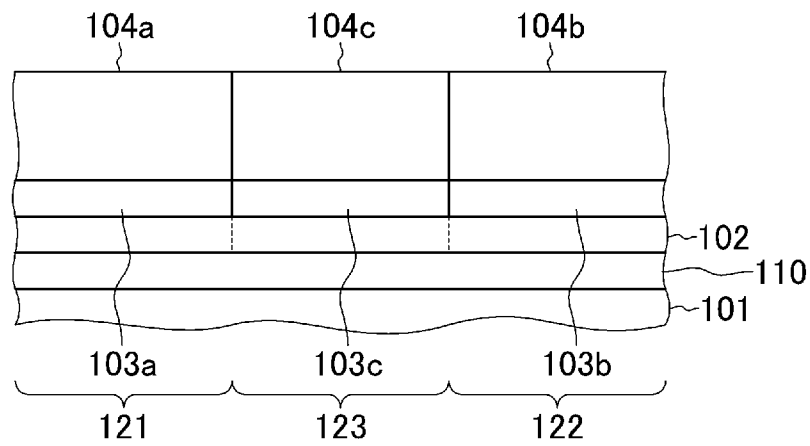
[図5B]



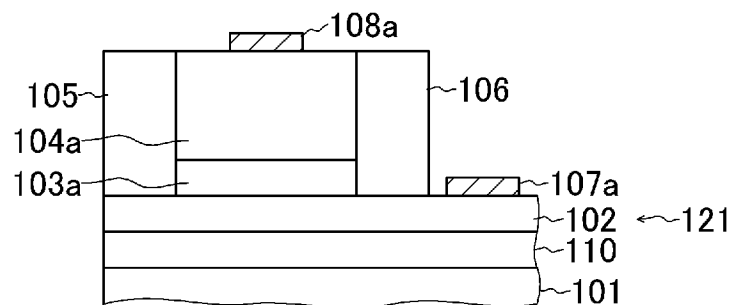
[図6]



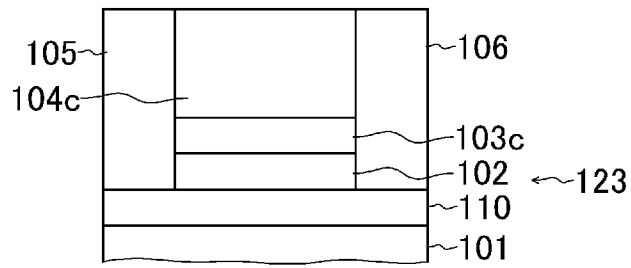
[図7A]



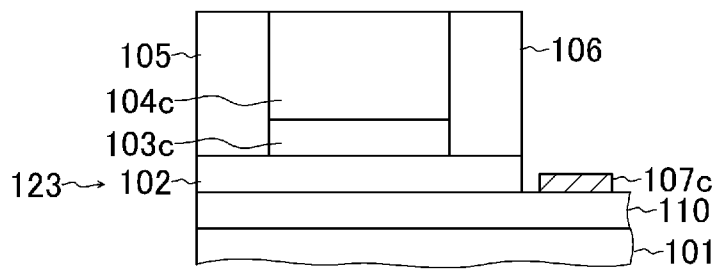
[図7B]



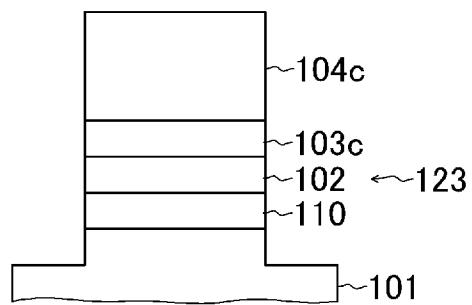
[図7C]



[図7D]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/010039

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01S5/026(2006.01)i, G02F1/017(2006.01)i

FI: H01S5/026616, G02F1/017503

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01S5/00-5/50, G02F1/00-1/125, 1/21-7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-191308 A (NIPPON TELEGR & TELEPH CORP.) 31 October 2019 (2019-10-31), entire text, all drawings	1-7
A	JP 2019-079993 A (NIPPON TELEGR & TELEPH CORP.) 23 May 2019 (2019-05-23), entire text, all drawings	1-7
A	JP 2019-054107 A (NIPPON TELEGR & TELEPH CORP.) 04 April 2019 (2019-04-04), entire text, all drawings	1-7
A	JP 2010-072495 A (OPNEXT JAPAN INC.) 02 April 2010 (2010-04-02), entire text, all drawings	1-7
A	JP 2007-305744 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 22 November 2007 (2007-11-22), entire text, all drawings	1-7

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

14 May 2021

Date of mailing of the international search report

25 May 2021

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/010039

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-235600 A (FUJITSU LTD.) 19 August 2004 (2004-08-19), entire text, all drawings	1-7
A	JP 11-054528 A (NIPPON TELEGR & TELEPH CORP.) 26 February 1999 (1999-02-26), entire text, all drawings	1-7
A	EP 2403077 A1 (ALCATEL LUCENT) 04 January 2012 (2012-01-04), entire text, all drawings	1-7

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/010039

JP 2019-191308 A	31 October 2019	WO 2019/208269 A1
JP 2019-079993 A	23 May 2019	(Family: none)
JP 2019-054107 A	04 April 2019	(Family: none)
JP 2010-072495 A	02 April 2010	(Family: none)
JP 2007-305744 A	22 November 2007	(Family: none)
JP 2004-235600 A	19 August 2004	US 2004/0119079 A1 entire text, all drawings
JP 11-054528 A	26 February 1999	(Family: none)
EP 2403077 A1	04 January 2012	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01S 5/026(2006.01)i; G02F 1/017(2006.01)i FI: H01S5/026 616; G02F1/017 503		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01S5/00-5/50; G02F1/00-1/125; 1/21-7/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2019-191308 A（日本電信電話株式会社）31.10.2019（2019-10-31） 全文, 全図	1-7
A	JP 2019-079993 A（日本電信電話株式会社）23.05.2019（2019-05-23） 全文, 全図	1-7
A	JP 2019-054107 A（日本電信電話株式会社）04.04.2019（2019-04-04） 全文, 全図	1-7
A	JP 2010-072495 A（日本オプネクスト株式会社）02.04.2010（2010-04-02） 全文, 全図	1-7
A	JP 2007-305744 A（住友電気工業株式会社）22.11.2007（2007-11-22） 全文, 全図	1-7
A	JP 2004-235600 A（富士通株式会社）19.08.2004（2004-08-19） 全文, 全図	1-7
A	JP 11-054528 A（日本電信電話株式会社）26.02.1999（1999-02-26） 全文, 全図	1-7
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 14.05.2021		国際調査報告の発送日 25.05.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 大西 孝宣 2K 6006 電話番号 03-3581-1101 内線 3255

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	EP 2403077 A1 (ALCATEL LUCENT) 04.01.2012 (2012 - 01 - 04) 全文, 全図	1-7

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/010039

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-191308	A	31.10.2019	WO 2019/208269 A1	
JP	2019-079993	A	23.05.2019	(ファミリーなし)	
JP	2019-054107	A	04.04.2019	(ファミリーなし)	
JP	2010-072495	A	02.04.2010	(ファミリーなし)	
JP	2007-305744	A	22.11.2007	(ファミリーなし)	
JP	2004-235600	A	19.08.2004	US 2004/0119079 A1 全文, 全図	
JP	11-054528	A	26.02.1999	(ファミリーなし)	
EP	2403077	A1	04.01.2012	(ファミリーなし)	