



(12) 发明专利申请

(10) 申请公布号 CN 103794168 A

(43) 申请公布日 2014. 05. 14

(21) 申请号 201310513969. 4

(22) 申请日 2013. 10. 25

(30) 优先权数据

10-2012-0119792 2012. 10. 26 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 裴钟坤 金亮孝 姜元植 金度庆

禹宰赫

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽

(51) Int. Cl.

G09G 3/20(2006. 01)

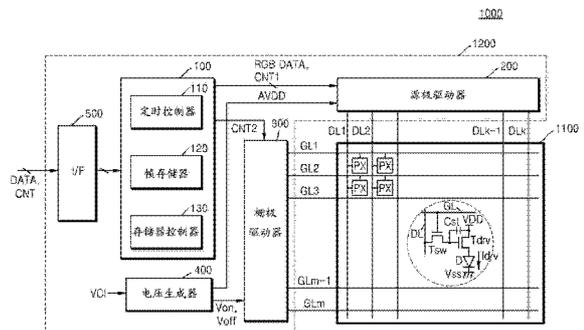
权利要求书2页 说明书11页 附图17页

(54) 发明名称

显示驱动器电路、包括其的显示设备以及操作其的方法

(57) 摘要

本发明提供了一种显示驱动器电路,其包括帧存储器 and 存储器控制单元,帧存储器包括与面板的 m 个水平显示线相应的 m 个主行(m>1)和 n 个伪行(0<n<m)并且被配置为将接收到的第一帧数据存储在 m 个主行和 n 个伪行当中的 m 行中,存储器控制单元被配置为控制帧存储器的写操作和扫描操作以使得第一帧数据从选自 m 个主行和 n 个伪行当中的写起始行写入。



1. 一种显示驱动器电路,包括:

帧存储器,包括相应于面板的 m 个水平显示线的 m 个主行($m>1$)和 n 个伪行($0<n<m$),并且被配置为将接收到的第一帧数据存储在 m 个主行和 n 个伪行当中的 m 行中;以及

存储器控制单元,被配置为控制所述帧存储器的写操作和扫描操作,以使得第一帧数据从写起始行写入,所述写起始行从 m 个主行和 n 个伪行当中选择。

2. 如权利要求 1 所述的显示驱动器电路,其中,所述存储器控制单元基于所述帧存储器的写速度和扫描速度以及在第一帧数据开始从外部设备被接收的情况下被扫描的主行的位置,选择所述写起始行。

3. 如权利要求 1 所述的显示驱动器电路,其中,在第一帧数据在第 N 帧显示时段中被接收到的情况下,所述存储器控制单元基于所述帧存储器的写速度和扫描速度,选择位于在第一帧数据开始被接收的情况下被扫描的主行之前预定数目行的行作为所述写起始行。

4. 如权利要求 3 所述的显示驱动器电路,其中,在被扫描的主行是包括第 m 主行的预定集合的主行其中之一的情况下,所述存储器控制单元选择第一伪行作为所述写起始行,并且选择第一主行作为第 $(N+1)$ 帧的扫描起始行。

5. 如权利要求 1 所述的显示驱动器电路,其中,在第一帧数据在第 N 帧显示时段中被接收到的情况下,所述存储器控制单元选择第一伪行作为所述写起始行。

6. 如权利要求 5 所述的显示驱动器电路,其中,当在第一帧数据开始被接收的情况下被扫描的主行是第 m 主行的情况下,所述存储器控制单元选择第一主行作为第 $(N+1)$ 帧的扫描起始行。

7. 如权利要求 1 所述的显示驱动器电路,其中,所述存储器控制单元包括:

写地址控制单元,被配置为选择所述写起始行,并且基于所述写起始行的地址生成用于按顺序存储第一帧数据的写地址;以及

扫描地址控制单元,被配置为选择扫描起始行,并且基于所述扫描起始行的地址生成用于按顺序扫描第二帧数据的扫描地址。

8. 如权利要求 1 所述的显示驱动器电路,还包括定时控制器,其被配置为发送控制信号以及从所述帧存储器扫描的第二帧数据到源极驱动器,在每一帧检测所述帧存储器的写速度和扫描速度,并且向所述存储器控制单元提供检测到的写速度和扫描速度以及当前正被扫描的主行的位置。

9. 如权利要求 8 所述的显示驱动器电路,还包括时钟产生单元,其被配置为生成参考时钟信号,其中所述定时控制器使用所述参考时钟信号生成用于显示的水平同步信号和垂直同步信号。

10. 如权利要求 8 所述的显示驱动器电路,其中,所述定时控制器基于所述帧存储器的写速度控制所述扫描速度。

11. 一种显示设备,包括:

面板,包括 m ($m>1$) 个水平显示线;以及

驱动器电路,包括:包括 k 个行地址($k>m$)的存储器单元;和存储器控制单元,被配置为选择将被写入从主机接收到的第一帧数据的 m 个写行地址以及将被扫描将要显示在面板上的第二帧数据的 m 个扫描行地址,并且将所选择的地址提供给所述存储器单元。

12. 如权利要求 11 所述的显示设备,其中,所述存储器控制单元被配置为基于所述存

存储器单元的写速度和扫描速度以及在所接收到的帧数据开始被写入的情况下被扫描的行地址,按顺序选择 k 个行地址中的 m 个行地址。

13. 如权利要求 12 所述的显示设备,其中,当在当前显示时段中从所述存储器单元扫描了 m 个行地址之后,在下一个显示时段所述存储器控制单元提供所选择的 m 个行地址作为所述扫描行地址。

14. 如权利要求 11 所述的显示设备,其中,所述驱动器电路使用内部生成的垂直同步信号和水平同步信号驱动所述面板。

15. 如权利要求 11 所述的显示设备,其中,所述面板的每一个像素包括有机发光二极管(OLED)。

16. 一种操作显示驱动器电路的方法,包括:

接收图像数据的第一帧;

从帧存储器的 m 个主行($m>1$)和 n 个伪行($0<n<m$)当中选择写起始行;

从所选择的写起始行开始将第一帧存储在所述帧存储器的 m 行中;以及

从所述写起始行开始扫描所述帧存储器。

17. 如权利要求 16 所述的方法,其中,所述显示驱动器电路从主机接收第一帧并且相对于所述主机异步地存储第一帧。

18. 如权利要求 16 所述的方法,还包括:基于所述帧存储器的写速度和扫描速度以及在第一帧数据开始从外部设备被接收的情况下被扫描的主行的位置,选择所述写起始行。

19. 如权利要求 16 所述的方法,还包括:在第一帧数据在第 N 帧显示时段中被接收到的情况下,基于所述帧存储器的写速度和扫描速度,选择位于在第一帧数据开始被接收的情况下被扫描的主行之前预定数目行的行作为所述写起始行。

20. 如权利要求 19 所述的方法,其中,在被扫描的主行是包括第 m 主行的预定集合的主行其中之一的情况下,所述显示驱动器电路选择第一伪行作为所述写起始行,并且选择第一主行作为第 $(N+1)$ 帧的扫描起始行。

显示驱动器电路、包括其的显示设备以及操作其的方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2012 年 10 月 26 日提交的韩国专利申请第 10-2012-0119792 号的优先权,其主题通过引用的方式并入此处。

技术领域

[0003] 本发明构思一般涉及电子显示技术。更加具体来说,本发明构思的一定实施例涉及与提供帧数据的外部设备异步地操作的显示驱动器电路。

背景技术

[0004] 显示设备通常包括显示驱动器电路和显示面板。显示驱动器电路根据从主机接收到的帧数据驱动显示面板。显示驱动器电路通常包括帧存储器,以便降低主机的处理负载和电流消耗。

[0005] 在典型操作期间,显示驱动器电路在一定时间接收帧数据,将接收到的帧数据存储在帧存储器中,以及周期性地扫描帧存储器中用于驱动显示面板的帧数据。但是,在操作期间,可能发生在一个屏幕的上面部分和下面部分中显示不同图像的屏幕撕裂效果。该屏幕撕裂效果一般由接收到的帧数据写到帧存储器的速度与将要显示的帧数据在帧存储器中被扫描的速度之间的差所引起。为了防止屏幕撕裂效果,主机可以响应于从显示驱动器电路发送的同步信号发送帧数据。但是,在这种情况下,主机需要检测同步信号的发送,这往往会增加主机的处理负载。

发明内容

[0006] 在本发明构思的一个实施例中,显示驱动器电路包括帧存储器和存储器控制单元,帧存储器包括与面板的 m 个水平显示线相应的 m 个主行 ($m > 1$) 和 n 个伪行 ($0 < n < m$) 并且被配置为将接收到的第一帧数据存储在 m 个主行和 n 个伪行当中的 m 行中,存储器控制单元被配置为控制帧存储器的写操作和扫描操作以使得第一帧数据从选自 m 个主行和 n 个伪行当中的写起始行写入。

[0007] 在本发明构思的另一实施例中,显示设备包括:包括 m ($m > 1$) 个水平显示线的面板;和驱动器电路,包括:包括 k 个行地址 ($k > m$) 的存储器单元,和存储器控制单元,存储器控制单元被配置为选择将被写入从主机接收到的第一帧数据的 m 个写行地址和将被扫描将要显示在面板上的第二帧数据的 m 个扫描行地址,以及将所选择的地址提供给所述存储器单元。

[0008] 在本发明构思的另一实施例中,一种操作显示驱动器电路的方法包括:接收图像数据的第一帧,从帧存储器的 m 个主行 ($m > 1$) 和 n 个伪行 ($0 < n < m$) 当中选择写起始行,从所选择的写起始行开始将第一帧存储在所述帧存储器的 m 行中,以及从所述写起始行开始扫描所述帧存储器。

[0009] 本发明构思的这些和其它实施例通过使显示驱动器电路相对于主机能够异步操

作,能够潜在地提高显示系统的性能,由此降低主机的处理负载。附图说明

[0010] 附图示出本发明构思的所选实施例。在附图中,相同参考标记指示相同特征。

[0011] 图 1 是示出根据本发明构思的实施例的显示设备的框图。

[0012] 图 2A 是示出屏幕撕裂效果的一个示例的概念图。

[0013] 图 2B 是示出屏幕撕裂效果的另一示例的概念图。

[0014] 图 3 是示出图 1 的显示设备中的驱动控制单元和接口单元的示例的框图。

[0015] 图 4 示出图 1 的显示设备中的帧存储器的示例。

[0016] 图 5A 是示出图 1 的帧存储器的写操作和扫描操作的示例的时序图。

[0017] 图 5B 是针对图 5A 中示出的示例操作的帧存储器图。

[0018] 图 6A 是示出图 1 的帧存储器的写操作和扫描操作的另一示例的时序图。

[0019] 图 6B 是针对图 6A 中示出的示例操作的帧存储器图。

[0020] 图 7A 是示出图 1 的帧存储器的写操作和扫描操作的又一示例的时序图。

[0021] 图 7B 是针对图 7A 中示出的示例操作的帧存储器图。

[0022] 图 8A 是示出图 1 的帧存储器的写操作和扫描操作的又一示例的时序图。

[0023] 图 8B 是针对图 8A 中示出的示例操作的帧存储器图。

[0024] 图 9 是示出图 1 的显示设备中的面板自刷新(PSR)功能的示范性实施方式的时序图。

[0025] 图 10 是示出图 1 的驱动控制单元的另一示例的框图。

[0026] 图 11 是示出根据本发明构思的实施例的显示模块的分解透视图。

[0027] 图 12 是示出根据发明构思的实施例的显示系统的框图。

[0028] 图 13 示出根据本发明构思的实施例的包括显示设备的电子产品的各种示例。

具体实施方式

[0029] 下面参考附图描述本发明构思的所选实施例。给出这些实施例作为教导的示例,而不应当被解释为限制本发明构思的范围。

[0030] 在下述的描述中,用于描述各种实施例的术语将不限制本发明构思的范围。单数形式的表达(例如,“一”、“该”)也意图包含复数形式,除非另有说明。诸如“包括”或“包含”这样的术语将以开放形式解释,除非另有说明。这里使用的术语,包括技术术语或者科学术语,具有本领域普通技术人员所通常理解相同意义。诸如那些在常用词典中定义的术语将在其适当背景下解释,并且不以过分理想化或正式的方式解释。

[0031] 图 1 是示出根据本发明构思的实施例的显示设备 1000 的框图。

[0032] 参考图 1,显示设备 1000 包括用于显示图像的面板 1100 和用于基于接收到的图像数据 DATA 和控制信号 CNT 驱动面板 1100 的显示驱动器电路 1200。

[0033] 显示设备 1000 可以采用各种替换形式。例如,图 1 示出显示设备 1000 为有机发光二极管(OLED)显示器。可替换地,其可以包括液晶显示器(LCD)、等离子体显示面板(PDP)显示器、电致变色显示器(electrochromic display, ECD)、数字镜设备(DMD)、致动镜设备(actuated mirror device, AMD)、光栅光值(grating light valve, GLV)、或者电致发光显示器(electro luminescent display, ELD)。为了说明的目的,将假定显示设备 1000 假定为 OLED。

[0034] 面板 1100 包括用于沿列方向传输扫描信号的多个栅极线 $GL1 - GLm$ 、用于沿行方向传输数据信号的沿与栅极线 $GL1 - GLm$ 交叉的方向排列的多个数据线 $DL1 - DLk$ 、以及排列在栅极线 $GL1 - GLm$ 与数据线 $DL1 - DLk$ 互相交叉的位置的多个像素 PX 。在按顺序选择栅极线 $GL1 - GLm$ 的情况下,灰度电压 Vg 通过数据线 $DL1 - DLk$ 施加于连接至所选择的栅极线的像素 PX 。

[0035] 每一个像素 PX 包括开关晶体管 Tsw 、驱动晶体管 $Tdrv$ 、存储电容器 Cst 、和有机发光二极管 D 。栅极线 GL 和数据线 DL 分别连接至开关晶体管 Tsw 的栅极电极和源极电极。开关晶体管 Tsw 的漏极电极和电源电压 VDD 分别连接至驱动晶体管 $Tdrv$ 的栅极电极和源极电极。驱动晶体管 $Tdrv$ 的漏极电极连接到有机发光二极管 D 的阳极。在上述的像素结构中,在选择栅极线 GL 的情况下,开关晶体管 Tsw 导通并且由此通过数据线 DL 提供的灰度电压 Vg 被施加于驱动晶体管 $Tdrv$ 的栅极电极。显示操作执行为驱动电流 I_{drv} 流经有机发光二极管 D ,驱动电流 I_{drv} 是根据电源电压 VDD 与灰度电压 Vg 之间的差生成的。

[0036] 显示驱动器电路 1200 包括驱动控制单元 100、源极驱动器 200、和栅极驱动器 300。而且,显示驱动器电路 1200 还可以包括电压生成单元 400 和接口单元 500。

[0037] 驱动控制单元 100 从外部设备,例如显示设备 1000 安装于其中的系统的主机,接收图像数据 $DATA$ 和控制信号 CNT ,并且向源极驱动器 200 提供控制信号 $CNT1$ 和像素数据 $RGB DATA$,并且向栅极驱动器 300 提供控制信号 $CNT2$ 。驱动控制单元 100 包括定时控制器 110、帧存储器 120、和存储器控制器 130。定时控制器 110 生成包括用于控制源极驱动器 200 和栅极驱动器 300 的定时信号的控制信号 $CNT1$ 和 $CNT2$ 。

[0038] 帧存储器 120 临时存储将显示在面板 1100 上的一帧的图像数据 $DATA$,并且其输出所存储的将显示在面板 1100 上的图像数据 $DATA$ 。帧存储器 120 可以指代图形 RAM ,并且诸如静态随机存取存储器 ($SRAM$) 这样的易失性存储器可以用作帧存储器 120。但是,本发明构思不限制于此并且各种类型的存储器可以用作帧存储器 120。存储器控制器 130 控制帧存储器 120 的各种操作,诸如用于在帧存储器 120 中执行写操作和扫描操作的寻址以及定时。

[0039] 源极驱动器 200 将像素数据 $RGB DATA$ ——从驱动控制单元 100 接收到的数字数据——转换为灰度电压 Vg ,并且将灰度电压 Vg 输出到面板 1100 的数据线 $DL1 - DLk$ 。栅极驱动器 300 按顺序扫描面板 1100 的栅极线 $GL1 - GLm$ 。栅极驱动器 300 将栅极导通电压 V_{on} 施加于所选择的栅极线以激活所选择的栅极线。源极驱动器 200 输出与连接至所激活的栅极线的像素 PX 相应的灰度电压 Vg 。因此,面板 1100 可以以水平线 ($horizontal line$) 为单位,也即,逐行,显示图像。尽管栅极驱动器 300 示出为在显示设备 1000 中的显示驱动器电路 1200 中提供,但是本发明构思不限制于此。例如,作为替换,栅极驱动器 300 可以直接提供在由低温多晶硅 ($low\ temperature\ polysilicon, LTPS$) 形成的面板 1100 上。

[0040] 电压生成单元 400 接收外部电源电压 VCI 并且生成由源极驱动器 200 和栅极驱动器 300 使用的电压 $AVDD$ 、 V_{on} 和 V_{off} 。

[0041] 接口单元 500 从外部设备接收并行或者串行提供的图像数据 $DATA$ 和控制信号 CNT ,并且其将接收到的数据和信号提供到驱动控制单元 100。图像数据 $DATA$ 和控制信号 CNT 通常从包括显示设备 1000 的系统的主机发送。接口单元 500 根据与主机的传送方法相应的接口类型接收图像数据 $DATA$ 和控制信号 CNT 。作为示例,由接口单元 500 使用的接

口方法可以是 RGB 接口方法、CPU 接口方法、服务供应商接口 SPI 方法、移动显示数字接口 (MDDI) 方法、和移动工业处理器接口 (MIPI) 方法其中之一。

[0042] 在显示设备 1000 中, 帧存储器 120 包括数目大于面板 1100 的水平线的数目的行。存储器控制器 130 将接收到的图像数据 DATA 写入帧存储器 120 的部分行或者扫描所存储的图像数据 DATA。换句话说, 数据写和扫描操作是针对帧存储器 120 的部分行选择性地执行的。因此, 即使图像数据 DATA 是在随机的定时从主机提供, 也可以通过适当地控制执行写的行和执行扫描的行的位置来防止产生屏幕撕裂效果。

[0043] 图 2A 和图 2B 示出屏幕撕裂效果的示例。具体来说, 图 2A 示出写速度比扫描速度快的示例, 图 2B 示出写速度比扫描速度慢因此发生屏幕撕裂效果的示例。

[0044] 参考图 2A 和图 2B, 对于垂直同步信号 Vsync 位于低电平的每个区域 (section) 执行针对用于显示的帧存储器的扫描操作。在显示面板包括 m 个水平线的情况下, 从第一存储器行 MR1 到第 m 存储器行 MR m 执行扫描操作。在按顺序扫描帧存储器的第一存储器行 MR1 至第 m 存储器行 MR m 并且由此存储在帧存储器的第一存储器行 MR1 至第 m 存储器行 MR m 的图像数据显示在图 1 的面板 1100 上的情况下, 完成一帧的显示。在执行帧存储器的扫描操作的同时从外部设备接收到帧数据的情况下, 与扫描同时执行写操作。但是, 扫描速度和写速度不总是相同的。如图 2A 和图 2B 中所示, 写速度可以比扫描速度快或者慢。屏幕撕裂效果可能由于写速度和扫描速度之间的差而发生。

[0045] 参考图 2A, 在第 N 帧区域中, 在通过扫描帧存储器显示第一图像数据 IM1 的中间, 接收第二图像数据 IM2, 并且开始将第二图像数据 IM2 写至帧存储器。在写速度比扫描速度快的情况下, 在扫描第一图像数据 IM1 完成之前完成写第二图像数据 IM2。然后, 在第 N 帧区域的一部分时间里扫描已经用第二图像数据 IM2 更新的帧存储器。由此, 如图 2A 中所示, 第一图像数据 IM1 显示在屏幕的上面部分, 而第二图像数据 IM2 显示在屏幕的下面部分, 并且由此发生屏幕撕裂效果。

[0046] 参考图 2B, 在第 $(N - 1)$ 帧区域中, 在存储在帧存储器中的第一图像数据 IM1 被扫描的同时, 接收到的第二图像数据 IM2 可以同时写到帧存储器。第二图像数据 IM2 的扫描可以在第 N 帧区域中开始。但是, 因为写速度比扫描速度慢, 所以在第 N 帧区域中可能没有完成写第二图像数据 IM2。结果, 如图 2B 中所示, 第二图像数据 IM2 显示在屏幕的上面部分, 而显示在先前帧中的第一图像数据 IM1 再次显示在屏幕的下面部分, 并且由此发生屏幕撕裂效果。

[0047] 为了防止屏幕撕裂效果, 传统显示设备与主机同步操作。在指示显示状态的同步信号被发送到主机的情况下, 主机监控同步信号并且在所分配的时间发送图像数据。但是, 在主机上存在监控同步信号的处理负载并且在图像数据没有在一检测到生成同步信号就被发送的情况下, 诸如屏幕闪烁之类的图像质量变差现象可能发生。

[0048] 但是, 显示设备 1000 控制帧存储器 120 的写地址和扫描地址, 因此其能够在与主机异步操作的同时没有屏幕撕裂效果地显示图像。因为不需要在主机和显示设备 1000 之间的图像数据 DATA 的传送中生成或者监控同步信号, 所以能够降低系统上的处理负载并且能够使用更少的电力操作系统。

[0049] 图 3 是示出图 1 的驱动控制单元 100 和接口单元 500 的示例的框图。

[0050] 参考图 3, 接口单元 500 包括接口单元 HSSI 和转换器 CVT。驱动控制单元 100a 包

括定时控制器 110、帧存储器 120、和存储器控制器 130a。驱动控制单元 100a 还包括命令寄存器 140、图像处理单元 150、和振荡器 160。

[0051] 接口单元 HSSI 采用高速串行接口方法。例如,接口单元 HSSI 可以采用移动工业处理器接口(MIPI)并且可以通过多个输入/输出终端以高速发送/接收数据。但是,本发明构思不限制于此并且可以使用各种类型的接口。通过接口单元 HSSI 接收到的图像数据 DATA 和控制信号 CNT 被施加于转换器 CVT。因为图像数据 DATA 和控制信号 CNT 是一起接收到的而不论数据的类型为何,所以转换器 CVT 将接收到的数据分类为命令信号 CMD、将存储在帧存储器 120 中的一帧的图像数据 DATA1 (在下文中,“帧数据”)、以及数据使能信号 DE,并且将分类后的数据和信号输出到相应的电路块。

[0052] 命令寄存器 140 存储由转换器 CVT 发送的命令信号 CMD。命令信号 CMD 是用于根据显示驱动环境适当地控制电路 130a、150 和 110 的值,并且可以根据面板的分辨率和图像信号处理方法设置各种值。命令寄存器 140 基于命令信号 CMD 生成用于控制存储器控制器 130a、图像处理单元 150、和定时控制器 110 的信号 MCNT、IPCNT、和 TCNT,并且将所生成的信号提供给上述电路。

[0053] 图像处理单元 150 基于控制信号 IPCNT 将从帧存储器 120 接收到的图像数据 DATA2 转换为具有适合于图 1 的面板 1100 的环境的值,并且将转换后的数据发送到定时控制器 110。

[0054] 振荡器 160 生成参考时钟 RCLK,并且将生成的参考时钟 RCLK 提供给定时控制器 110 和存储器控制器 130a。

[0055] 如上参考图 1 所述,帧存储器 120 包括比从外部设备接收到的面板 1100 的 m 个水平线的数目要大的数目的行,并且将帧数据 DATA1 存储在部分行中,例如,存储在 m 行中。

[0056] 图 4 示出图 1 的帧存储器 120 的示例。

[0057] 参考图 4,帧存储器 120 包括 n 个伪行 DR1 — DR n 以及 m 个主行 MR1 — MR m 。伪行的数目小于主行的数目。行地址 Y1 — Y $n+m$ 其中之一被分配给伪行 DR1 — DR n 和主行 MR1 — MR m 中的每一个。尽管为了说明的方便起见而划分了伪行 DR1 — DR n 和主行 MR1 — MR m ,但是不一定要物理上划分伪行和主行。可以根据存储帧数据的状态改变伪行和主行。有效帧数据存储于其的 m 行可以确定为是主行。

[0058] 主行 MR1 — MR m 相应于面板 1100 的 m 个水平线。相应于面板 1100 的一个水平线的像素数据存储在一行中。因为一帧的数据包括相应于 m 个水平线的数据,所以帧数据被存储在 $(m+n)$ 行当中的 m 行中。因此,帧数据被选择性地写到 $(m+n)$ 行当中的 m 行,然后被扫描。沿如图 4 中所示的扫描方向和写方向顺序排列的 m 行被扫描或者写。

[0059] 再次参考图 3,存储器控制器 130a 提供写地址和扫描地址给帧存储器 120,并且控制用于执行写操作和扫描操作的定时。存储器控制器 130a 包括写控制器 WC、写地址控制器 WAC、扫描控制器 SC、和扫描地址控制器 SAC。

[0060] 写控制器 WC 生成用于控制帧存储器 120 的写操作的写控制信号 WCNT 以及第一写地址 W_ADDR1。写控制信号 WCNT 包括关于在帧存储器 120 上执行写操作的定时的信息或者写时钟信号,并且其通常基于接收到的数据使能信号 DE 和存储器控制信号 MCNT 生成。数据使能信号 DE 是指示接收到的数据是有效数据的信号。写控制器 WC 基于数据使能信号 DE 生成用于仅将有效图像数据写到帧存储器 120 的写控制信号 WCNT。第一写地址 W_ADDR1 是

指示基于执行先前写的位置执行下一个写的位置的地址。

[0061] 写地址控制器 WAC 基于第一写地址 W_ADDR1 生成将执行实际写的写地址。例如，第一写地址 W_ADDR1 可以是仅相应于帧存储器 120 的主行 MR1 — MRm 的地址。但是，可以对所选择的、主行 MR1 — MRm 和伪行 DR1 — DRn 中的 M 行执行实际写。由此，写地址控制器 WAC 基于第一写地址 W_ADDR1 生成将执行实际写的写地址 W_ADDR，并且将所生成的写地址提供给帧存储器 120。

[0062] 扫描控制器 SC 生成用于控制帧存储器 120 的扫描操作的扫描控制信号 SCNT 以及第一扫描地址 S_ADDR1。扫描控制信号 SCNT 包括关于在帧存储器 120 上执行扫描操作的定时的信息或者扫描时钟信号。第一扫描地址 S_ADDR1 是指示基于执行先前扫描的位置执行下一个扫描的位置的地址。

[0063] 扫描地址控制器 SAC 基于第一扫描地址 S_ADDR1 生成将执行实际扫描的扫描地址 S_ADDR。例如，第一扫描地址 S_ADDR1 可以是仅相应于帧存储器 120 的主行 MR1 — MRm 的地址。但是，如上所述，实际帧数据可以写到伪行 DR1 — DRn 以便存储于其中。可以对存储帧数据的行执行实际扫描。由此，扫描地址控制器 SAC 基于第一扫描地址 S_ADDR1 生成将执行实际扫描的扫描地址 S_ADDR，并且将所生成的扫描地址提供给帧存储器 120。

[0064] 定时控制器 110 基于由振荡器 160 生成的参考时钟 RCLK 检测帧存储器 120 的写速度 WS 和扫描速度 SS。而且，定时控制器 110 确定扫描行地址 SRA，其是在接收到第一帧数据的情况下被扫描的行。定时控制器 110 将检测到的帧存储器 120 的写速度 WS、扫描速度 SS、和扫描行地址 SRA 提供给存储器控制器 130a。而且，定时控制器 110 可以向存储器控制器 130a 提供控制信号，用于基于检测到的写速度 WS 将扫描速度 SS 调整为与写速度 WS 完全相同。

[0065] 写地址控制器 WAC 和扫描地址控制器 SAC 可以基于由定时控制器 110 提供的帧存储器 120 的写速度 WS 和扫描速度 SS 以及扫描行地址 SRA 分别生成写地址 W_ADDR 和扫描地址 S_ADDR。接下来，将参考图 5A 至图 8B 详细描述帧存储器 120 的写操作和扫描操作。为了说明的方便起见，假设图 1 的帧存储器 120 包括五个(5)伪行和一百八十个(180)主行，尽管这些数目可以在替换实施例中有所不同。

[0066] 图 5A 和图 5B 分别是用于说明帧存储器 120 的写方法和扫描方法的示例的时序图和帧存储器图。

[0067] 参考图 5A，基于垂直同步信号 Vsync 和水平同步信号 Hsync 在图 1 的面板 1100 上显示图像。显示区域的一帧被设置为从垂直同步信号 Vsync 的下降沿到下一个下降沿。

[0068] 垂直同步信号 Vsync 处于低电平的区域是主显示时段，其中相应于像素数据的灰度电压被施加于图 1 的面板 1100 并且由此显示图像。垂直同步信号 Vsync 是高电平的区域是边沿(porch)时段，其中尽管不执行实际显示，但是主显示时段中显示的图像被保持并且图 1 的显示驱动器电路 1200 执行用于显示下一帧的操作。在主显示时段，响应于水平同步信号 Hsync 的每个时钟扫描图 1 的帧存储器 120 的行，并且从帧存储器 120 输出的像素数据显示在面板 1100 的水平线上。

[0069] 如图 5A 中所示，在帧数据在第 N 帧显示时段中从外部设备被接收到的情况下，接收到的帧数据被写到帧存储器(在下文中，“第一帧数据”)。因为第 N 帧被显示，所以扫描操作与写操作同时执行。基于写速度、扫描速度、和在第一帧数据开始被接收的时间 T1 被扫

描的主行(在下文中,“扫描行”)的位置选择在接下来的第(N+1)帧显示时段中写开始的行(在下文中,“写起始行”)和扫描开始的行(在下文中,“扫描起始行”)。然后,以线为单位按顺序将帧数据从所选择的行开始连贯地写到m行。

[0070] 位于扫描行之前预定数目行的行被选为写起始行。可以基于在屏幕撕裂效果不发生的范围中的写速度和扫描速度,来确定是否选择位于扫描行之前一定数目行的行作为写起始行和扫描起始行。

[0071] 参考图5B,在扫描行是第90主行MR90的情况下,位于第90主行MR90之前四(4)行的第86主行MR86被选为写起始行和扫描起始行。如果扫描行是第86主行MR86,则位于第86主行MR86之前四(4)行的第82主行MR82可以被选为写起始行和扫描起始行。以水平线为单位将第一帧数据连贯地写到一百八十(180)行中。因此,在从所选择的写起始行MR86连贯地写到最终主行MR180之后,第一帧数据从第一伪行DR1连贯地写到第80主行MR80。而且,从帧存储器120的第86主行MR86到最终主行MR180、然后从第一伪行DR1到第80主行MR80按顺序扫描并输出将在第(N+1)帧中显示的帧数据(在下文中,“第二帧数据”)。

[0072] 再次参考图5A,在确定了写起始行的情况下,第一帧数据开始以线为单位从写起始行写入。因为第86主行MR86被选为写起始行,所以写从第86主行MR86开始直到最终主行MR180然后从第一伪行DR1到第80主行MR80,因此总共在180行上执行了写。第一数据的写可以持续执行直到第(N+1)帧显示时段中的一定时间T2。因为第86主行MR86被选为扫描起始行,所以在第(N+1)帧显示时段开始的情况下,第86主行MR86被扫描以使得显示第一水平线。随着180行被从第86主行MR86到第80主行MR80按顺序扫描而输出的第二帧数据被显示在面板1100上的每个水平线上。

[0073] 图6A和图6B分别是用于说明帧存储器120的写方法和扫描方法的另一示例的时序图和帧存储器图。具体来说,图6A和图6B示出在扫描速度比写速度快并且扫描行是包括最终主行MR180的预定行PR其中之一情况下的写方法和扫描方法。

[0074] 参考图6A和图6B,在第N帧显示时段,在第179主行MR179被扫描以在面板1100上显示较低水平线,例如,第179水平线DL179的情况下,帧数据(在下文中,称作第一帧数据)可以从外部设备被接收并且写到帧存储器120。这样做时,在扫描速度比写速度快的情况下,在第(N+1)帧显示时段中帧存储器120的扫描比第一帧数据的写要更早执行并且由此屏幕撕裂效果可能发生。因此,为了防止产生屏幕撕裂效果,当在预定的包括最终主行MR180的较低主行PR在第N帧显示时段被扫描的同时第一帧数据从外部设备被接收到的情况下,第一伪行DR1被选为写起始行并且第一帧数据被连贯地从第一伪行DR1写到一百八十(180)行中。在第(N+1)帧显示时段从第一主行MR1开始扫描,以及由此在被更新为第一帧数据之前的帧数据——也就是说,在第N帧显示时段显示的帧数据——被再次显示。然后,在第(N+2)帧显示时段,通过将被选为写起始行的伪行DR1选择为扫描起始行来执行扫描,并且由此显示被更新为接收到的第一帧数据的帧数据。

[0075] 可以根据扫描速度、写速度、以及边沿时段的长度确定预定的包括最终主行MR180的较低主行。在以上述方式执行写操作和扫描操作的情况下,可以在当第(N+1)帧的显示开始时不执行主行的写的范围中确定预定的较低主行。

[0076] 图7A和图7B分别是用于说明帧存储器120的写方法和扫描方法的另一示例的时

序图和帧存储器图。参考图 7A 和图 7B 描述的方法类似于参考图 5A 和图 5B 描述的方法。但是,在图 5A 和图 5B 的方法中,写从位于扫描行之前预定数目行的主行开始,并且在最终主行被写的情况下,写从伪行继续。但是,在图 7A 和图 7B 的方法中,在最终主行被写之后,可以连续地写第一主行而非伪行。因此,接收到的第一帧数据可以写到全部 M 主行中。而且,像写方法一样,在第 (N+1) 帧显示时段中扫描从写开始的行开始,并且在最终主行被扫描的情况下,扫描从第一主行继续。

[0077] 例如,参考图 7A 和图 7B,在第一帧数据在第 90 主行 MR90 于第 N 帧显示时段中被扫描的时间 T1 从外部设备被接收到的情况下,写可以从位于第 90 主行 MR90 之前四(4)行的第 86 主行 MR86 开始。在从第 86 主行 MR86 到最终主行 MR180 连续地执行写之后,写可以继续从第一主行 MR1 到第 85 主行 MR85。在第 (N+1) 帧显示时段在写期间开始的情况下,扫描从第 86 主行 MR86 开始并且可以继续直到第 85 主行 MR85。

[0078] 图 8A 和图 8B 分别是为了说明帧存储器 120 的写方法和扫描方法的另一示例的时序图和帧存储器图。

[0079] 参考图 8A,在第一帧数据在第 N 帧显示时段中从外部设备被接收的情况下,第一伪行 DR1 被选为写起始行和第 (N+1) 帧显示时段的扫描起始行。第一帧数据被写到第一伪行 DR1 并且从第一伪行 DR1 扫描而不考虑扫描速度、写速度、和扫描行。

[0080] 参考图 8B,如果扫描行是包括最终主行 MR180 的预定主行其中之一,则可以选择第一主行 MR1 而非从其开始写的第一伪行 DR1 作为第 (N+1) 帧显示时段的扫描起始行,并且由此更新之前的帧数据可以在第 (N+1) 帧显示时段显示。而且,可以选择第一伪行 DR1 作为第 (N+2) 帧显示时段中的扫描起始行并且扫描被写入第一帧数据的行,由此在第 (N+2) 帧显示时段显示第一帧数据。

[0081] 图 9 是示出图 1 的显示设备 1000 中面板自刷新(PSR)功能的示范性实施方式的时序图。PSR 功能仅在将被显示的图像是运动图像的情况下将图像数据从主机发送到显示设备,在运动图像显示模式被切换到静止图像显示模式的情况下将用于实现静止图像的一帧图像数据发送到显示设备,并且将静止图像存储在安装在显示设备中的帧存储器中,由此在每帧显示存储的图像。换句话说,因为在静止图像将被显示的情况下主机不需要将图像数据和控制信号发送到显示设备,所以可以降低主机上的负载和电流消耗。

[0082] 参考图 9,在运动图像被发送的情况下,PSR 功能被关断并且主机将垂直同步信号 Vsync_ext、数据使能信号 DE、和运动图像发送到显示设备。在静止图像被发送的情况下,PSR 功能开通并且主机不发送任何信号。

[0083] 图 1 的显示设备 1000 将发送的图像存储在图 1 的帧存储器 120 中并且在图 1 的面板 1100 上显示所存储的图像。在有效图像被发送而不管所发送的图像是运动图像还是静止图像的情况下,所发送的图像被存储在帧存储器 120 中。可以根据所发送的数据使能信号 DE 来确定所发送的图像是否是有效图像。

[0084] 图 1 的显示设备 1000 通过使用在其中生成的参考时钟 RCLK 来生成内部垂直同步信号 Vsync_int,并且基于根据内部垂直同步信号 Vsync_int 从帧存储器 120 输出的图像数据来在每帧显示图像。在运动图像最初是从主机发送的情况下,可以基于从主机发送的垂直同步信号 Vsync_ext 生成内部垂直同步信号 Vsync_int。例如,可以基于参考时钟 RCLK 对垂直同步信号 Vsync_ext 的周期进行计数,然后内部垂直同步信号 Vsync_int 可以被生

成为具有与所计数的周期相同的周期。

[0085] 对于与主机同步操作的显示设备来说,在 PSR 功能开通然后关断、主机发送静止图像然后运动图像的情况下,同步信号被发送到主机以防止图像质量变差或者屏幕撕裂效果的发生。例如,主机发送指示运动图像将被提供的信号给显示设备,并且接收到该信号的显示设备发送指示图像被发送的时间点的同步信号给主机。主机可以在检测到发送的信号之后发送图像数据。

[0086] 相反,在图 1 的显示设备 1000 中,主机发送运动图像到显示设备 1000 而不发送同步信号到主机。因此,因为主机不需要检测从显示设备 1000 发送的同步信号,所以可以降低主机的处理负载。因此,由于显示设备 1000 根据上面描述的帧存储器扫描和写方法操作,所以图像可以显示在面板 1100 上而没有屏幕撕裂效果。

[0087] 图 10 是示出图 1 的驱动控制单元 100 的另一示例的框图。在图 10 的示例中,驱动控制单元 100b 的接口单元 500、命令寄存器 140、帧存储器 120、图像处理单元 150、和振荡器 160 的操作与参考图 3 描述的那些基本上相同,因此将省去这些特征的详细说明以避免冗余。

[0088] 参考图 10,存储器控制器 130b 包括写控制器 WC、写地址控制器 WAC、扫描控制器 SC、扫描地址控制器 SAC、和两个多路复用器 MUX M1 和 MUXM2。

[0089] 写控制器 WC、写地址控制器 WAC、扫描控制器 SC、和扫描地址控制器 SAC 的操作类似于参考图 3 描述的操作。写控制器 WC 和扫描控制器 SC 分别生成第一写地址 W_ADDR1 和第一扫描地址 S_ADDR1 并且将生成的地址分别提供给写地址控制器 WAC 和扫描地址控制器 SAC。然后,写地址控制器 WAC 和扫描地址控制器 SAC 基于由定时控制器 110b 提供的帧存储器 120 的写速度 WS 和扫描速度 SS 以及扫描行地址 SRA 分别生成第二写地址 W_ADDR2 和第二扫描地址 S_ADDR2。

[0090] 第一多路复用器 M1 基于数据使能模式信号 DEM 选择第一写地址 W_ADDR1 和第二写地址 W_ADDR2 其中之一,并且将所选择的地址提供给帧存储器 120 作为写地址 W_ADDR。而且,第二多路复用器 M2 基于数据使能模式信号 DEM 选择第一扫描地址 S_ADDR1 和第二扫描地址 S_ADDR2 其中之一,并且将所选择的地址提供给帧存储器 120 作为扫描地址 S_ADDR。

[0091] 在图像数据从主机非周期性地发送的情况下,数据使能模式信号 DEM 被激活,例如,被激活到高电平,并且第二写地址 W_ADDR2 和第二扫描地址 S_ADDR2 被选择。在图像数据从主机周期性地发送的情况下,数据使能模式信号 DEM 被禁用,例如,被禁用到低电平,并且可以选择第一写地址 W_ADDR1 和第一扫描地址 S_ADDR1。

[0092] 即使在图 1 的显示驱动器电路 1200 与主机异步操作的情况下,如果图像数据被周期性地从主机发送,也可以通过根据写速度调整帧存储器 120 的扫描速度防止屏幕撕裂效果的发生。由此,可以基于数据使能模式信号 DEM 选择帧存储器 120 的扫描方法和写方法。

[0093] 图 11 是示出根据本发明构思的实施例的显示模块 2000 的分解透视图。

[0094] 参考图 11,显示模块 2000 包括显示设备 2100、偏光面板(polarized panel)2200、和窗玻璃 2500。显示设备 2100 包括显示面板 2110、印刷板 2120、和显示驱动芯片 2130。

[0095] 窗玻璃 2500 一般由亚克力或者强化玻璃制造的,用于保护显示模块 2000 避免由于外部冲击或者反复触摸而造成划伤。提供偏光面板 2200 以提高显示设备 2100 的光学特征。显示面板 2110 通过制成为透明电极样式而形成在印刷板 2120 上。显示面板 2110 包

括用于显示帧的多个像素单元。根据实施例,显示面板 2110 可以是 OLED 面板。每一个像素单元包括响应于电流发光的有机发光二极管。但是,本发明构思不限制于此并且显示设备 2100 可以包括各种显示设备。例如,显示面板 2110 可以是 LCD、ECD、DMD、AMD、GLV、PDP、ELD、LED 显示器和 VFD 中的任何一个。

[0096] 显示驱动芯片 2130 包括图 1 的显示驱动器电路 1200。尽管在本实施例中显示驱动芯片 2130 示出为单个芯片,但是本发明构思不限制于此并且由此多个驱动芯片可以安装在其上。而且,显示驱动芯片 2130 可以以玻璃上芯片(chip-on-glass, COG)的形式安装在玻璃材料的印刷板 2120 上。但是,这仅仅是一个示例并且显示驱动芯片 2130 可以以诸如薄膜上芯片(chip-on-film, COF)、板上芯片(chip-on-board, COB)等等之类的各种形式安装。

[0097] 显示模块 2000 还包括触摸面板 2300 和触摸控制器 2400。触摸面板 2300 通过制成诸如铟锡氧化物(ITO)透明电极的样式,而形成在玻璃衬底或者聚对苯二甲酸乙二醇酯(PET)薄膜上。触摸控制器 2400 感测触摸面板 2300 上触摸的发生,计算触摸位置的坐标,并且将触摸坐标发送给主机(未示出)。触摸控制器 2400 可以与显示驱动芯片 2130 集成在一个半导体芯片中。

[0098] 图 12 是示出根据发明构思的实施例的显示系统 3000 的框图。

[0099] 参考图 12,显示系统 3000 包括电连接到系统总线 3500 的处理器 3100、显示设备 3200、外围设备 3300、和存储器 3400。

[0100] 处理器 3100 控制在外围设备 3300、存储器 3400、和显示设备 3200 当中的数据的输入/输出,并且执行在上述元件之间传输的图像数据的图像处理。

[0101] 显示设备 3200 包括面板 3210 和驱动器电路 3220,并且将经由系统总线 3500 接收到的图像数据存储于驱动器电路 3220 的帧存储器中以及将存储的图像数据显示在面板 3210 上。显示设备 3200 可以是图 1 的显示设备 1000。由此,显示设备 3200 与处理器 3100 异步操作,这能够降低处理器 3100 的处理负载。

[0102] 外围设备 3300 可以是诸如相机、扫描仪、网络摄像头等等之类的设备,其将运动图像或者静止图像转换为电信号。通过外围设备 3300 获取的图像数据可以存储在存储器 3400 中或者实时显示在显示设备 3200 的面板(3210)上。

[0103] 存储器 3400 可以包括,例如,诸如 DRAM 这样的易失性存储器设备,和/或诸如快闪存储器这样的非易失性存储器设备。存储器 3400 还可以是 DRAM、PRAM、MRAM、ReRAM、FRAM、NOR 快闪存储器、NAND 快闪存储器、或者其中组合了例如 SRAM 缓存、NAND 快闪存储器和 NOR 接口逻辑单元的融合快闪存储器。存储器 3400 通常存储从外围设备 3300 获取的图像数据或者由处理器 3100 处理的图像信号。

[0104] 显示系统 3000 可以提供在诸如智能电话这样的移动电子产品中。但是,本发明构思不限制于此并且显示系统 3000 可以应用于能够显示图像的各种其它电子产品。

[0105] 图 13 示出根据本发明构思的实施例的具有显示设备的电子产品的各种示例。例如,图 13 的电子设备可以包括诸如上面关于图 1 至图 12 所描述的那些的显示设备。

[0106] 参考图 13,显示设备 4000 可以应用于各种电子产品,诸如蜂窝电话 4100、TV4200、ATM 机器 4300、电梯 4400、售票机 4500、PMP4600、电子书 4700、导航设备 4800 等等。显示设备 4000 可以与系统的处理器异步操作。由此,因为处理器上的负载降低并且处理器能够

以低功率高速操作,所以可以提高电子产品的功能。

[0107] 前述是实施例的说明并且将不理解为对其的限制。尽管已经描述了几个实施例,但是本领域技术人员将容易地理解,在实施例中可以做许多修改而实质上不脱离本发明构思的新的教导和优点。因此,所有这些修改将包括在如权利要求所定义的发明构思范围内。

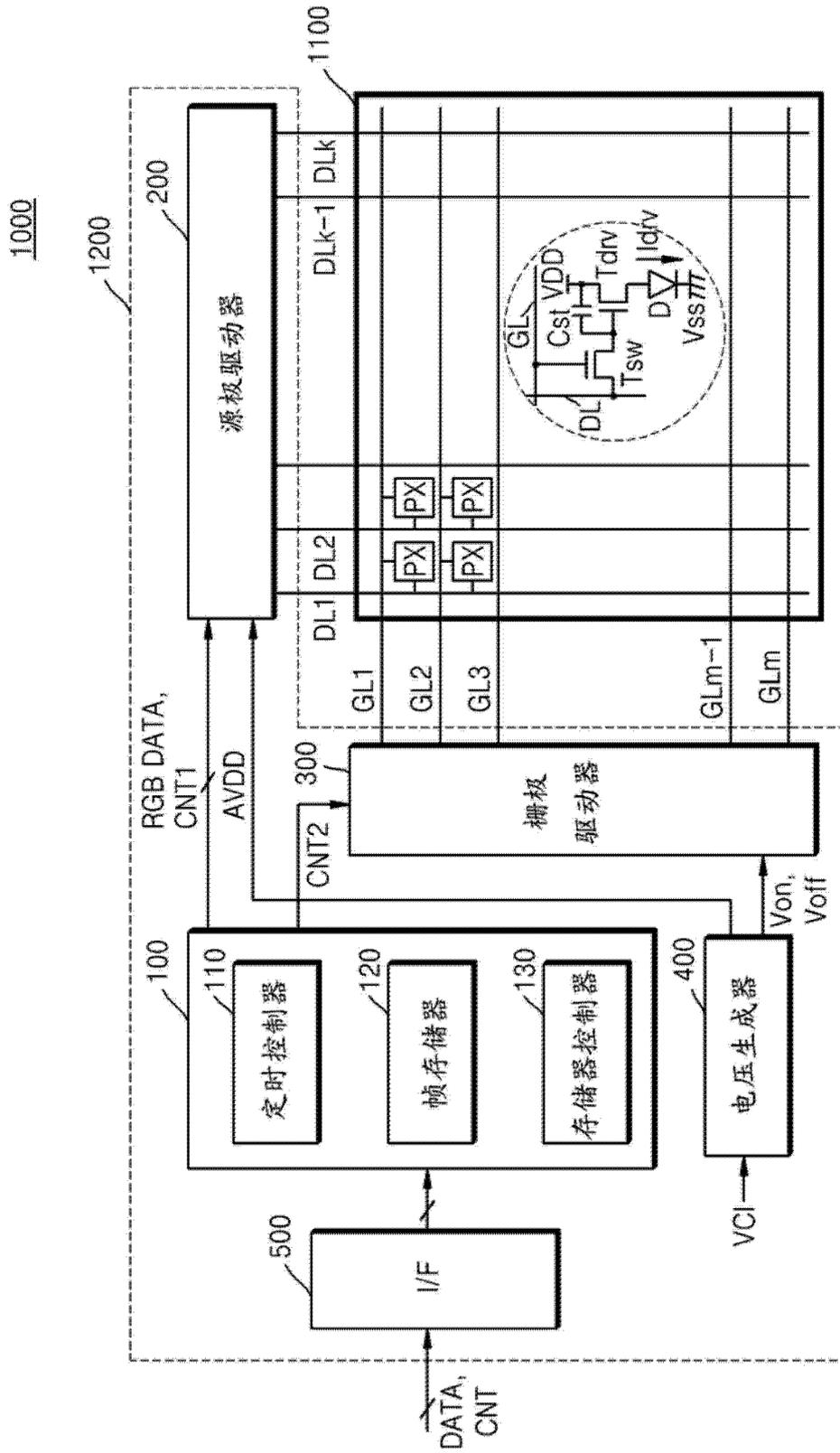


图 1

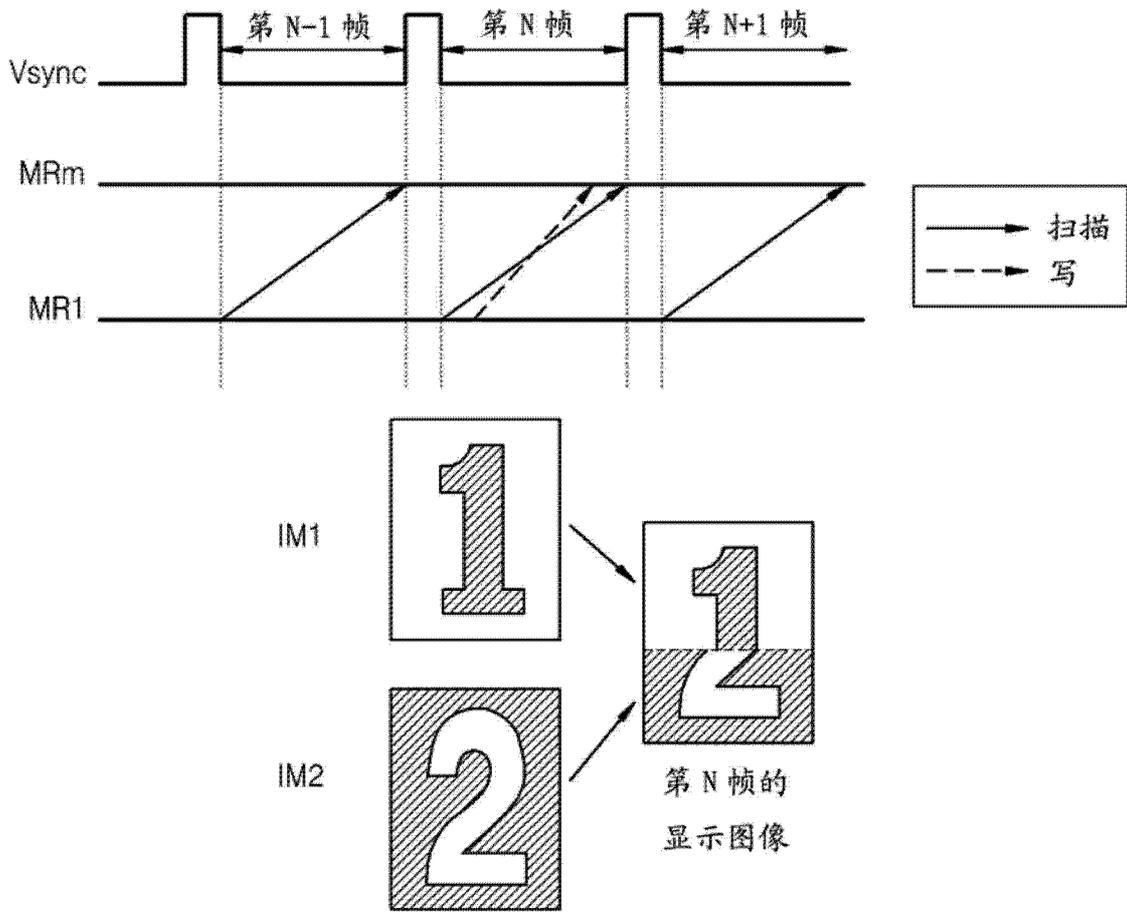


图 2A

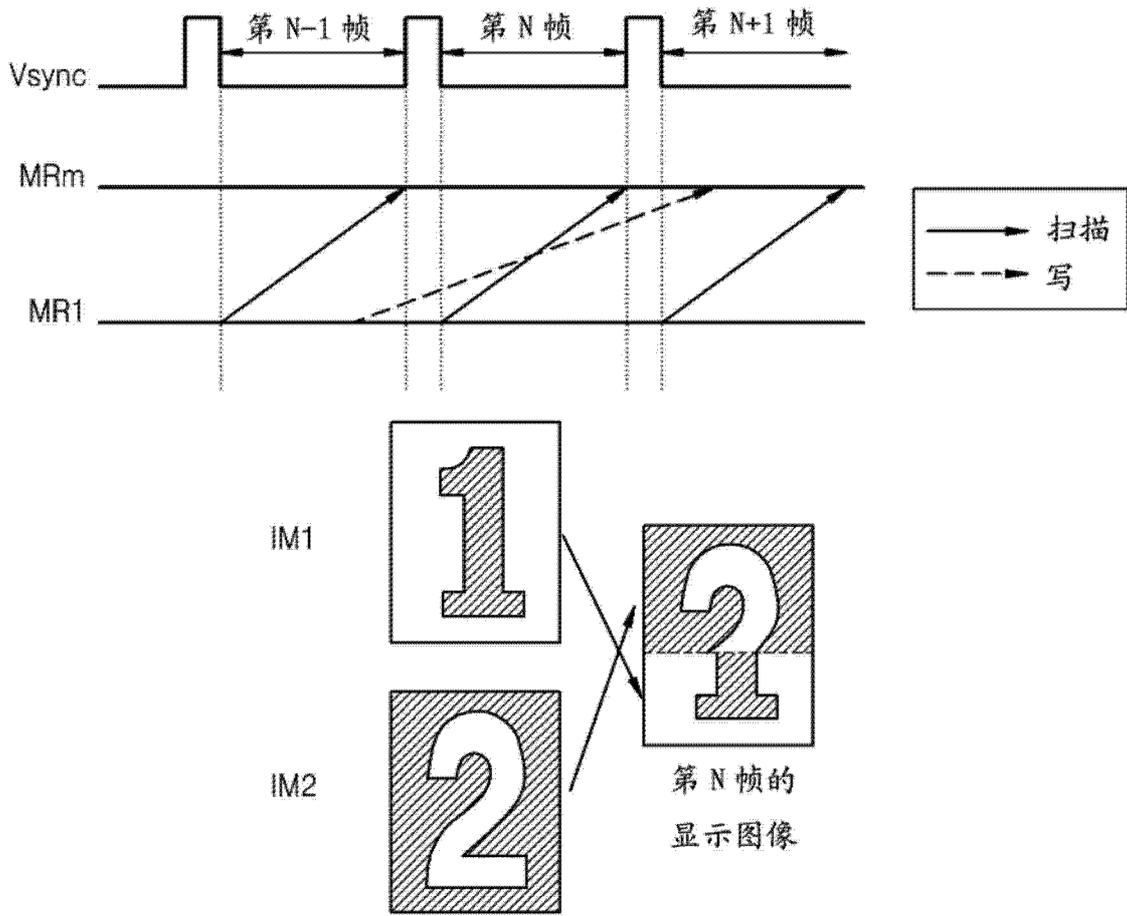


图 2B

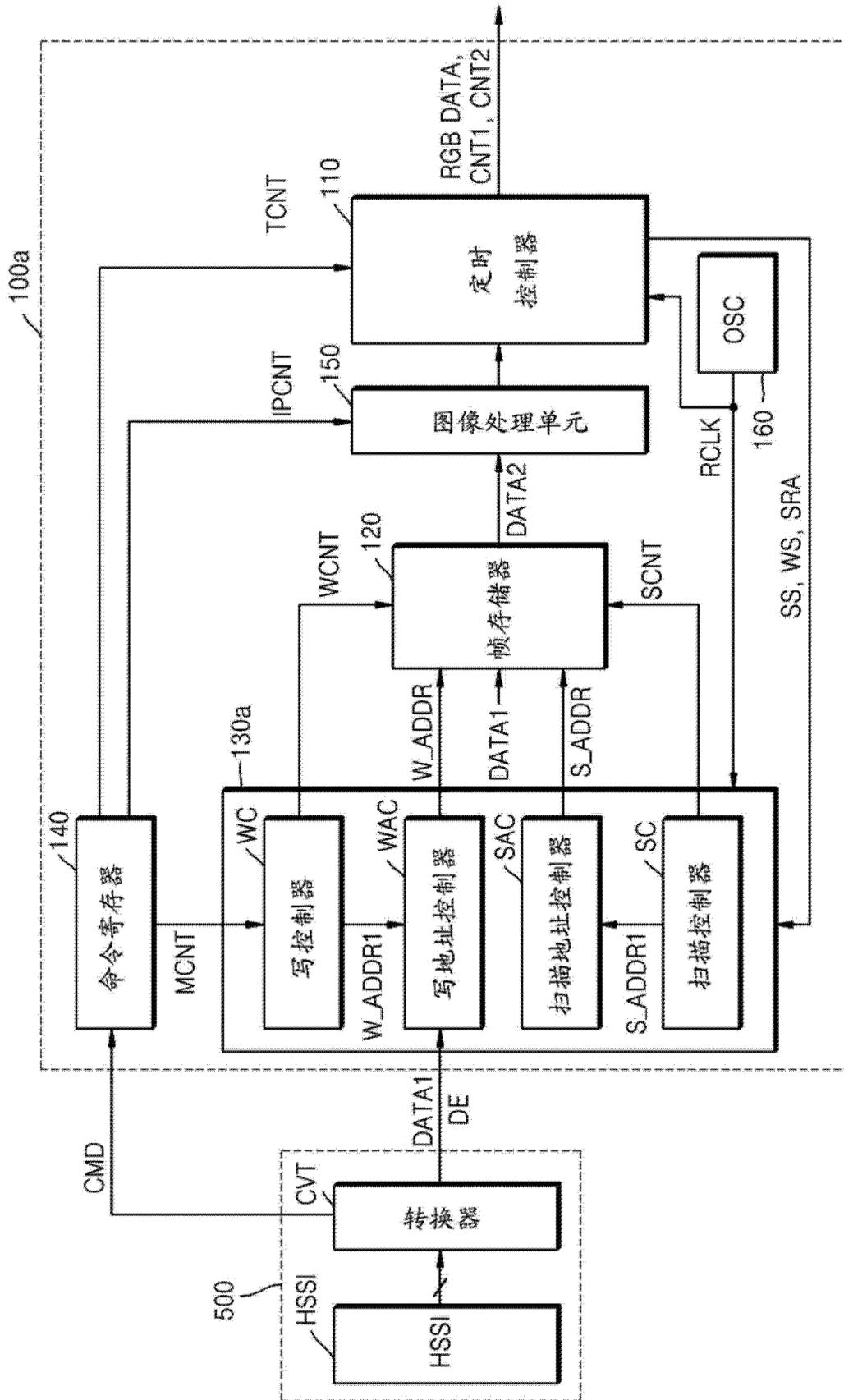


图 3

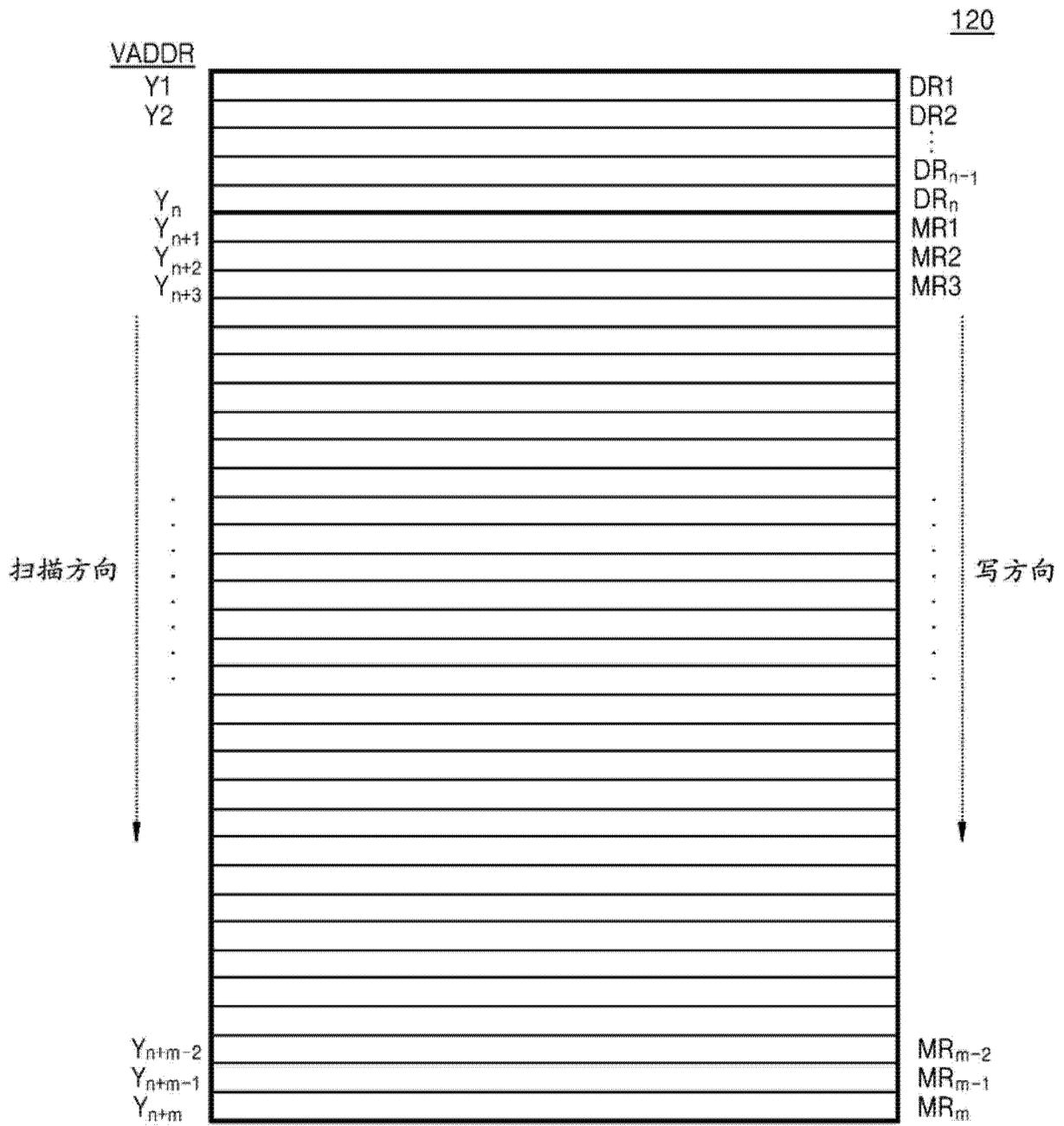


图 4

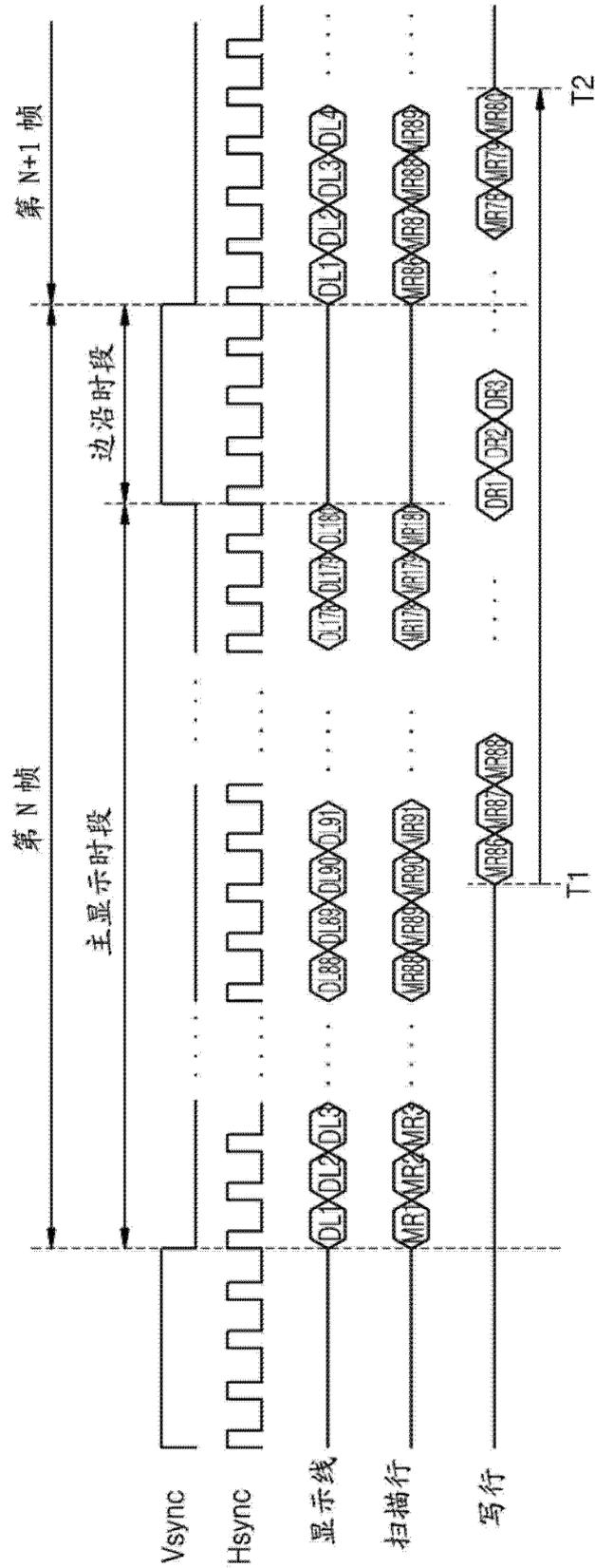


图 5A

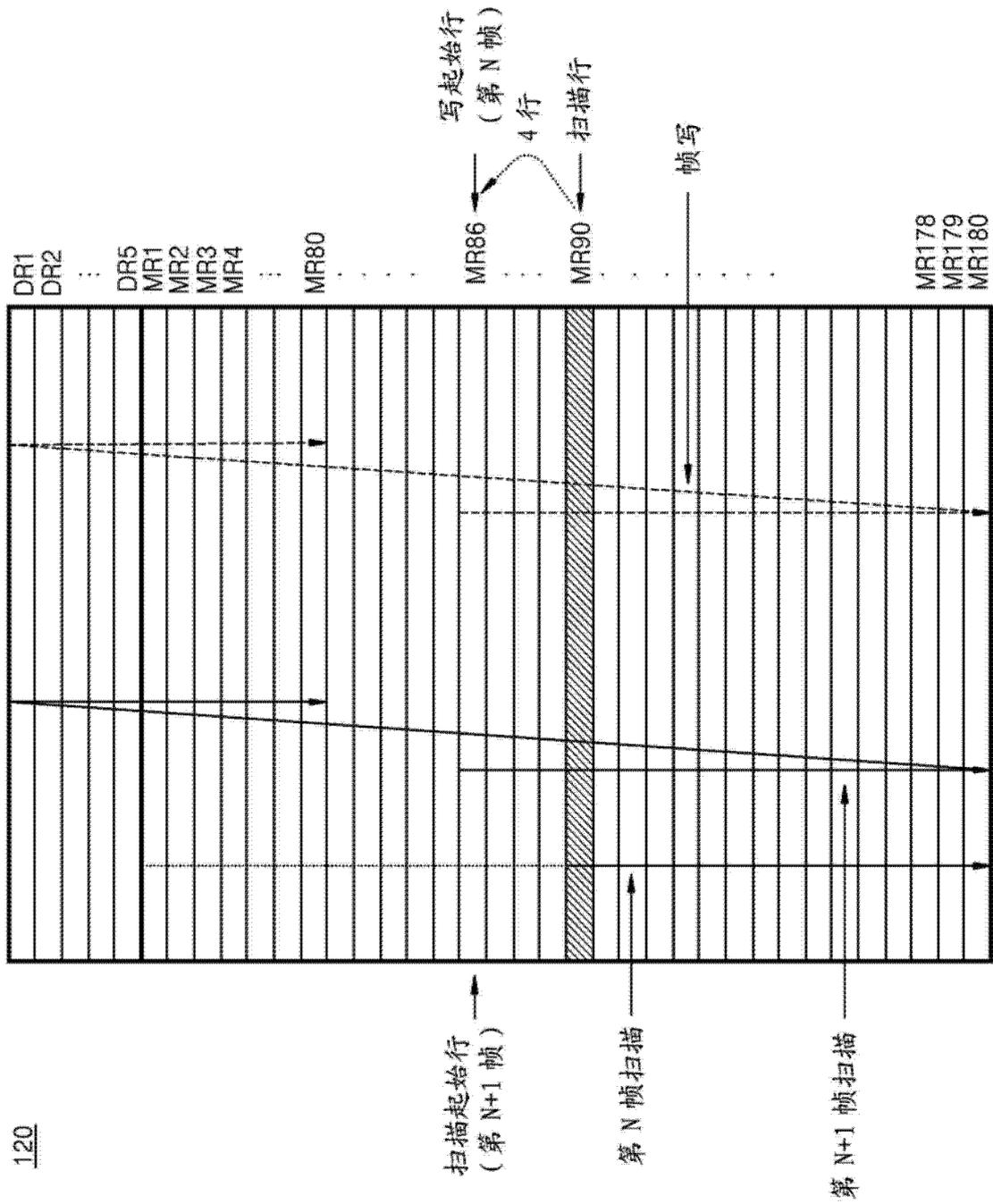


图 5B

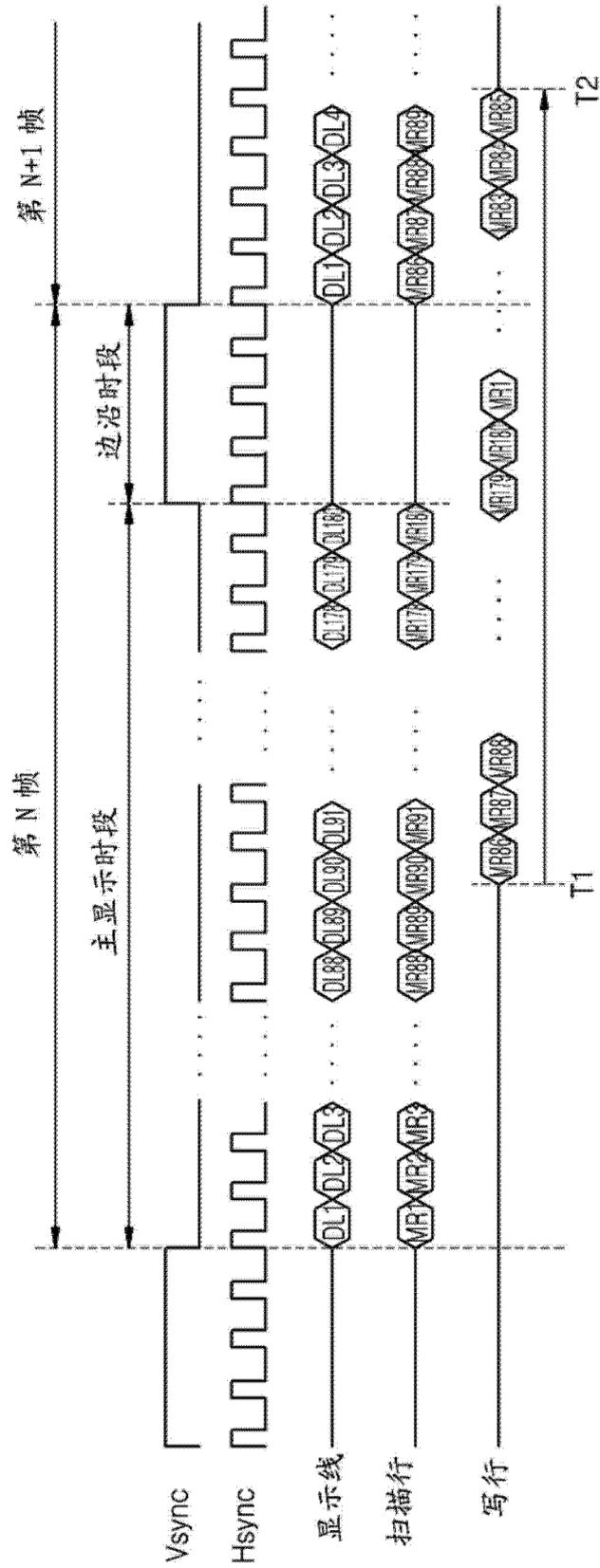
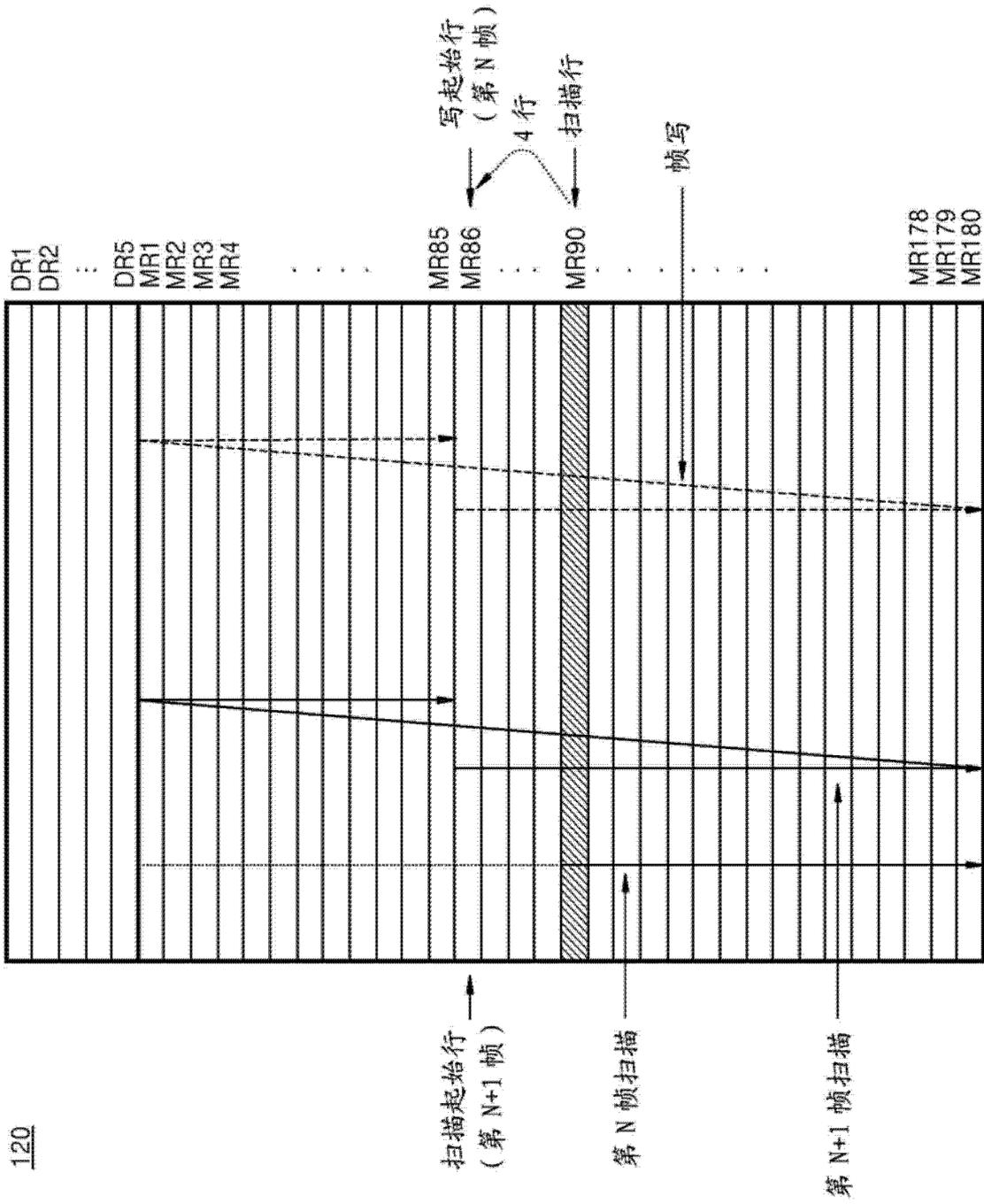
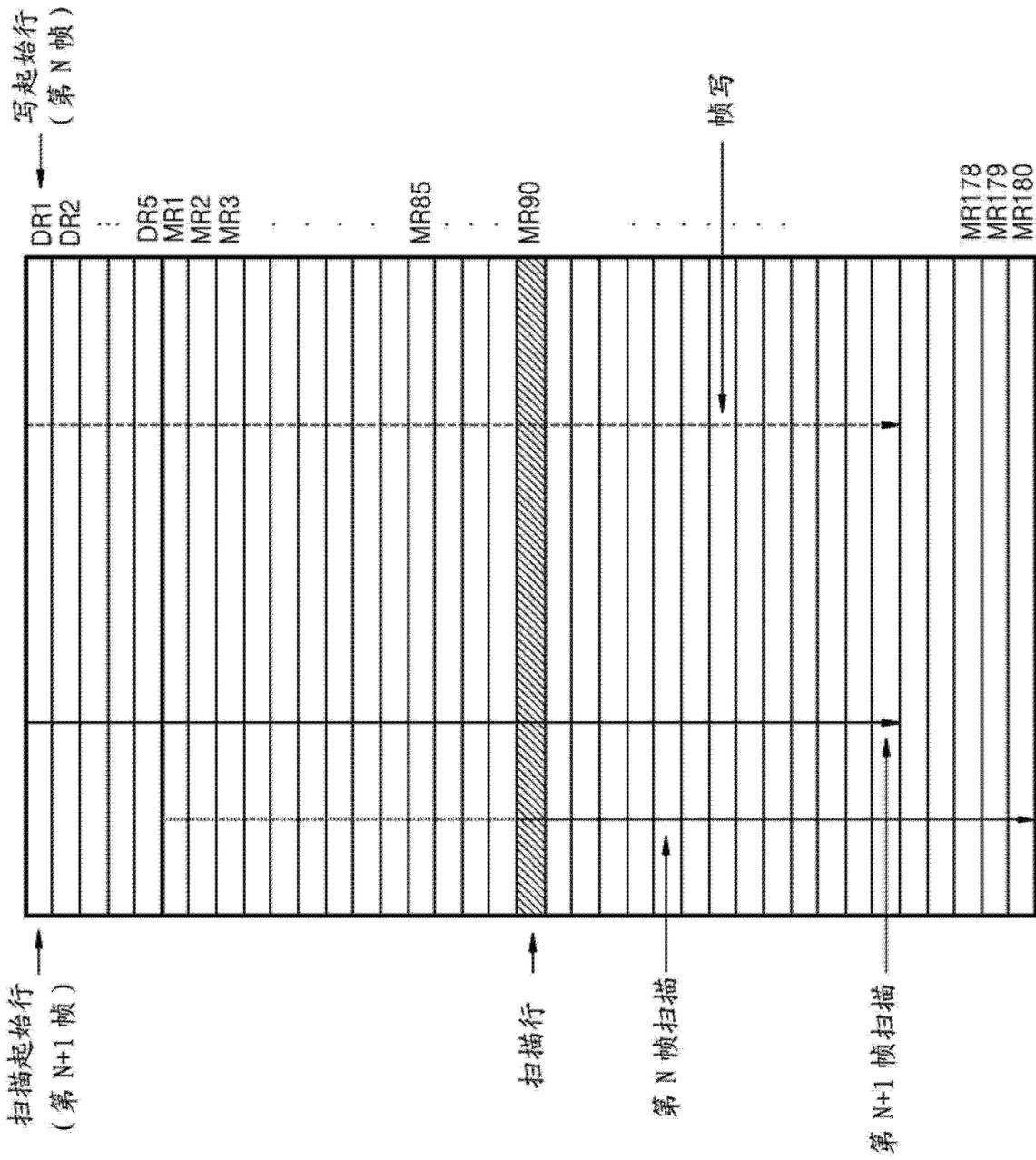


图 7A



120

图 7B



120

图 8A

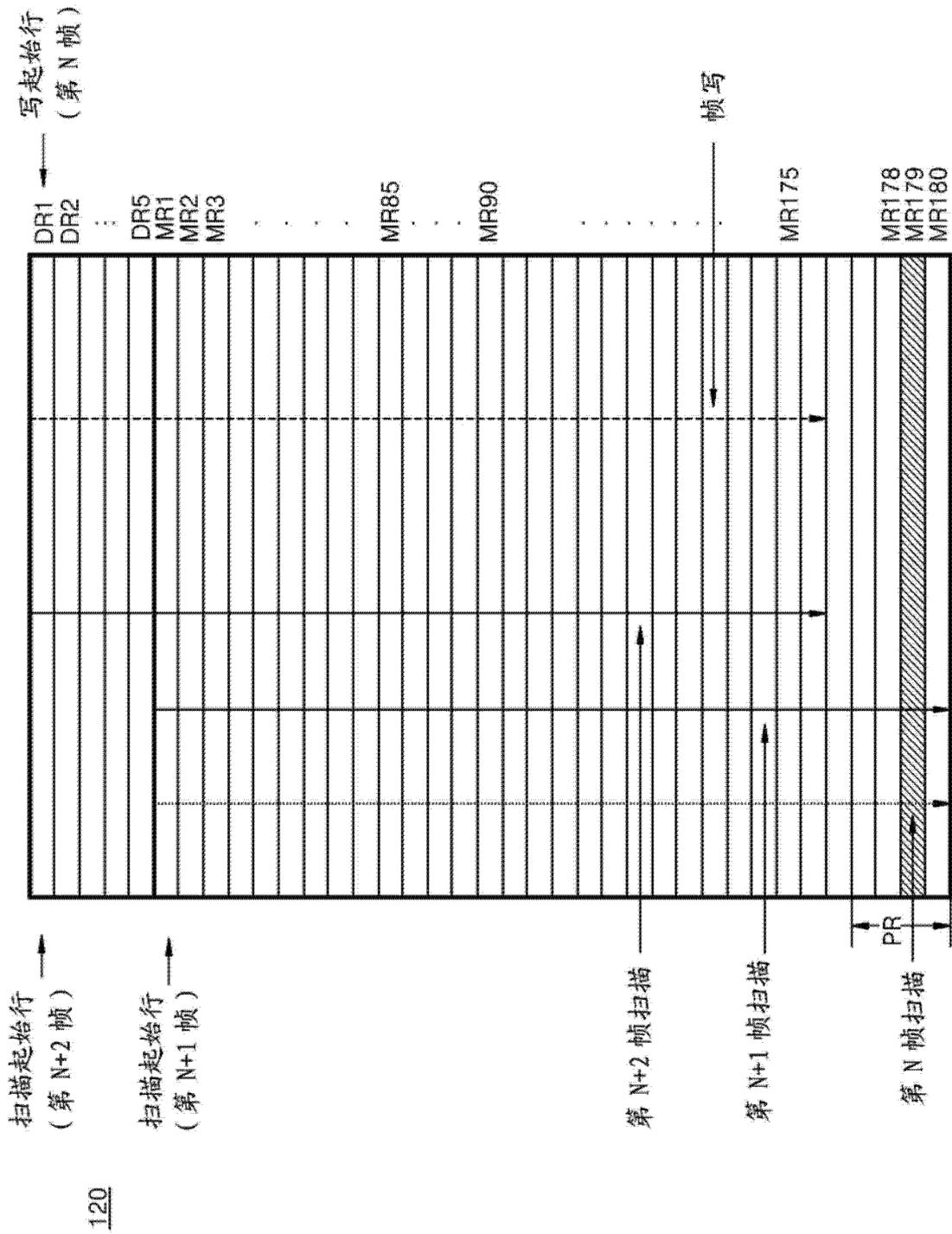


图 8B

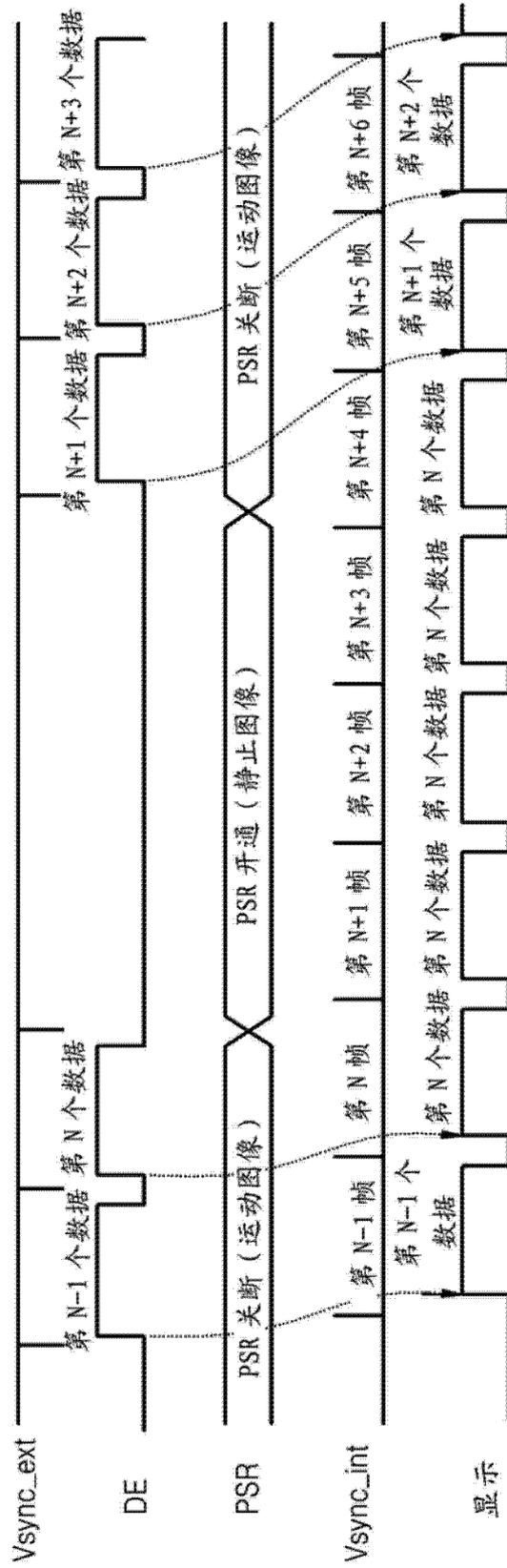


图 9

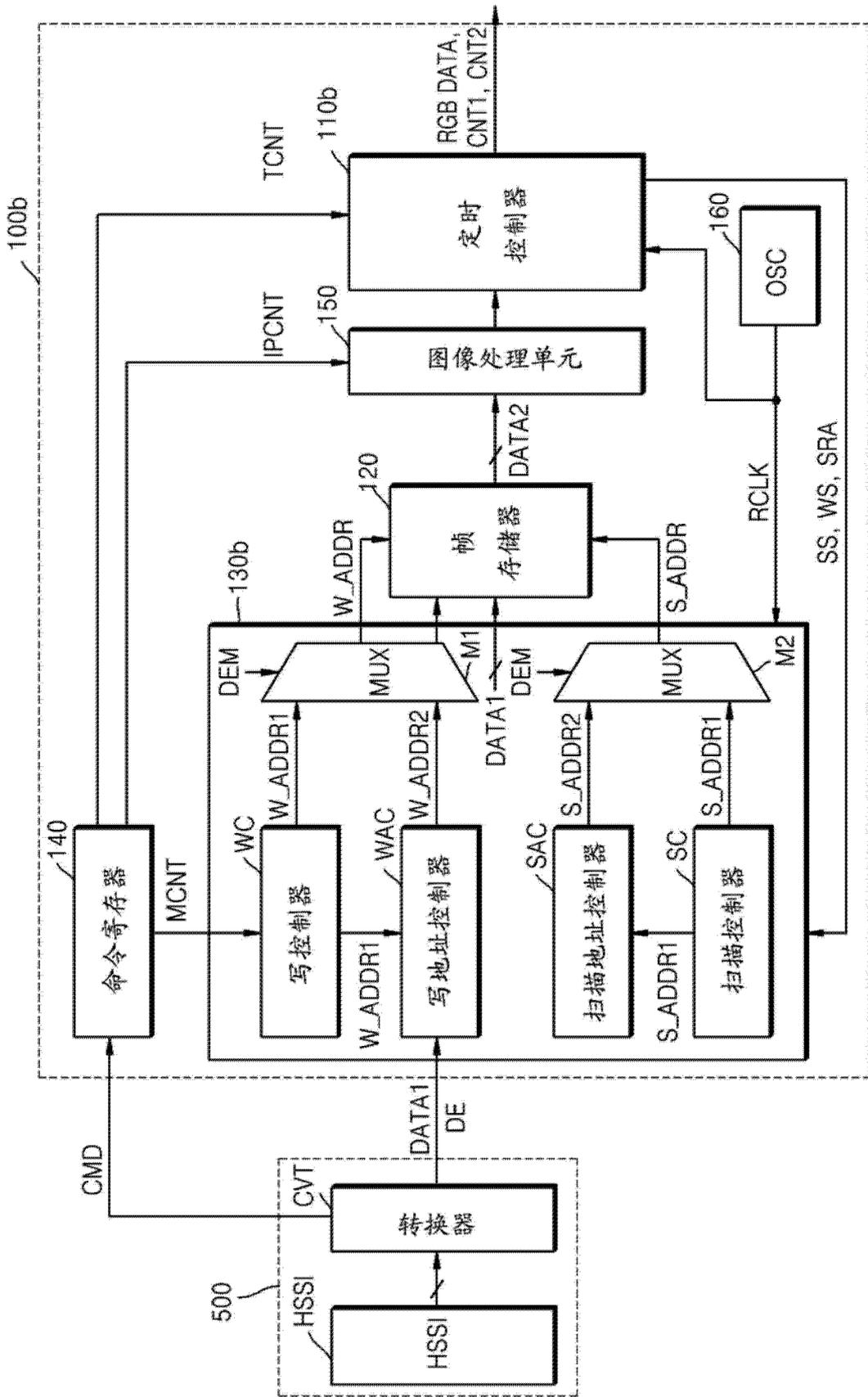


图 10

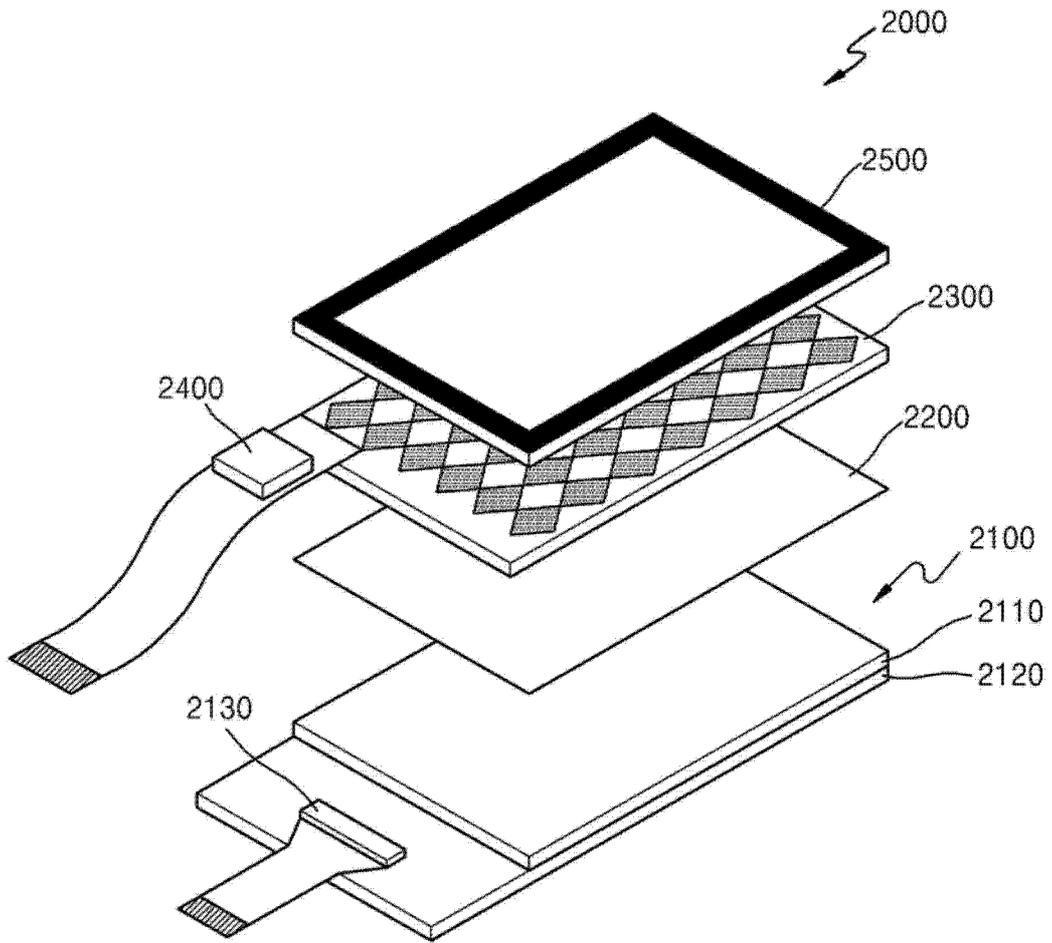


图 11

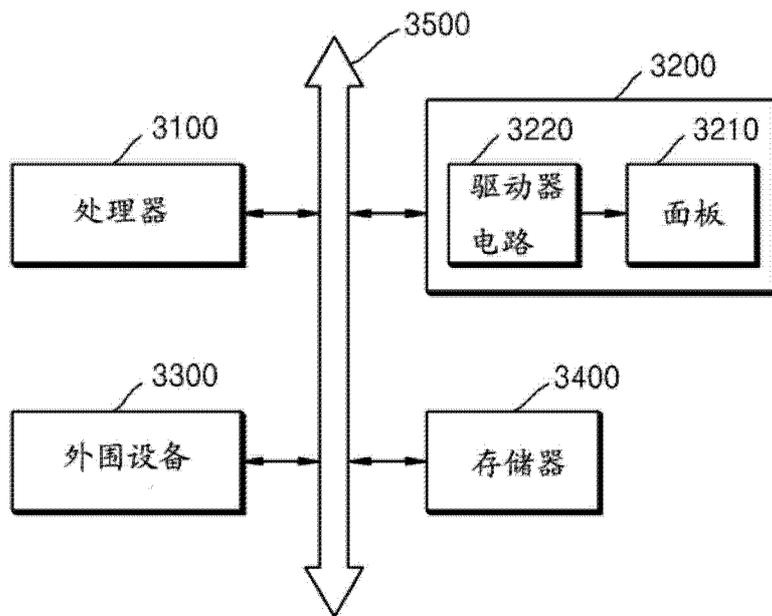


图 12

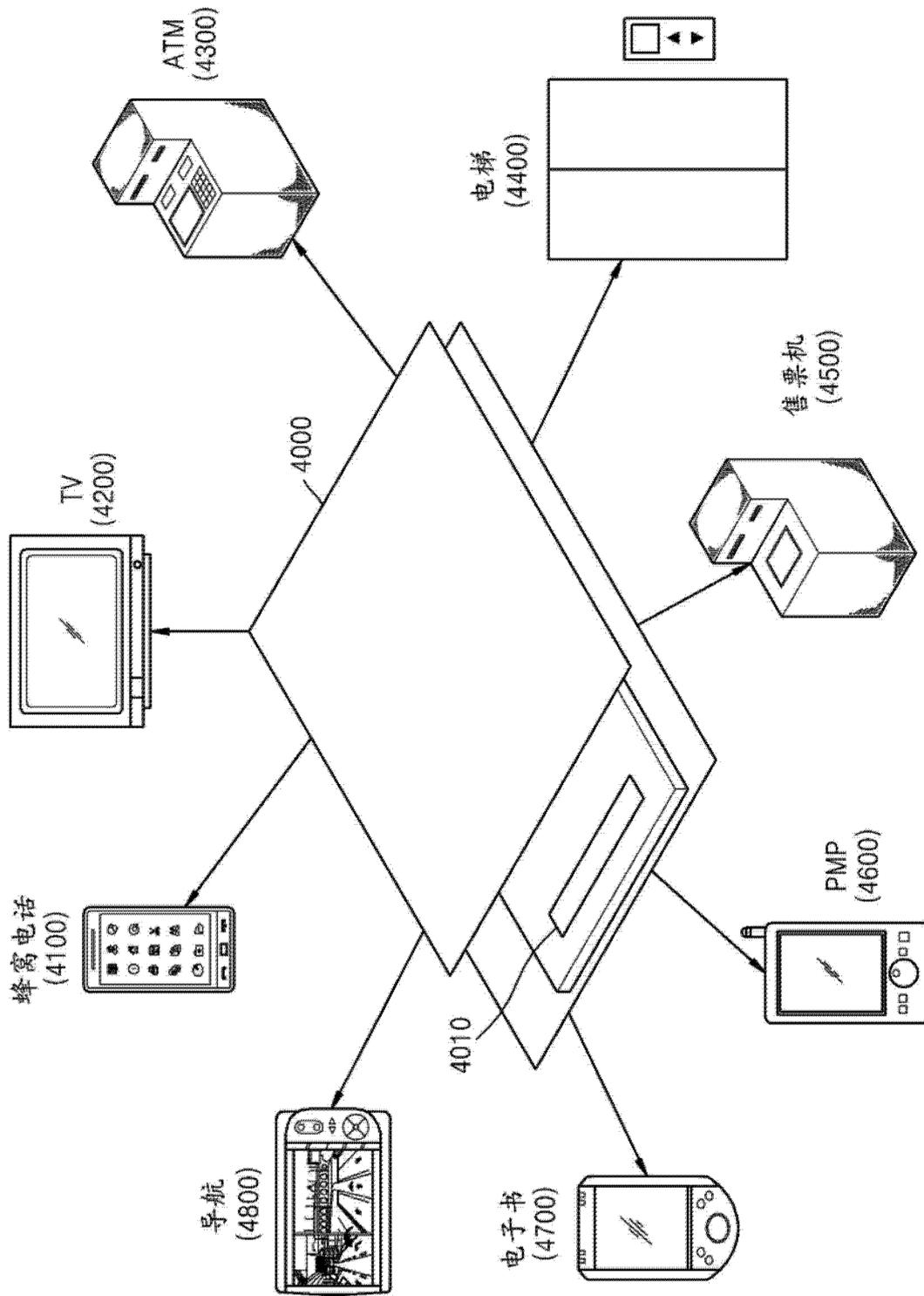


图 13