

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010年12月23日(23.12.2010)

PCT

(10) 国際公開番号  
WO 2010/146641 A1

(51) 国際特許分類:

H01L 21/8238 (2006.01) H01L 27/092 (2006.01)  
H01L 21/28 (2006.01) H01L 29/423 (2006.01)  
H01L 21/8234 (2006.01) H01L 29/49 (2006.01)  
H01L 27/088 (2006.01) H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2009/007345

(22) 国際出願日: 2009年12月28日(28.12.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2009-145467 2009年6月18日(18.06.2009) JP

(71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP). アイテック (IMEC) [BE/BE]; B-3001 リューフェン, カペルドレーフ 75 Leuven (BE).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 仙石直久 (SENGOKU, Naohisa).

(74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

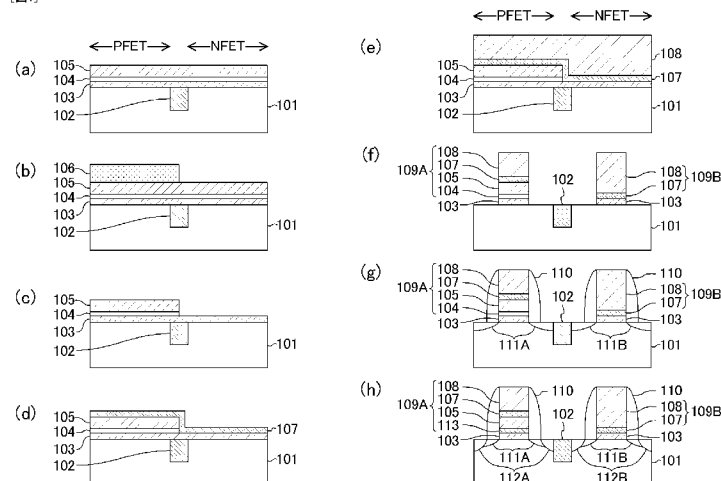
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR MANUFACTURE THEREOF

(54) 発明の名称: 半導体装置及びその製造方法

[図1]



(57) Abstract: A gate insulating film (103) is formed on a semiconductor substrate (101) having a first region and a second region. A first metal nitride film (105) is deposited on the gate insulating film (103). A part of the first metal nitride film (105) which is located on the second region is removed, thereby exposing a part of the gate insulating film (103) which is located on the second region. A second metal nitride film (107) comprising the same metal nitride as that contained in the first metal nitride film (105) is formed on the part of the gate insulating film (103) which is located on the second region.

(57) 要約:

[続葉有]

WO 2010/146641 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

第 1 の領域と第 2 の領域とを有する半導体基板 (101) の上にゲート絶縁膜 (103) を形成する。次に、ゲート絶縁膜 (103) の上に第 1 の金属窒化膜 (105) を堆積する。次に、第 1 の金属窒化膜 (105) における第 2 の領域に位置する部分を除去することにより、ゲート絶縁膜 (103) における第 2 の領域に位置する部分を露出させる。次に、ゲート絶縁膜 (103) における第 2 の領域に位置する部分の上に、第 1 の金属窒化膜 (105) と同じ金属窒化物からなる第 2 の金属窒化膜 (107) を形成する。

## 明 細 書

### 発明の名称：半導体装置及びその製造方法

### 技術分野

[0001] 本発明は、メタルゲート電極を有するトランジスタを備えた半導体装置及びその製造方法に関し、特に、メタルゲート電極を有するトランジスタ素子の特性改善に関する。

### 背景技術

[0002] デバイスの微細化や駆動力向上のために、従来のSiON/poly-Siゲート電極構造からHigh-k/metalゲート電極構造へのゲート構造変更の検討が進められている。High-k/metalゲート電極構造では、高誘電率絶縁膜により実効酸化膜厚（EOT）の低減とゲートリーク電流の低減との両立が可能であり、また、ゲート電極として金属膜を使用することにより、poly-Si電極で発生していたゲート空乏化を防止することができる。High-k/metalゲート電極構造の課題は、NchFET（field effect transistor）（以下、NFETという）及びPchFET（以下、PFETという）のそれぞれに適合した所望の仕事関数を実現することである。

[0003] 図4（a）～（g）は、High-k/metalゲート電極構造を用いた第1従来例に係るトランジスタ形成プロセスの各工程を示す断面図である（特許文献1参照）。

[0004] 第1従来例においては、まず、図4（a）に示すように、半導体基板1にトレンチ型素子分離2を形成してNFET領域とPFET領域とを区画した後、半導体基板1上に高誘電率絶縁体などからなるゲート絶縁膜3を形成し、その後、ゲート絶縁膜3上に厚さ20nm程度のTiN膜5を堆積する。

[0005] 次に、図4（b）に示すように、TiN膜5上にPFET領域を覆うマスクパターン6を形成した後、図4（c）に示すように、NFET領域のTiN膜5をエッチングにより除去し、その後、マスクパターン6を除去する。

[0006] 次に、図4（d）に示すように、半導体基板1上の全面に厚さ2.5nm

程度のT i N膜7を堆積した後、図4（e）に示すように、T i N膜7上にシリコン膜8を堆積する。

[0007] 次に、図4（f）に示すように、ゲートパターンニングを行うことにより、P F E T領域にはT i N膜5、T i N膜7及びシリコン膜8からなるゲート電極9 Aを形成すると共に、N F E T領域にはT i N膜7及びシリコン膜8からなるゲート電極9 Bを形成する。

[0008] 次に、図4（g）に示すように、ゲート電極9 A及び9 Bのそれぞれの側面に絶縁性サイドウォールスペーサ10を形成すると共に、半導体基板1におけるゲート電極9 A及び9 Bのそれぞれの両側にソース・ドレイン領域11 A及び11 Bを形成する。

[0009] 以上のように、第1従来例においては、P F E T領域では厚膜のT i N膜5と薄膜のT i N膜7とをメタル電極として使用すると共にN F E T領域では薄膜のT i N膜7をメタル電極として使用することにより、P F E T領域では高い仕事関数を得ていると共にN F E T領域では低い仕事関数を得ている。

[0010] 図5（a）～（f）は、High-k/metalゲート電極構造を用いた第2従来例に係るトランジスタ形成プロセスの各工程を示す断面図である（特許文献2参照）。

[0011] 第2従来例においては、まず、図5（a）に示すように、半導体基板1にトレンチ型素子分離2を形成してN F E T領域とP F E T領域とを区画した後、半導体基板1上に高誘電率絶縁体からなるゲート絶縁膜3を形成し、その後、ゲート絶縁膜3上にT i N膜5を堆積する。

[0012] 次に、図5（b）に示すように、T i N膜5上にP F E T領域を覆うマスクパターン6を形成した後、N F E T領域のT i N膜5に対して、 $1 \times 10^{14} \text{ cm}^{-2}$ 程度のドーズ量で窒素イオンを注入し、その後、図5（c）に示すように、マスクパターン6を除去する。この窒素注入により、N F E T領域のT i N膜5は高い窒素濃度を持つT i N膜5'に改質される。

[0013] 次に、図5（d）に示すように、半導体基板1上の全面にタングステン膜

13を形成した後、図5(e)に示すように、ゲートパターンニングを行うことにより、PFET領域にはTiN膜5及びタングステン膜13からなるゲート電極9Aを形成すると共に、NFET領域にはTiN膜5'及びタングステン膜13からなるゲート電極9Bを形成する。

[0014] 次に、図5(f)に示すように、ゲート電極9A及び9Bのそれぞれの側面に絶縁性サイドウォールスペーサ10を形成すると共に、半導体基板1におけるゲート電極9A及び9Bのそれぞれの両側にソース・ドレイン領域11A及び11Bを形成する。

[0015] 以上のように、第2従来例においては、NFET領域のTiN膜5に窒素注入を実施することにより、NFET領域のゲート電極（メタルゲート電極）9Bの仕事関数をPFET領域のゲート電極9Aの仕事関数よりも低下させている。

## 先行技術文献

## 特許文献

[0016] 特許文献1：特開2007-110091号公報

特許文献2：特開2001-203276号公報

## 発明の概要

## 発明が解決しようとする課題

[0017] しかしながら、前述の第1従来例及び第2従来例のいずれを用いたとしても、NFET及びPFETのそれぞれに適合した所望の仕事関数を実現することはできない。

[0018] 具体的には、NFETに必要とされる仕事関数は4.3eV程度以下であり、PFETに必要とされる仕事関数は4.9eV程度以上であるのに対して、第1従来例においてNFETのゲート電極に用いるTiN膜の膜厚を2.5nm程度とし、PFETのゲート電極に用いるTiN膜の膜厚を20nm程度としても、NFET及びPFETの仕事関数をそれぞれ4.4eV程度及び4.85eV程度にしか設定することができず、いずれも必要とされ

る仕事関数としては不十分である。

[0019] また、第2従来例においてTiN膜に対する窒素注入によって仕事関数を調整しようとしても、NFEETの仕事関数を0.1eV程度低下させることしかできず、NFEET及びPFETの両方について同時に所望の仕事関数を実現することはできない。

[0020] 前記に鑑み、本発明は、High-k/metalゲート電極構造において各極性のFETに要求される仕事関数値を実現することを目的とする。

### 課題を解決するための手段

[0021] 前記の目的を達成するために、本発明に係る第1の半導体装置の製造方法は、第1導電型のトランジスタが形成される第1の領域と第2導電型のトランジスタが形成される第2の領域とを有する半導体基板の上にゲート絶縁膜を形成する第1の工程と、前記ゲート絶縁膜の上に、金属膜及び第1の金属窒化膜を順次堆積する第2の工程と、前記金属膜及び前記第1の金属窒化膜のそれぞれにおける前記第2の領域に位置する部分を除去することにより、前記ゲート絶縁膜における前記第2の領域に位置する部分を露出させる第3の工程と、前記第3の工程よりも後に、前記ゲート絶縁膜における前記第2の領域に位置する部分の上に、前記第1の金属窒化膜と同じ金属窒化物からなる第2の金属窒化膜を形成する第4の工程とを備えている。

[0022] 本発明に係る第1の半導体装置の製造方法において、各トランジスタ形成領域で異なる種類のゲート絶縁膜を形成してもよい。

[0023] 本発明に係る第1の半導体装置の製造方法において、前記第1の金属窒化膜は、前記金属膜を構成する金属の窒化物から構成されていてもよい。或いは、前記金属膜を構成する金属は、前記第1の金属窒化膜に含まれる金属（例えばTi）とは異なる金属（例えばTa）であってもよい。

[0024] 本発明に係る第1の半導体装置の製造方法において、前記第4の工程では、前記ゲート絶縁膜における前記第1の領域に位置する部分の上にも前記第2の金属窒化膜を形成し、前記第4の工程よりも後に、前記第1の領域において少なくとも前記第2の金属窒化膜、前記第1の金属窒化膜及び前記金属

膜をパターニングすることにより第1のゲート電極を形成する第5の工程と、前記第4の工程よりも後に、前記第2の領域において少なくとも前記第2の金属窒化膜をパターニングすることにより第2のゲート電極を形成する第6の工程とをさらに備えていてもよい。この場合、前記第4の工程よりも後に前記第5の工程及び前記第6の工程のそれぞれよりも前に、前記第2の金属窒化膜の上に導電膜を形成する第7の工程をさらに備え、前記第5の工程では、前記導電膜、前記第2の金属窒化膜、前記第1の金属窒化膜及び前記金属膜をパターニングすることにより前記第1のゲート電極を形成し、前記第6の工程では、前記導電膜及び前記第2の金属窒化膜をパターニングすることにより前記第2のゲート電極を形成してもよい。また、この場合、前記第7の工程よりも後に、800℃以上の温度で熱処理を行うことにより、前記金属膜を第3の金属窒化膜に変化させる第8の工程をさらに備えていてもよい。さらに、この場合、前記第3の金属窒化膜の窒素濃度は前記第1の金属窒化膜の窒素濃度よりも低くてもよいし、前記ゲート絶縁膜は窒素を含有し、前記第8の工程で前記ゲート絶縁膜の窒素濃度が減少してもよい。尚、前記金属膜を第3の金属窒化膜に変化させる熱処理は、例えばソース・ドレイン領域形成のための不純物活性化熱処理であってもよい。また、第8の工程の後に、金属膜の下部がそのまま窒化されずに残っていてもよい。

[0025] 前記の目的を達成するために、本発明に係る第2の半導体装置の製造方法は、第1導電型のトランジスタが形成される第1の領域と第2導電型のトランジスタが形成される第2の領域とを有する半導体基板の上にゲート絶縁膜を形成する第1の工程と、前記ゲート絶縁膜の上に第1の金属窒化膜を堆積する第2の工程と、前記第1の金属窒化膜における前記第2の領域に位置する部分を除去することにより、前記ゲート絶縁膜における前記第2の領域に位置する部分を露出させる第3の工程と、前記第3の工程よりも後に、前記ゲート絶縁膜における前記第2の領域に位置する部分の上に、前記第1の金属窒化膜と同じ金属窒化物からなる第2の金属窒化膜を形成する第4の工程とを備え、前記第1の金属窒化膜の窒素濃度及び膜厚は前記第2の金属窒化

膜の窒素濃度及び膜厚と異なっている。

[0026] 本発明に係る第2の半導体装置の製造方法において、各トランジスタ形成領域で異なる種類のゲート絶縁膜を形成してもよい。

[0027] 本発明に係る第2の半導体装置の製造方法において、前記第4の工程では、前記ゲート絶縁膜における前記第1の領域に位置する部分の上にも前記第2の金属窒化膜を形成し、前記第4の工程よりも後に、前記第1の領域において少なくとも前記第2の金属窒化膜及び前記第1の金属窒化膜をパターニングすることにより第1のゲート電極を形成する第5の工程と、前記第4の工程よりも後に、前記第2の領域において少なくとも前記第2の金属窒化膜をパターニングすることにより第2のゲート電極を形成する第6の工程とをさらに備えていてもよい。この場合、前記第4の工程よりも後で前記第5の工程及び前記第6の工程のそれぞれよりも前に、前記第2の金属窒化膜の上に導電膜を形成する第7の工程をさらに備え、前記第5の工程では、前記導電膜、前記第2の金属窒化膜及び前記第1の金属窒化膜をパターニングすることにより前記第1のゲート電極を形成し、前記第6の工程では、前記導電膜及び前記第2の金属窒化膜をパターニングすることにより前記第2のゲート電極を形成してもよい。

[0028] 本発明に係る第1又は第2の半導体装置の製造方法において、前記第1の金属窒化膜及び前記第2の金属窒化膜はそれぞれTiNから構成されていてもよい。

[0029] 本発明に係る第1又は第2の半導体装置の製造方法において、前記第2の金属窒化膜の窒素濃度は前記第1の金属窒化膜の窒素濃度よりも高くてもよい。

[0030] 本発明に係る第1又は第2の半導体装置の製造方法において、前記第2の金属窒化膜の膜厚は前記第1の金属窒化膜の膜厚よりも薄くてもよい。

[0031] 本発明に係る第1又は第2の半導体装置の製造方法において、前記ゲート絶縁膜は高誘電率絶縁膜を含んでいてもよい。ここで、高誘電率絶縁膜とは、 $\text{SiO}_2$ よりも高い誘電率を有する絶縁膜を意味する。

- [0032] 本発明に係る第 1 又は第 2 の半導体装置の製造方法において、前記第 1 の金属窒化膜及び前記第 2 の金属窒化膜のそれぞれを P V D (physical vapor deposition) 法により堆積してもよい。この場合、前記第 1 の金属窒化膜及び前記第 2 の金属窒化膜のそれぞれを、総ガス流量に対する窒素ガス流量の比を変えて堆積してもよい。
- [0033] 本発明に係る第 1 又は第 2 の半導体装置の製造方法において、前記第 1 導電型のトランジスタは P c h トランジスタであり、前記第 2 導電型のトランジスタは N c h トランジスタであってもよいし、又は前記第 1 導電型のトランジスタ及び前記第 2 導電型のトランジスタのそれぞれは同一の導電型のトランジスタであってもよい。
- [0034] 本発明に係る半導体装置は、半導体基板における第 1 の領域の上に形成された第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜の上に形成された第 1 のゲート電極とを備え、前記第 1 のゲート電極は、第 1 の金属窒化膜と、前記第 1 の金属窒化膜の上に形成され且つ前記第 1 の金属窒化膜と同じ金属窒化物からなる第 2 の金属窒化膜とを少なくとも有し、前記第 1 の金属窒化膜の窒素濃度及び膜厚は前記第 2 の金属窒化膜の窒素濃度及び膜厚と異なっている。
- [0035] 本発明に係る半導体装置において、前記第 1 のゲート電極は、前記第 2 の金属窒化膜の上に形成された導電膜をさらに有していてもよい。
- [0036] 本発明に係る半導体装置において、前記第 1 のゲート電極は、前記第 1 の金属窒化膜の下に形成され且つ前記第 1 の金属窒化膜よりも窒素濃度が低い第 3 の金属窒化膜をさらに有していてもよい。この場合、前記第 1 のゲート電極は、前記第 3 の金属窒化膜の下に形成された金属膜をさらに有していてもよい。
- [0037] 本発明に係る半導体装置において、前記第 1 の金属窒化膜及び前記第 2 の金属窒化膜はそれぞれ T i N から構成されていてもよい。
- [0038] 本発明に係る半導体装置において、前記第 2 の金属窒化膜の窒素濃度は前記第 1 の金属窒化膜の窒素濃度よりも高くてもよい。

[0039] 本発明に係る半導体装置において、前記第2の金属窒化膜の膜厚は前記第1の金属窒化膜の膜厚よりも薄くてもよい。

[0040] 本発明に係る半導体装置において、前記半導体基板における第2の領域の上に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜の上に形成された第2のゲート電極とをさらに備え、前記第2のゲート電極は、前記第2の金属窒化膜を少なくとも有していてもよい。この場合、前記第2のゲート絶縁膜は、前記第1のゲート絶縁膜と同じ絶縁膜であってもよい。

### 発明の効果

[0041] 本発明によると、第1導電型のトランジスタが形成される第1の領域及び第2導電型のトランジスタが形成される第2の領域のそれぞれの上に第1の金属窒化膜を形成した後、前記第2の領域に位置する部分の第1の金属窒化膜を除去し、その後、前記第2の領域の上に、前記第1の金属窒化膜と同じ金属窒化物からなる第2の金属窒化膜を形成する。このため、第1の領域では、膜厚が大きく且つ窒素濃度が低いメタル電極、つまり仕事関数が高いゲート電極を形成することができると共に、第2の領域では、膜厚が小さく且つ窒素濃度が高いメタル電極、つまり仕事関数が低いゲート電極を形成することができる。従って、High-k/metalゲート電極構造において各極性のFETに要求される仕事関数値を実現することができる。

### 図面の簡単な説明

[0042] [図1]図1(a)～(h)は、本発明の第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

[図2]図2(a)～(h)は、本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

[図3]図3は、ゲート電極中のTiN膜の膜厚と仕事関数との相関図である。

[図4]図4(a)～(g)は、第1従来例に係るトランジスタ形成プロセスの各工程を示す断面図である。

[図5]図5(a)～(f)は、第2従来例に係るトランジスタ形成プロセスの各工程を示す断面図である。

## 発明を実施するための形態

[0043] (第1の実施形態)

以下、本発明の第1の実施形態に係る半導体装置及びその製造方法を図面を参照しながら説明する。

[0044] 図1(a)～(h)は、第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

[0045] まず、図1(a)に示すように、半導体基板101に、例えばSTI (shallow trench isolation) などの素子分離102を形成してNFT領域とPFET領域とを区画した後、各FET領域の半導体基板101中に、しきい値電圧( $V_t$ )調整のための不純物注入及び活性化処理を行い、その後、半導体基板101表面の酸化膜(図示省略)を除去する。続いて、半導体基板101上に、例えば厚さ1.5nm程度の熱酸化膜と、例えば厚さ2.0nm程度のHfSiO膜とを順次堆積した後、当該HfSiO膜を窒化することにより、HfSiON/SiO<sub>2</sub>構造の高誘電率ゲート絶縁膜103を形成する。

[0046] 次に、図1(a)に示すように、高誘電率ゲート絶縁膜103上に、例えばPVD法を用いて厚さ2nm程度のTi膜104を堆積し、続いて、Ti膜104上に、例えばPVD法を用いて厚さ20nm程度のTiN膜105を堆積する。

[0047] 本実施形態では、Ti膜104の膜厚を例えば1nm～3nm程度の数値範囲から選択する。また、高い仕事関数を得るためにTiN膜105の膜厚を比較的大きい数値範囲、例えば10nm～30nm程度の数値範囲から選択することが好ましい。また、TiN膜105をPVD法により堆積する際の窒素流量比(例えば( $N_2$ 流量)/(Ar流量+ $N_2$ 流量))を比較的低い40%程度に設定することにより、TiN膜105の窒素濃度(具体的には組成比(モル比))をできるだけ低くして高い仕事関数を得られるようにすることが好ましい。但し、窒素流量比を40%以下の低流量比に設定した場合には、TiN膜が堆積されずにTi膜が堆積される場合があるので、注意

が必要である。

[0048] 次に、図 1 (b) に示すように、T i N 膜 1 0 5 上に、N F E T 領域に開口部を有するマスクパターン 1 0 6 を形成した後、図 1 (c) に示すように、N F E T 領域に位置する部分の T i N 膜 1 0 5 及び T i 膜 1 0 4 を例えばウェットエッチングによって除去し、続いて、マスクパターン 1 0 6 を除去する。これにより、N F E T 領域に位置する部分の高誘電率ゲート絶縁膜 1 0 3 が露出する。ここで、ウェットエッチング液としては、高誘電率ゲート絶縁膜 1 0 3 に対する T i N 膜 1 0 5 のエッチング選択比が高く且つ T i N 膜 1 0 5 のエッチングレートが比較的小さいエッチング液（つまりエッチングの制御が容易なエッチング液）、例えば希釈 S P M (sulfuric acid-hydrogen peroxide mixture) 液を使用してもよい。

[0049] 次に、図 1 (d) に示すように、N F E T 領域に位置する部分の高誘電率ゲート絶縁膜 1 0 3 （つまり高誘電率ゲート絶縁膜 1 0 3 の露出部分）の上を含む半導体基板 1 0 1 上の全面に、例えば P V D 法を窒素流量比（例えば  $(N_2 \text{ 流量}) / (Ar \text{ 流量} + N_2 \text{ 流量})$ ）を 8 0 % 程度に設定して用いることによって、厚さ 2 n m 程度の T i N 膜 1 0 7 を堆積する。

[0050] 本実施形態では、低い仕事関数を得るために T i N 膜 1 0 7 の膜厚を比較的小さい数値範囲、例えば 1 n m ~ 5 n m 程度の数値範囲から選択することが好ましい。また、T i N 膜 1 0 7 を P V D 法により堆積する際の窒素流量比を比較的大きい数値範囲、例えば 8 0 % ~ 1 0 0 % 程度の数値範囲から選択することにより、T i N 膜 1 0 7 の窒素濃度をできるだけ高くして低い仕事関数が得られるようにすることが好ましい。

[0051] 次に、図 1 (e) に示すように、T i N 膜 1 0 7 上に例えば厚さ 1 0 0 n m 程度のポリシリコン膜 1 0 8 を堆積した後、図 1 (f) に示すように、ゲートパターンニングを行うことにより、P F E T 領域には T i 膜 1 0 4、T i N 膜 1 0 5、T i N 膜 1 0 7 及びポリシリコン膜 1 0 8 からなるゲート電極 1 0 9 A を形成すると共に、N F E T 領域には T i N 膜 1 0 7 及びポリシリコン膜 1 0 8 からなるゲート電極 1 0 9 B を形成する。このとき、ゲート電

極 109A 及び 109B のそれぞれの外側に位置する部分の高誘電率ゲート絶縁膜 103 は除去される。

[0052] 次に、図 1 (g) に示すように、ゲート電極 109A 及び 109B をマスクとして、半導体基板 101 に不純物注入を行うことにより、P F E T 領域に L D D (lightly doped drain) 領域 111A を形成すると共に、N F E T 領域に L D D 領域 111B を形成する。その後、ゲート電極 109A 及び 109B のそれぞれの側面に絶縁性サイドウォールスペーサ 110 を形成する。

[0053] 次に、図 1 (h) に示すように、ゲート電極 109A 及び 109B 並びに絶縁性サイドウォールスペーサ 110 をマスクとして、半導体基板 101 に不純物注入を行うことにより、P F E T 領域にソース・ドレイン領域 112A を形成すると共に、N F E T 領域にソース・ドレイン領域 112B を形成する。その後、ソース・ドレイン領域 112A 及び 112B 中の不純物を活性化させるための熱処理を行った後、ゲート電極 109A 及び 109B 並びにソース・ドレイン領域 112A 及び 112B のそれぞれの上部に、例えば N i を含むシリサイド層（図示省略）を形成して、トランジスタ構造を完成させる。

[0054] 本実施形態では、P F E T 領域のゲート電極 109A に含まれる極薄の T i 膜 104 は、T i 膜 104 の形成後のプロセス処理中に、例えば 800℃ 程度以上の温度で実施される前述の不純物活性化熱処理時に、T i 膜 104 上の T i N 膜 105 中から窒素を奪い取って T i N 膜 113 に改質される（図 1 (h) 参照）。ここで、T i 膜 104 の下部がそのまま窒化されずに残っていてもよい。また、T i 膜 104 が非常に薄い場合には、T i 膜 104 形成に続く T i N 膜 105 形成時に T i 膜 104 が T i N 膜 113 に改質される場合もある。また、T i N 膜 113 の窒素濃度は、T i N 膜 113 上の T i N 膜 105 の窒素濃度よりも低い。また、T i 膜 104 が T i N 膜 113 に改質される際に、T i 膜 104 が、その下側の高誘電率ゲート絶縁膜 103（具体的には H f S i O N 膜）中からも窒素を奪い取り、H f S i O N

膜の窒素濃度が低下してもよい。

[0055] すなわち、T i 膜 1 0 4 が T i N 膜 1 1 3 に改質されることにより、P F E T 領域のゲート電極 1 0 9 A を構成する 3 層構造の T i N 膜（T i N 膜 1 1 3、1 0 5 及び 1 0 7）のトータル膜厚は増加し、当該 3 層構造の T i N 膜全体の窒素濃度が低下するか又は高誘電率ゲート絶縁膜 1 0 3 と接するように低窒素濃度の T i N 膜 1 1 3 が形成され、高誘電率ゲート絶縁膜 1 0 3 となる H f S i O N 膜の窒素濃度は低下するが、これらはいずれも P F E T の仕事関数を増大させるように作用する。具体的には、本実施形態では P F E T の仕事関数を 4. 9 e V 程度以上に設定することが可能である。

[0056] 一方、N F E T 領域のゲート電極 1 0 9 B に含まれる T i N 膜 1 0 7 は、比較的高い窒素濃度と 2 n m 程度の薄い膜厚とを持つように形成されているが、これらはいずれも N F E T の仕事関数を低減させるように作用する。具体的には、本実施形態では N F E T の仕事関数を 4. 3 e V 程度以下に設定することが可能である。

[0057] 以上に説明したように、本実施形態によると、半導体基板 1 0 1 における P F E T 領域及び N F E T 領域のそれぞれの上に、T i 膜 1 0 4、及び膜厚が大きく且つ窒素濃度が低い T i N 膜 1 0 5 を形成した後、N F E T 領域に位置する部分の T i N 膜 1 0 5 及び T i 膜 1 0 4 を除去し、その後、N F E T 領域の上に、膜厚が小さく且つ窒素濃度が高い T i N 膜 1 0 7 を形成する。このため、P F E T 領域では、膜厚が大きく且つ窒素濃度が低いメタル電極を有するゲート電極 1 0 9 A、つまり仕事関数が高いゲート電極 1 0 9 A を形成することができると共に、N F E T 領域では、膜厚が小さく且つ窒素濃度が高いメタル電極を有するゲート電極 1 0 9 B、つまり仕事関数が低いゲート電極 1 0 9 B を形成することができる。

[0058] 従って、High-k/metal ゲート電極構造において各極性の F E T に要求される仕事関数値を実現することができる。

[0059] 尚、本実施形態において、N 型及び P 型の逆極性の複数の F E T にそれぞれ適合するように仕事関数の調整を行ったが、これに代えて、同極性の複数

のFET（例えばメモリ用FETとロジック用FET）にそれぞれ適合するように、TiN膜等の金属窒化膜の膜厚や窒素濃度を微調整することにより仕事関数の調整を行ってもよい。

[0060] また、本実施形態において、NFET領域とPFET領域とで同じ構成の高誘電率ゲート絶縁膜103を形成したが、これに代えて、各FET領域で異なる種類のゲート絶縁膜を形成してもよい。この場合、例えば高誘電率ゲート絶縁膜103を構成するHfSiON層中のHf濃度を調整することにより、さらなる仕事関数の調整を行うことができる。また、高誘電率ゲート絶縁膜103を構成する高誘電率層として、HfSiONに代えて、窒化していないHfSiO層やHfO<sub>2</sub>層を使用してもよい。また、高誘電率ゲート絶縁膜103上に、仕事関数を変化させることができる材料からなる層、例えばLaO層、AlO層、La層、Al層などを極薄（1nm程度）で堆積することにより、さらなる仕事関数の調整を行ってもよい。

[0061] また、本実施形態において、PVD法によりTiN膜105及び107を成膜したが、これに代えて、ALD（atomic layer deposition）法やCVD（chemical vapor deposition）法によりTiN膜105及び107を成膜してもよい。

[0062] また、本実施形態において、各FET領域のゲート電極109A及び109Bを構成する金属窒化膜として、TiN膜105及び107を用いたが、これに代えて、Ta<sub>2</sub>N膜等の他の金属窒化膜を用いてもよい。また、Ti膜104に代えて、TiN膜105に含まれるTiとは異なる金属、例えばTaからなる金属膜を用いてもよい。

[0063] （第2の実施形態）

以下、本発明の第2の実施形態に係る半導体装置及びその製造方法を図面を参照しながら説明する。

[0064] 図2（a）～（h）は、第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

[0065] まず、図2（a）に示すように、半導体基板101に、例えばSTIなど

の素子分離 102 を形成して N F E T 領域と P F E T 領域とを区画した後、各 F E T 領域の半導体基板 101 中に、しきい値電圧 ( $V_t$ ) 調整のための不純物注入及び活性化処理を行い、その後、半導体基板 101 表面の酸化膜 (図示省略) を除去する。続いて、半導体基板 101 上に、例えば厚さ 1.5 nm 程度の熱酸化膜と、例えば厚さ 2.0 nm 程度の H f S i O 膜とを順次堆積した後、当該 H f S i O 膜を窒化することにより、H f S i O N / S i O<sub>2</sub> 構造の高誘電率ゲート絶縁膜 103 を形成する。

[0066] 次に、図 2 (b) に示すように、高誘電率ゲート絶縁膜 103 上に、例えば P V D 法を用いて厚さ 20 nm 程度の T i N 膜 105 を堆積する。

[0067] 本実施形態では、高い仕事関数を得るために T i N 膜 105 の膜厚を比較的大きな数値範囲、例えば 10 nm ~ 30 nm 程度の数値範囲から選択することが好ましい。また、T i N 膜 105 を P V D 法により堆積する際の窒素流量比 (例えば ( $N_2$  流量) / ( $A r$  流量 +  $N_2$  流量)) を比較的低い 40 % 程度に設定することにより、T i N 膜 105 の窒素濃度をできるだけ低くして高い仕事関数を得られるようにすることが好ましい。但し、窒素流量比を 40 % 以下の低流量比に設定した場合には、T i N 膜が堆積されずに T i 膜が堆積される場合があるので、注意が必要である。

[0068] 次に、図 2 (b) に示すように、T i N 膜 105 上に、N F E T 領域に開口部を有するマスクパターン 106 を形成した後、図 2 (c) に示すように、N F E T 領域に位置する部分の T i N 膜 105 を例えばウェットエッチングによって除去し、続いて、マスクパターン 106 を除去する。これにより、N F E T 領域に位置する部分の高誘電率ゲート絶縁膜 103 が露出する。ここで、ウェットエッチング液としては、高誘電率ゲート絶縁膜 103 に対する T i N 膜 105 のエッチング選択比が高く且つ T i N 膜 105 のエッチングレートが比較的小さいエッチング液 (つまりエッチングの制御が容易なエッチング液)、例えば希釈 S P M 液を使用してもよい。

[0069] 次に、図 2 (d) に示すように、N F E T 領域に位置する部分の高誘電率ゲート絶縁膜 103 (つまり高誘電率ゲート絶縁膜 103 の露出部分) の上

を含む半導体基板 101 上の全面に、例えば PVD 法を窒素流量比（例えば  $(N_2 \text{ 流量}) / (Ar \text{ 流量} + N_2 \text{ 流量})$ ）を 80% 程度に設定して用いることによって、厚さ 2 nm 程度の TiN 膜 107 を堆積する。

[0070] 本実施形態では、低い仕事関数を得るために TiN 膜 107 の膜厚を比較的小さい数値範囲、例えば 1 nm ~ 5 nm 程度の数値範囲から選択することが好ましい。また、TiN 膜 107 を PVD 法により堆積する際の窒素流量比を比較的大きい数値範囲、例えば 80% ~ 100% 程度の数値範囲から選択することにより、TiN 膜 107 の窒素濃度をできるだけ高くして低い仕事関数が得られるようにすることが好ましい。

[0071] 次に、図 2 (e) に示すように、TiN 膜 107 上に例えば厚さ 100 nm 程度のポリシリコン膜 108 を堆積した後、図 2 (f) に示すように、ゲートパターンニングを行うことにより、PFET 領域には TiN 膜 105、TiN 膜 107 及びポリシリコン膜 108 からなるゲート電極 109 A を形成すると共に、NFET 領域には TiN 膜 107 及びポリシリコン膜 108 からなるゲート電極 109 B を形成する。このとき、ゲート電極 109 A 及び 109 B のそれぞれの外側に位置する部分の高誘電率ゲート絶縁膜 103 は除去される。

[0072] 次に、図 2 (g) に示すように、ゲート電極 109 A 及び 109 B をマスクとして、半導体基板 101 に不純物注入を行うことにより、PFET 領域に LDD 領域 111 A を形成すると共に、NFET 領域に LDD 領域 111 B を形成する。その後、ゲート電極 109 A 及び 109 B のそれぞれの側面に絶縁性サイドウォールスペーサ 110 を形成する。

[0073] 次に、図 2 (h) に示すように、ゲート電極 109 A 及び 109 B 並びに絶縁性サイドウォールスペーサ 110 をマスクとして、半導体基板 101 に不純物注入を行うことにより、PFET 領域にソース・ドレイン領域 112 A を形成すると共に、NFET 領域にソース・ドレイン領域 112 B を形成する。その後、ソース・ドレイン領域 112 A 及び 112 B 中の不純物を活性化させるための熱処理を行った後、ゲート電極 109 A 及び 109 B 並びに

にソース・ドレイン領域 112A 及び 112B のそれぞれの上に、例えば Ni を含むシリサイド層（図示省略）を形成して、トランジスタ構造を完成させる。

[0074] 本実施形態における最終的なゲート電極構造においては、P F E T 領域のゲート電極 109A を構成する 2 層構造の T i N 膜（T i N 膜 105 及び 107）のトータル膜厚は 22 nm 程度と厚く、当該 2 層構造の T i N 膜の窒素濃度は全体として低いが、これらはいずれも P F E T の仕事関数を増大させるように作用する。具体的には、本実施形態では P F E T の仕事関数を 4.9 e V 程度以上に設定することが可能である。

[0075] 一方、N F E T 領域のゲート電極 109B に含まれる T i N 膜 107 は、比較的高い窒素濃度と 2 nm 程度の薄い膜厚とを持つように形成されているが、これらはいずれも N F E T の仕事関数を低減させるように作用する。具体的には、本実施形態では N F E T の仕事関数を 4.3 e V 程度以下に設定することが可能である。

[0076] 図 3 は、ゲート電極中の T i N 膜の膜厚と仕事関数との相関関係（図中の太線）を、本実施形態、第 1 従来例（比較例 1）及び第 2 従来例（比較例 2）のそれぞれによって得られる仕事関数値と合わせて示している。図 3 の相関関係に示すように、T i N 膜の膜厚を 22 nm 程度に設定することにより、4.85 e V 程度の仕事関数が期待できると共に、T i N 膜の膜厚を 2 nm 程度に設定することにより、4.4 e V 程度の仕事関数が期待できる。さらに、本実施形態で説明したように T i N 膜中の窒素濃度を調整することにより、P F E T では 4.9 e V 程度の仕事関数が得られると共に N F E T では 4.3 e V 程度の仕事関数が得られる（図中の●）。すなわち、デバイスに対して要求される仕事関数は P F E T で約 4.9 e V 程度、N F E T で約 4.3 e V 程度であるので、本実施形態により、いずれの F E T についても、要求される仕事関数を得ることができる。

[0077] それに対して、図 3 の比較例 1（図中の◆）に示すように、T i N 膜の膜厚をそれぞれ 2.5 nm 及び 20 nm に設定しても、対応する仕事関数をそ

れぞれ4.4 eV程度及び4.85 eV程度までしか変化させることができず、いずれも必要とされる仕事関数としては不十分である。また、図3の比較例2（図中の▲）に示すように、T i N膜に対する窒素注入によって仕事関数を調整しようとしても、N F E Tの仕事関数を0.1 eV程度低下させることしかできず、N F E T及びP F E Tの両方について同時に所望の仕事関数を実現することはできない。

[0078] 以上に説明したように、本実施形態によると、半導体基板101におけるP F E T領域及びN F E T領域のそれぞれの上に、膜厚が大きく且つ窒素濃度が低いT i N膜105を形成した後、N F E T領域に位置する部分のT i N膜105を除去し、その後、N F E T領域の上に、膜厚が小さく且つ窒素濃度が高いT i N膜107を形成する。このため、P F E T領域では、膜厚が大きく且つ窒素濃度が低いメタル電極を有するゲート電極109A、つまり仕事関数が高いゲート電極109Aを形成することができると共に、N F E T領域では、膜厚が小さく且つ窒素濃度が高いメタル電極を有するゲート電極109B、つまり仕事関数が低いゲート電極109Bを形成することができる。

[0079] 従って、High-k/metalゲート電極構造において各極性のF E Tに要求される仕事関数値を実現することができる。

[0080] 尚、本実施形態において、N型及びP型の逆極性の複数のF E Tにそれぞれ適合するように仕事関数の調整を行ったが、これに代えて、同極性の複数のF E T（例えばメモリ用F E Tとロジック用F E T）にそれぞれ適合するように、T i N膜等の金属窒化膜の膜厚や窒素濃度を微調整することにより仕事関数の調整を行ってもよい。

[0081] また、本実施形態において、N F E T領域とP F E T領域とで同じ構成の高誘電率ゲート絶縁膜103を形成したが、これに代えて、各F E T領域で異なる種類のゲート絶縁膜を形成してもよい。この場合、例えば高誘電率ゲート絶縁膜103を構成するH f S i O N層中のH f濃度を調整することにより、さらなる仕事関数の調整を行うことができる。また、高誘電率ゲート

絶縁膜 103 を構成する高誘電率層として、HfSiON に代えて、窒化していない HfSiO 層や HfO<sub>2</sub> 層を使用してもよい。また、高誘電率ゲート絶縁膜 103 上に、仕事関数を変化させることができる材料からなる層、例えば LaO 層、AlO 層、La 層、Al 層などを極薄（1 nm 程度）で堆積することにより、さらなる仕事関数の調整を行ってもよい。

[0082] また、本実施形態において、PVD 法により TiN 膜 105 及び 107 を成膜したが、これに代えて、ALD 法や CVD 法により TiN 膜 105 及び 107 を成膜してもよい。

[0083] また、本実施形態において、各 FET 領域のゲート電極 109A 及び 109B を構成する金属窒化膜として、TiN 膜 105 及び 107 を用いたが、これに代えて、Ta<sub>2</sub>N<sub>5</sub> 膜等の他の金属窒化膜を用いてもよい。

### 産業上の利用可能性

[0084] 本発明は、半導体装置及びその製造方法に関し、特に、メタルゲート電極を有するトランジスタ素子の特性改善に有用である。

### 符号の説明

- [0085]
- |           |                |
|-----------|----------------|
| 101       | 半導体基板          |
| 102       | 素子分離           |
| 103       | 高誘電率ゲート絶縁膜     |
| 104       | Ti 膜           |
| 105       | TiN 膜          |
| 106       | マスクパターン        |
| 107       | TiN 膜          |
| 108       | ポリシリコン膜        |
| 109A、109B | ゲート電極          |
| 110       | 絶縁性サイドウォールスペーサ |
| 111A、111B | LDD 領域         |
| 112A、112B | ソース・ドレイン領域     |
| 113       | TiN 膜          |

## 請求の範囲

- [請求項1] 第1導電型のトランジスタが形成される第1の領域と第2導電型のトランジスタが形成される第2の領域とを有する半導体基板の上にゲート絶縁膜を形成する第1の工程と、  
前記ゲート絶縁膜の上に、金属膜及び第1の金属窒化膜を順次堆積する第2の工程と、  
前記金属膜及び前記第1の金属窒化膜のそれぞれにおける前記第2の領域に位置する部分を除去することにより、前記ゲート絶縁膜における前記第2の領域に位置する部分を露出させる第3の工程と、  
前記第3の工程よりも後に、前記ゲート絶縁膜における前記第2の領域に位置する部分の上に、前記第1の金属窒化膜と同じ金属窒化物からなる第2の金属窒化膜を形成する第4の工程とを備えていることを特徴とする半導体装置の製造方法。
- [請求項2] 請求項1に記載の半導体装置の製造方法において、  
前記第1の金属窒化膜は、前記金属膜を構成する金属の窒化物からなることを特徴とする半導体装置の製造方法。
- [請求項3] 請求項1に記載の半導体装置の製造方法において、  
前記第4の工程では、前記ゲート絶縁膜における前記第1の領域に位置する部分の上にも前記第2の金属窒化膜を形成し、  
前記第4の工程よりも後に、前記第1の領域において少なくとも前記第2の金属窒化膜、前記第1の金属窒化膜及び前記金属膜をパターンニングすることにより第1のゲート電極を形成する第5の工程と、  
前記第4の工程よりも後に、前記第2の領域において少なくとも前記第2の金属窒化膜をパターンニングすることにより第2のゲート電極を形成する第6の工程とをさらに備えていることを特徴とする半導体装置の製造方法。
- [請求項4] 請求項3に記載の半導体装置の製造方法において、  
前記第4の工程よりも後で前記第5の工程及び前記第6の工程のそ

れぞれよりも前に、前記第 2 の金属窒化膜の上に導電膜を形成する第 7 の工程をさらに備え、

前記第 5 の工程では、前記導電膜、前記第 2 の金属窒化膜、前記第 1 の金属窒化膜及び前記金属膜をパターンニングすることにより前記第 1 のゲート電極を形成し、

前記第 6 の工程では、前記導電膜及び前記第 2 の金属窒化膜をパターンニングすることにより前記第 2 のゲート電極を形成することを特徴とする半導体装置の製造方法。

[請求項 5] 請求項 4 に記載の半導体装置の製造方法において、

前記第 7 の工程よりも後に、800℃以上の温度で熱処理を行うことにより、前記金属膜を第 3 の金属窒化膜に変化させる第 8 の工程をさらに備えていることを特徴とする半導体装置の製造方法。

[請求項 6] 請求項 5 に記載の半導体装置の製造方法において、

前記第 3 の金属窒化膜の窒素濃度は前記第 1 の金属窒化膜の窒素濃度よりも低いことを特徴とする半導体装置の製造方法。

[請求項 7] 請求項 5 に記載の半導体装置の製造方法において、

前記ゲート絶縁膜は窒素を含有し、

前記第 8 の工程で前記ゲート絶縁膜の窒素濃度が減少することを特徴とする半導体装置の製造方法。

[請求項 8] 第 1 導電型のトランジスタが形成される第 1 の領域と第 2 導電型のトランジスタが形成される第 2 の領域とを有する半導体基板の上にゲート絶縁膜を形成する第 1 の工程と、

前記ゲート絶縁膜の上に第 1 の金属窒化膜を堆積する第 2 の工程と、

前記第 1 の金属窒化膜における前記第 2 の領域に位置する部分を除去することにより、前記ゲート絶縁膜における前記第 2 の領域に位置する部分を露出させる第 3 の工程と、

前記第 3 の工程よりも後に、前記ゲート絶縁膜における前記第 2 の

領域に位置する部分の上に、前記第 1 の金属窒化膜と同じ金属窒化物からなる第 2 の金属窒化膜を形成する第 4 の工程とを備え、

前記第 1 の金属窒化膜の窒素濃度及び膜厚は前記第 2 の金属窒化膜の窒素濃度及び膜厚と異なっていることを特徴とする半導体装置の製造方法。

[請求項9]

請求項 8 に記載の半導体装置の製造方法において、

前記第 4 の工程では、前記ゲート絶縁膜における前記第 1 の領域に位置する部分の上にも前記第 2 の金属窒化膜を形成し、

前記第 4 の工程よりも後に、前記第 1 の領域において少なくとも前記第 2 の金属窒化膜及び前記第 1 の金属窒化膜をパターニングすることにより第 1 のゲート電極を形成する第 5 の工程と、

前記第 4 の工程よりも後に、前記第 2 の領域において少なくとも前記第 2 の金属窒化膜をパターニングすることにより第 2 のゲート電極を形成する第 6 の工程とをさらに備えていることを特徴とする半導体装置の製造方法。

[請求項10]

請求項 9 に記載の半導体装置の製造方法において、

前記第 4 の工程よりも後で前記第 5 の工程及び前記第 6 の工程のそれぞれよりも前に、前記第 2 の金属窒化膜の上に導電膜を形成する第 7 の工程をさらに備え、

前記第 5 の工程では、前記導電膜、前記第 2 の金属窒化膜及び前記第 1 の金属窒化膜をパターニングすることにより前記第 1 のゲート電極を形成し、

前記第 6 の工程では、前記導電膜及び前記第 2 の金属窒化膜をパターニングすることにより前記第 2 のゲート電極を形成することを特徴とする半導体装置の製造方法。

[請求項11]

請求項 1 又は 8 に記載の半導体装置の製造方法において、

前記第 1 の金属窒化膜及び前記第 2 の金属窒化膜はそれぞれ T i N からなることを特徴とする半導体装置の製造方法。

- [請求項12]       請求項 1 又は 8 に記載の半導体装置の製造方法において、  
前記第 2 の金属窒化膜の窒素濃度は前記第 1 の金属窒化膜の窒素濃度よりも高いことを特徴とする半導体装置の製造方法。
- [請求項13]       請求項 1 又は 8 に記載の半導体装置の製造方法において、  
前記第 2 の金属窒化膜の膜厚は前記第 1 の金属窒化膜の膜厚よりも薄いことを特徴とする半導体装置の製造方法。
- [請求項14]       請求項 1 又は 8 に記載の半導体装置の製造方法において、  
前記ゲート絶縁膜は高誘電率絶縁膜を含むことを特徴とする半導体装置の製造方法。
- [請求項15]       請求項 1 又は 8 に記載の半導体装置の製造方法において、  
前記第 1 の金属窒化膜及び前記第 2 の金属窒化膜のそれぞれを P V D 法により堆積することを特徴とする半導体装置の製造方法。
- [請求項16]       請求項 1 5 に記載の半導体装置の製造方法において、  
前記第 1 の金属窒化膜及び前記第 2 の金属窒化膜のそれぞれを、総ガス流量に対する窒素ガス流量の比を変えて堆積することを特徴とする半導体装置の製造方法。
- [請求項17]       請求項 1 又は 8 に記載の半導体装置の製造方法において、  
前記第 1 導電型のトランジスタは P c h トランジスタであり、  
前記第 2 導電型のトランジスタは N c h トランジスタであることを特徴とする半導体装置の製造方法。
- [請求項18]       請求項 1 又は 8 に記載の半導体装置の製造方法において、  
前記第 1 導電型のトランジスタ及び前記第 2 導電型のトランジスタのそれぞれは同一の導電型のトランジスタであることを特徴とする半導体装置の製造方法。
- [請求項19]       半導体基板における第 1 の領域の上に形成された第 1 のゲート絶縁膜と、  
前記第 1 のゲート絶縁膜の上に形成された第 1 のゲート電極とを備え、

前記第 1 のゲート電極は、第 1 の金属窒化膜と、前記第 1 の金属窒化膜の上に形成され且つ前記第 1 の金属窒化膜と同じ金属窒化物からなる第 2 の金属窒化膜とを少なくとも有し、

前記第 1 の金属窒化膜の窒素濃度及び膜厚は前記第 2 の金属窒化膜の窒素濃度及び膜厚と異なっていることを特徴とする半導体装置。

[請求項20]

請求項 19 に記載の半導体装置において、

前記第 1 のゲート電極は、前記第 2 の金属窒化膜の上に形成された導電膜をさらに有していることを特徴とする半導体装置。

[請求項21]

請求項 19 に記載の半導体装置において、

前記第 1 のゲート電極は、前記第 1 の金属窒化膜の下に形成され且つ前記第 1 の金属窒化膜よりも窒素濃度が低い第 3 の金属窒化膜をさらに有していることを特徴とする半導体装置。

[請求項22]

請求項 21 に記載の半導体装置において、

前記第 1 のゲート電極は、前記第 3 の金属窒化膜の下に形成された金属膜をさらに有していることを特徴とする半導体装置。

[請求項23]

請求項 19 に記載の半導体装置において、

前記第 1 の金属窒化膜及び前記第 2 の金属窒化膜はそれぞれ TiN からなることを特徴とする半導体装置。

[請求項24]

請求項 19 に記載の半導体装置において、

前記第 2 の金属窒化膜の窒素濃度は前記第 1 の金属窒化膜の窒素濃度よりも高いことを特徴とする半導体装置。

[請求項25]

請求項 19 に記載の半導体装置において、

前記第 2 の金属窒化膜の膜厚は前記第 1 の金属窒化膜の膜厚よりも薄いことを特徴とする半導体装置。

[請求項26]

請求項 19 ～ 25 のいずれか 1 項に記載の半導体装置において、

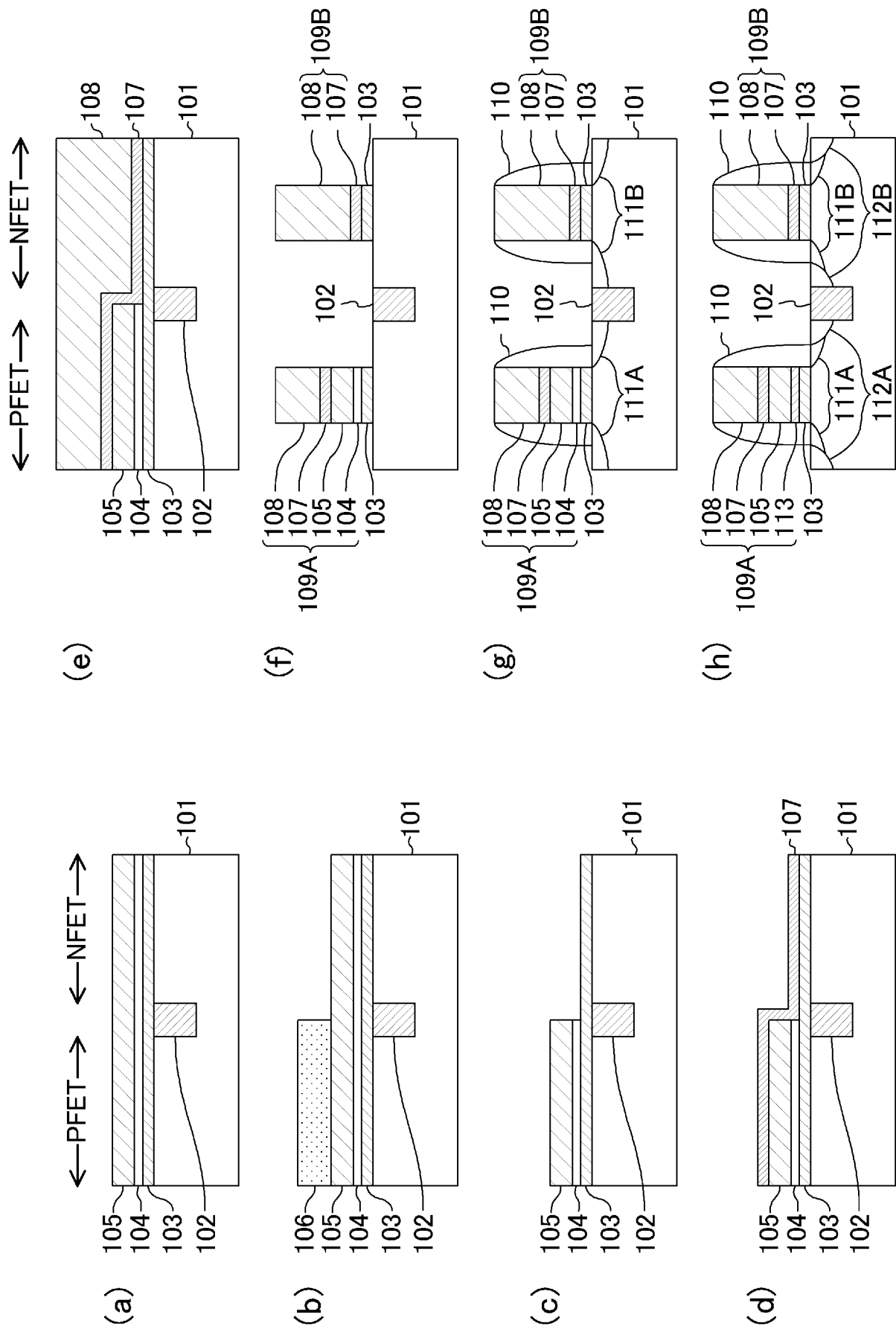
前記半導体基板における第 2 の領域の上に形成された第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜の上に形成された第 2 のゲート電極とをさ

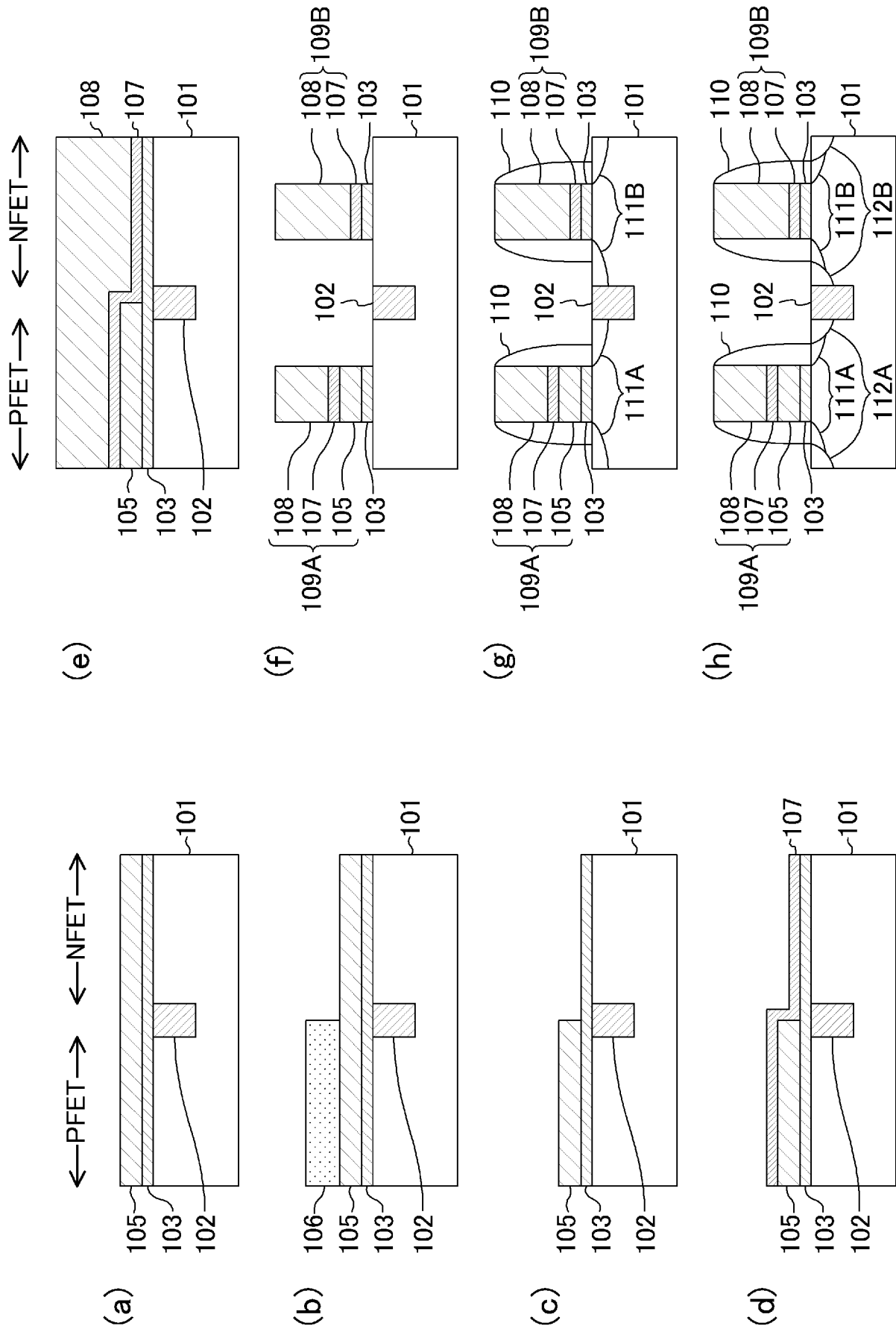
らに備え、

前記第 2 のゲート電極は、前記第 2 の金属窒化膜を少なくとも有していることを特徴とする半導体装置。

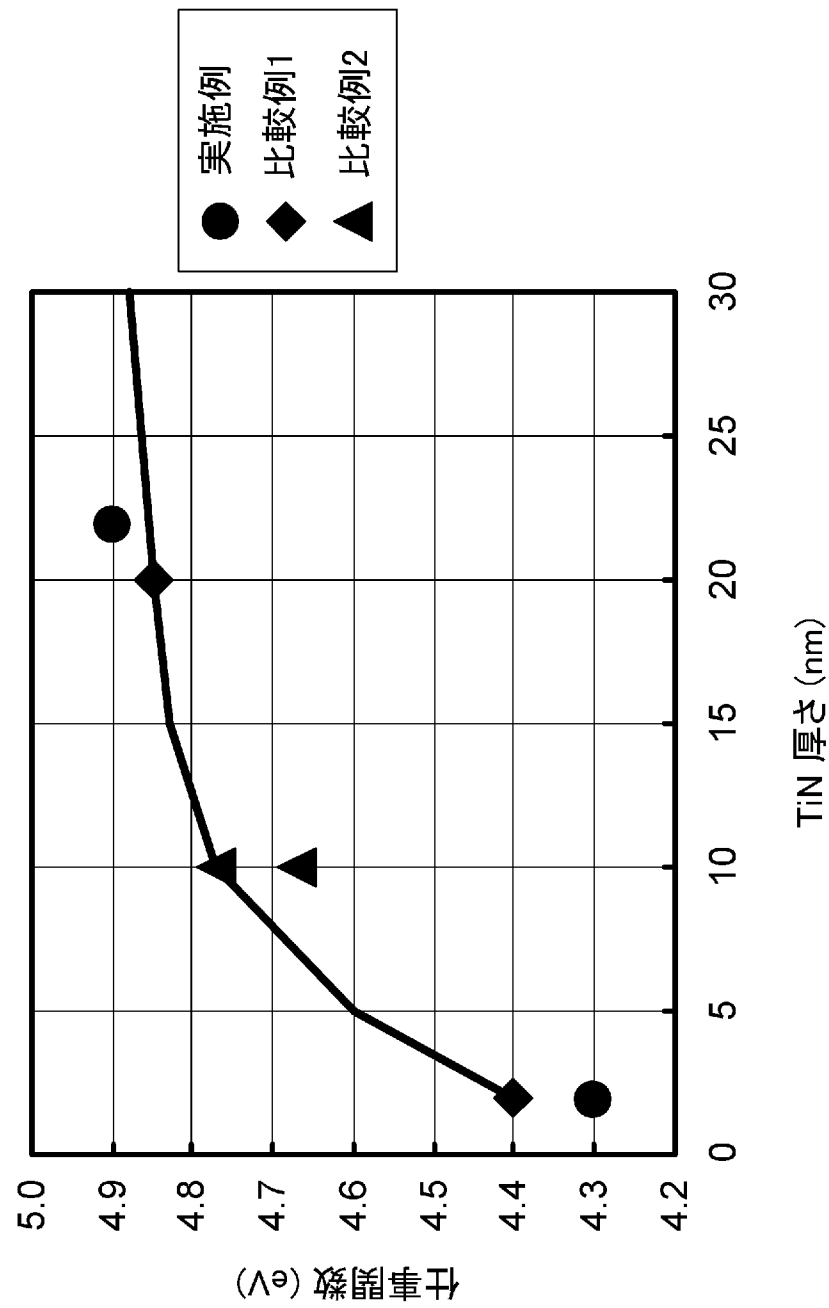
[図1]



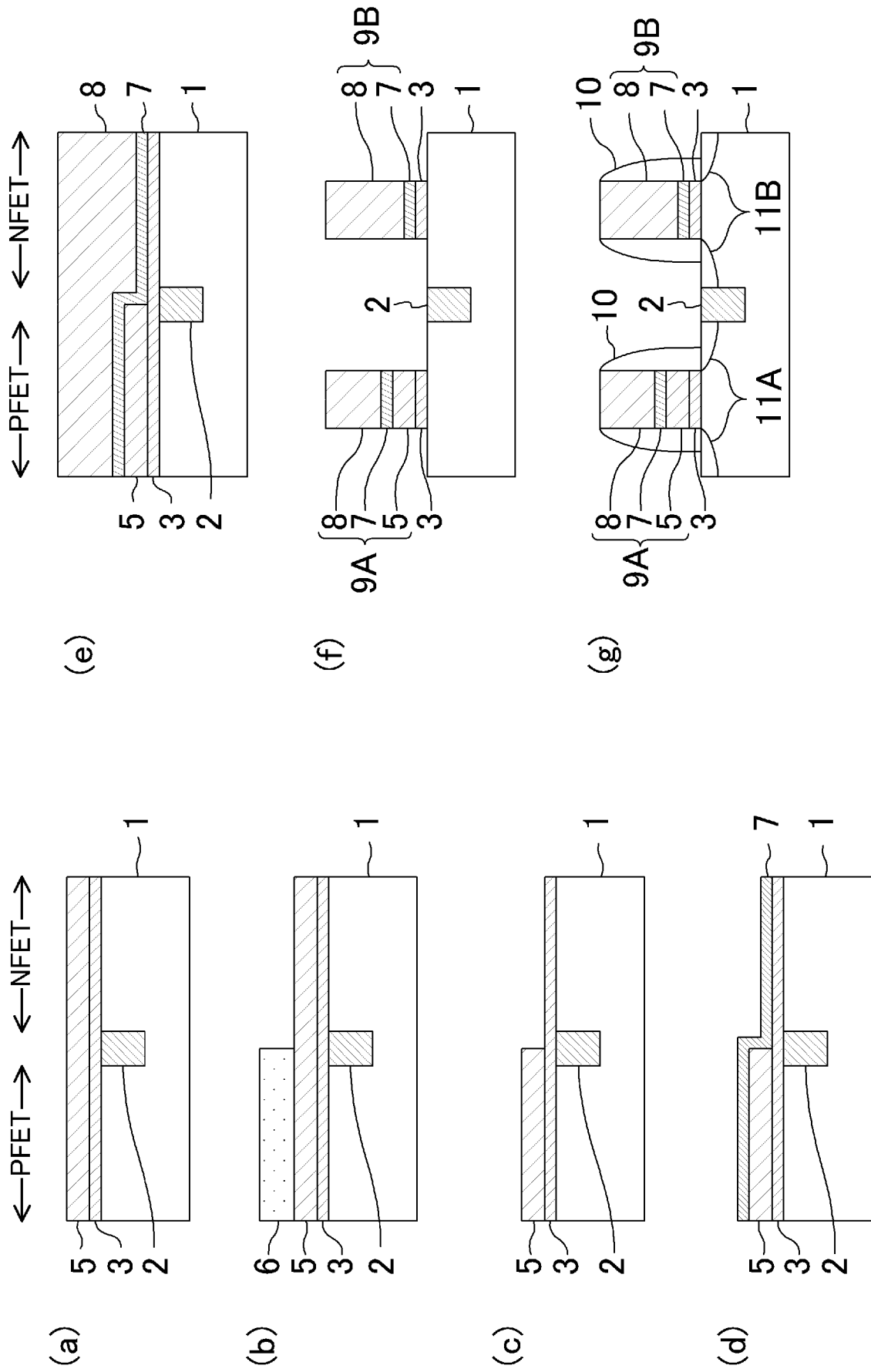
[図2]



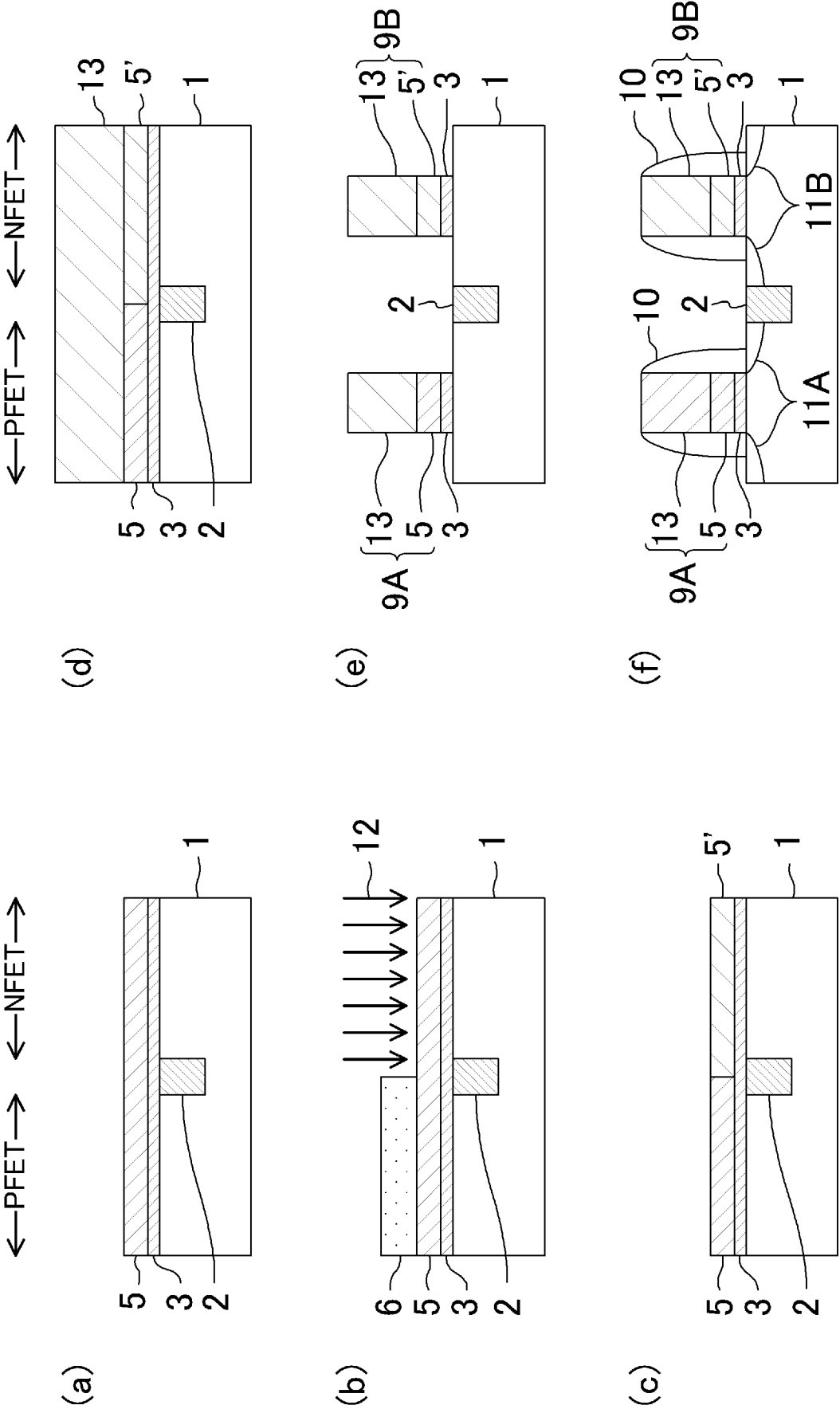
[図3]



[図4]



[図5]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/007345

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8238(2006.01)i, H01L21/28(2006.01)i, H01L21/8234(2006.01)i,  
H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i,  
H01L29/49(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238, H01L21/28, H01L21/8234, H01L27/088, H01L27/092, H01L29/423,  
H01L29/49, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2010 |
| Kokai Jitsuyo Shinan Koho | 1971-2010 | Toroku Jitsuyo Shinan Koho | 1994-2010 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>A    | JP 2008-53283 A (Matsushita Electric Industrial Co., Ltd.),<br>06 March 2008 (06.03.2008),<br>entire text; all drawings<br>& US 2008/0050870 A1<br>entire text; all drawings<br>& EP 1892759 A2                   | 19-26<br>1-18         |
| Y<br>A    | JP 2008-219006 A (Samsung Electronics Co., Ltd.),<br>18 September 2008 (18.09.2008),<br>entire text; all drawings<br>& US 2008/0203488 A1<br>entire text; all drawings<br>& KR 10-2008-0079940 A & CN 101257023 A | 8-26<br>1-7           |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
15 March, 2010 (15.03.10)

Date of mailing of the international search report  
30 March, 2010 (30.03.10)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/007345

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                     | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y<br>A    | JP 2007-142153 A (Tokyo Electron Ltd.),<br>07 June 2007 (07.06.2007),<br>entire text; all drawings<br>& US 2007/0126062 A1<br>entire text; all drawings                                                | 8-26<br>1-7           |
| Y<br>A    | JP 2001-203276 A (NEC Corp.),<br>27 July 2001 (27.07.2001),<br>fig. 5<br>& US 2001/0015463 A1<br>fig. 4<br>& US 6916695 B2 & KR 10-2001-0076304 A                                                      | 16<br>1-7             |
| Y<br>A    | JP 2006-41339 A (Fujitsu Ltd.),<br>09 February 2006 (09.02.2006),<br>entire text; all drawings<br>(Family: none)                                                                                       | 18<br>1-7             |
| A         | JP 2009-94227 A (Fujitsu Ltd.),<br>30 April 2009 (30.04.2009),<br>entire text; all drawings<br>(Family: none)                                                                                          | 1-26                  |
| A         | JP 2009-44051 A (Panasonic Corp.),<br>26 February 2009 (26.02.2009),<br>entire text; all drawings<br>& US 2009/0039437 A1<br>entire text; all drawings                                                 | 1-26                  |
| A         | JP 2007-110091 A (Infineon Technologies AG.),<br>26 April 2007 (26.04.2007),<br>entire text; all drawings<br>& US 2007/0052036 A1<br>entire text; all drawings<br>& US 2007/0052037 A1 & EP 1760777 A2 | 1-26                  |
| A         | JP 2006-295123 A (Fujitsu Ltd.),<br>26 October 2006 (26.10.2006),<br>entire text; all drawings<br>& US 2006/0208318 A1<br>entire text; all drawings                                                    | 1-26                  |
| A         | JP 2006-165090 A (Semiconductor Technology<br>Academic Research Center),<br>22 June 2006 (22.06.2006),<br>entire text; all drawings<br>(Family: none)                                                  | 1-26                  |

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/8238(2006.01)i, H01L21/28(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i,  
H01L27/092(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/8238, H01L21/28, H01L21/8234, H01L27/088, H01L27/092, H01L29/423, H01L29/49, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 0 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 0 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 0 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                         | 関連する<br>請求項の番号 |
|-----------------|---------------------------------------------------------------------------------------------------------------------------|----------------|
| X<br>A          | JP 2008-53283 A (松下電器産業株式会社) 2008.03.06, 全文, 全図<br>& US 2008/0050870 A1, 全文, 全図 & EP 1892759 A2                           | 19-26<br>1-18  |
| Y<br>A          | JP 2008-219006 A (三星電子株式会社) 2008.09.18, 全文, 全図 & US<br>2008/0203488 A1, 全文, 全図 & KR 10-2008-0079940 A & CN 101257023<br>A | 8-26<br>1-7    |
| Y<br>A          | JP 2007-142153 A (東京エレクトロン株式会社) 2007.06.07, 全文,<br>全図 & US 2007/0126062 A1, 全文, 全図                                        | 8-26<br>1-7    |

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 3 . 2 0 1 0

国際調査報告の発送日

3 0 . 0 3 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

4 L

3 1 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

| C (続き) . 関連すると認められる文献 |                                                                                                                                        |                |
|-----------------------|----------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                      | 関連する<br>請求項の番号 |
| Y<br>A                | JP 2001-203276 A (日本電気株式会社) 2001. 07. 27, 第 5 図 & US 2001/0015463 A1, 第 4 図 & US 6916695 B2 & KR 10-2001-0076304 A                     | 16<br>1-7      |
| Y<br>A                | JP 2006-41339 A (富士通株式会社) 2006. 02. 09, 全文, 全図 (ファミリーなし)                                                                               | 18<br>1-7      |
| A                     | JP 2009-94227 A (富士通株式会社) 2009. 04. 30, 全文, 全図 (ファミリーなし)                                                                               | 1-26           |
| A                     | JP 2009-44051 A (パナソニック株式会社) 2009. 02. 26, 全文, 全図 & US 2009/0039437 A1, 全文, 全図                                                         | 1-26           |
| A                     | JP 2007-110091 A (インフィネオン テクノロジーズ アクチエンゲゼルシャフト) 2007. 04. 26, 全文, 全図 & US 2007/0052036 A1, 全文, 全図 & US 2007/0052037 A1 & EP 1760777 A2 | 1-26           |
| A                     | JP 2006-295123 A (富士通株式会社) 2006. 10. 26, 全文, 全図 & US 2006/0208318 A1, 全文, 全図                                                           | 1-26           |
| A                     | JP 2006-165090 A (株式会社半導体理工学研究センター) 2006. 06. 22, 全文, 全図 (ファミリーなし)                                                                     | 1-26           |