

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5923658号
(P5923658)

(45) 発行日 平成28年5月24日(2016.5.24)

(24) 登録日 平成28年4月22日(2016.4.22)

(51) Int.CI.

H02M 7/48 (2007.01)

F 1

H02M 7/48

P

請求項の数 20 (全 20 頁)

(21) 出願番号 特願2015-503359 (P2015-503359)
 (86) (22) 出願日 平成25年3月18日 (2013.3.18)
 (65) 公表番号 特表2015-514385 (P2015-514385A)
 (43) 公表日 平成27年5月18日 (2015.5.18)
 (86) 國際出願番号 PCT/US2013/032772
 (87) 國際公開番号 WO2013/148390
 (87) 國際公開日 平成25年10月3日 (2013.10.3)
 審査請求日 平成27年6月24日 (2015.6.24)
 (31) 優先権主張番号 13/431,521
 (32) 優先日 平成24年3月27日 (2012.3.27)
 (33) 優先権主張国 米国(US)

早期審査対象出願

(73) 特許権者 592053963
 エム ケー エス インストルメンツ イ
 ンコーポレーテッド
 M K S I N S T R U M E N T S, I N C
 O R P O R A T E D
 アメリカ合衆国マサチューセッツ州018
 10, アンドーバー, テック・ドライブ
 2, スイート 201
 (74) 代理人 100104215
 弁理士 大森 純一
 (74) 代理人 100198575
 弁理士 高橋 满
 (74) 代理人 100117330
 弁理士 折居 章

最終頁に続く

(54) 【発明の名称】工業用誘電体バリア放電発生器用途向けの多目的ゼロ電圧スイッチ共振インバータ

(57) 【特許請求の範囲】

【請求項 1】

インバータ段と、

前記インバータ段の出力を受けて、少なくとも1つの誘電体バリア放電セルに電力を供給するための信号を出力する共振タンクと、

前記インバータ段にソフトスイッチングのための位相シフトを含むスイッチング信号を供給するゲートドライバ、及び

パルス幅変調(PWM)を行うためにスイッチング周波数のデューティサイクルを調整するための第1の信号を受信するように構成された第1の入力及び周波数変調(FM)を行うためにPWMコントローラのクロック周波数時定数を調整するための第2の信号を受信するように構成された第2の入力を有する、前記ゲートドライバに対する前記スイッチング周波数を生成するための前記PWMコントローラ

を含む制御回路と

を具備する誘電体バリア放電の電力系統であって、

前記制御回路は、前記インバータ段から出力電流を含むフィードバック信号を受信し、前記フィードバック信号を用いて前記第1の信号及び前記第2の信号を生成する

誘電体バリア放電の電力系統。

【請求項 2】

請求項1に記載の誘電体バリア放電の電力系統であって、

前記インバータ段は、フルブリッジとして配置された4つのトランジスタを含む

10

20

誘電体バリア放電の電力系統。

【請求項 3】

請求項 2 に記載の誘電体バリア放電の電力系統であって、

前記 4 つのトランジスタは、絶縁ゲートバイポーラトランジスタ (IGBT) である
誘電体バリア放電の電力系統。

【請求項 4】

請求項 1 に記載の誘電体バリア放電の電力系統であって、

前記共振タンクからの前記少なくとも 1 つの誘電体バリア放電セルに電力を供給するための信号を増幅させる変圧器をさらに含む
誘電体バリア放電の電力系統。

10

【請求項 5】

請求項 1 に記載の誘電体バリア放電の電力系統であって、

前記スイッチング周波数は、20 kHz 以上 40 kHz 以下の範囲にある
誘電体バリア放電の電力系統。

【請求項 6】

請求項 1 に記載の誘電体バリア放電の電力系統であって、

前記スイッチング周波数は、前記共振タンクの共振周波数より高くなるように構成される
誘電体バリア放電の電力系統。

20

【請求項 7】

請求項 1 に記載の誘電体バリア放電の電力系統であって、

前記フィードバック信号は、前記インバータ段の出力で電流センサから受信した測定電流信号を含む
誘電体バリア放電の電力系統。

【請求項 8】

請求項 7 に記載の誘電体バリア放電の電力系統であって、

全負荷状態において、前記測定電流信号を電流設定点の値と比較し、比較結果のエラー値から、前記スイッチング周波数の前記デューティサイクルを調整して前記測定電流信号が前記電流設定点の値に達するまで前記 PWM を行うための前記第 1 の信号を生成し、さらに、前記比較結果の前記エラー値から、前記クロック周波数時定数を調整して前記 FM を行うための前記第 2 の信号を生成し、
前記制御回路は、前記誘電体バリア放電の電力系統が全負荷状態から軽負荷状態で動作する際に、電力変化を制御するために前記 PWM 及び前記 FM に重みが与えられるように構成される
誘電体バリア放電の電力系統。

30

【請求項 9】

請求項 7 に記載の誘電体バリア放電の電力系統であって、

前記制御回路は、前記第 1 の信号及び前記第 2 の信号を生成するための電流制御ループを含み、前記電流制御ループは、前記インバータ段の出力で感知された前記測定電流信号及び電流設定点を利用する
誘電体バリア放電の電力系統。

40

【請求項 10】

請求項 9 に記載の誘電体バリア放電の電力系統であって、

前記電流制御ループは、

前記測定電流信号及び前記電流設定点を受信し、前記第 1 の信号を出力する誤差増幅補償器と、
前記第 1 の信号を受信し、前記第 2 の信号を出力する反転増幅器と

を含む
誘電体バリア放電の電力系統。

【請求項 11】

50

請求項 9 に記載の誘電体バリア放電の電力系統であって、
前記電流制御ループは

前記測定電流信号及び前記電流設定点を受信し、前記第 1 の信号を出力する誤差増幅補償器と、

前記測定電流信号の追加信号及び前記電流設定点を受信し、前記第 2 の信号を出力する反転増幅器と

を含む

誘電体バリア放電の電力系統。

【請求項 1 2】

請求項 9 に記載の誘電体バリア放電の電力系統であって、

10

前記フィードバック信号は、前記インバータ段に供給された測定直流バス電圧と前記インバータ段に供給された測定直流バス電流との積である入力電力信号をさらに含み、

前記電流制御ループは、

前記測定電流信号及び前記電流設定点を受信し、前記第 1 の信号を出力する誤差増幅補償器と、

前記入力電力信号を受信し、前記第 2 の信号を出力する反転増幅器と
を含む

誘電体バリア放電の電力系統。

【請求項 1 3】

請求項 9 に記載の誘電体バリア放電の電力系統であって、

20

前記フィードバック信号は、測定直流出力電圧と前記測定電流信号との積である出力電力信号をさらに含み、

前記電流制御ループは、

前記測定電流信号及び前記電流設定点を受信し、前記第 1 の信号を出力する誤差増幅補償器と、

前記出力電力信号を受信し、前記第 2 の信号を出力する反転増幅器と
誘電体バリア放電の電力系統。

【請求項 1 4】

請求項 9 に記載の誘電体バリア放電の電力系統であって、

電力フィードバック信号を供給するためにスケーリングされて乗算される、前記インバータ段に供給された直流バス電圧及び電流の測定値を受信し、

30

前記電力フィードバック信号を電力設定点に加算し、

前記電流制御ループに対して前記電流設定点を出力するために、前記電力フィードバック信号及び前記電力設定点を用いてデジタル誤差補償を行う

プロセッサをさらに含む

誘電体バリア放電の電力系統。

【請求項 1 5】

誘電体バリア放電を生成する方法であって、

インバータ段及び少なくとも 1 つの誘電体バリア放電セルに電力を供給するための共振タンクを提供し、

40

前記インバータ段に対して、制御回路を利用してソフトスイッチングのための位相シフトを含むスイッチング信号を生成し、電流設定点の値において前記インバータ段の出力電流を維持するために前記スイッチング信号のスイッチング周波数のパルス幅変調（P W M）を行い、前記 P W M と並行して、軽負荷状態では出力電力を減少させるために前記スイッチング信号のスイッチング周波数を増加させる周波数変調（F M）を行う

誘電体バリア放電生成方法。

【請求項 1 6】

請求項 1 5 に記載の誘電体バリア放電生成方法であって、

前記スイッチング信号は、20 k H z 以上 40 k H z 以下の範囲にある周波数を有する誘電体バリア放電生成方法。

50

【請求項 17】

請求項 15 に記載の誘電体バリア放電生成方法であって、

前記 PWM を行う工程は、

前記スイッチング周波数のデューティサイクルを調整して PWM を行うための第 1 の信号を受信するように構成された第 1 の入力及び PWM コントローラのクロック周波数時定数を調整して FM を行うための第 2 の信号を受信するように構成された第 2 の入力を有する、ゲートドライバに対して前記スイッチング周波数を生成するための前記 PWM コントローラを提供し、

前記インバータ段の出力電流を感知し

誤差増幅補償により前記出力電流を電流設定点と比較し、

10

前記誤差増幅補償を前記第 1 の信号として利用する

誘電体バリア放電生成方法。

【請求項 18】

請求項 17 に記載の誘電体バリア放電生成方法であって、

前記 FM を行う工程は、

前記第 2 の信号を出力する反転増幅器を用いて前記誤差増幅補償を反転させる
誘電体バリア放電生成方法。

【請求項 19】

請求項 18 に記載の誘電体バリア放電生成方法であって、

前記 FM を行う工程は、さらに

20

前記反転増幅器のゲインを調整する

誘電体バリア放電生成方法。

【請求項 20】

請求項 17 に記載の誘電体バリア放電生成方法であって、さらに

電力フィードバック信号を供給するためにスケーリングされて乗算される、前記インバータ段に供給された直流バス電圧の測定値、及び電力フィードバック信号を供給するためにスケーリングされて乗算される、前記インバータ段に供給された直流バス電流の測定値を受信し、

前記電力フィードバック信号を電力設定点に加算し、

前記電流設定点を出力するために、前記電力フィードバック信号及び前記電力設定点を用いてデジタル誤差補償を行う

30

誘電体バリア放電生成方法。

【発明の詳細な説明】**【技術分野】****【0001】**

オゾンは、半導体ウェハ及び半導体処理機器における処理チャンバの洗浄、半導体ウェハ上における絶縁膜の生成、並びに水、食物、及び他の消耗品や工業製品の殺菌等、多くの工業用途及び半導体処理用途に使用されている。

【背景技術】**【0002】**

オゾンを生成する 1 つの技術として、高電圧の交流電力を印加することにより高純度の酸素に放電を行う誘電体バリア放電という技術がある。放電により酸素分子が破壊され、酸素は原子の状態になる。酸素原子が再結合することにより、オゾン (O_3) と酸素 (O_2) の混合物を生成することができる。この技術において、生成されるオゾンの濃度は、オゾン生成システムの出力電力に比例して増減する。出力電力を増加させるとオゾンの濃度も増加するが、性能や信頼性の高さを見込んで出力電力を設定しても、多くの場合、それに必要なスペースの確保が難しい。

【先行技術文献】**【特許文献】****【0003】**

40

50

【特許文献 1】米国特許出願公開第 2007 / 0205727 号明細書

【特許文献 2】国際公開第 2007 / 035216 号パンフレット

【特許文献 3】特開 2003 - 230280 号公報

【特許文献 4】特開 2005 - 123008 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

オゾン発生器のための電力系統及び電力制御技術、並びに他の誘電体バリア放電システムを提供する。

【課題を解決するための手段】

10

【0005】

諸実施形態によれば、従来のハードスイッチングトポロジーの代わりに並列共振トポロジーを用いる二重共振インバータ電力段を有し、あらゆる動作において低負荷でも優れたダイナミックレンジ及び安定性を実現するためのパルス幅変調（P W M）及び周波数変調（F M）制御方式を利用する電力系統が提供される。

【0006】

一実施形態に係る電力系統は、1つまたは複数の誘電体バリア放電セルに最終的に高電圧の交流信号を供給する共振タンク・変圧器に信号を供給するインバータ段と、上記インバータ段にスイッチング信号を供給するフィードバック制御回路とを含む。上記インバータ段は、上記フィードバック制御回路を介して、位相シフトゼロ電圧スイッチ（Z V S）及びP W M・F M制御方式により作動するフルブリッジでもよい。

20

【0007】

本発明の一側面によれば、上記電力系統及び電力制御技術により、オゾンを生成するために必要な出力電力より低い電力から全出力電力までの範囲の電力で動作できるとともに、出力電力を増加させることができになる。一実施形態では、電力系統の最大出力の約1%から全出力（注：5%オゾン濃度の5 kWシステムの最大出力電力は、250W以下である）の範囲の電力で動作できるとともに、20 kHz以上40 kHz以下の範囲で動作するシステムの出力電力は、5 kWから10 kWに増加する。具体的な実施形態によれば、5 kWの電力を出力可能なパワートレインを利用して、10 kWの出力電力が実現される。

30

【0008】

本発明のさらなる側面では、上記電力系統及び電力制御技術は、既存のシステムのサイズを増加させることなく達成される。一実施形態では、上記電力系統は、従来の非共振電力コンバータと比較して狭いスペースに適合する。

【0009】

「課題を解決するための手段」は、下記の「発明を実施するための形態」の中でさらに説明する概念の選択を簡潔に導入するために与えられる。「課題を解決するための手段」は、請求項に記載された主題の主要な特徴又は必須の特徴を特定することを意図していないし、請求項に記載された主題の範囲を限定するために使用されることも意図していない。

40

【図面の簡単な説明】

【0010】

【図1A】本発明の一実施形態に係る誘電体バリア放電器の電力段を示す基本図である。

【図1B】ソフトスイッチング方式による一連のプロットと、本発明の一実施形態に係る電力段の出力結果とを示す図である。

【図2A】オゾンセルスタックの等価電気モデルを示す図である。

【図2B】本発明の一実施形態に係る電力系統により高電圧の交流電力信号を供給できる、オゾンを生成するための誘電体バリア放電セルを示す図である。

【図3】本発明の一実施形態に係る共振インバータの電力段を有する単一のパワートレインを示す模式図である。

50

【図4】本発明の一実施形態に係る誘電体バリア放電器の電力系統のブロック図である。

【図5A】本技術の第1の実施形態に係るPWM・FM電流ループ制御方式を示す基本ブロック図である。

【図5B】本技術の第1の実施形態に係る電力ループを有するシステムレベル制御方式を示す基本ブロック図である。

【図6A】図5Aに示す本発明の諸実施形態に係るPWM・FM電流制御方式の模式図である。

【図6B】図5Aに示す本発明の諸実施形態に係るPWM・FM電流制御方式の模式図である。

【図7】本発明の第2の実施形態に係るPWM・FM電流ループ制御方式の基本ブロック図である。 10

【図8】本発明の第3の実施形態に係るPWM・FM電流ループ制御方式の基本ブロック図である。

【図9】本発明の第4の実施形態に係るPWM・FM電流ループ制御方式の基本ブロック図である。

【図10】本発明の一実施形態に係るPWM・FM制御によるZVS共振インバータ電流ループのシミュレーション図である。

【図11A】一実施形態に係るZVS共振インバータの低負荷条件におけるシミュレーションプロット及びスコープ波形を示す図である。

【図11B】一実施形態に係るZVS共振インバータの低負荷条件におけるシミュレーションプロット及びスコープ波形を示す図である。 20

【図11C】一実施形態に係るZVS共振インバータの低負荷条件におけるシミュレーションプロット及びスコープ波形を示す図である。

【図11D】一実施形態に係るZVS共振インバータの低負荷条件におけるシミュレーションプロット及びスコープ波形を示す図である。

【図12A】一実施形態に係るZVS共振インバータの低負荷条件におけるシミュレーションプロット及びスコープ波形を示す図である。

【図12B】一実施形態に係るZVS共振インバータの低負荷条件におけるシミュレーションプロット及びスコープ波形を示す図である。

【図12C】一実施形態に係るZVS共振インバータの低負荷条件におけるシミュレーションプロット及びスコープ波形を示す図である。 30

【図12D】一実施形態に係るZVS共振インバータの低負荷条件におけるシミュレーションプロット及びスコープ波形を示す図である。

【発明を実施するための形態】

【0011】

本明細書に開示されている技術及び回路によれば、オゾン発生器を含む誘電体バリア放電器の制御及び電力出力を改善することができる。

【0012】

本発明の一実施形態によれば、オゾンを生成するために必要な出力電力より低い電力から全出力電力までの範囲の電力で動作できるとともに、出力電力を増加させることができ可能な電力系統及び電力制御技術が提供される。本発明の具体的な実施形態によれば、電力系統における20kHz以上40kHz以下の周波数範囲及び10kWの出力電力が提供される。出力電力は、10kWの1%以下の低さまで制御される。具体的な実施形態によれば、5kWの電力を出力可能な2つのパワートレインを使用して、10kWの出力電力を実現することができる。 40

【0013】

図1Aは、本発明の一実施形態に係る誘電体バリア放電器の電力段を示す基本図である。図1Aに示す電力段において、4つのスイッチ121、122、123、及び124がフルブリッジとして配置され、取り込まれた直流バス電圧入力(Vbus)を、共振インダクタLr105及びオゾンセルスタック110によって表される並列共振タンクネット 50

ワークを通して正弦波形に変換する。スイッチ(121、122、123、及び124)としては、適切なスイッチであればどのようなスイッチを用いてもよい。例えば、バイポーラ接合トランジスタ(BJT s)、絶縁ゲートバイポーラトランジスタ(IGBT s)、並びに金属酸化膜半導体電界効果トランジスタ(MOSFET s)及び高電子移動度トランジスタ(HEMT s)等の電界効果トランジスタ(FET s)を用いることができるが、これに限られない。

【0014】

共振タンク(インダクタ105単独、又はインダクタ105と負荷110のコンデンサ111との組み合わせにより提供される)は、フルブリッジの電源から交流電圧を受け、制御された振幅の高電圧正弦波の形で誘電体バリア放電セル110に共振(又は実質的に共振の)交流電圧を供給する。信号を所望のレベルまで増幅させるために、変圧器(図示せず)を含めてもよい。変圧器による効果は、 V_{out} を V_{out}/N (Nは巻線比を示す)として表すことにより、単純化した構成に含めてもよい。

10

【0015】

誘電体バリア放電器のセル(又は負荷)110は、並列コンデンサ111及びレジスタ112により構成される。コンデンサ111はセル110の一部として示されているが、構成されたコンデンサ111の容量は、セル独自の容量に加えて、個別の容量を含んでもよい。

【0016】

図2Aは、オゾンを生成する前の出力に必要な電圧を説明するためのオゾンセルスタッフの電気回路構成を示す図である。特に、オゾンを生成する誘電体バリア放電セルを構成する際に、電圧クランプD o 2 1 3(図1Aの基本図には示さず)を、レジスタ212(図1Aのレジスタ112と同様に構成される)と直列に含んでもよい。オゾンの濃度は出力電力に比例して増減するため、レジスタ212と電圧クランプ213とを並列に配置してオゾンセルを構成してもよい(例えば、図3に示すレジスタ312及び電圧クランプ313も参照)。動作時には、出力電圧が、レジスタR o 2 1 2における電力の消耗として表される、クランプの電圧よりも大きい一定の電圧に達した場合に、オゾンを生成することができる。出力電圧がクランプの電圧(D o)よりも小さい場合、R o 2 1 2は電流を流して電力消費を行うことができず、オゾンは生成されない。

20

【0017】

出力容量C o(図1Aのコンデンサ111として構成される)は、 $C_o = C_{d0} * C_{d1} / (C_{d0} + C_{d1})$ として与えられる。 C_{d0} は直列に配置された電圧クランプ213及びレジスタ212と並列なコンデンサ211であり、 C_{d1} は接地されたコンデンサ214である。

30

【0018】

図2Bは、本明細書に記載されている電力段の構成を利用して高電圧の交流電力を供給する誘電体バリア放電セルの1種を示す図である。図2Bに示すように、セル200は、交流電力201が印加されると第1の誘電体バリアフィルム203から間隙204を通って第2の電極205に放電202を生成する第1の電極(図示せず)を含んでもよい。また、第2の誘電体バリアフィルム(図示せず)を任意に第2の電極205上に配置してもよい。水を利用して電荷を第2の電極205から地面に運んでもよい。具体的な実施形態では、第1の誘電体バリアフィルム203はアルミナ酸化物(Al_2O_3)により構成され、第2の電極205はタンゲステンにより構成される。

40

【0019】

オゾン生成の用途のために、間隙を通過する酸素(O_2)を放電により原子に分解する。これにより、酸素原子が再結合し、オゾン(O_3)及び酸素(O_2)の生成が可能になる。

【0020】

図3は、本発明の一実施形態に係る共振インバータの電力段を有する单一のパワートレインを示す模式図である。パワートレインは、本発明の一実施形態に係るオゾン発生器を

50

構成するのに利用できる誘電体バリア放電セルの電子モデルを組み込んでいる。図3に示すように、電力段インバータ320のスイッチは、IGBTs(321、322、323、及び324)を利用して実装され、フルブリッジとして配列され、取り込まれた直流バス電圧入力(Vbus)を、並列共振タンクネットワークを通して(共振タンク330、変圧器340、及びオゾンセルスタック310を介して)正弦波形に変換する。IGBTsは図3に示す実施形態について記載されているが、この実施形態に限られず、他の適切なトランジスタを使用してもよいことが理解されよう。

【0021】

共振タンク330は、電力段320のフルブリッジのIGBT及び高電圧変圧器340を駆動回路、共振インダクタLr325(変圧器漏れインダクタンスを含むことができる)、高電圧増幅変圧器Xfm340(磁化インダクタンスLm341を有する)、及びオゾン負荷セルスタック310(容量Co311、インピーダンスRo312、及びクランプ電圧Do313を有する)内の非対称性による故障から保護するために、ブロッキングコンデンサCb331を含んでもよい。5kWの単一のパワートレインにより、変圧器の出力電圧は、最大出力の負荷動作において約30kHzのスイッチング周波数(fsw)で約8kV(pk-pk)まで増加させることができる。共振タンクの周波数fresは

【数1】

$$f_{res} = \frac{1}{2 * \pi * \sqrt{Lr * Co * N^2}}$$

で与えられる。Nは変圧器の巻線比である。Cb >> Co * N²、Lm >> Lr、及び線質係数Qが1より大きくなる。

【数2】

$$Q = \frac{Ro}{N^2 \sqrt{[Lr/(Co * N^2)]}}$$

で定義される場合、図1Aに示す単純化した構成が有効となる。諸実施形態では、共振タンクの電流の再循環(エネルギー損失)を抑制するために、Qが3未満になるように選択される。このモデルの構成要素は、分析を簡単にするために高次波を(基本波のために)無視しているが、(第1次波のために)理想化されていることが理解されよう。

【0022】

図示はしないが、構成要素の性能の最適化又は改善のために(ただし、これに限られない)、別の回路を誘電体バリア放電の電力システムに含めてもよい。例えば、電力段共振タンクの回路内において、電力段の性能を劣化させる形でfresに影響を及ぼし得る構成要素の公差に変動があってもよい。これにより、ある実施形態では、共振周波数fresよりもわずかに高い周波数(40kHz以下)から始まるインバータ出力共振タンクの曲線を追跡することにより動作する同調回路を含むことができる。この追跡は、所望の入力電力に達したときに停止する。この種の回路は、ピーク電力点検索回路と呼ぶことができる。この回路を利用して、電力段の個別のインバータに確実に最大電力を出力させることができる。このような回路の例示的な実施形態は、米国特許出願番号第2007/0108040号に記載されており、その全体が本明細書に参照として組み込まれる。このような自動自己同調設計により、インバータ電力段の構成要素の公差、スイッチング周波数の変動、温度変動、オゾンセルスタックの老朽化に対処する上で有利な点がもたらされる。

【0023】

図1Aを再び参照すると、制御信号Aは第1のスイッチ121を駆動し、制御信号Bは第2のスイッチ122を駆動し、制御信号Cは第3のスイッチ123を駆動し、制御信号

10

20

30

40

50

Dは第4のスイッチ124を駆動する。動作時には、制御信号A及びDを利用して、正弦波の下部レールのためにそれぞれ第1のスイッチ121及び第4のスイッチ124をオンにする。また、制御信号B及びCを利用して、正弦波の上部レールのためにそれぞれ第2のスイッチ122及び第3のスイッチ123をオンにする。単純化したタイミング図を図1Bに示す。図1Bは、本発明の一実施形態に係るゼロ電圧スイッチ(ZVS)スイッチング方式と、出力応答の結果とを示す図である。ZVSスイッチング方式は、ソフトスイッチング技術である。ソフトスイッチング技術では、共振技術を利用してゼロ電圧でスイッチをオンにし、ゼロ電流でスイッチをオフにする。この装置におけるスイッチングの損失は、無視できるほど小さい。

【0024】

10

図1Bに示すように、制御信号に位相シフトを組み込むことにより、全てのスイッチをオフにすることにより生じる出力電圧におけるリングングを最小化することができる。制御信号A及びD並びに制御信号B及びCに使用される位相シフト量は、このシステムの機能であり、本電力段が使用される特定のシステムにおけるリングングを抑制するのに適切な位相シフトであればどのようなものでもよい。

【0025】

本発明の様々な実施形態によれば、電力段の制御信号A、B、C、及びDは、パルス幅変調(PWM)方式と周波数変調(FM)制御方式との組み合わせにより、位相シフトZVSのために生成される。

【0026】

20

図4は、本発明の一実施形態に係る誘電体バリア放電器の電力系統のブロック図である。図4を参照すると、電力段410は、高電圧の交流電力を負荷420に供給するために、直流バス電圧 V_{DC} を交流信号に変換する。諸実施形態では、電力段410及び負荷420は、図1A及び/又は図3に示すように配置される。生成された電力段の制御信号A、B、C、及びDは、フィードバックループの一部を形成する制御回路430により制御される。制御回路430は、PWM・FM制御方式の位相シフトZVSを含んでもよい。諸実施形態では、電力段の制御信号のための信号生成器は、位相調節及び周波数変動が可能なPWMチップである。ある実施形態では、位相、デューティサイクル、及び周波数の制御を可能にする回路又はチップを利用してもよいことは言うまでもない。回路又はチップへの1または複数の入力により、少なくともデューティサイクル及び出力信号の周波数を調整することができる。制御信号A、B、C、及びDのパルス幅は、制御回路430のPWMフィードバック制御方式により制御される。また、制御信号A、B、C、及びDの周波数は、制御回路430のFMフィードバック制御方式により制御される。本発明の諸実施形態において、PWM・FMフィードバック制御方式は、電流ループ制御方式として実施される。出力電流は電力段の出力で感知され、電力段に提供された信号のパルス幅及び周波数を制御するのに利用される。

30

【0027】

一実施形態によれば、FM制御方式にPWM制御方式を組み込むことで、PWMのみを基にした制御方式の低負荷ハードスイッチングの発生が抑制される。ハードスイッチングは、インバータが出力する電圧のパルス幅が低負荷で大幅に減少することにより生じる。これにより、共振インダクタの電流も大幅に減少する。したがって、半導体電力装置は、共振インダクタに十分なエネルギーが蓄積されていなければ、ソフトスイッチングを維持することができない。

40

【0028】

ハードスイッチングにおいて、接合容量に蓄積されたエネルギーは、スイッチがオンになる度にトランジスタに放出される。したがって、ハードスイッチングは電力喪失、電圧/電流スパイク、及び電磁干渉(EMI)の問題を生じる。本明細書に記載のソフトスイッチングトポロジーとPWM・FM制御方式との組み合わせにより、冷却システムを追加する必要性が少なくなる。例えば、上述のように、PWMのみを利用してスイッチング信号を制御すると、低負荷でハードスイッチングが生じることがある。対照的に、本発明の

50

実施形態に係る PWM・FM 制御方式は、すべての負荷（全負荷及び低負荷）においてソフトスイッチングを可能にする。

【0029】

「低負荷」条件は、特定のシステムに依存し、全負荷の約 5 % 程度であると一般的に理解される。実際には、低負荷に対する特定の百分率は、依然としてオゾンを生成することができるものである。本開示の実施例に示すように、本発明の実施形態では、全負荷の 5 % 未満でも動作し、オゾンが生成されていなくても機能することができる。

【0030】

動作時は、PWM・FM 制御方式により、低負荷における周波数を増加させ、既に減少しているパルス幅を無視することできる。動作中において、PWM・FM 制御方式は並列 10 に動作するが、PWM 及び FM に与えられた重量は、負荷条件が変わると変動する。これにより、ダイナミックレンジ性能が改善する。例えば、通常動作時（全負荷を含む）において、デューティサイクルを利用して、オゾン出力電力を制御する。一方、低負荷において、スイッチング周波数を増加させて電力をさらに低減する。また、諸実施形態では、電力系統の電力段はソフトスイッチ（例えば、ゼロ電圧スイッチ）により最大出力電力のゼロ % まで下げるよう構成されるので、電力系統の信頼性を改善することができる。

【0031】

図 5 A は、一実施形態に係る電流ループ制御方式のブロック図である。図 5 A は、全電流ループ制御方式のための各ゲインの転送機能ブロックを提供する。機能ブロックには、プリアンプゲインブロック 501、電流ループ補償ゲインブロック 502、PWM ゲインブロック 503、FM ゲインブロック 504、共振タンク & 負荷ゲインブロック 505、及びフィードバックゲインブロック 506 が含まれる。

【0032】

一実施形態によれば、電流ループにおける各ゲインブロックの式は以下のように表される。

「プリアンプゲインブロック」：

【数 3】

$$G_{pre}(s) = G_{pre_{DC}} * 1/(s/2 * \pi * fp\alpha + 1)$$

電流ループ「補償ゲインブロック」：

【数 4】

$$G_{comp}(s) = G_{comp_{DC}} * (s + 2 * \pi * fz) / [s * (s/2 * \pi * fp\beta + 1)]$$

「共振タンク & 負荷ゲインブロック」：

$$H(s) * G_{out}(s) = G_{pwr}(s)$$

例えば、

【数 5】

$$G_{pwr}(s) = \omega_o^2 / [s^2 + (1/Q) * \omega_o * s + \omega_o^2]$$

ただし、

【数 6】

$$\omega_o = 1 / \sqrt{(Lr * Co * N^2)}$$

である。

電流「フィードバックゲインブロック」：

【数 7】

$$G_{fbk}(s) = G_{fbk_{DC}} * 1/(s/2 * \pi * fp\chi + 1)$$

PWM ゲインブロック及び FM ゲインブロックについて、K_pwm = K_fm = 定数である

10

20

30

40

50

る。

【0033】

図5Aを参照すると、電流設定値(*I set*)に対して、一定の値が与えられる。諸実施形態では、これは、プロセッサ(図5Bに関しては下記参照)を利用して達成される。また、インバータの電力段(図4の410参照。また、図5Aには共振タンク&負荷ゲインブロック505が含まれる)からの実電流(*I out*)出力は、電流センサにより測定することができ、フィードバックゲインブロック506を通してフィードバックループに入力することができる。*I set*(対応するプリアンプゲインブロック501によりプリアンプ段を介して増幅してもよい)及びフィードバックゲインブロック506から出力された電流(*I f b k*)は、典型的なゲインブロック502により電流ループ補償器で付加される。そして、位相シフトPWM・FM制御回路又はチップ(対応するPWMゲインブロック503及びFMゲインブロック504を有する)は、このゲイン段の出力を利用して、電力段のゲートドライバ(図6A及び図6B参照)のためにスイッチング周波数(*F sw*)を生成する。フィードバックループは、出力電流を*I set*値と等しいレベルに維持するように動作する。
10

【0034】

低負荷の場合、電流ループ補償ゲインブロック503からの出力をを利用して、PWMチップのクロックの周波数時定数を変化させる。*F sw*は時定数に反比例するため、これにより、周波数調節を行うことができる。したがって、線上の電力が低下すると、周波数調節制御により周波数が下げられ、電力を適切なレベルに維持することが可能となる。
20

【0035】

図5Aに示す電流ループ図は、アナログ制御方式を示す。図5Bに示すような他の実施形態では、図5Aに示すアナログ制御方式の代わりに又は加えて、デジタル制御方式を利用することができる。図5Bは、ZVS共振インバータのための制御方式の電力ループ及び内部電流ループを有するシステムレベル図である。電流ループ部分は、図5Aに関して説明したものと同様に機能する。一実施形態によれば、電力ループはデジタル制御方式を利用して、プロセッサを用いて実施される。プロセッサは、低コストのマイクロプロセッサ(μP)又はデジタル信号プロセッサ(DSP)でもよいが、これに限られない。プロセッサの一部又は独立した構成要素として、メモリを含めてよい。動作時において、プロセッサは、電力設定値(*P set*)を供給する。また、直流バス電圧(図4の*V DC*又は図1及び3に示す*V bus*)及び直流バス電流(図1及び3の*I bus*を参照)を用いて実際の入力電力が測定され、2つの直流入力源(*Kvb(s)508a*及び*Kib(s)508b*)からのゲインでスケーリングされ、入力電力ゲインブロックのために乗算される。スケーリングされて乗算された直流入力源の積は、電力フィードバック信号(*P f b k*)となる。電力設定値*P set*及び電力フィードバック*P f b k*が加算されて、デジタル電力ループ補償器(PID)に供給される。PIDの出力は、図5Aに関して説明した電流設定値*I set*である。
30

【0036】

図5Aと同様に、図5Bは、全電力ループ(内部電流ループを含む)制御方式のための各ゲインの転送機能ブロックを示す。一実施形態によれば、電流ループにおける各ゲインブロックの式は、図5Aに対して与えられたものと同様に表現することができる。電力ループのための各ゲインブロックの式は以下のとおりである。
40

「デジタル電力ループ補償ゲインブロック」：

【数8】

$$PID(z) = Kp + Ki/(1 - z^{-1}) + Kd * (1 - z^{-1})$$

ただし、

【数9】

$$z = e^{s/Fclk}; Fclk = \mu P_Clock$$

(「*F c l k*」はプロセッサからのクロックの周波数)
である。

入力電力ゲインブロックに対して、電力フィードバックバス電圧「*V bus*」ゲインブロックは、

【数10】

$$Kvb(s) = Kvb_{DC} * 1/(s/2 * \pi * fp\phi + 1)$$

で表され、電力フィードバックバス電流「*I bus*」ゲインブロックは、
【数11】

$$Kib(s) = Kib_{DC} * 1/(s/2 * \pi * fp\phi + 1)$$

10

で表される。

【0037】

モデルの構成要素は、分析を簡単にするために高次波を（基本波のために）無視しているが、（第1次波のために）理想化されていることが理解されよう。

【0038】

他の実施形態では、入力電力を制御する（及び図5Bに示す電力ループを利用する）代わりに、出力負荷電力制御を利用してよい。例えば、出力オゾン電圧及びインバータ段の出力で感知されたインバータ電流を制御ループの一部として用いることができる。オゾンセルは複雑なインピーダンスとして作用し、電流と電圧の両方が中程度の周波数であるため、電流及び電圧の積をリアルタイムで求めるために、帯域幅、スルーレート、サンプリング時間、及び他の因子が必要である。

20

【0039】

さらに別の実施形態では、図5Bに示す電流ループは、オゾン濃度に基づいて閉じることができる。例えば、オゾンセルにおけるオゾン濃度は濃度変換器により測定することができ、その出力を利用して電力ループを閉じることができる。

【0040】

図6A及び6Bは、図5Aについて説明した制御方式による電流ループ回路の2つの実施例を示す。図6A及び6Bに示すように、インバータ段の出力における電流は、電流センサ601により測定され、*I set*とともに電流ループエラーアンプ補償器602に（*I f b k*として）供給される。一実施形態では、図6Aに示すように、*I set*は電流ループエラーアンプ補償器602の正入力端への入力として供給され、*I f b k*は、電流ループエラーアンプ補償器602の負入力端への入力として供給される。他の実施形態では、図6Bに示すように、*I set*と*I f b k*とは、電流ループエラーアンプ補償器602の負入力端へ供給されるように合計される。電流ループエラーアンプ補償器602の出力は、位相シフトPWMコントローラ603に対してデューティサイクルコマンドを供給し、位相シフトPWMコントローラ603がゲートドライバ604に対するスイッチング周波数*F sw*を生成するのを可能にする。スイッチング周波数は、電流ループエラーアンプ補償器602の出力を受け取り信号を位相シフトPWMコントローラ603に出力する反転増幅器605を介して調節された周波数でもよい。反転増幅器605の出力は、PWMクロックの周波数時定数を変化させ、周波数の調節を可能にする。

30

【0041】

ゲートドライバ604は、図1A-1B（スイッチ121、122、123、及び124）及び図3（電力段320のスイッチ321、322、323、及び324）に関して説明したようなフルブリッジのインバータ段のために制御信号A、B、C、及びDを生成する。

【0042】

PWMコントローラ603に接続されたキャパシタ*C t*及びレジスタ*R t*は、反転増幅器605からの電流補償信号によって調整される最初の固定周波数を供給する。図6A及び6Bに示すような反転増幅器の構成において、オペアンプを使用して、デューティサイ

40

50

クル（パルス幅）を制御するのに使用される複数の（又はわずかな）信号により周波数調節を制御するために使用される信号を調整することができる。別の実施形態では、FM制御のための増幅器のゲインは、変数ゲイン増幅器を用いて変更することができる。このゲインは、プロセッサによって送信されたゲイン制御信号を用いて制御してもよい。一実施形態では、システムにおいて一定の条件が満たされた場合に、プロセッサに関連するメモリに保存された規定の変更を加えてもよい。他の実施形態では、ゲイン調整のユーザコントロールを可能にするためにユーザインターフェースを含んでもよい。ユーザインターフェースはプロセッサに接続して、通信させてもよい。また、ユーザインターフェースは、（例えば図6AのR4又は図6BのR4を調整できる）電位差計を介して抵抗の手動調整を含んでもよい。

10

【0043】

図7～9は、本発明のいくつかの実施形態に係る電流ループの構成を示す。例えば、図7を参照すると、第2の実施形態に係る電流ループ制御方式は、図5Aに示す方式と同様の方式である。しかし、電力段のゲートドライバ（図6A及び6Bの604参照）のためのスイッチング周波数（Fsw）を生成するための位相シフトPWM・FMコントローラで使用されている補償ゲインブロック702段の出力の代わりに、FMゲインブロック704段は、Iset（対応するプリアンプゲインブロック701を有するプリアンプ段を介して増幅してもよい）及び電流ループ補償器と並行してフィードバックゲインブロック706から出力された電流（Ifbk）を受け取る。

20

【0044】

図8に示す実施形態では、FMゲインブロック804段は、図5A又は図7に関して説明したIset電流及びフィードバックゲインブロック806からのフィードバック電流の代わりに周波数を制御するための入力電力を使用する。例えば、直流バス電圧（図4のV_{DC}又は図1及び3に示すVbus）及び直流バス電流（図1及び3のIbusを参照）は、2つの直流入力源（Kvb(s)808a及びKib(s)808b）からのゲインによりスケーリングされ、乗算された後、FMゲインブロック804を通して入力される。

20

【0045】

図9に示す実施形態では、FMゲインブロック904段は、図8に関して説明した入力電力の代わりに周波数を制御するための出力電力を使用する。

30

【0046】

諸実施形態では、図5Bに関して説明した電力ループ部分は、図7～9に示す電流ループの1つにより構成することができる。

【0047】

諸実施形態では、有利なことに、スペースを取り他の冷却技術を必要とする電気回路や保護キャパシタを追加する必要なく、電力を維持しながら電力線変動を受け入れるための基準を満たすことができる。特に、周波数変調制御により、電力線上の負荷による変動は、スイッチを駆動する周波数及び線上の電力を維持する能力を変動させる。本PWM・FM制御方式により満たすことができる基準の例は、SEMI F47規格「半導体プロセス装置電圧サゲイミュニティのための仕様」である。これは、半導体プロセス、計測、及び自動試験機器で使用されるツールは阻害なしに作動しなければならないという電圧サグライドスルーポート（又は閾値）を規定する。

40

【0048】

本電力システム及び電力制御技術の実施形態は、従来のシステムのサイズを増加させることなく実施することができる。様々な実施形態では、本電力システムは、従来と同等又はそれ以上の出力電力及び制御を可能にしながら、従来の非常駐電力コンバータより狭いスペースにも適合可能である。

【0049】

本発明及び多くの利点は、例として示される下記の実施例によりさらに明らかになる。下記の実施例は、本発明の方法、応用、実施形態、変形を例示する。これらは本発明

50

を限定するものとは見なされることは言うまでもない。本発明について、多くの変更及び修正が可能である。

【0050】

PSpice (登録商標) 回路シミュレータツール (ケイデンス・デザイン・システムズ社 (Cadence Design Systems, Inc.) の登録商標) を使用して、本発明の一実施形態にしたがって設計された誘電体バリア放電器のシミュレーションを行った。

【0051】

実施例では、10 kWの二重オゾン電力トレイン (電力トレイン1つにつき5 kW) のための PSpice (登録商標) によるシミュレーション結果を実験結果と比較して、本システム及び本発明の機能性を示した。図10は、本発明の一実施形態に係る多目的ZVS共振インバータ電流ループデザインの PSpice (登録商標) によるシミュレーションのために用いた PSpice (登録商標) 概略図である。図10は図6Bの実施形態と同様のものを示し、フィードバック電流及び電流設定点 I_{set} が合計された後、補償器に入力される。また、電流は、コモンモードノイズを避けるために差動増幅器を用いて計測される。共振タンク及びオゾンセルのシミュレーションは、図1Aに関して説明したインダクタ(105)、キャパシタ(111)、及びレジスタ(112)の構成を用いて行う。

【0052】

シミュレーションを行うために、入力 V_{bus} 電圧をローラインからハイライン (200 ~ 350 V_{DC}) に変化させ、 I_{set} を0.5以上3.0以下の V_{DC} (0.5% ~ 110%負荷) で電圧源を用いて変更した。これら2つの条件は、期待される動作範囲をカバーする。

【0053】

(実施例1 - 低負荷)

低負荷での電流ループに対するシミュレーション結果を図11A ~ 11Cに示し、低負荷での電流ループに対する実験結果を図11Dに示す。図11Aは、 V_{bus} が350Vに設定され、低負荷条件が (5 kWシステムの最大出力の5%オゾン濃度の250W以下の出力電力低負荷条件と比較して) 25W未満の出力負荷電力を表していることを示す。図11Bは、インバータ段の出力電圧 (V_{inv}) 及び電流 (I_{inv}) のプロットを示す。図11Cは、電力段の出力電圧 (V_{out}) 及び電流 (I_{out}) (すなわち、オゾンセルに供給される電圧及び電流) のプロットを示す。図11Dは、 $V_{bus} = 300V$ 、 $I_{bus} = 0.8A$ 、 $P_{in} = 240W$ である実験システムのためのインバータ段の出力電圧 V_{inv} 及び電流 I_{inv} のスコープ波形を示す。図11Cに示すように、また、図11Dに示す波形から確認されるように、PWM・FM制御により、低負荷でもソフトスイッチングが可能になる。なお、シミュレーション波形は0.5%の I_{set} であったが、実験はオゾン生成のためのプロセスの制限により5%以下の I_{set} で実施したので、シミュレーション結果及び実験結果の波形のプロットのスケールは同一ではない。

【0054】

(実施例2 - 全負荷)

全負荷における電流ループのシミュレーション結果を図12A ~ 12Cに示し、110%の全負荷における電流ループの実験結果を図12Dに示す。図12Aは、 V_{bus} が350Vに設定され、全負荷条件が約5.5 kWの出力負荷電力 (単一段) を表すことを示す。図12Bは、インバータ段の出力電圧 (V_{inv}) 及び電流 (I_{inv}) のプロットを示す。図12Cは、電力段出力電圧 (V_{out}) 及び電流 (I_{out}) (すなわち、オゾンセルに供給される電圧及び電流) のプロットを示す。図12Dは、 $V_{bus} = 300V$ 、 $I_{bus} = 18.3A$ 、 $P_{in} = 5.5kW$ 以下である実験システムのためのインバータ段の出力電圧 V_{inv} 及び電流 I_{inv} のスコープ波形を示す。図12Cに示すように、また、図12Dに示す波形から確認されるように、PWM・FM制御により、ソフトスイッチング及び出力電力の増加が可能になる。

【0055】

10

20

30

40

50

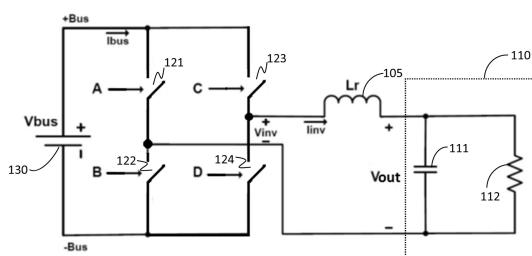
本明細書における「一実施形態」、「実施形態」、「例示的実施形態」、「第2の実施形態」等の参照は、参考された実施形態に関して記載された特定の機能、構造、又は特徴が、本発明の少なくとも1つの実施形態に含まれることを意味する。本明細書のどこでこれらフレーズが出てきても、同一の実施形態を参考するとは限らない。また、本明細書に記載の発明や実施形態のあらゆる要素又は制限を、他の要素又は制限（個別に、又はあらゆる組み合わせにより）と組み合わせることができる。本明細書に記載の別の発明又は実施形態、及びこののような組み合わせの全ては、その制限なしに本発明の範囲に含まれることが期待される。

【0056】

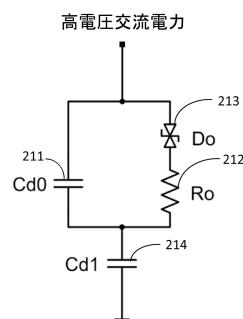
本明細書に記載の実施例及び実施形態は、例示だけを目的とし、それに照らしてその種々の変形又は変更が当業者に示唆され、本願の精神及び範囲に含まれることが理解されよう。

10

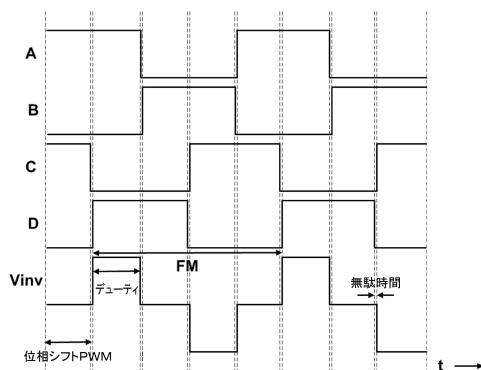
【図1A】



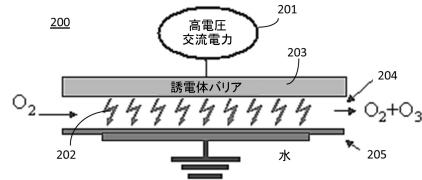
【図2A】



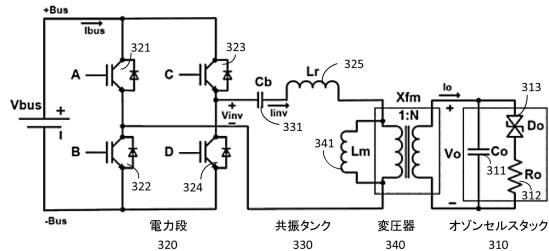
【図1B】



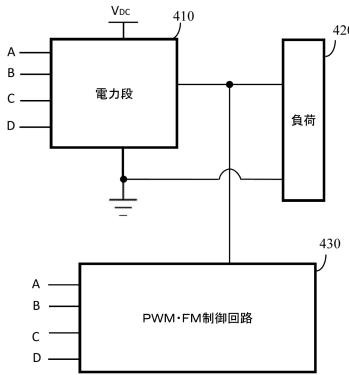
【図2B】



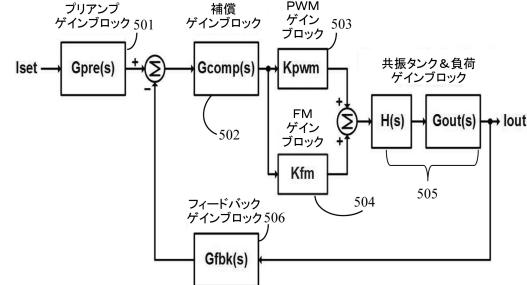
【図3】



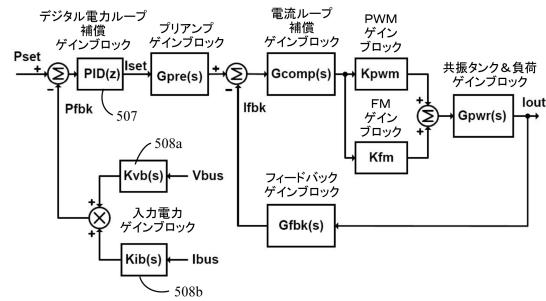
【図4】



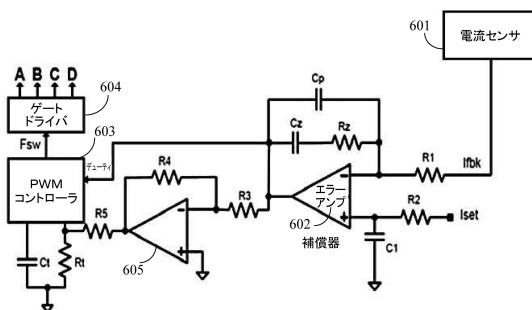
【図5 A】



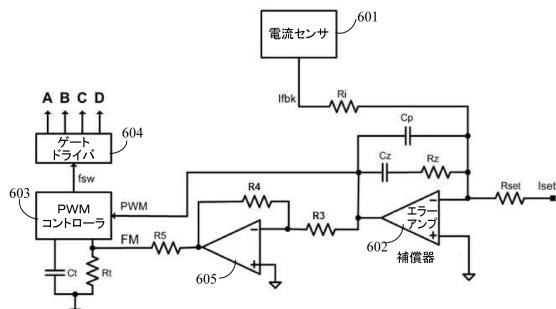
【図5 B】



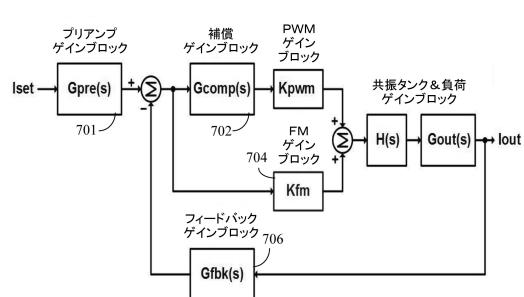
【図6 A】



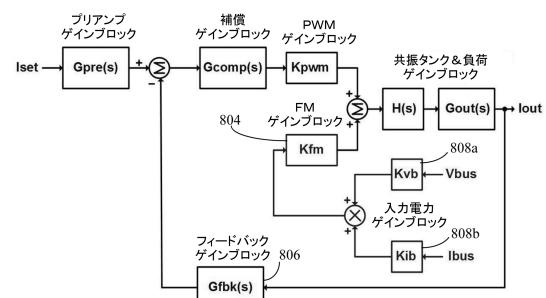
【図6 B】



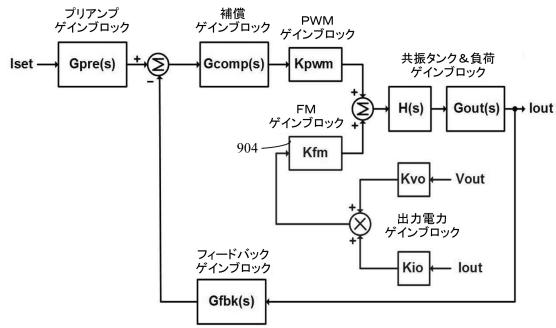
【図7】



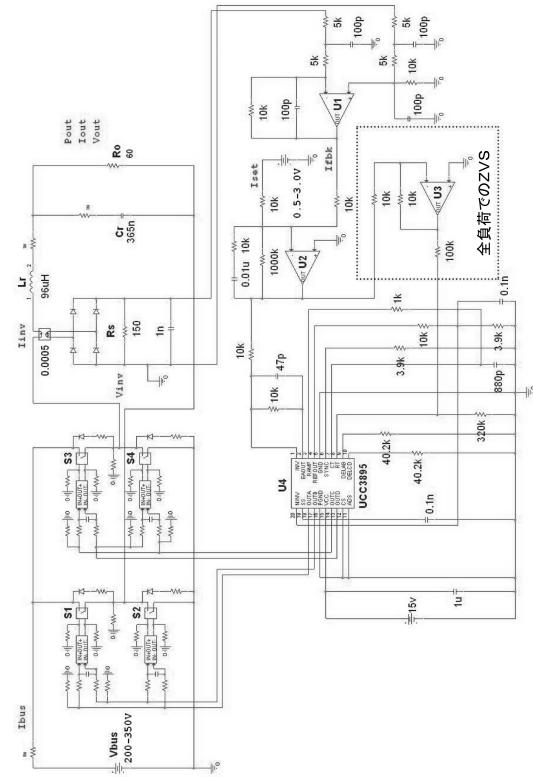
【図8】



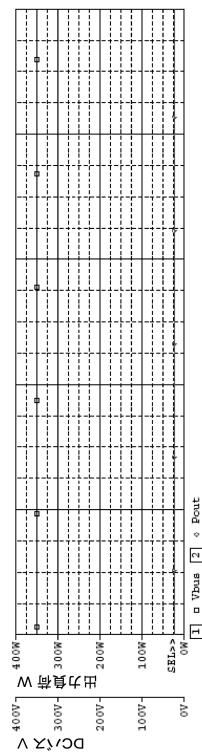
【図9】



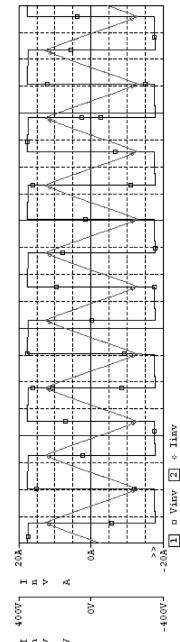
【図10】



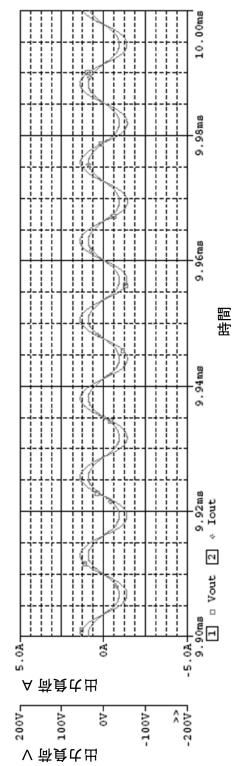
【図11A】



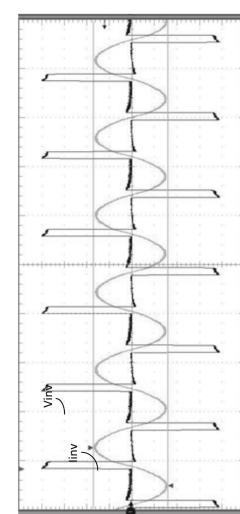
【図11B】



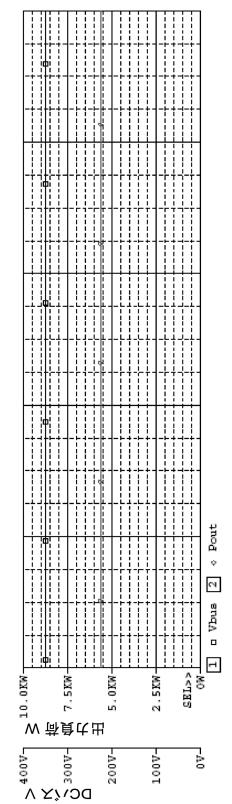
【図11C】



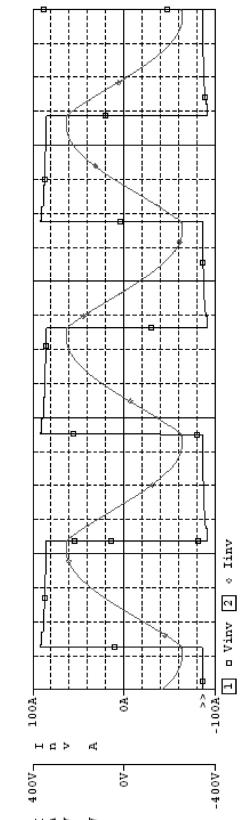
【図11D】



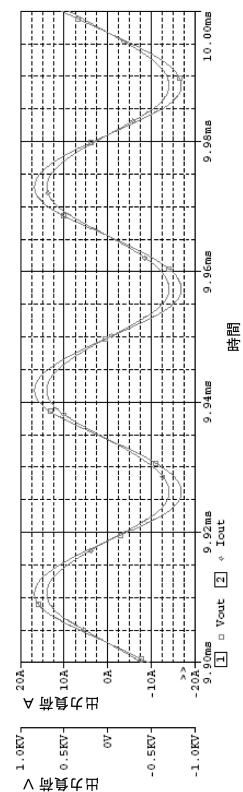
【図12A】



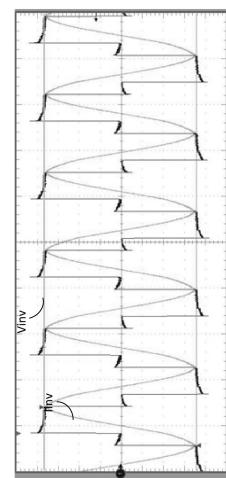
【図12B】



【図 1 2 C】



【図 1 2 D】



フロントページの続き

(74)代理人 100160989
弁理士 関根 正好

(74)代理人 100168181
弁理士 中村 哲平

(74)代理人 100168745
弁理士 金子 彩子

(74)代理人 100170346
弁理士 吉田 望

(74)代理人 100176131
弁理士 金山 慎太郎

(74)代理人 100197398
弁理士 千葉 紗子

(74)代理人 100197619
弁理士 白鹿 智久

(72)発明者 トラン ケン
アメリカ合衆国マサチューセッツ州01810, アンドーバー, テック・ドライブ 2, スイート
201

(72)発明者 チェン シン
アメリカ合衆国マサチューセッツ州01810, アンドーバー, テック・ドライブ 2, スイート
201

(72)発明者 ニューマン ラッセル エル.
アメリカ合衆国マサチューセッツ州01810, アンドーバー, テック・ドライブ 2, スイート
201

(72)発明者 リー フランクリン
アメリカ合衆国マサチューセッツ州01810, アンドーバー, テック・ドライブ 2, スイート
201

審査官 槻木澤 昌司

(56)参考文献 特許第4108108(JP, B2)
特表2009-505626(JP, A)
特開2003-230280(JP, A)
特開2005-123008(JP, A)
特開2010-035402(JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/48