



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201510716 A

(43) 公開日：中華民國 104 (2015) 年 03 月 16 日

(21) 申請案號：102132150

(22) 申請日：中華民國 102 (2013) 年 09 月 06 日

(51) Int. Cl. :

G06F11/07 (2006.01)

G06F11/30 (2006.01)

(71) 申請人：新唐科技股份有限公司 (中華民國) NUVOTON TECHNOLOGY CORPORATION  
(TW)

新竹市新竹科學工業園區研新三路 4 號

(72) 發明人：葉世豪 YEH, SHIH HAO (TW)；顏士軒 YEN, SHIH HSUAN (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：24 項 圖式數：7 共 28 頁

(54) 名稱

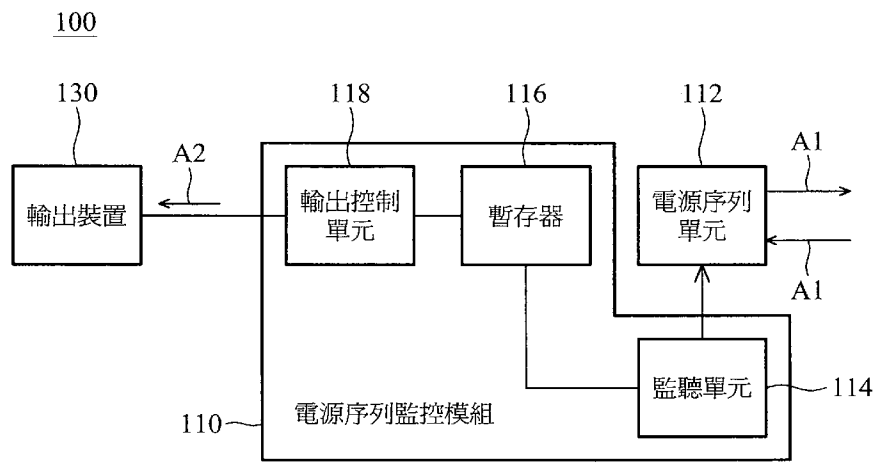
電腦偵錯模組和方法

APPARATUS AND METHOD FOR COMPUTER DEBUG

(57) 摘要

一種電腦偵錯模組，適用於一電腦設備。該電腦偵錯模組至少包括一電源序列監控模組。該電源序列監控模組包括：一監聽單元、一暫存器，以及一輸出控制單元。該監聽單元係用於監聽關於該電腦設備之複數個電源序列信號，並產生一監聽結果。該暫存器係用於儲存該監聽結果。當該電源序列監控模組操作於一偵錯模式時，該輸出控制單元根據儲存之該監聽結果產生一偵測信號，並將該偵測信號傳送至一輸出裝置。

A computer debug module for use in a computer includes at least a power sequence monitor module. The power sequence monitor module includes a monitor unit, a register, and an output control unit. The monitor unit is configured to monitor a plurality of power sequence signals relative to the computer and generate a monitor result. The register is configured to store the monitor result. When the power sequence monitor module operates in a debug mode, the output control unit generates a detection signal according to the stored monitor result and transmits the detection signal to an output device.



- 100 . . . 電腦偵錯模  
組
- 110 . . . 電源序列監  
控模組
- 112 . . . 電源序列單  
元
- 114 . . . 監聽單元
- 116 . . . 暫存器
- 118 . . . 輸出控制單  
元
- 130 . . . 輸出裝置
- A1 . . . 電源序列信  
號
- A2 . . . 偵測信號

第 1 圖

201510716

# 發明摘要

※ 申請案號：102132150

※ 申請日：102.9.-6

※IPC 分類：G06F 11/07 (2006.01)  
G06F 11/30 (2006.01)**【發明名稱】** 電腦偵錯模組和方法

Apparatus and Method for Computer Debug

**【中文】**

一種電腦偵錯模組，適用於一電腦設備。該電腦偵錯模組至少包括一電源序列監控模組。該電源序列監控模組包括：一監聽單元、一暫存器，以及一輸出控制單元。該監聽單元係用於監聽關於該電腦設備之複數個電源序列信號，並產生一監聽結果。該暫存器係用於儲存該監聽結果。當該電源序列監控模組操作於一偵錯模式時，該輸出控制單元根據儲存之該監聽結果產生一偵測信號，並將該偵測信號傳送至一輸出裝置。

**【英文】**

A computer debug module for use in a computer includes at least a power sequence monitor module. The power sequence monitor module includes a monitor unit, a register, and an output control unit. The monitor unit is configured to monitor a plurality of power sequence signals relative to the computer and generate a monitor result. The register is configured to store the monitor result. When the power sequence monitor module operates in a debug mode, the output control unit generates a detection signal according to the stored monitor result and

transmits the detection signal to an output device.

**【代表圖】**

**【本案指定代表圖】**：第（ 1 ）圖。

**【本代表圖之符號簡單說明】**：

- 100～電腦偵錯模組；
- 110～電源序列監控模組；
- 112～電源序列單元；
- 114～監聽單元；
- 116～暫存器；
- 118～輸出控制單元；
- 130～輸出裝置；
- A1～電源序列信號；
- A2～偵測信號。

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無。

# 發明專利說明書

**【發明名稱】** 電腦偵錯模組和方法

Apparatus and Method for Computer Debug

**【技術領域】**

**【0001】** 本發明係關於一種電腦偵錯模組，特別係關於可簡易地判斷電腦設備為何無法開機之原因之電腦偵錯模組。

**【先前技術】**

**【0002】** 當電腦開機發生異常時，電腦維修人員通常會直接將設置於主機板(Mother Board)上之超級輸入輸出(Super Input/Output, SIO)晶片進行拆卸更換。然而，大部份開機異常之原因通常未必是超級輸入輸出晶片所引起，而此類不必要之晶片拆卸動作將大幅增加電腦維修時間。

**【0003】** 在現有技術中，通常係使用偵錯卡(例如：Port80 Debug Card)來偵測無法開機之原因。然而，當遇到電腦主機板無法上電(Power On)時，其基本輸出輸入系統(Basic Input/Output System, BIOS)即不能正常啓動，此時將無法使用一般偵錯卡來分析電腦故障原因。

**【發明內容】**

**【0004】** 爲了解決前述問題，本發明提供一種電腦偵錯模組，適用於一電腦設備，包括：一電源序列監控模組，包括：一監聽單元，監聽關於該電腦設備之複數個電源序列(Power Sequence)信號，並產生一監聽結果；一暫存器，儲存該監聽結果；以及一輸出控制單元，其中當該電源序列監控模組操作於

一偵錯模式時，該輸出控制單元根據儲存之該監聽結果產生一偵測信號，並將該偵測信號傳送至一輸出裝置。

**【0005】** 另外，本發明提供一種電腦偵錯方法，包括下列步驟：當一電腦設備處於一異常狀態或一無法開機狀態時，藉由一電腦偵錯模組，監聽關於該電腦設備之複數個電源序列 (Power Sequence) 信號，以產生一監聽結果；藉由該電腦偵錯模組，儲存該監聽結果；藉由該電腦偵錯模組，根據一控制信號，判斷是否要進入一偵錯模式；於該偵錯模式中，藉由該電腦偵錯模組，根據儲存之該監聽結果產生一偵測信號；以及於該偵錯模式中，藉由該電腦偵錯模組，將該偵測信號傳送至一輸出裝置。

#### **【圖式簡單說明】**

##### **【0006】**

第1圖係顯示根據本發明一實施例所述之電腦偵錯模組之示意圖；

第2圖係顯示根據本發明一實施例所述之電腦偵錯模組之示意圖；

第3圖係顯示根據本發明一實施例所述之電腦偵錯系統之示意圖；

第4圖係顯示根據本發明一實施例所述之電腦偵錯系統之示意圖；

第5圖係顯示根據本發明一實施例所述之複數個電源序列信號之波形圖；

第6圖係顯示根據本發明另一實施例所述之複數個電源序

列信號之波形圖；以及

第7圖係顯示根據本發明一實施例所述之電腦偵錯方法之流程圖。

### 【實施方式】

【0007】 為讓本發明之目的、特徵和優點能更明顯易懂，下文特舉出本發明之具體實施例，並配合所附圖式，作詳細說明如下。

【0008】 第1圖係顯示根據本發明一實施例所述之電腦偵錯模組100之示意圖。電腦偵錯模組100係適用於一電腦設備，例如：一桌上型個人電腦(Desktop Personal Computer, Desktop PC)或是一筆記型電腦(Notebook Computer, NB)。電腦偵錯模組100至少包括一電源序列監控模組110。在一些實施例中，電腦偵錯模組100更可包括一電源序列(Power Sequence)單元112和一輸出裝置130。更詳細地說，電源序列監控模組110包括：一監聽單元114、一暫存器116，以及一輸出控制單元118。監聽單元114係用於監聽關於該電腦設備之複數個電源序列信號A1，並產生一監聽結果。在一些實施例中，該複數個電源序列信號A1係來自該電腦設備之一主機板(Mother Board)上之一晶片組(Chipset)(未顯示)。在一些實施例中，電源序列單元112係用於接收及傳送關於該電腦設備之該複數個電源序列信號A1，而監聽單元114更用於監聽電源序列單元112之運作，以確認是否有任何異常事件發生。暫存器116係用於儲存監聽單元114之該監聽結果。電源序列監控模組110可根據一控制信號(例如：一使用者輸入信號)選擇是否要進入一偵錯模式。當電

源序列監控模組110操作於該偵錯模式時，輸出控制單元118即根據儲存之該監聽結果產生一偵測信號A2，並將偵測信號A2傳送至輸出裝置130。輸出裝置130可以是一顯示裝置或是一傳輸介面，其將於之後之實施例中作更詳細說明。舉例來說，當該電腦設備無法正常開機時，一電腦維修人員即可控制電源序列監控模組110進入該偵錯模式，並可根據輸出之偵測信號A2來進一步了解該電腦設備之故障原因。

**【0009】** 第2圖係顯示根據本發明一實施例所述之電腦偵錯模組200之示意圖。在第2圖之實施例中，電源序列監控模組110和電源序列單元112係共同整合於一超級輸入輸出(Super Input/Output, SIO)晶片260內。在其他實施例中，電源序列監控模組110和電源序列單元112亦可共同整合於一嵌入式控制器(Embedded Controller, EC)260內。如第2圖所示，電腦偵錯模組200更包括一晶片組210和一低腳位數(Low Pin Count, LPC)介面220，而電腦偵錯模組200之一輸出裝置為一七段顯示器(7-Segment Display)230。晶片組210係耦接至一電腦設備之一中央處理單元(Central Processing Unit, CPU)(未顯示)，並與超級輸入輸出260(或嵌入式控制器260)之電源序列單元112進行溝通。低腳位數介面220係耦接於晶片組210和超級輸入輸出晶片260(或嵌入式控制器260)之間，其中複數個電源序列信號A1係於晶片組210和超級輸入輸出晶片260(或嵌入式控制器260)之間經由低腳位數介面220進行傳遞。在一些實施例中，晶片組210、低腳位數介面220、超級輸入輸出晶片260(或該嵌入式控制器260)，以及七段顯示器230皆設置於該電腦設備之

一主機板250上。電源序列監控模組110之監聽單元114監聽該複數個電源序列信號A1之方式如同第1圖之實施例所述。當電源序列監控模組110操作於一偵錯模式時，輸出控制單元118即根據儲存之一監聽結果產生一偵測信號A2，其中偵測信號A2可以包括一偵錯代碼A3(例如：阿拉伯數字0-9或是英文，但不僅限於此，其分別代表不同錯誤事件)。七段顯示器230係根據偵測信號A2顯示出偵錯代碼A3，使得一電腦維修人員可藉由目視七段顯示器230直接判斷該電腦設備之故障原因。在另一些實施例中，電腦偵錯模組200亦可包括複數個七段顯示器230，以顯示更多位數數字。

**【0010】** 第3圖係顯示根據本發明一實施例所述之電腦偵錯系統300之示意圖。在第3圖之實施例中，電腦偵錯系統300之一輸出裝置為一無線傳輸裝置330，其係設置於一電腦設備之一主機板250上。例如，無線傳輸裝置330可以是一消費性紅外線(Consumer Infrared, CIR)模組、一藍牙(Bluetooth)模組，或是一Wi-Fi模組，但不僅限於此。如第3圖所示，電腦偵錯系統300更包括獨立於主機板250外之一偵錯工具360和一顯示裝置370。偵錯工具360係與無線傳輸裝置330之間建立一無線連結。更詳細地說，偵錯工具360係經由無線傳輸裝置330傳送一控制信號A4至一電源序列監控模組110之一輸出控制單元118，使得電源序列監控模組110進入一偵錯模式。電源序列監控模組110之監聽單元114監聽複數個電源序列信號A1和產生一監聽結果之方式如同第1圖之實施例所述。然後，當電源序列監控模組110操作於該偵錯模式時，輸出控制單元118係根據儲存

之該監聽結果產生一偵測信號A2。在一些實施例中，一電腦偵錯模組可同時包括一或複數個輸出裝置(在第3圖僅顯示一無線傳輸裝置330)，而一電源序列監控模組110之一輸出控制單元118係根據一控制信號A4選定(Select)該一或複數個輸出裝置之一者。控制信號A4可由一偵錯工具360所產生，或可根據一使用者輸入信號而產生。在一些實施例中，輸出控制單元118係根據控制信號A4產生具有一特定資料格式之偵測信號A2。在第3圖之實施例中，輸出控制單元118係根據控制信號A4產生具有一無線傳輸(例如：紅外線傳輸)資料格式之偵測信號A2。換言之，輸出控制單元118係根據不同輸出裝置之選定結果而產生具有不同資料格式之偵測信號A2。接著，輸出控制單元118經由無線傳輸裝置330傳送偵測信號A2至偵錯工具360，而偵錯工具360係根據偵測信號A2取得一偵錯代碼A3。在一些實施例中，偵錯代碼A3係由偵錯工具360分析偵測信號A2而產生。在其他實施例中，當偵測信號A2傳送至無線傳輸裝置330時，偵測信號A2已包括偵錯代碼A3。換言之，偵錯代碼A3亦可由電源序列監控模組110所直接產生。在此情況下，電源序列監控模組110更可根據不同輸出方式來選擇性地輸出偵錯代碼A3。顯示裝置370係耦接至偵錯工具360，並用於顯示偵錯代碼A3。因此，一電腦維修人員可藉由目視顯示裝置370直接判斷該電腦設備之故障原因。

**【0011】** 第4圖係顯示根據本發明一實施例所述之電腦偵錯系統400之示意圖，第4圖與第3圖之差異在於，第3圖之無線傳輸裝置330係替換為第4圖之一有線傳輸裝置430。在第4圖之

實施例中，電腦偵錯系統400之一輸出裝置為有線傳輸裝置430，其係設置於一電腦設備之一主機板250上。例如，有線傳輸裝置430可以是一通用非同步收發傳輸器(Universal Asynchronous Receiver-Transmitter, UART)、一系統管理匯流排(System Management Bus, SM-Bus)、一通用序列匯流排(Universal Serial Bus, USB)，或是一PS/2介面，但不僅限於此。如第4圖所示，電腦偵錯系統400更包括一偵錯工具360和一顯示裝置370。偵錯工具360係與有線傳輸裝置430之間建立一有線連結。偵錯工具360根據電源序列監控模組110之偵測信號A2取得一偵錯代碼A3之方式如同第3圖之實施例所述。顯示裝置370係耦接至偵錯工具360，並用於顯示偵錯代碼A3。因此，一電腦維修人員可藉由目視顯示裝置370直接判斷一電腦設備之故障原因。

**【0012】** 在一些實施例中，一電腦偵錯模組可同時包括一或複數個輸出裝置(例如：第2圖之七段顯示器230、第3圖之無線傳輸裝置330，或(且)第4圖之有線傳輸裝置430)，而一電源序列監控模組110之一輸出控制單元118係根據一控制信號A4選定(Select)該一或複數個輸出裝置之一者。控制信號A4可由一偵錯工具360所產生，或可根據一使用者輸入信號而產生。換言之，電源序列監控模組110可選擇不同輸出方式來輸出一偵錯代碼A3，以利一電腦維修人員進行判讀。

**【0013】** 第5圖係顯示根據本發明一實施例所述之複數個電源序列信號A1之波形圖，其中橫軸代表時間，而縱軸代表該複數個電源序列信號A1之邏輯位準。在第5圖之實施例中，電

源序列單元 112 包括一進階組態與電源介面 (Advanced Configuration and Power Interface, ACPI) 邏輯電路。輸入及輸出該進階組態與電源介面邏輯電路之該複數個電源序列信號 A1 可以包括：一 PSON# 信號、一 SLP\_S3# 信號或一 S3# 信號、一 PSOUT# 信號、一 PSIN# 信號，或(且)一 3VSB 信號，但不僅限於此。在一些實施例中，該 SLP\_S3# 信號為 Intel 公司所生產之晶片組所特有，而該 S3# 信號為其他品牌之晶片組所有。一電源序列監控模組 110 之一監聽單元 114 係於複數個監聽時間點 (例如：T1 至 T8，但不僅限於此) 監聽該複數個電源序列信號 A1 之邏輯位準。第 5 圖係以 Intel 公司所生產之晶片組為例。然而，對於不同廠牌之晶片組 (例如：AMD 公司)，該進階組態與電源介面邏輯電路之該複數個電源序列信號之命名與作動皆有所不同，但仍然可以使用上述電源序列監控模組 110 於複數個監聽時間點對其進行監聽。

**【0014】** 在第 5 圖之實施例中，該進階組態與電源介面邏輯電路可以依序地操作於一 G3 模式、一 S5 模式，以及一 S0 模式。該 G3 模式代表一電腦設備尚未插電。該 S5 模式代表該電腦設備已插電但尚未啟動一電源鍵。該 S0 模式代表該電腦設備已插電並已啟動該電源鍵。如第 5 圖所示，於一第一特定時間點 TC1 時該電腦設備之該電源鍵被啟動，而於一第二特定時間點 TC2 時該電腦設備之該電源鍵被關閉。在第 5 圖中，電源序列監控模組 110 之監聽單元 114 被設定於八個監聽時間點對特定之電源序列信號 A1 之邏輯位準進行監聽，但監聽時間點之設置及數量並不僅限於此。另外，在第 5 圖中，監聽單元 114 可被設定在

不同的電源模式下於複數個監聽時間點對複數個電源序列信號A1之邏輯位準進行監聽。舉例來說，在第5圖中的監聽單元114可在S5模式下和S0模式下進行監聽。於第5圖中之八個監聽時間點分別為：(1)於該S5模式期間之一第一監聽時間點T1，監聽該PSIN#信號；(2)於該S5模式期間之一第二監聽時間點T2，監聽該PSIN#信號，其中第二監聽時間點T2係位於第一特定時間點TC1之後；(3)於該S5模式期間之一第三監聽時間點T3，監聽該PSOUT#信號；(4)於該S5模式期間之一第四監聽時間點T4，監聽該PSOUT#信號，其中第四監聽時間點T4係位於第一特定時間點TC1之後；(5)於該S5模式期間之一第五監聽時間點T5，監聽該SLP\_S3#信號；(6)於該S5模式期間之一第七監聽時間點T7，監聽該PSON#信號；(7)由該S5模式轉換到該S0模式後，於該S0模式期間之一第八監聽時間點T8，監聽該PSON#信號；以及(8)在由該S0模式轉換到該S5模式後，於該S5模式期間之一第六監聽時間點T6，監聽該SLP\_S3#信號。必須注意的是，以上(1)至(8)之監聽時間點無須依次序執行，亦無須全部執行。對於非Intel公司所生產之晶片組，(5)、(8)之監聽時間點可省略。上述八個監聽時間點的設置條件僅為一舉例，可不僅限於此。電源序列監控模組110所產生之一偵測信號A2可指示出該複數個電源序列信號A1之異常狀況。舉例來說，若於第四監聽時間點T4時，該PSOUT#信號未拉低至邏輯0，則偵測信號A2可指示一偵錯代碼「4」，以代表前述異常狀況。在一些實施例中，偵測信號A2可指示出於那些監聽時間點時該複數個電源序列信號A1係正常。在另一些實施例中，偵

測信號 A2 可指示出於那些監聽時間點時該複數個電源序列信號 A1 係異常。在其他實施例中，偵測信號 A2 亦可包括所有該複數個電源序列信號 A1 之波形記錄。因此，一電腦維修人員可藉由分析電源序列監控模組 110 所產生之偵測信號 A2，快速地找出該電腦設備之一主機板無法開機之原因。

**【0015】** 第 6 圖係顯示根據本發明另一實施例所述之複數個電源序列信號 A1 之波形圖，其中橫軸代表時間，而縱軸代表該複數個電源序列信號 A1 之邏輯位準。在第 6 圖之實施例中，電源序列單元 112 包括一深層睡眠 (Deep Sleep Well, DSW) 邏輯電路。輸入及輸出該深層睡眠邏輯電路之該複數個電源序列信號 A1 可以包括：一 V3A 信號、一 SUSWARN# 信號、一 SUSWARN\_5VDUAL 信號、一 5VDUAL(VBUS) 信號、一 SUSACK# 信號、一 SLP\_SUS# 信號、一 SLP\_SUS\_FET 信號、一 RSMRST# 信號、一 5VSB 信號，或(且)一 3VSB 信號，但不僅限於此。一電源序列監控模組 110 之一監聽單元 114 係於複數個監聽時間點(例如：T9 至 T15，但不僅限於此)監聽該複數個電源序列信號 A1 之邏輯位準。

**【0016】** 在第 6 圖之實施例中，電源序列監控模組 110 之監聽單元 114 被設定在七個監聽時間點對特定之電源序列信號 A1 之邏輯位準進行監聽，但監聽時間點之設置及數量並不僅限於此。在第 6 圖中之七個監聽時間點分別為：(9)於一第九監聽時間點 T9，監聽該 SUSWARN# 信號；(10)於一第十監聽時間點 T10，監聽該 SUSWARN\_5VDUAL 信號；(11)於一第十一監聽時間點 T11，監聽該 5VDUAL(VBUS) 信號和該 SUSACK# 信號；

(12)於一第十二監聽時間點T12，監聽該SUSACK#信號； (13)於一第十三監聽時間點T13，監聽該SLP\_SUS#信號； (14)於一第十四監聽時間點T14，監聽該SLP\_SUS\_FET信號；以及 (15)於一第十五監聽時間點T15，監聽該RSMRST#信號。如第6圖所示，第九監聽時間點T9至第十五監聽時間點T15係大致依時間順序排列。必須注意的是，以上(9)至(15)之監聽時間點無須依次序執行，亦無須全部執行。上述七個監聽時間點的設置條件僅為一舉例，可不僅限於此。電源序列監控模組110所產生之一偵測信號A2可指示出該複數個電源序列信號A1之異常狀況。舉例來說，若於第九監聽時間點T9時，該SUSWARN#信號未拉低至邏輯0，則偵測信號A2可指示一偵錯代碼「9」，以代表前述異常狀況。在一些實施例中，偵測信號A2可指示出於那些監聽時間點時該複數個電源序列信號A1係正常。在另一些實施例中，偵測信號A2可指示出於那些監聽時間點時該複數個電源序列信號A1係異常。在其他實施例中，偵測信號A2亦可包括所有該複數個電源序列信號A1之波形記錄。因此，一電腦維修人員可藉由分析電源序列監控模組110所產生之偵測信號A2，快速地找出該電腦設備之一主機板無法開機之原因。

**【0017】** 在一些實施例中，當偵測信號A2指示出於那些監聽時間點上該複數個電源序列信號A1有異常時，其可能係因為電源序列信號A1間之時序(Timing)微小變化，或是某一電源序列信號上之邏輯位準不準確所致。此時，電腦維修人員可使用重置(Reset)信號來進行電源序列信號之重置，以查看是否在重置後即能正常開機。在一些實施例中，晶片中之重置信號有三

種：第一種為系統時鐘重置信號(RTCRST#)，在主機板上清除CMOS(Complementary Metal-Oxide-Semiconductor)或是將主機板上之系統時鐘電池斷電後再重新上電可產生系統時鐘重置信號；第二種為電腦主機重置信號(RSMRST#)，將電腦主機上之主電源斷電再重新上電，以產生電腦主機重置信號；第三種為軟開機重置信號(PLTRST#)，例如按下電腦主機上之重置按鈕，或是可使用特定按鍵組合使電腦重新啓動，以產生軟開機重置信號，此時，電腦主機上之主電源無需斷電。利用不同重置信號進行重置之效果，即是重置超級輸入輸出晶片中對應之電源區塊(Power Plane)。

**【0018】** 第7圖係顯示根據本發明一實施例所述之電腦偵錯方法之流程圖。首先開始，在步驟S710，當一電腦設備處於一異常狀態或一無法開機狀態時，藉由一電腦偵錯模組，監聽關於該電腦設備之複數個電源序列(Power Sequence)信號，以產生一監聽結果。在步驟S720，藉由該電腦偵錯模組，儲存該監聽結果。在步驟S730，藉由該電腦偵錯模組，根據一控制信號，判斷是否要進入一偵錯模式。若否，則流程結束。若是，在步驟S740，於該偵錯模式中，藉由該電腦偵錯模組，根據儲存之該監聽結果產生一偵測信號。最後，在步驟S750，於該偵錯模式中，藉由該電腦偵錯模組，將該偵測信號傳送至一輸出裝置。必須注意的是，第1-6圖之實施例之任何一或複數個細部特徵均可套用至第7圖所示之該電腦偵錯方法，故在此不再重複說明。

**【0019】** 相較於傳統設計，本發明之電腦偵錯模組及方法

至少具有下列優點：(1)能快速地檢測一主機板之複數個電源序列信號(開機邏輯信號)是否正常；(2)若該主機板無法開機，能立即找出異常原因；(3)能減少對於該主機板上之一超級輸入輸出晶片之更換機率；(4)能以一簡單電路實施；以及(5)能有效地降低偵錯成本和偵錯時間。

**【0020】** 在本說明書以及申請專利範圍中的序數，例如「第一」、「第二」、「第三」等等，彼此之間並沒有順序上的先後關係，其僅用於標示區分兩個具有相同名字之不同元件。

**【0021】** 本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### **【符號說明】**

#### **【0022】**

100、200～電腦偵錯模組；

300、400～電腦偵錯系統；

110～電源序列監控模組；

112～電源序列單元；

114～監聽單元；

116～暫存器；

118～輸出控制單元；

130～輸出裝置；

210～晶片組；

220～低腳位數介面；

230～七段顯示器；

250～主機板；

260～超級輸入輸出晶片(或嵌入式控制器)；

330～無線傳輸裝置；

360～偵錯工具；

370～顯示裝置；

430～有線傳輸裝置；

A1～電源序列信號；

A2～偵測信號；

A3～偵錯代碼；

A4～控制信號；

T1、T2、T3、T4、T5、T6、T7、T8、T9、T10、T11、T12、

T13、T14、T15～監聽時間點；

TC1、TC2～特定時間點；

S710、S720、S730、S740、S750～步驟。

## 申請專利範圍

1. 一種電腦偵錯模組，適用於一電腦設備，包括：
  - 一電源序列監控模組，包括：
  - 一監聽單元，監聽關於該電腦設備之複數個電源序列 (Power Sequence) 信號，並產生一監聽結果；
  - 一暫存器，儲存該監聽結果；以及
  - 一輸出控制單元，其中當該電源序列監控模組操作於一偵錯模式時，該輸出控制單元根據儲存之該監聽結果產生一偵測信號，並將該偵測信號傳送至一輸出裝置。
2. 如申請專利範圍第1項所述之電腦偵錯模組，更包括：
  - 一電源序列單元，接收及傳送關於該電腦設備之該複數個電源序列信號。
3. 如申請專利範圍第2項所述之電腦偵錯模組，其中該電源序列監控模組和該電源序列單元係共同整合於一超級輸入輸出 (Super Input/Output, SIO) 晶片或是一嵌入式控制器 (Embedded Controller, EC) 內。
4. 如申請專利範圍第3項所述之電腦偵錯模組，更包括：
  - 一晶片組 (Chipset)，耦接至該電腦設備之一中央處理單元，並與該電源序列單元進行溝通；以及
  - 一低腳位數 (Low Pin Count, LPC) 介面，耦接於該晶片組和該超級輸入輸出晶片或該嵌入式控制器之間，
  - 其中該晶片組、該低腳位數介面、該超級輸入輸出晶片或該嵌入式控制器，以及該輸出裝置皆設置於該電腦設備之一主機板上。

5. 如申請專利範圍第1項所述之電腦偵錯模組，其中該輸出裝置為一七段顯示器。
6. 如申請專利範圍第5項所述之電腦偵錯模組，其中該偵測信號包括一偵錯代碼，而該七段顯示器係根據該偵測信號顯示出該偵錯代碼。
7. 如申請專利範圍第1項所述之電腦偵錯模組，其中該輸出裝置為一無線傳輸裝置或一有線傳輸裝置。
8. 如申請專利範圍第7項所述之電腦偵錯模組，其中該無線傳輸裝置為一消費性紅外線(Consumer Infrared, CIR)模組、一藍牙(Bluetooth)模組，或是一Wi-Fi模組。
9. 如申請專利範圍第7項所述之電腦偵錯模組，其中該有線傳輸裝置為一通用非同步收發傳輸器(Universal Asynchronous Receiver-Transmitter, UART)、一系統管理匯流排(System Management Bus, SM-Bus)、一通用序列匯流排(Universal Serial Bus, USB)，或是一PS/2介面。
10. 如申請專利範圍第7項所述之電腦偵錯模組，更包括：  
一偵錯工具，與該輸出裝置之間建立一無線連結或一有線連結，並根據該偵測信號取得一偵錯代碼。
11. 如申請專利範圍第10項所述之電腦偵錯模組，其中該偵錯代碼係由該偵錯工具分析該偵測信號而產生。
12. 如申請專利範圍第10項所述之電腦偵錯模組，其中當該偵測信號傳送至該輸出裝置時，該偵測信號已包括該偵錯代碼。
13. 如申請專利範圍第10項所述之電腦偵錯模組，更包括：

一顯示裝置，耦接至該偵錯工具，並顯示該偵錯代碼。

14. 如申請專利範圍第10項所述之電腦偵錯模組，其中該偵錯工具更傳送一控制信號至該電源序列監控模組，使得該電源序列監控模組進入該偵錯模式，而其中該輸出控制單元更根據該控制信號產生具有一特定資料格式之該偵測信號及選定該輸出裝置。
15. 如申請專利範圍第14項所述之電腦偵錯模組，更包括：複數個輸出裝置，其中該輸出控制單元更根據該控制信號選定該複數個輸出裝置之一者。
16. 如申請專利範圍第1項所述之電腦偵錯模組，其中該電源序列單元包括一進階組態與電源介面 (Advanced Configuration and Power Interface, ACPI)邏輯電路。
17. 如申請專利範圍第16項所述之電腦偵錯模組，其中該複數個電源序列信號包括一PSON#信號、一SLP\_S3#信號或一S3#信號、一PSOUT#信號、一PSIN#信號，以及一3VSB信號，而其中該監聽單元係於複數個監聽時間點監聽該複數個電源序列信號之邏輯位準。
18. 如申請專利範圍第1項所述之電腦偵錯模組，其中該電源序列單元包括一深層睡眠 (Deep Sleep Well, DSW)邏輯電路。
19. 如申請專利範圍第18項所述之電腦偵錯模組，其中該複數個電源序列信號包括一V3A信號、一SUSWARN#信號、一SUSWARN\_5VDUAL信號、一5VDUAL(VBUS)信號、一SUSACK#信號、一SLP\_SUS#信號、一SLP\_SUS\_FET信號、

一 RSMRST# 信號、一 5VSB 信號，以及一 3VSB 信號，而其中該監聽單元係於複數個監聽時間點監聽該複數個電源序列信號之邏輯位準。

20. 一種電腦偵錯方法，包括下列步驟：

當一電腦設備處於一異常狀態或一無法開機狀態時，藉由一電腦偵錯模組，監聽關於該電腦設備之複數個電源序列 (Power Sequence) 信號，以產生一監聽結果；

藉由該電腦偵錯模組，儲存該監聽結果；

藉由該電腦偵錯模組，根據一控制信號，判斷是否要進入一偵錯模式；

於該偵錯模式中，藉由該電腦偵錯模組，根據儲存之該監聽結果產生一偵測信號；以及

於該偵錯模式中，藉由該電腦偵錯模組，將該偵測信號傳送至一輸出裝置。

21. 如申請專利範圍第 20 項所述之電腦偵錯方法，其中該輸出裝置為一七段顯示器、一無線傳輸裝置，或是一有線傳輸裝置。

22. 如申請專利範圍第 20 項所述之電腦偵錯方法，更包括：

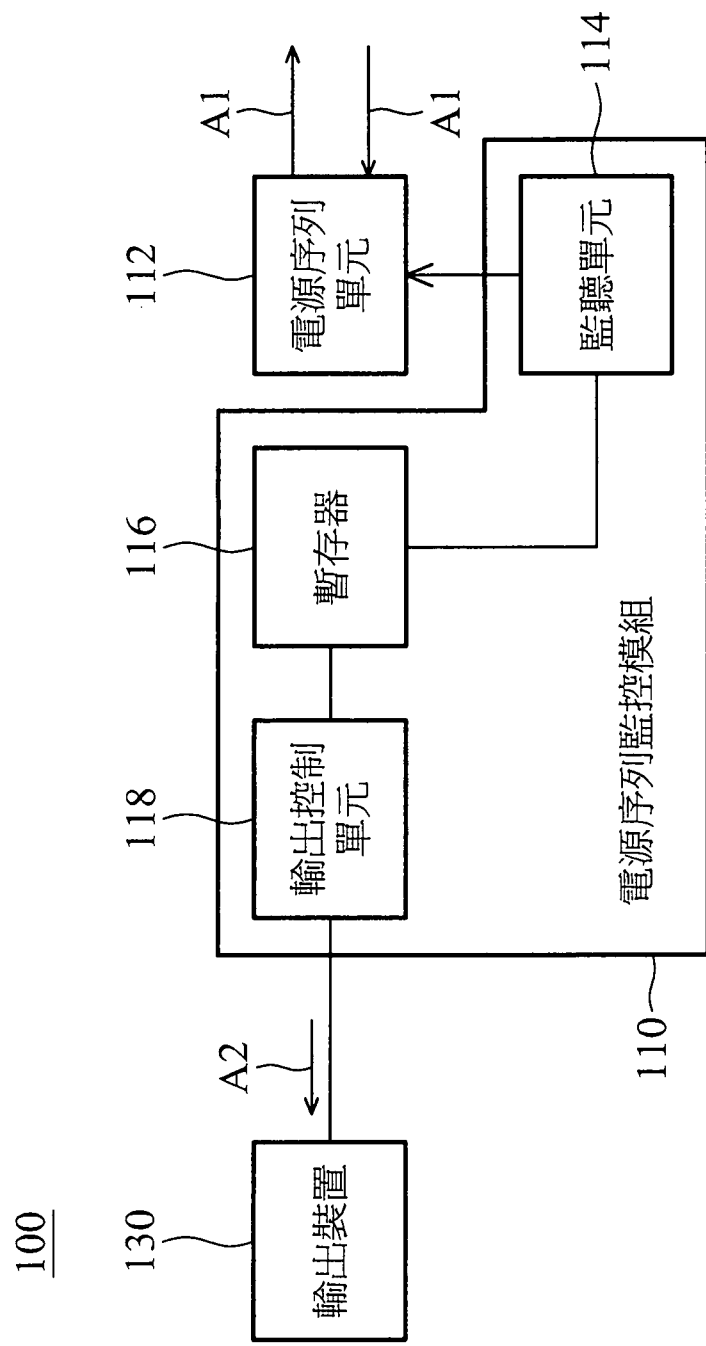
藉由該電腦偵錯模組之一進階組態與電源介面 (Advanced Configuration and Power Interface, ACPI) 邏輯電路，接收或傳送該複數個電源序列信號，其中該複數個電源序列信號包括一 PSON# 信號、一 SLP\_S3# 信號或一 S3# 信號、一 PSOUT# 信號、一 PSIN# 信號，以及一 3VSB 信號。

23. 如申請專利範圍第 20 項所述之電腦偵錯方法，更包括：

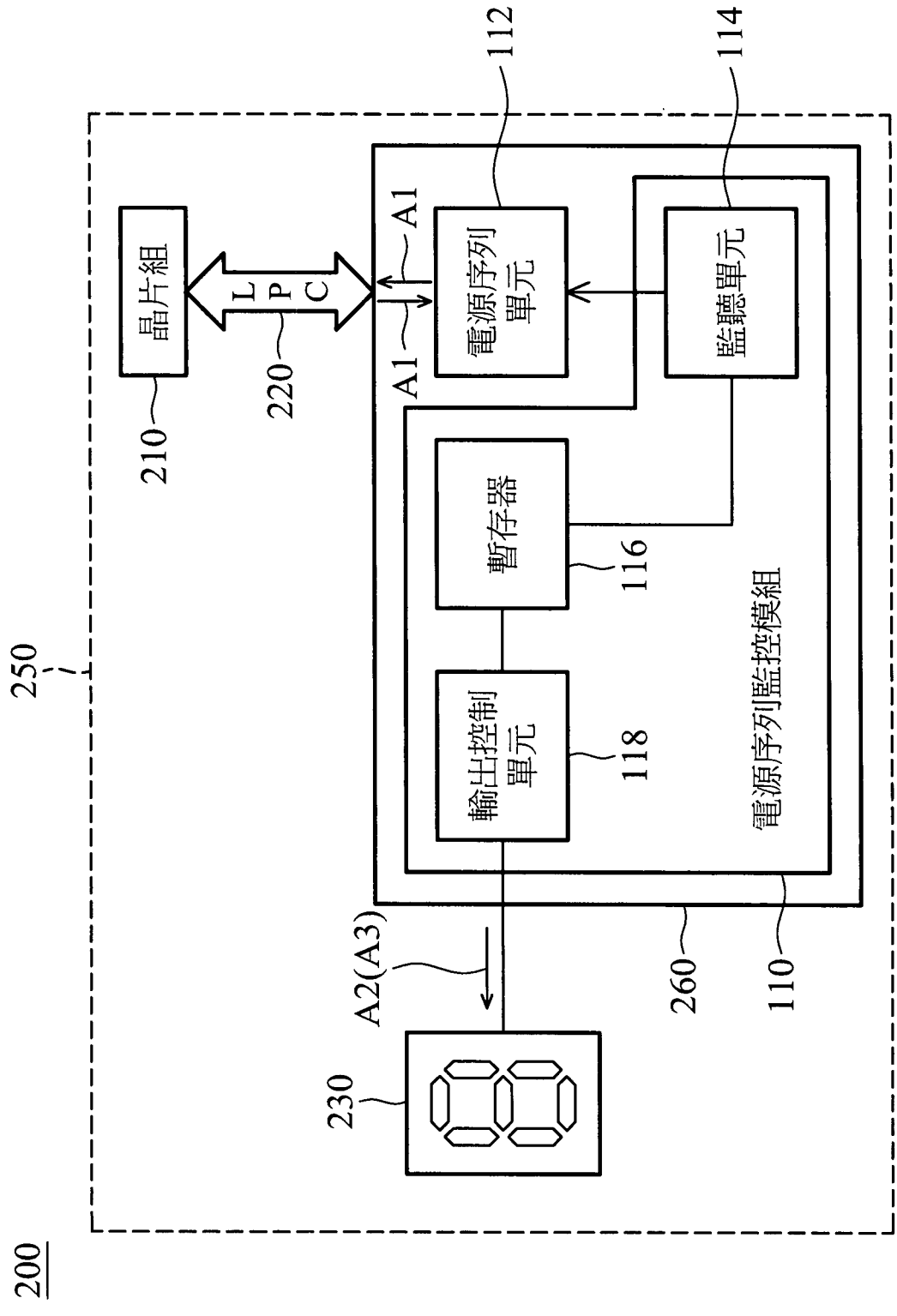
藉由該電腦偵錯模組之一深層睡眠(Deep Sleep Well, DSW)邏輯電路，接收或傳送該複數個電源序列信號，其中該複數個電源序列信號包括一V3A信號、一SUSWARN#信號、一SUSWARN\_5VDUAL信號、一5VDUAL(VBUS)信號、一SUSACK#信號、一SLP\_SUS#信號、一SLP\_SUS\_FET信號、一RSMRST#信號、一5VSB信號，以及一3VSB信號。

24. 如申請專利範圍第20項所述之電腦偵錯方法，更包括：  
藉由該電腦偵錯模組，於複數個監聽時間點監聽該複數個電源序列信號之邏輯位準。

圖式

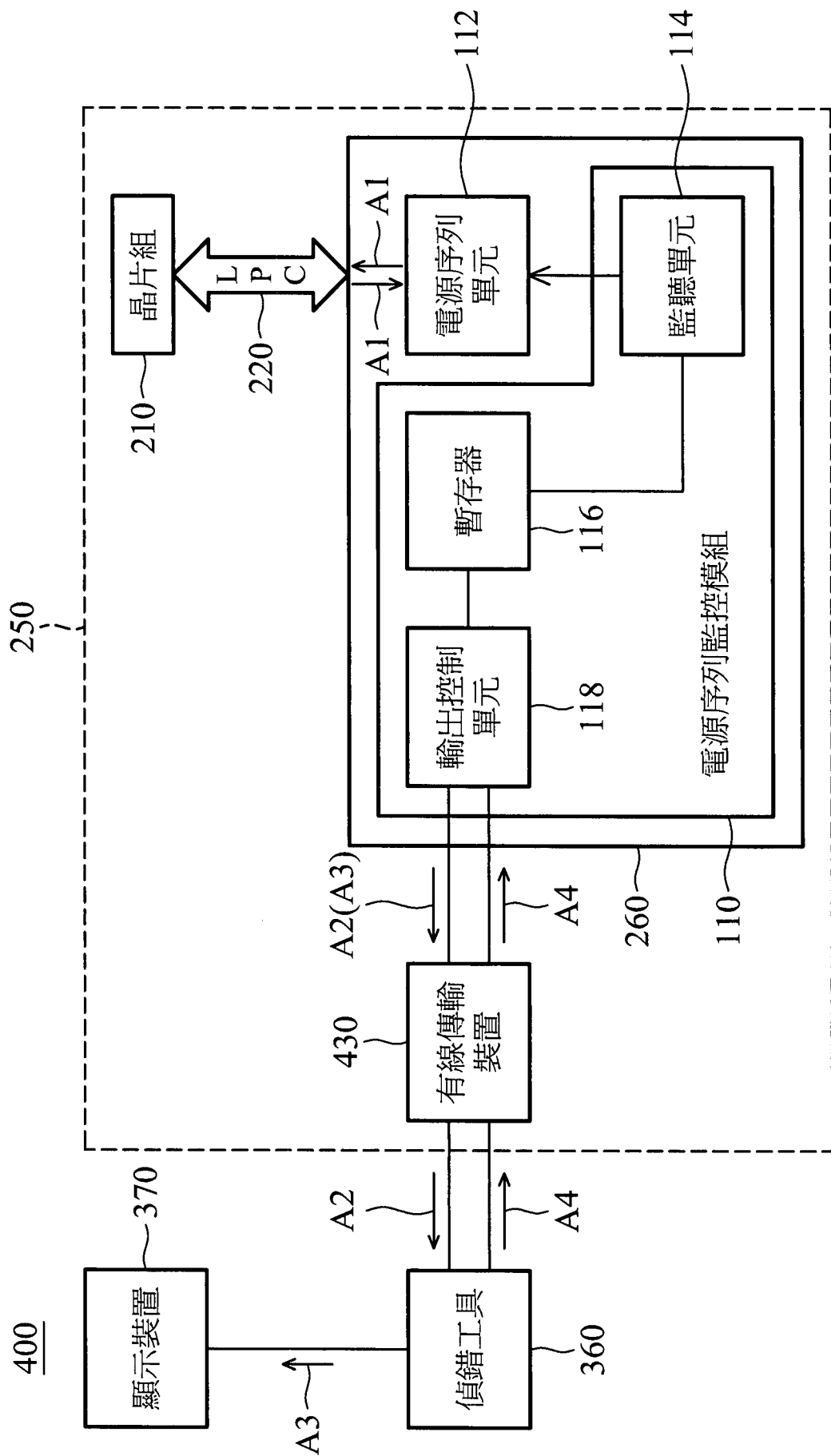


第 1 圖

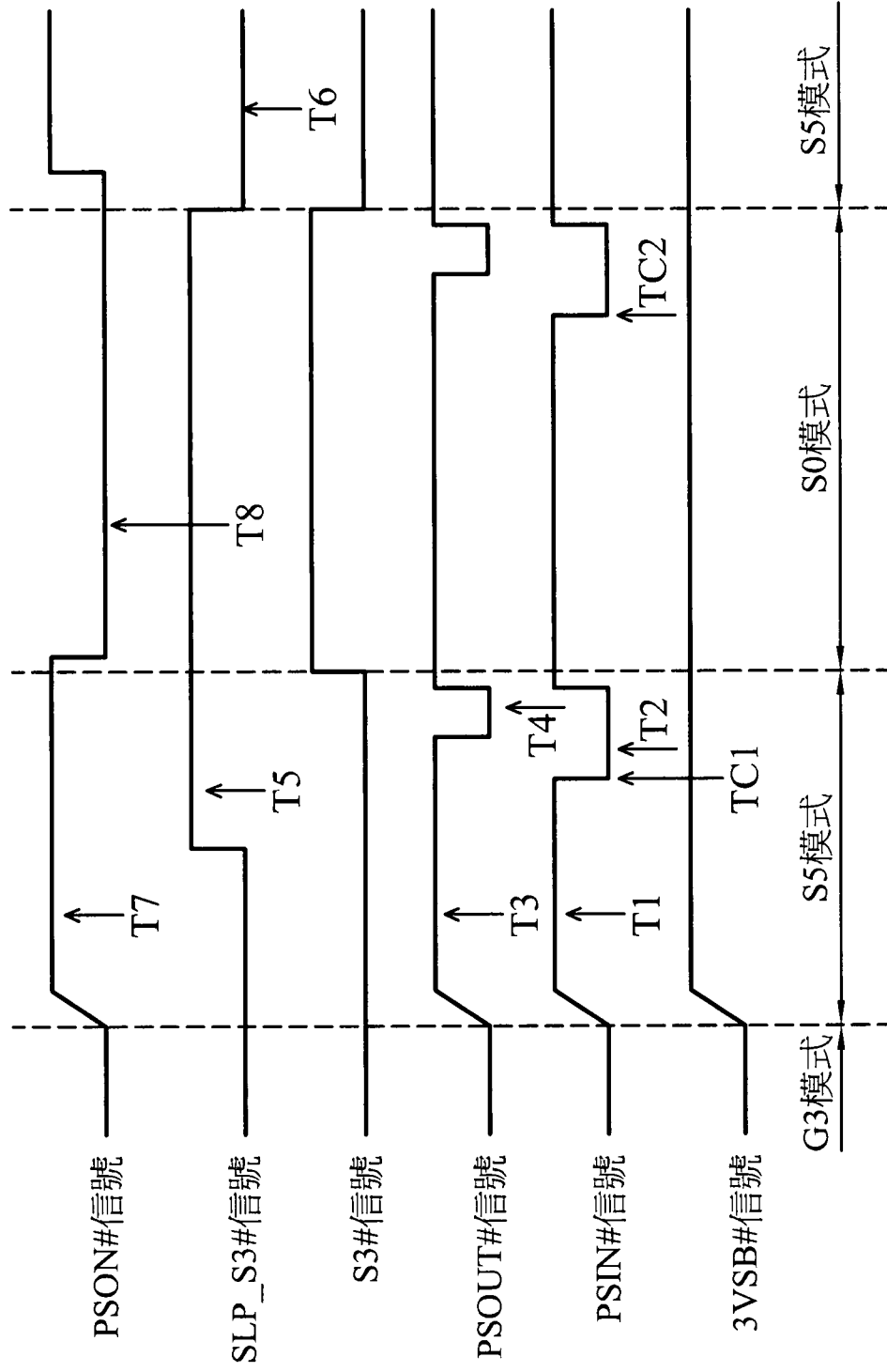


第 2 圖

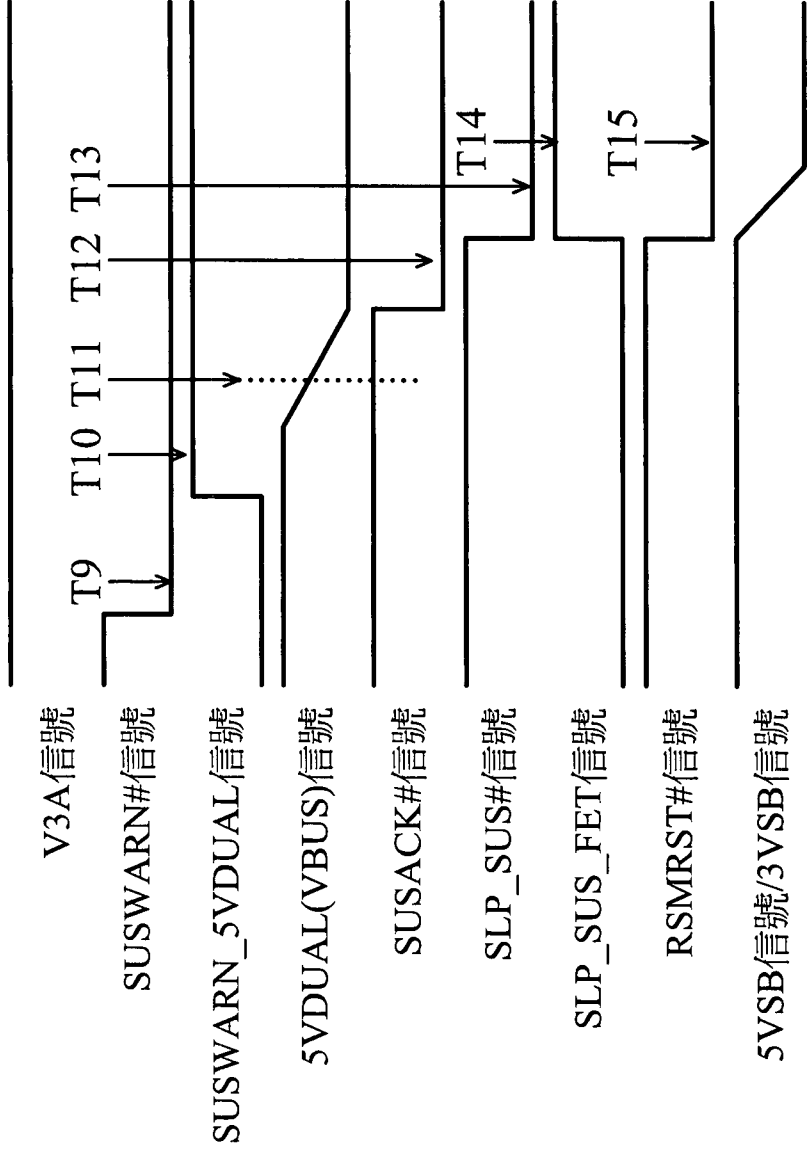




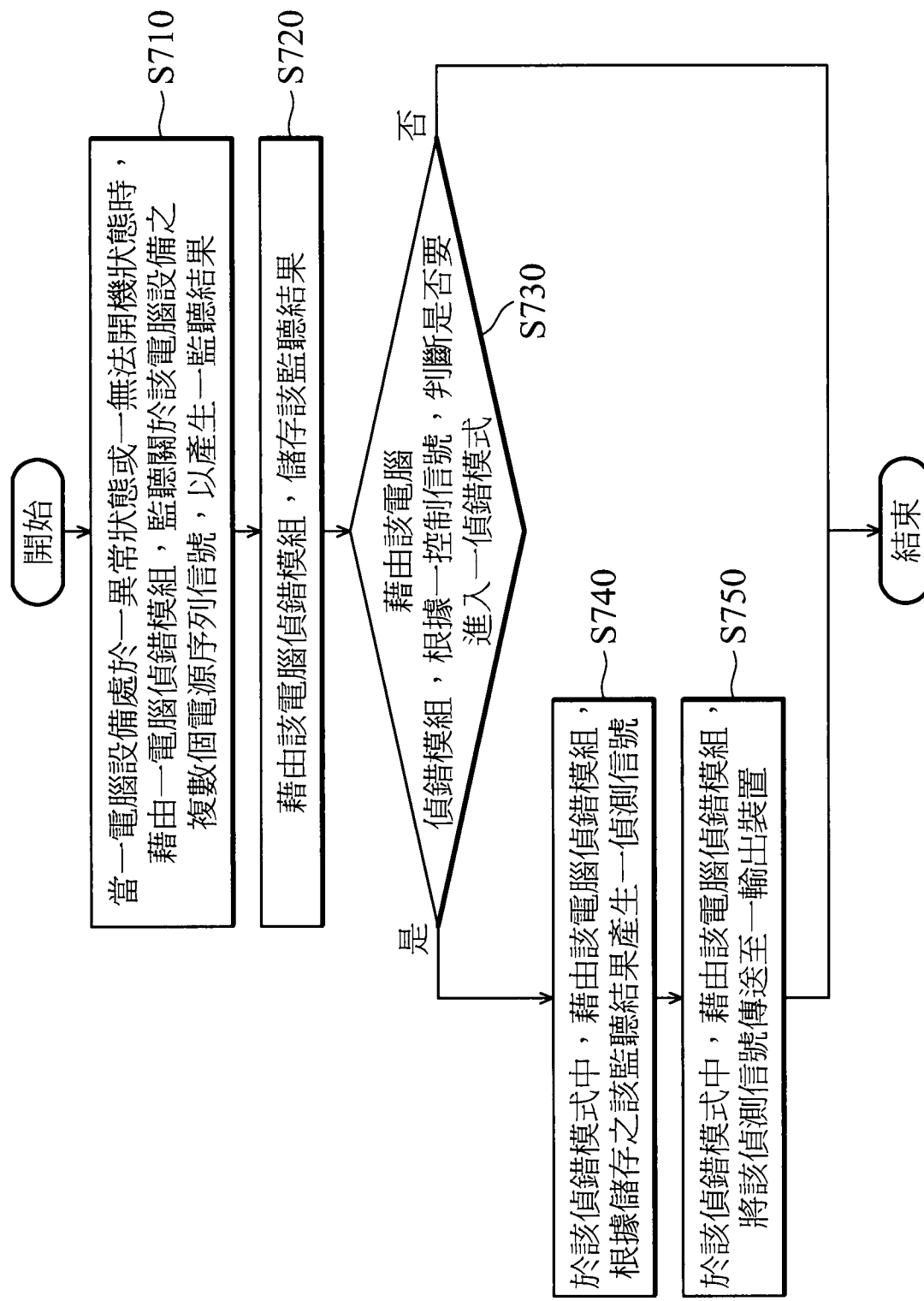
第 4 圖



第 5 圖



第 6 圖



第7圖