



[12] 发明专利申请公开说明书

[21] 申请号 03825273.2

[43] 公开日 2005 年 11 月 23 日

[11] 公开号 CN 1701427A

[22] 申请日 2003.5.20 [21] 申请号 03825273.2
 [86] 国际申请 PCT/JP2003/006298 2003.5.20
 [87] 国际公布 WO2004/105120 日 2004.12.2
 [85] 进入国家阶段日期 2005.5.19
 [71] 申请人 富士通株式会社
 地址 日本国神奈川県
 [72] 发明人 丸山茂幸 西野彻 田代一宏

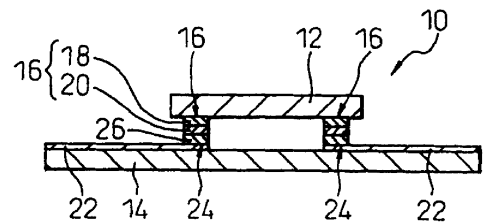
[74] 专利代理机构 隆天国际知识产权代理有限公司
 代理人 高龙鑫 王玉双

权利要求书 4 页 说明书 14 页 附图 11 页

[54] 发明名称 LSI 插件及 LSI 元件的试验方法和半导体器件的制造方法

[57] 摘要

一种 LSI 插件，包括 LSI 元件和配线基板。 LSI 元件的多个端子包括第 1 导电层、和重叠形成在第 1 导电层上的第 2 导电层，配线基板的多个端子包括接合在第 2 导电层的第 3 导电层和外部连接端子。第 1、第 2 和第 3 导电层由第 2 导电层与第 3 导电层的金属间结合力比第 1 导电层与第 2 导电层的金属间结合力强的材料形成。 LSI 元件的试验使用配线基板的外部连接端子进行。第 2 导电层和第 3 导电层通过加压的凝集作用产生金属间结合，在试验中可靠地电接触。试验后将 LSI 元件的端子从配线基板的端子上剥离，这时将第 2 导电层转移到第 3 导电层上，在 LSI 元件上残留第 1 导电层。将 LSI 元件安装在另一个配线基板上。



- 1.一种 LSI 插件，其特征在于：包括具有多个端子的至少一个 LSI 元件、和具有多个端子的配线基板，
- 5 该 LSI 元件的多个端子各自包括第 1 导电层、重叠在该第 1 导电层上形成的第 2 导电层，
- 该配线基板的端子各自包括接合在该 LSI 元件的端子的第 2 导电层上的第 3 导电层；
- 该第 1 导电层、该第 2 导电层和该第 3 导电层由该第 2 导电层与该第 3 导电层的金属间结合力比该第 1 导电层与该第 2 导电层的金属间结合力强的材料所形成，
- 10 该配线基板还具有通过配线与该配线基板的多个端子连接的多个外部连接端子。
2. 如权利要求 1 所述的 LSI 插件，其特征在于：该 LSI 元件的端子的第 2 导电层和该配线基板的端子的第 3 导电层通过由加压的凝集作用产生金属间结合。
- 15 3. 如权利要求 2 所述的 LSI 插件，其特征在于：通过使由加压的凝集作用产生金属间结合的结合界面与在加压前清洗的界面结合形成不含杂质层（氧化膜层、有机物层）的金属间结合。
- 20 4. 如权利要求 1 所述的 LSI 插件，其特征在于：该配线基板的外部连接端子的间距比该 LSI 元件的端子的间距大。
5. 如权利要求 1 所述的 LSI 插件，其特征在于：该 LSI 元件的端子的第 2 导电层材料的硬度比第 1 导电层材料的硬度大。
6. 如权利要求 1 所述的 LSI 插件，其特征在于：该 LSI 元件的端子的第 2 导电层的材料的抗拉强度比第 1 导电层材料的抗拉强度大。
- 25 7. 如权利要求 1 所述的 LSI 插件，其特征在于：该 LSI 元件的端子的第 2 导电层比该配线基板的第 3 导电层小。
8. 如权利要求 1 所述的 LSI 插件，其特征在于：LSI 元件和配线基板还通过加强构件连接。
- 30 9. 如权利要求 6 所述的 LSI 插件，其特征在于：该加强构件包括可

剥离的粘合剂。

10. 如权利要求 1 所述的 LSI 插件，其特征在于：用于辅助该 LSI 元件的动作和动作试验用的电子零部件进一步安装在该配线基板上。

11. 如权利要求 1 所述的 LSI 插件，其特征在于：该至少一个 LSI
5 元件由一个 LSI 元件组成。

12. 如权利要求 1 所述的 LSI 插件，其特征在于：该至少一个 LSI 元件由多个 LSI 元件组成。

13. 如权利要求 12 所述的 LSI 插件，其特征在于：该多个 LSI 元件形成一体。

10 14. 如权利要求 12 所述的 LSI 插件，其特征在于：该多个 LSI 元件是不同种类的 LSI 元件。

15. 一种 LSI 元件的试验方法，其特征在于，包括：

在 LSI 元件上形成各自包括第 1 导电层、和重叠形成在该第 1 导电层上的第 2 导电层的多个端子的工序，

15 在配线基板上形成各自包括第 3 导电层的多个端子、和通过配线与该多个端子连接的多个外部连接端子的工序，

为了使该第 2 导电层与该第 3 导电层结合而将该 LSI 元件的多个端子接合在该配线基板的多个端子上的工序，以及

20 使用该配线基板的多个外部连接端子进行该 LSI 元件的试验的工序；
该第 1 导电层、该第 2 导电层和该第 3 导电层由该第 2 导电层与该第 3 导电层的金属间结合力比该第 1 导电层与该第 2 导电层的金属间结合力强的材料所形成。

25 16. 如权利要求 14 所述的 LSI 元件的试验方法，其特征在于：在上述试验工序后，还包括将该 LSI 元件的多个端子从该配线基板的多个端子上剥离的工序。

17. 如权利要求 14 所述的 LSI 元件的试验方法，其特征在于：在上述接合工序前，还包括清洗该 LSI 元件的端子的第 2 导电层的表面和该配线基板的端子的第 3 导电层表面的工序。

30 18. 如权利要求 17 所述的 LSI 元件的试验方法，其特征在于：清洗表面的作业是抛光。

19. 一种半导体器件的制造方法，其特征在于，包括：

在 LSI 元件上形成各自包括第 1 导电层和重叠形成在该第 1 导电层上的第 2 导电层的多个端子的工序，

5 在配线基板上形成各自包括第 3 导电层的多个端子和通过配线与该多个端子连接的多个外部连接端子的工序，

为了使该第 2 导电层与该第 3 导电层结合而将该 LSI 元件的多个端子接合在该配线基板的多个端子上的工序，

使用该配线基板的多个外部连接端子进行该 LSI 元件的试验的工序，
将该 LSI 元件和该配线基板运送到与试验位置不同的位置上的工序，
10 将该 LSI 元件的多个端子从该配线基板的多个端子上剥离的工序，
以及

将该 LSI 元件的多个端子接合在另一个配线基板的多个端子上的工序；

15 该第 1 导电层、该第 2 导电层和该第 3 导电层由该第 2 导电层与该第 3 导电层的金属间结合力比该第 1 导电层与该第 2 导电层的金属间结合力强的材料所形成。

20. 如权利要求 19 所述的半导体器件的试验方法，其特征在于：在将该 LSI 元件的多个端子接合在该配线基板的多个端子上的工序之前，还包括至少清洗该 LSI 元件的端子的第 2 导电层的表面和该配线基板的
20 端子的第 3 导电层的表面的工序。

21. 如权利要求 20 所述的半导体器件的制造方法，其特征在于：上述清洗工序是由抛光工序组成。

22. 如权利要求 19 所述的半导体器件的制造方法，其特征在于：在上述剥离工序中，该 LSI 元件的端子的第 2 导电层附着在该配线基板的
25 端子的第 3 导电层上，在该 LSI 元件的端子上基本上只残留第 1 导电层。

23. 如权利要求 19 所述的半导体器件的制造方法，其特征在于：在将该 LSI 元件的多个端子接合在该配线基板的多个端子上的工序中，该 LSI 元件的端子的第 2 导电层和该配线基板的端子的第 3 导电层通过加压的凝集作用进行金属间结合。

30 24. 如权利要求 19 所述的半导体器件的制造方法，其特征在于：至

少在上述运送工序中，该 LSI 元件和该配线基板还通过加强构件连接。

25. 如权利要求 24 所述的半导体器件的制造方法，其特征在于：该加强构件包括可剥离的粘接剂。

26. 如权利要求 19 所述的半导体器件的制造方法，其特征在于：在
5 将该 LSI 元件的多个端子接合在另一个配线基板的多个端子上的工序中，将该 LSI 元件的多个端子引线接合在另一个配线基板的多个端子上。

27. 如权利要求 19 所述的半导体器件的制造方法，其特征在于：在将该 LSI 元件的多个端子接合在另一个配线基板的多个端子上的工序中，该 LSI 元件的多个端子用冲击接合在另一个配线基板的多个端子上。

LSI 插件及 LSI 元件的试验方法和半导体器件的制造方法

5 技术领域

本发明涉及插件、LSI 元件的试验方法和半导体器件的制造方法。更具体地说，本发明涉及 LSI 芯片、LSI 晶片、GSP 等具有微细端子的 LSI 元件的电试验和安装 LSI 元件的半导体器件的制造。

10 背景技术

以前一直是把 LSI 芯片安装在配线基板上，形成插件，在 LSI 插件的状态进行最终试验，然后向用户发货，用户再把 LSI 插件安装在各种设备上。近年来将 LSI 芯片或 LSI 晶片按原样的状态向用户发货给用户的所谓 KGD (Known Good Die) 的发货形式正在增加。

15 例如有在要求各种装置的尺寸减少的同时，将 LSI 芯片直接安装在各种机器上的称为配对芯片安装的使用形式。还有在要求降低尺寸和提高功能的同时，有在一个插件中插入多个 LSI 芯片的所谓 MCM (Multi Chip Module) 或 MCP (Multi Chip Package) 或 SIP (System In Package) 的使用方式。在这样的使用方式中必需构成 KGD。

20 因此，过去必需把在 LSI 芯片加工成各种插件形状后进行的试验项目在 LSI 芯片或 LSI 晶片的状态下进行。然而 LSI 芯片或 LSI 晶片的端子的间距 (例如 $100\ \mu\text{m}$ 以下) 是微细的，比配线基板的端子的间距 ($0.5\text{mm}\sim 1.27\text{mm}$ 左右) 小得多。LSI 芯片或 LSI 晶片的端子尺寸也随着芯片的微细化而变得微细。为此，试验用的插座和探针插件能可靠地与晶片的端子接触，对试验用的插座和探针插件的要求变得严格。

之所以必需形成 KGD，是因为小型化、需要高密度安装的用途多，所以要求将 LSI 芯片或 LSI 晶片的厚度变薄。当 LSI 芯片或 LSI 晶片的厚度变薄时，容易发生由接触力或制造时的冲击引起的裂纹等损伤。

30 另外，作为 KGD 的课题有进行老化试验。因为老化试验 (用于除去初期不合格品的加速度试验) 处理时间例如长达 7~8 个小时，为了进行多

个 LSI 元件的老化试验，而必需多个管脚和探针插件。因此以低成本提供老化试验用的插座和探针插件一直是过去的课题。然而如果对试验用的插座和探针插件的要求变严格，则用低成本供应它们就更加困难。

例如在特开平 11-064389 号公报、特开 2000-039452 号公报和特开 5 2001-056347 号公报中公开了晶片的功能试验中用的探针插件的例子。然而这些探针的制造成本高，在老化试验中准备多个探针插件是困难的。并且不能把这样的探针插件与 LSI 元件一起发货。

如上所述，LSI 芯片等 LSI 元件向薄型化发展，容易损伤，而为了在试验中得到稳定的电接触，而必需在 LSI 元件的端子与插座之间施加相当大的压力。所以人们认为今后要使在晶片或芯片上不引起裂纹等损害地得到的接触状态会越发困难。而且 LSI 元件的端子也往往被探针弄伤。10

这样一来，已试验 LSI 元件，特别是薄的 LSI 芯片也存在因输送而容易受损伤的问题，在从发货开始输送工序中受冲击课题也是今后所倍加考虑的课题。

15 特别是，为了实现 KGD 而由试验获得的主要机能（评价要素）包括：
（a）接触性（稳定的电接触），（b）接触部的位置的自由度（应能不取决于端子的配置和间距地设定接触部的位置），（c）LSI 元件的保护性（对 LSI 元件无损伤，不因非接触伤等引起的安装性能变差），（d）成本，
（e）制造性（应能在插座上的安装，复位容易），（f）大范围对应（应20 能在芯片、晶片、大型晶片上对应等）。

就试验而言主要有加压接触方法（Temporally Contact）和定位焊接方法。加压接触方法是不使 LSI 元件的端子与插座的端子熔融接合而通过加压进行电接触的方法。如果解除加压，就可以将 LSI 元件的端子与插座端子分离。

25 然而，在加压接触方法中，为了得到在接触界面稳定的电接触，而必需对每个接点施加高的接触加压力（例如 10g/pin）。其理由是因为增加接触界面实际的接触面积，并防止集中电阻。此外，因为在端子的表面上有污染膜或氧化膜，所以必需弄破这些污染膜或氧化膜后接触。

也就是说，在加压接触方法中，不能避免被称为接触电阻的发生。接30 触电阻有二个大的条件。第一必需有集中电阻。因为实际的接触面积（接

点面积)小,所以是由于电流只集中在接触的微小的部分上而发生的电阻。如果外加压力降低则因端子间的实际的接触面积减少,而使集中电阻增加,电阻值升高,接触会不稳定。因此大的外加压力是必要的。

5 第二,必需有表面膜电阻。在端子和端子的表面上产生的氧化膜、有机物膜的污染膜等是高电阻层,比端子材料的固有的电阻(数 $10\text{m}\Omega$ ~数 Ω 的范围)大得多(数 10Ω ~数 $\text{M}\Omega$)。理论上表面膜电阻由(厚度 \times 电阻率)决定,但一般因为是对试验有影响的电阻值或电阻值也是不稳定的,所以在通常的试验中通过破坏该表面膜、或通过刺透接触来避免这个影响。为了避免该表面膜的影响(弄破、刺透)而必需有高的外加压力(例
10 如 10g/pin 以上)。

虽然在加压接触法中使用的插座为了能尽量做到因发生大的负荷和受到大的负荷使 LSI 元件和插座本身不变形,而使插座整体坚固而变得相当大。于是必然使插座的成本增加。这是随着 LSI 元件的接点越多就越严重的问题。例如在施加 15g/pin 的外加压力的场合,如接点数为 60 的芯片,
15 则外加压力就变为 0.9kg/Chip 。在 8 英吋的晶片上,如果接点数是 50000,则外加压力就变为 750 kg/Chip 。而要求插座和框架具有耐这样大的外加压力的刚性。

定位焊接方法是在将 LSI 元件临时安装在配线基板上用在配线基板上有的外部端子进行试验,然后将 LSI 元件与配线基板分离的方法。这时因
20 为使 LSI 的端子熔融接合(通过热生成合金)在配线外部端子上,所以虽然不加大的压力也能容易得到 LSI 的端子与配线基板的外部端子的稳定的电接触。因此不像用这样的加压法那样为了保持大的外加压力而使插座的框体大型化,也不需要大的刚性,几乎只通过配线基板就能构成。

然而,当把 LSI 元件的端子熔融接合到配线基板上的外部端子上时,
25 在试验后使 LSI 元件的端子从配线基板的外部端子上分离困难。即使分离了,LSI 元件的端子也受到损伤,使在后来将 LSI 元件安装在作为目标的配线基板上时发生问题。如果是引线丝熔合,则会发生引线残留的麻烦。如果是冲击接合,则因冲击的变形、体积变化、软焊时的热引起的畸变会损害安装性能。在将 LSI 元件的端子从配线基板的外部端子上剥离时,由
30 于配线基板外部端子材料的一部分转移附着到 LSI 元件的端子上,而容易

损害安装性能。反之，也存在 LSI 的端子的一部分连接在配线基板的外部端子上不能剥离的担心。

当使 LSI 元件的端子熔融接合在配线基板的外部端子上，使端子之间合金化时，会在 LSI 元件和 LSI 元件的端子上引起热应力。当 LSI 芯片的线膨胀系数与配线基板的线膨胀系数不同时，在与安装时的温度不同的温度（常温保管时、试验时等）下，温度差将以尺寸差的形式显露出来，在 LSI 元件和配线基板上发生翘起。于是不仅接触状态变得不稳定，而薄片化的 LSI 芯片和 LSI 晶片有内部出现裂纹的危险。另外，如前所述，由于连接端子部受到热应力的作用，而引起氧化碳化，其它组成的变化（热老化），与没有进行过临时安装的元件的端子相比，安装性能容易变差。

总之，虽然用加压接触法容易使端子彼此间分离容易，但必需大的外压力。而虽然用定位焊接法可以达到电接触，但使端子彼此间分离困难。因此为了实现 KGD 的普及，而必需即使不施加大的力也能得到稳定的电接触，并且能使端子彼此间分离。另外必需不使端子 LSI 元件的端子在分离端子彼此分离后变形不大，或不能损害其后的安装性，并且要求在端子彼此间的连接和分离时不需要大的热量。

发明内容

本发明的目的在于：提供能试验 LSI 元件，将 LSI 元件供给用户的 LSI 插件和 LSI 元件的试验方法和半导体器件的制造方法。

本发明的 LSI 插件,包括：具有多个端子的至少一个 LSI 元件、和具有多个端子的配线基板，该 LSI 元件的多个端子各自包括第 1 导电层、重叠在该第 1 导电层上形成的第 2 导电层，上述配线基板的多个端子各自包括接合在该 LSI 元件的端子的第 2 导电层上的第 3 导电层；该第 1 导电层、该第 2 导电层和该第 3 导电层由该第 2 导电层与该第 3 导电层的金属间结合力比该第 1 导电层与该第 2 导电层的金属间结合力强的材料所形成。配线基板还具有通过配线与上述配线基板的多个端子连接的多个外部连接端子。

本发明的 LSI 元件的试验方法，包括：在 LSI 元件上形成各自包括第 1 导电层和重叠形成在该第 1 导电层上的第 2 导电层上的第 2 导电层的多

个端子的工序，在配线基板上形成各自包括第3导电层的多个端子、和通过配线与该多个端子连接的多个外部连接端子的工序，为了使第2导电层与第3导电层结合而将该LSI元件的多个端子接合该配线基板的多个端子上的工序，以及使用该配线基板的多个外部连接端子进行该LSI元件的试验工序；该第1导电层、该第2导电层和该第3导电层由该第2导电层与该第3导电层的金属间结合力比该第1导电层与该第2导电层的金属间结合力强的材料所形成。

本发明的半导体器件的制造方法，包括：在LSI元件上形成各自包括第1导电层和重叠形成在该第1导电层上的第2导电层的多个端子的工序，在配线基板上形成各自包括第3导电层的多个端子和通过配线与该多个端子连接的多个外部连接端子的工序，为了使该第2导电层与该第3导电层结合而将该LSI元件的多个端子接合在该配线基板的多个端子上的工序，使用该配线基板的多个外部连接端子进行该LSI元件的试验的工序，将该LSI元件和该配线基板送到与试验位置不同的位置上的工序，将该LSI元件的多个端子从该配线基板的多个端子上剥离的工序，以及将该LSI元件的多个端子接合在另一个配线基板的多个端子上的工序；该第1导电层、该第2导电层和该第3导电层由该第2导电层与第3导电层的金属间结合力比该第1导电层与该第2导电层的金属间结合力强的材料所形成。

在上述各构成中，LSI元件的各端子由2个以上的导电层构成。在第1导电层上重叠接合与第1导电层的材料不同并与第1导电层的材料的润湿性差的第2导电层。配线基板的各端子的最上层的第3导电层采用与元件的端子的最上层的第2导电材料相同或润湿性好的材料。因此第2导电层与第3导电层的金属间结合力比第1导电层与第2导电层的金属间结合力强。

LSI元件的端子与配线基板的端子在不被污染的状态（没有氧化膜和有机物表面膜等表面膜的状态）互相加压接合。尽管使不被污染的相同性质的材料不变成加热焊接的熔融合金，也能发生由彼此的分子间移动、结合所产生的凝聚现象，并一体地形成稳定的电接触。在接合后，即使没有大的外加压力也几乎没有集中电阻。

当试验后朝着 LSI 元件的端子与配线基板的端子剥离方向施加力时，在第 1 导电层与第 2 导电层之间剥离。因为第 2 导电层因凝着在配线基板的端子上牢固地接合，所以第 2 导电层附着在配线基板的端子上，在 LSI 元件的端子上残留第 1 导电层。

- 5 因为即使不花费大的外压力，端子间也能通过凝着结合接合，所以可以得到稳定的电接触，达到低电阻。于是，因为在端子分离之际，当受到剥离力时，在第 1 导电层与第 2 导电层之间剥离，所以可以容易地进行分离。在分离后，因为通过剥离露出的新的层，所以不会使其后将 LSI 元件安装在另一个配线基板上时的安装性变差，即使引线接合有残留，也不会
- 10 损害接触，并且因为不进行加热，所以端子的材料不会因热而老化。LSI 元件全部不受热变形的影响。可以在另一个配线基板上对 LSI 元件全部没有热变形影响，可以在另一个配线基板没有问题地安装 LSI 元件。

附图说明

- 15 图 1 是表示本发明实施例的 LSI 插件的剖面图。

图 2 是表示图 1 的 LSI 插件的俯视图。

图 3 是表示将 LSI 元件安装在配线基板上之前的图 1 的 LSI 插件的剖面图。

图 4 是说明本发明半导体器件的制造方法的流程图。

- 20 图 5 是表示将 LSI 元件安装在另一个配线基板上的半导体器件的例子图。

图 6 是表示图 5 的半导体器件的其它例子的图。

图 7 是表示用于端子的清洗化的抛光处理的图。

- 25 图 8A 到 8C 是表示 LSI 元件的端子与配线基板的端子的接合例子的图。

图 9 是表示从 LSI 元件的配线基板分离的工序的图。

图 10 是表示第 2 导电层比第 1 导电层的硬度大的 LSI 元件的例子图。

图 11 是表示从配线基板剥离图 10 的 LSI 元件的工序的图。

- 30 图 12 是表示 LSI 元件的第 2 导电层比配线基板的第 3 导电层小的 LSI

的元件例的图。

图 13 是表示配线基板端子结构其它例子的剖面图。

图 14 是表示配线基板端子结构例子的剖面图。

图 15A 到 15D 是表示用加强构件加强 LSI 插件的例子的图。

5 图 16 是表示 LSI 插件的其它例子的图。

图 17 是表示 LSI 插件的其它例子的图。

图 18 是表示图 17 的 LSI 插件的立体图。

图 19 是表示 LSI 插件的其它例子的立体图。

图 20 是表示 LSI 插件的其它例子的俯视图。

10 图 21 是表示图 20 的 LSI 插件的侧视图。

具体实施方式

图 1 是表示本发明实施例的 LSI 插件的剖面图。图 2 是表示图 1 的插件的俯视图。图 3 是表示将 LSI 元件安装在配线基板上之前的图 1 的 LSI
15 插件的剖面图。

在图 1 到图 3 中，LSI 插件 10 由 LSI 元件 12、和安装有 LSI 元件 12 的配线基板 14 组成。在实施例中，LSI 元件 12 是硅芯片。然而，LSI 元件也可以是其它的半导体芯片或半导体晶片或 CSP 等具有微细端子的半导体部件。配线基板 14 由聚酰亚胺基板构成。配线基板 14 可以是玻璃纤维环氧树脂基板等其它的基板。
20

LSI 元件 12 具有多个端子 16，各端子 16 包括在 LSI12 的表面上有的第 1 导电层 18、和重叠形成在第 1 导电层 18 上并且具有比第 1 导电层 18 的润湿性差的性质的第 2 导电层 20。

配线基板 14 具有配线 22、形成在配线 22 上的多个端子 24。各端子
25 24 具有第 3 导电层作为其表面层。配线基板 14 的多个端子 24 的第 3 导电层 26 接合在 LSI 元件 12 的端子 16 的第 2 导电层 20 上并且与第 2 导电层 20 的材料具有相同或润湿性好的性质。

在本发明中，第 1 导电层 18、第 2 导电层 20 和第 3 导电层 26 比第 2
导电层 20 与第 3 导电层 26 的金属间结合力比第 1 导电层 18 与第 2 导电
30 层 20 的金属间结合力强的材料形成。另外，LSI 元件 12 的端子 16 包括底

层（钝化层），第1导电层18设置在该底层上。第1导电层18与第2导电层20的金属间结合力比底层与第1导电层18的金属间结合力小。

例如 LSI 元件 12 的端子 16 的第 1 导电层 18 由铝形成，而第 2 导电层 20 由钨（W）形成。铝和钨可以通过溅射等形成在 LSI 元件 12 上。配线基板 14 的端子 24 的最上层的第 3 导电层 26 由与 LSI 元件 12 的端子 16 的最上层的第 2 导电层 20 相同的材料钨形成。可以使用作为绝缘基板材料的 PI 的挠性印刷板作为配线基板 14。

另外，LSI 元素 12 的端子 16 的第 1 导电层 18 由软焊料形成，而第 2 导电层 20 由 PT（或 Rd、W）形成。

10 在位于配线基板 14 的周边部的配线 22 的部分上形成外部连接端子 28。配线基板 14 的外部连接端子 28 的间距比 LSI 元件 12 的端子 16 的间距大。

按照该 LSI 插件 10，可以使用配线基板的外部连接端子 28，进行 LSI 元件 12 的试验。这时例如将 LSI 插件 10 插入在试验用插座上，使配线基板 14 的外部连接端子 28 连接在试验用插座的导体上。这时可以几乎利用过去的试验用插座。另外当要按照配对芯片的原样进行 LSI12 的试验时，在晶片的小尺寸化的 LSI 元件 12 和高功能化的 LSI 元件 12 的端子 16 的场合，因为 LSI 元件 12 的端子 16 的间距非常小，所以必需准备具有非常小的导体的试验用插座，并要花费相当高的成本。

20 图 4 是说明本发明的半导体器件的制造方法的流程图。在步骤 30 中制造 LSI 插件 10。LSI 插件 10 是与参照图 1 至图 3 说明过的相同。在步骤 31 中使用配线基板 14 的外部连接端子 28 进行 LSI 元件 12 的试验。在 LSI 元件 12 的试验中如上述那样利用试验用插座。

接着，在步骤 32 中运送 LSI 插件 10，这时，LSI 元件 12 的制造者制造插件 10，进行 LSI 元件 12 的试验，如果试验结果良好，则将 LSI 插件 10 运送给用户（发货）。在步骤 33 中，用户分离 LSI 元件 12 和配线基板 14（将 LSI 元件 12 的端子 16 从配线基板 14 的端子 24 剥离）。然后在步骤 34 中将 LSI 元件 12 安装在用户希望的另一个配线基板上。

30 用户要求配对芯片、配对晶片或 CSP 状态的 LSI 元件 12。这是被称为 KGD（Known Good Die）的电子部件的发货形态。这时例如将 LSI 元

件 12 直接安装在电子设备的配线基板上作为配对芯片。或者也以 MCM (Multi Chip Modue) 或 Mcp (Multi Chip Package) 或 SIP (System In Package) 的形态使用 LSI 元件 12。

5 因为配线基板 14 是为 LSI 元件 12 的试验而设置的, 所以可以在 LSI 元件 12 的制造者进行 LSI 元件 12 的试验后, LSI 元件 12 的制造者将配线基板 14 从 LSI 元件 12 上分离, 然后只将 LSI 元件 12 发货。然而与单独运送 LSI 元件 12 的方法相比, 作为将 LSI 元件 12 与配线基板 14 组合的 LSI 插座 10 运送的方法却是有利于 LSI 元件 12 的保护。

10 图 5 是表示将 LSI 元件 12 与配线基板 14 分离后安装在另一个配线基板上组成的半导体器件的例子的图。在图 5 中, (A) 表示在图 4 的步骤中将 LSI 元件 12 与配线基板 14 分离后的状态。在 LSI 元件 12 的端子 16 的表面上露出第 1 导电层 18。(B) 是表示将分离后的 LSI 元件 12 安装在另一个另一个配线基板 40 上的状态。这时, LSI 元件 12 的多个端子 16 通过引线 44 连接在配线基板 40 的多个端子 42 上, 即通过引线接合。(C) 15 表示清洗分离后的配线基板 14 的端子 24 (抛光) 的步骤, 虽然端子 24 包括第 3 导电层 26, 但是因为是在第 3 导电层 26 上附着第 2 导电层 20, 所以清洗端子 24, 以使第 2 导电层从第 3 导电层脱落。(D) 表示清洗后的配线基板 14, 可以再使用已清洗的配线基板 14。

20 因为在试验步骤中在铝的第 1 导电层 18 上不产生伤痕, 也不加高的热量, 所以不会损害引线接合性能。虽然通常在晶片状态下进行的预备试验中在 LSI 晶片的端子上残留接触伤痕, 但因为用本方法在端子的表面上不残留伤痕, 所以安装性能稳定。在这样的 LSI 晶片的端子上针迹成为问题, 虽然接触的次数受到限定, 但在本方法中没有这样的问题, 即使反复再试验也不会损害接合性能。

25 图 6 是表示图 5 半导体器件其它例子的图。在该例中, LSI 元件 12 的多个端子 16 通过凸状物 46 连接在另一个配线基板 40 的多个端子 42 上。凸状物 46 在 LSI 元件 12 与配线基板 14 分离后设置在 LSI 元件 12 的端子 16 上。在这时, 在 LSI 元件 12 的端子 16 的第 1 导电层 18 上采用 Au, 第 2 导电层 20 (图 6 中未示出) 采用 W。把凸状物 46 变成软焊料的凸状物。30 软焊料的组成是各种各样的, 但有例如交融点软焊料 (Pb、Sn=95: 5) 等。

按照本发明，如上所述，第1导电层18、第2导电层20和第3导电层26由第2导电层20与第3导电层26的金属间结合力比第1导电层18与第2导电层20的金属间结合力强的材料形成。特别是至少位于配线基板14的端子24上的第3导电层26由与LSI元件12的端子16的第2导电层20相同的材料或比其润湿性好的材料形成。优选的是LSI元件12的端子16的第2导电层和配线基板14的端子24的第3导电层26通过加压产生的凝集作用金属间结合。而且优选的是在端子16与端子24的接合工序之前，把LSI元件12的端子16的第2导电层20的表面和配线基板14的端子24的第3导电层26的表面清洗干净。

图7是用于端子的清洁化的抛光处理的图。抛光是把LSI元件12和配线基板14插入在舱48内，然后在等离子气氛下例如通过供给氟气进行。另外，抛光处理不受该例的限定。没有必要抛光处理LSI元件12和配线基板14的全部，也可以至少抛光处理第2导电层20的表面和第3导电层26的表面。

这样，在通过把第2导电层20的表面和第3导电层26的表面弄清洁并除去氧化层和其它杂质层后，立即通过加压使LSI元件12的端子16与配线基板14的端子24接合，这样就不会加热LSI元件12的端子16和配线基板14的端子24（或者加热到比熔点低的温度），只要用比较小的压力就能使第2导电层20的表面与第3导电层26通过金属间结合来接合。LSI元件12的端子16与配线基板14的端子24的加压接合最好是将配置在抛光舱48与加压接合装置配置在同一处理室内，并使处理室在真空或不活泼气体（氮等）气氛下。

图8A到8C是表示LSI元件12的端子与配线基板14的端子24的接合例的图。如图8A所示，在端子16、24的表面上容易产生氧化膜或有机物膜等表面膜50。当在端子16、24的表面上有氧化膜或有机物膜等表面膜50时，即使端子16（的第2导电层20）与端子24（的第3导电层26）接触，两者间的表面膜电阻也变大。为使端子16与端子24电连接，在此，加压接点时为了得到试验所需要的稳定的接触状态，而需要大的外加压力，并且必需施加与插针数成比例的接触力连接。按照本发明，优选的是，如图8B所示，在把端子16、24的表面（特别是第2导电层20的表面和

第3导电层26的表面)变成清洁的状态下,在这些表面不被污染的状态,如图8C所示那样,使端子16与端子24接合。

如果在LSI元件12的端子16的表面上存在的第2导电层20和在配线基板14的端子24的表面上存在的第3导电层26由相同的材料形成,则因此两者不会被污染,如果发生不平,则只有加压,或者如果在该金属的熔点以下的温度并加压,则可以得到足够的金属间结合。因为该金属间结合变成恰恰如同像通过金属的熔融(通过使温度上升到熔点以上熔化生成合金)的金属间结合那样的状态,所以没有杂质层,所以恰恰变成接近同一材料的连续状态。在产生氧化膜或有机物化合膜层等表面膜50的状态,即使顶压金属之间,仅通过加压也不能产生稳定的金属间结合。

然而在定位焊接方法的场合,通过加热使温度上升一直到金属的熔点来使表面的分子活性化,也含异物层使由熔融的金属间结合产生。在该方法中,在LSI元件12与配线基板14之间和这些端子16、24之间残留有热变形。

在用钨形成第2导电层20和第3导电层26的场合,当钨之间以纯净的不被污染的状态原样(真空中或氮等不活性气体)内的环境互相加压粘合时,由于两者是同样的材料,所以容易接合。因为最上层的分子能量是活泼的状态,容易引起分子间结合。意味着促进分子间结合,虽然通过使温度上升一些来提高分子能量是有效的,但这时没有必要使温度上升到熔点进行熔融。

这样构成的LSI插件10因为不会受热应变的损害,在连接面上也没有杂质层。电阻也低,并且不会发生由线膨胀系数的差引起的配线基板14和LSI元件12的翘起,所以可以实现物理上非常稳定的结合状态。

图9是表示将元件12从配线基板上分离的工序的图。试验后,当在分离LSI元件12与配线基板14方向施加力时,LSI元件12的端子12的端子16的第2导电层20附着在配线基板14的端子24的第3导电层26上,在LSI元件12的端子16上基本上只残留第1导电层18。也就是说,第2导电层20与第3导电层26的金属间结合力比第1导电层18与第2导电层20的金属间结合力大,即因为第2导电层20通过凝着顽强地接合在第3导电层26上,第1导电层18与第2导电层20的金属间结合力比

较小，所以第 2 导电层 20 在配线基板 14 侧已经几乎剥离干净，而在 LSI 元件 12 侧残留第 1 导电层 18。这样，可以容易将 LSI 元件 12 从配线基板 14 上分离。

另外，在定位焊接方法的场合，不容易使 LSI 元件侧的端子从配线基
5 本侧的端子上剥离，如果使其强行剥离，则会将 LSI 元件侧的端子与配线
基板侧端局部拉成不规则形状，使其作为端子使用变成困难。

图 10 是表示第 2 导电层 20 比第 1 导电层 18 的硬度大或抗拉强度大的
LSI 元件 12 的例子的图。图 11 是表示将图 10 的 LSI 元件从配线基板
上剥离的工序的图。LSI 元件 12 的端子 16 的第 1 导电层 18 和第 2 导电层
10 20 通过溅射形成，在面上均匀地粘合，在它们之间不产生集中电阻等电阻。

所谓第 2 导电层 20 的材料比第 1 导电层 18 的材料硬的含意是指第 1
导电层 18 容易被从第 2 导电层 20 上剥离，使第 1 导电层 18 更确实能残
留在 LSI 元件 12 侧。铝和钨的组合满足这个条件。另外如果担心铝在钨
上附着局部地减少，则使铝层比在丝接合中使用的厚度厚几个 μm 也是有
15 效的。

图 12 是表示 LSI 元件 12 的端子 16 的第 2 导电层 20 比配线基板 14
的端子 24 的第 3 导电层 26 小的 LSI 元件的例子的图。如果使第 2 导电层
20 的大小比第 1 导电层 18 的大小小，则在后面的工序中容易使第 2 导电
层 20 从第 1 导电层 18 上剥离，并具有不容易产生剥离剩余物的效果。

图 13 是表示配线基板端子结构例子的图。配线基板 14 的端子 16 的
部分材料也可不完全相同。即，最低限度是仅使作为与 LSI 元件 12 的端
子 16 的第 2 导电层 20 接触部分的最上层第 3 导电层 26 与 LSI 元件 12 的
端子 16 的第 2 导电层 20 的材料相同，或者是润湿性好的材料。在图 13
中，配线 22 是 Cu-Ni-Au 三层结构，在其上面仅与 LSI 元件 12 的端子 16
25 结合的部分通过进行 W 镀层形成第 3 导电层 26。

图 14 是表示配线基板端子结构的其它例子的图。在该例中，配线 22
是二层结构在其上面比较宽的区域上通过进行 W 镀层形成第 3 导电层 26。

图 15A 至 15D 是表示用加强构件加强的例子的图。在图 15A 中，由
LSI 元件 12 和配线基板 14 组成的 LSI 插件 10 还通过加强构件 52 连接。
30 加强构件 52 用 UV 硬化型粘接剂或附着 UV 硬化型粘接剂的条等具有在以

后能容易剥离的条件的粘接剂进行辅助接合加强构件 52 是用于加强 LSI 元件 12 与配线基板 14 间的接合强度的构件，在试验中或在试验后的发货中，使第 1 导电层 18 与第 2 导电层 20 不容易因受冲击等而剥离。

在图 15B 中，在从配线基板 14 上分离 LSI 元件 12 之前，照射 UV，
5 使构成加强构件 52 的条失去粘接力。在图 15C 中，将加强构件 52 从 LSI 元件 12 和配线基板 14 上剥离开。因此可以不增加 LSI 元件 12 负担地将 LSI 元件 12 从配线基板 14 上分离。在图 15D 中，将 LSI 元件安装在另一个配线基板 40 上。

图 16 是表示 LSI 插件的其它例子的图。LSI 插件 10 包括 LSI 元件 12
10 和配线基板 14。与图 1 和图 2 中所示的例子相同，LSI 元件 12 具有各自由第 1 导电层 18 和第 2 导电层 20 组成的多个端子 16，配线基板 14 具有各自由第 3 导电层 26 组成的多个端子 24 和外部连接端子 28。这些导电层虽然未在图 16 中示出，但与以前说明是相同的。在图 16 中，将用于辅助 LSI 元件 12 的工作或工作试验的电子部件 54、56 安装在配线基板 14 上。
15 例如电子部件 54 是电容器，电子部件 56 是电阻。电子部件 54、56 也可以是其它的构件。另外也可以包括具有试验支援功能的 LSI。

另外，因为配线基板 14 可以重复使用，所以使这些部件在每个元件上的成本负担减少。并由于在再使用前进行抛光而能除去表面的异物（氧化铝膜、有机膜）。

20 图 17 是表示 LSI 插件的其它例子的图。图 18 是图 17 的 LSI 插件的立体图。LSI 插件 10 包括多个 LSI 元件 12 和配线基板 14。各 LSI 元件 12 具有各自由第 1 导电层 18 和第 2 导电层 20 组成的多个端子，配线基板 14 具有各自由第 3 导电层 26 组成的多个端子 24 和外部端子 28。这些导电层虽然在图 17 和图 18 中未示出，但与以前的说明是相同的。

25 图 19 是表示 LSI 插件的其它例子的图。LSI 插件 10 包括多个 LSI 元件 12 和配线基板 14。各 LSI 元件 12 具有各自由第 1 导电层 18 和第 2 导电层 20 组成的多个端子 16、配线基板 14 具有各自由第 3 导电层 26 组成的多个端子 24 和外部端子 28。这些导电层虽然未在图 19 中示出，但与以前的说明是相同的。与多个 LSI 元件 12 以晶片的形态一体化。另外没有
30 必要与多个 LSI 元件以完全的晶片的形态安装在配线基板 14 上，也可以

例如以 1/2 晶片或 1/4 的晶片形状安装在配线基板上。

图 20 是表示 LSI 插件的其它例子的图。图 21 是表示图 20 的 LSI 插件的侧视图。LSI 插件 10 包括多个 LSI 元件 12 和配线基板 14。多个 LSI 元件 12 是二种以上的（互不相同的）LSI。例如将作为 MPU 的芯片和存储器芯片（闪存器、DRAM 等）混装在一个配线基板上，通过必要的配线互相连接，可以在最终的使用这些 LSI 的系统 LSI（系统插件）的状态下进行试验。各 LSI 元件 12 具有各自第 1 导电层 18 和第 2 导电层 20 组成的多个端子 24 和外部连接端子 28。配线基板 14 具有各自第 3 导电层 26 组成的多个端子 24 和外部连接端子 28。这些导电层虽然在图 17 和图 18 中示出，但与以前的说明是相同的。

如以上所说明的那样，按照本发明可以容易而低成本地进行 KGD 的供给。即在试验中即使不施加力也能得到稳定的电接触（低电阻），而且在试验后 LSI 元件能容易地分离，在分离后 LSI 元件的端子的状态不变形，不会损害安装性能。与在铝的凸部上作为引导连接用的 LSI 相比，与其说是由于在从前的预先试验（Preliminary Test）中没发生缺陷而提高接合性，莫不如说是由于连接、分离可以不加高热地进行而才不会对 LSI 元件和 LSI 元件的端子产生损伤。

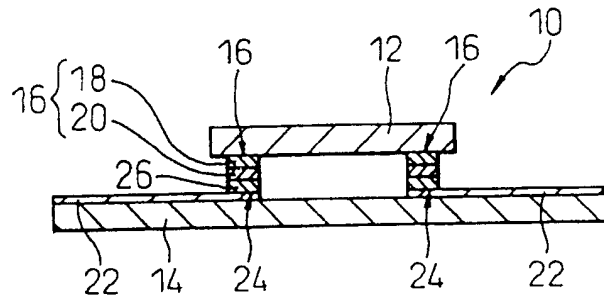


图 1

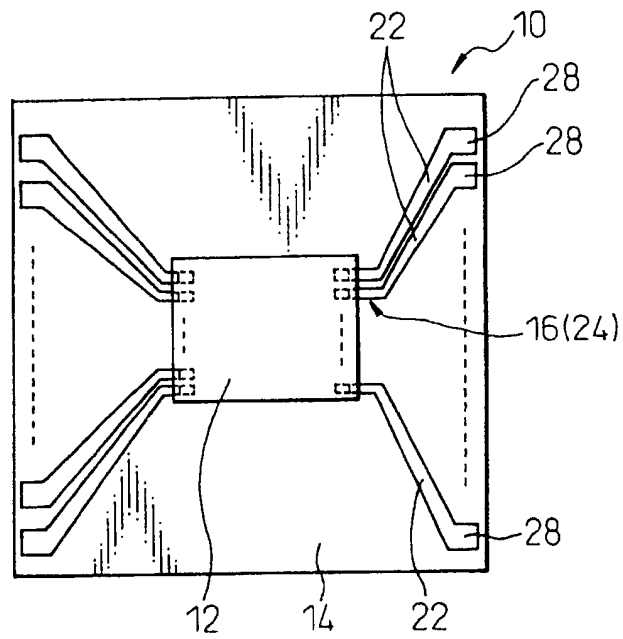


图 2

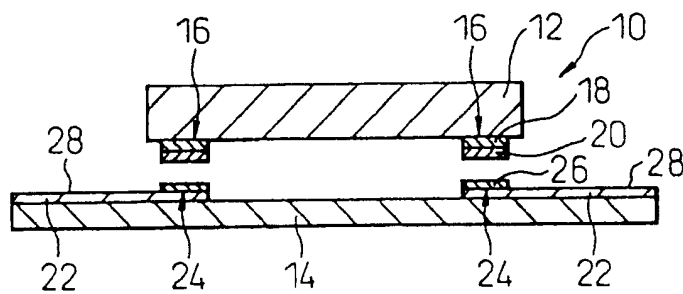


图 3

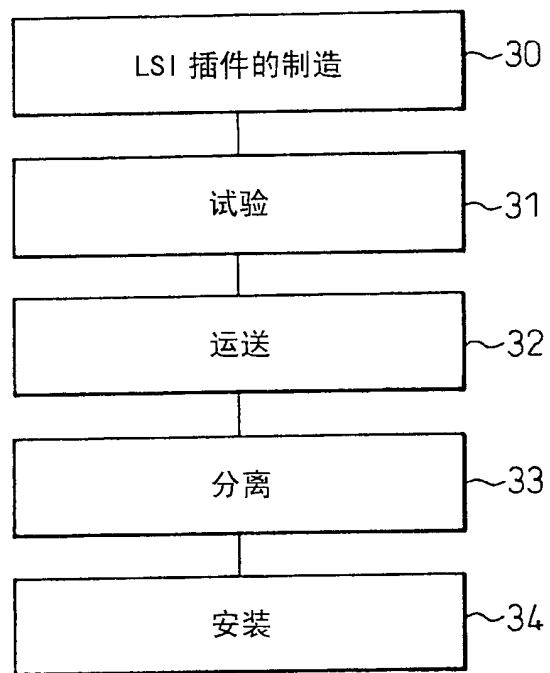


图 4

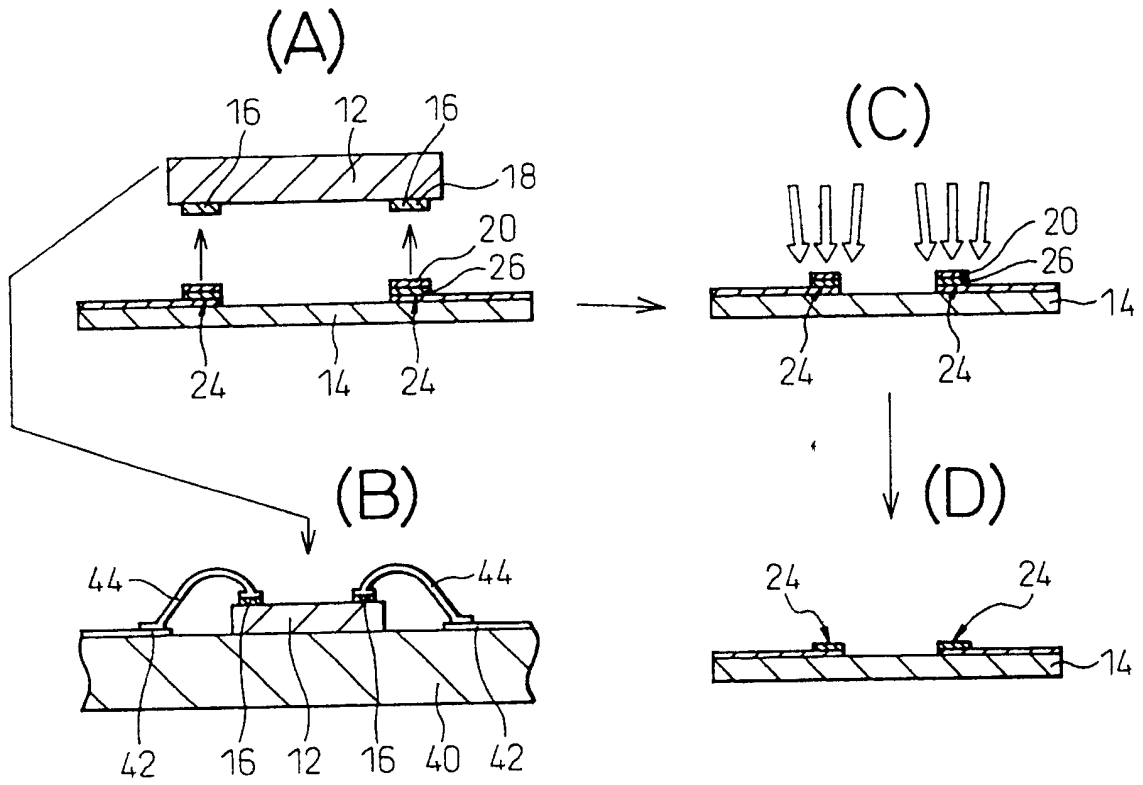


图 5

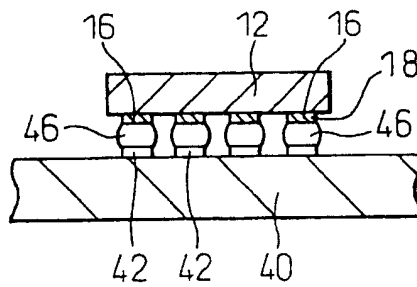


图 6

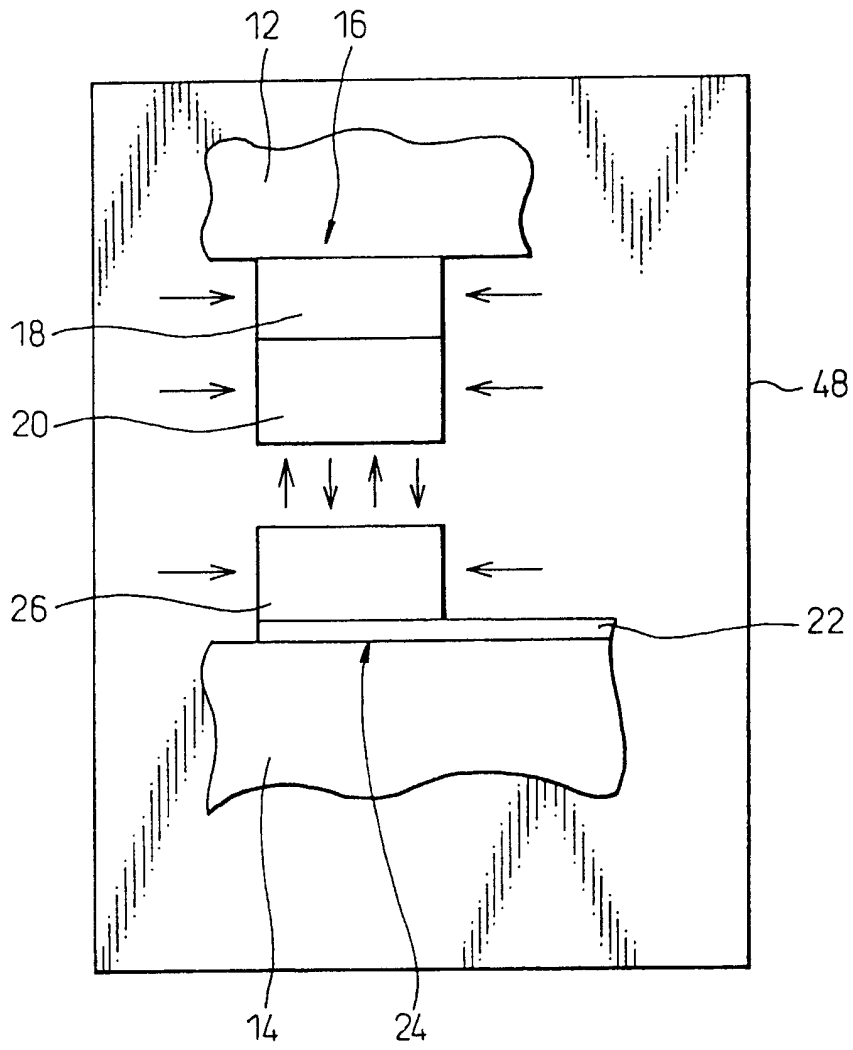


图 7

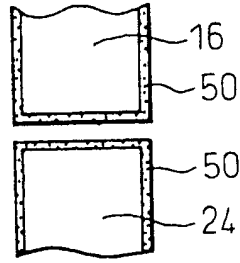


图 8A

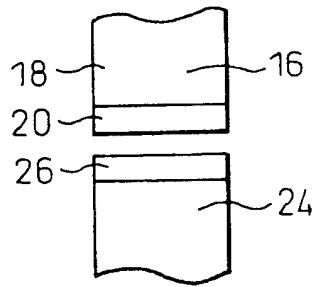


图 8B

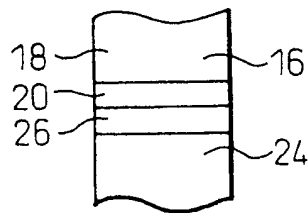


图 8C

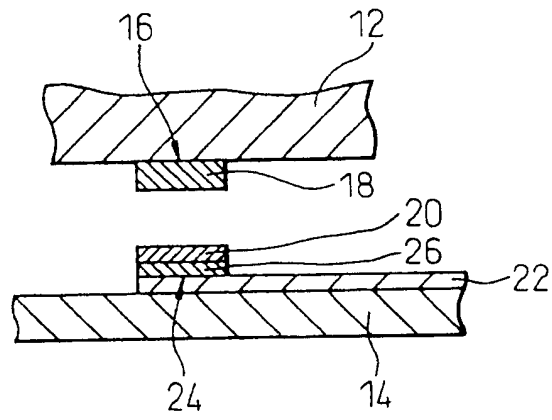


图 9

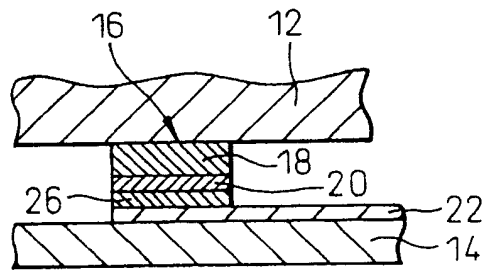


图 10

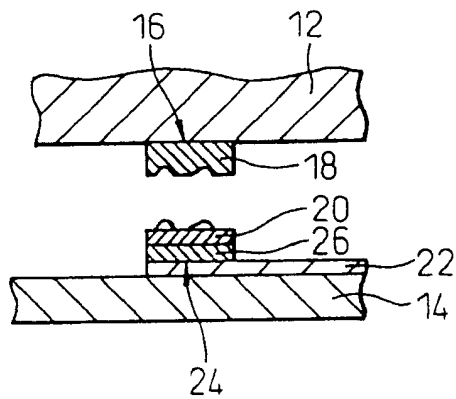


图 11

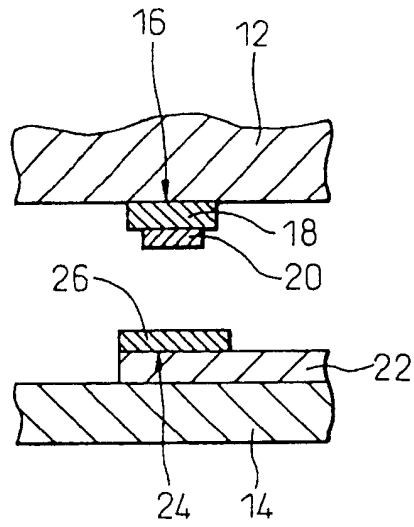


图 12

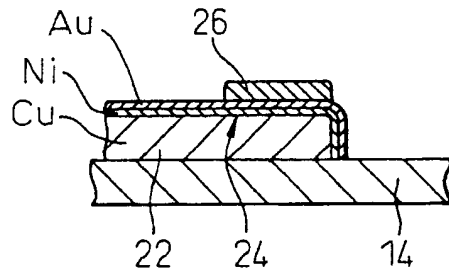


图 13

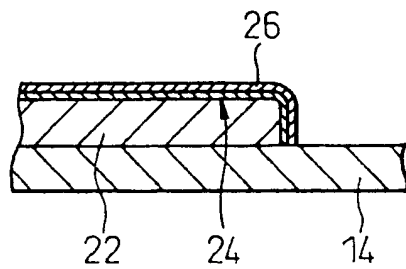


图 14

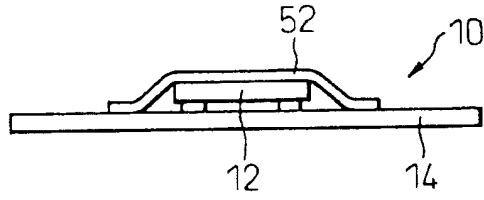


图 15A

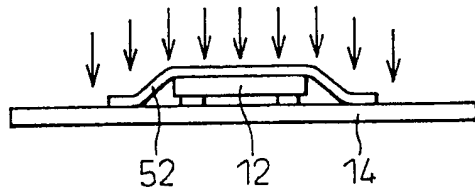


图 15B

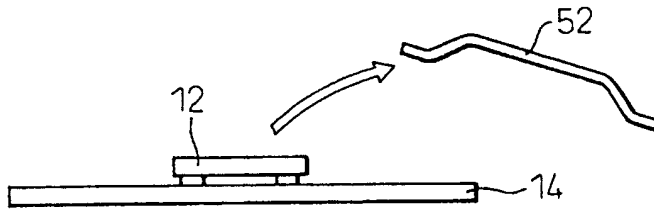


图 15C

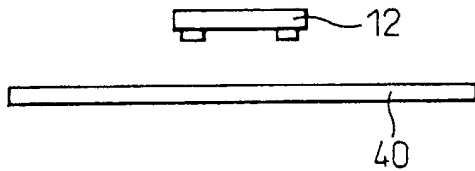


图 15D

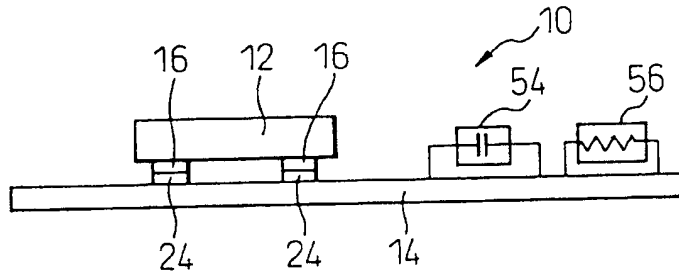


图 16

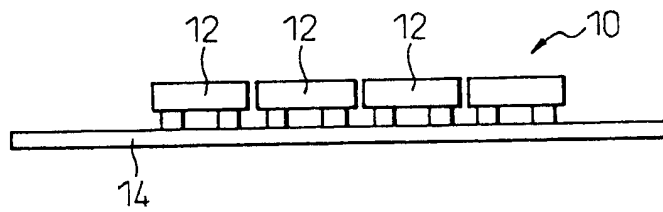


图 17

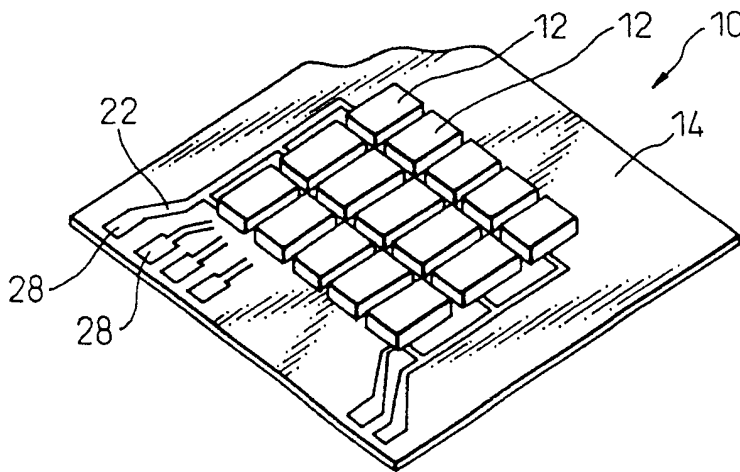


图 18

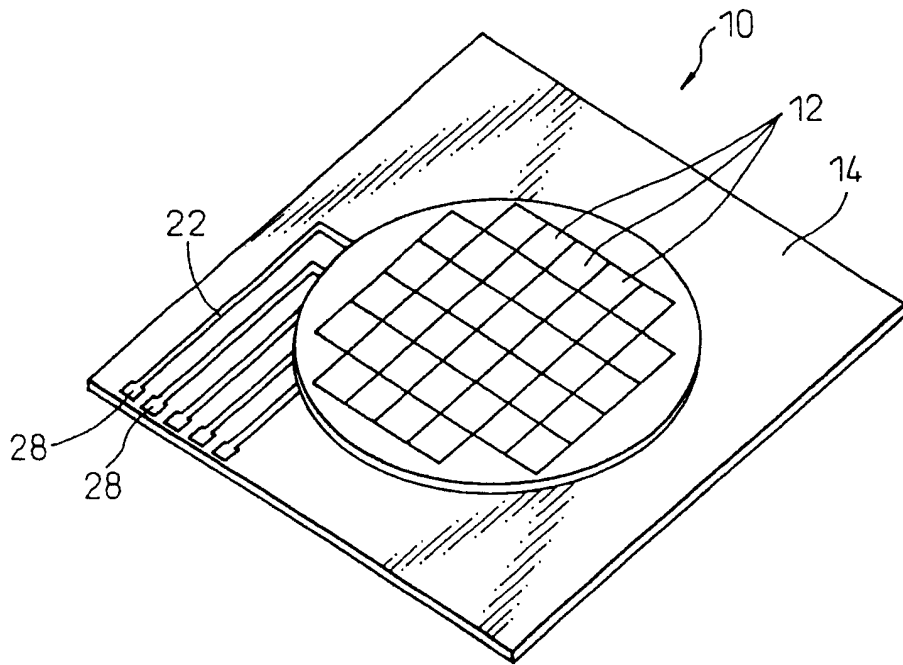


图 19

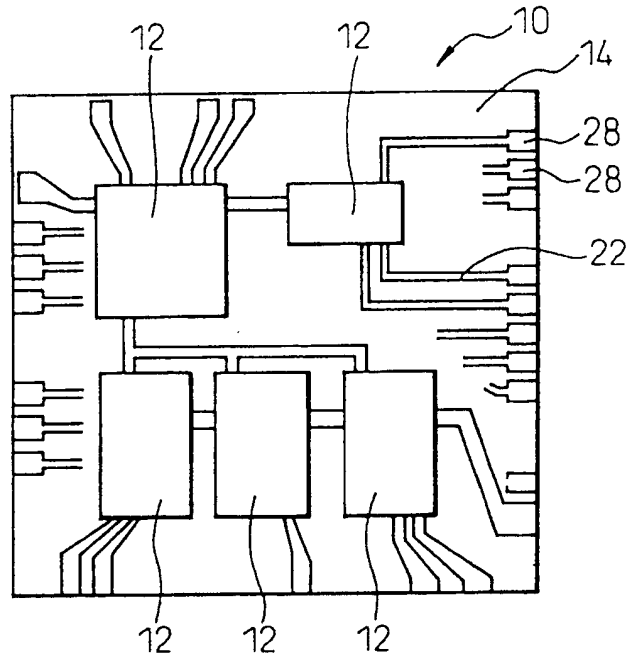


图 20

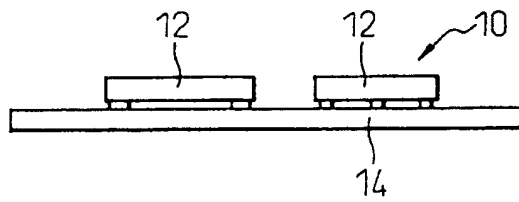


图 21