



(12) 发明专利

(10) 授权公告号 CN 102710230 B

(45) 授权公告日 2015. 09. 30

(21) 申请号 201210210859. 6

到第 9 页第 2 段、图 1-6.

(22) 申请日 2012. 06. 20

JP 特开平 11-27132 A, 1999. 01. 29, 说明书第 [0003]-[0033] 段、图 1-4.

(30) 优先权数据

101116167 2012. 05. 07 TW

CN 101256826 A, 2008. 09. 03, 全文.

(73) 专利权人 钰创科技股份有限公司

审查员 李维

地址 中国台湾新竹科学工业园区新竹市科技五路 6 号

(72) 发明人 夏濬 洪森富 陈文伟

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 常大军

(51) Int. Cl.

H03H 7/38(2006. 01)

(56) 对比文件

CN 101047021 A, 2007. 10. 03, 第 1 页第 3 段到第 9 页第 2 段、图 1-6.

CN 101047021 A, 2007. 10. 03, 第 1 页第 3 段

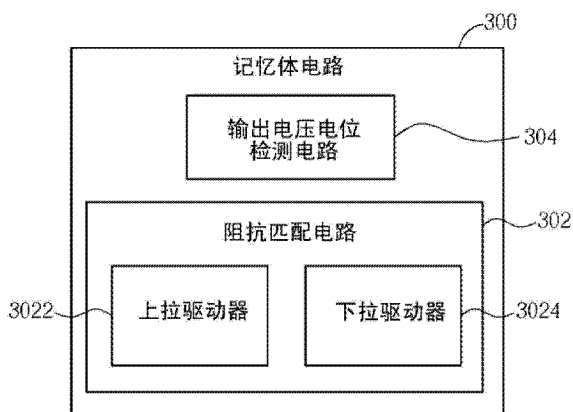
权利要求书1页 说明书4页 附图3页

(54) 发明名称

执行初始校正及全时更新模式校正的方法和记忆体电路

(57) 摘要

执行初始校正及全时更新模式校正的方法和记忆体电路, 包含供电至该记忆体电路; 利用该阻抗匹配电路, 对该记忆体电路执行该初始校正; 该记忆体电路离开该初始校正; 该记忆体电路进入一驱动模式; 每隔一预定时间该记忆体电路退出该驱动模式; 根据一更新指令, 利用该阻抗匹配电路对该记忆体电路执行该更新模式校正; 一输出电压电位检测电路判断该记忆体电路的输出电压电位; 根据该输出电压电位检测电路的判断结果, 执行一相对应的动作。



1. 一种执行初始校正及全时更新模式校正的方法,其特征在于,包含:

供电至一记忆体电路;

利用一阻抗匹配电路,对该记忆体电路执行该初始校正,以调整该记忆体电路的输出电压的逻辑高电位的回转率与该记忆体电路的输出电压的逻辑低电位的回转率;

该记忆体电路离开该初始校正;

该记忆体电路进入一驱动模式;

每隔一预定时间该记忆体电路退出该驱动模式;

根据一更新指令,利用该阻抗匹配电路对该记忆体电路执行该更新模式校正;

一输出电压电位检测电路判断该记忆体电路的输出电压电位;及

根据该输出电压电位检测电路的判断结果,执行一相对应的动作。

2. 根据权利要求1所述的方法,其特征在于,根据该输出电压电位检测电路的判断结果,执行该相对应的动作包含:

当该记忆体电路的输出电压电位低于一低参考电压时,调整该阻抗匹配电路内的一上拉驱动器的强度。

3. 根据权利要求1所述的方法,其特征在于,根据该输出电压电位检测电路的判断结果,执行该相对应的动作包含:

当该记忆体电路的输出电压电位高于一高参考电压时,调整该阻抗匹配电路内的一下拉驱动器的强度。

4. 根据权利要求1所述的方法,其特征在于,根据该输出电压电位检测电路的判断结果,执行该相对应的动作包含:

当该记忆体电路的输出电压电位介于一高参考电压与一低参考电压之间时,该记忆体电路回到该驱动模式。

5. 根据权利要求1所述的方法,其特征在于,该驱动模式为该记忆体电路接收一激活指令、一读取指令、一写入指令及/或一闲置指令。

6. 根据权利要求1所述的方法,其特征在于,该初始校正为一延伸暂存器设定模式。

7. 一种用于权利要求1所述的执行初始校正及全时更新模式校正的方法的记忆体电路,其特征在于,包含:

一输出电压电位检测电路,用以判断该记忆体电路的一输出电压电位;以及

一阻抗匹配电路,包含:

一上拉驱动器,用以在该记忆体电路的全时更新模式校正下,当该输出电压电位低于一低参考电压时,调高该输出电压电位;及

一下拉驱动器,用以在该记忆体电路的全时更新模式校正下,当该输出电压电位高于一高参考电压时,调低该输出电压电位;

其中,该阻抗匹配电路还用于在该记忆体电路执行初始校正的过程中,调整该记忆体电路的输出电压的逻辑高电位与逻辑低电位的回转率。

8. 根据权利要求7所述的记忆体电路,其特征在于,该输出电压电位检测电路在该记忆体电路的全时更新模式校正下判断该记忆体电路的该输出电压电位。

9. 根据权利要求7所述的记忆体电路,其特征在于,该初始校正为一延伸暂存器设定模式。

## 执行初始校正及全时更新模式校正的方法和记忆体电路

### 技术领域

[0001] 本发明涉及一种于记忆体电路内执行初始校正及全时更新模式校正的方法和记忆体电路,尤其涉及一种共用记忆体电路内的阻抗匹配电路执行初始校正及全时更新模式校正的方法和可于初始校正及全时更新模式校正共用阻抗匹配电路的记忆体电路。

### 背景技术

[0002] 芯片与芯片之间的沟通不仅需要准确的时序设计,也需要准确设计二芯片之间的阻抗匹配。根据联合电子设备工程委员会 (Joint Electron Device Engineering Council, JEDEC) 的标准,可利用延伸暂存器设定 (extended mode register set, EMRS) 模式,执行离线驱动器阻抗匹配校正,以准确设计二芯片之间的阻抗匹配。

[0003] 请参照图 1,图 1 为现有技术说明记忆体电路 100 的示意图。在供电给记忆体电路 100 后,记忆体电路 100 一开始先进入延伸暂存器设定模式。在延伸暂存器设定模式中,使用者必须利用示波器人工判读记忆体电路 100 的输出电压的逻辑高电位“1”与逻辑低电位“0”的回转率 (Slew rate)。然后,再利用阻抗匹配电路 102 内的一上拉驱动器 1022 与一下拉驱动器 1024 调整记忆体电路 100 的输出电压的逻辑高电位“1”与逻辑低电位“0”的回转率。另外,如图 1 所示,记忆体电路 100 另包含一校正电路 104,用以执行回转率的强度调整。

[0004] 然而,如图 1 所示,记忆体电路 100 是利用阻抗匹配电路 102 与校正电路 104 分别执行延伸暂存器设定模式及全时更新模式校正,导致记忆体电路 100 具有大的电路面积,且记忆体电路 100 也不会全时 (full time) 执行更新模式校正。

### 发明内容

[0005] 本发明的一实施例提供一种共用记忆体电路内的阻抗匹配电路执行初始校正及全时更新模式校正的方法。该方法包含供电至一记忆体电路;利用该阻抗匹配电路,对该记忆体电路执行该初始校正;该记忆体电路离开该初始校正;该记忆体电路进入一驱动模式;每隔一预定时间该记忆体电路退出该驱动模式;根据一更新指令,利用该阻抗匹配电路对该记忆体电路执行该更新模式校正;一输出电压电位检测电路判断该记忆体电路的输出电压电位;根据该输出电压电位检测电路的判断结果,执行一相对应的动作。

[0006] 本发明的另一实施例提供一种可于初始校正及全时更新模式校正共用阻抗匹配电路的记忆体电路。该记忆体电路包含一输出电压电位检测电路及一阻抗匹配电路。该输出电压电位检测电路,用以判断该记忆体电路的一输出电压电位。该阻抗匹配电路包含一上拉驱动器及一下拉驱动器。该上拉驱动器是用以在该记忆体电路的初始校正及全时更新模式校正下,当该记忆体电路的输出电压电位低于一低参考电压时,调高该输出电压电位;该下拉驱动器是用以在该记忆体电路的初始校正及全时更新模式校正下,当该记忆体电路的输出电压电位高于一高参考电压时,调低该输出电压电位。

[0007] 本发明提供一种共用记忆体电路内的阻抗匹配电路执行初始校正及全时更新模

式校正的方法和可于初始校正及全时更新模式校正共用阻抗匹配电路的记忆体电路。该方法是在供电给该记忆体电路后,即利用该记忆体电路内的阻抗匹配电路执行该初始校正,也即该记忆体电路进入一延伸暂存器设定(EMRS)模式。在执行该初始校正的过程中,使用者可通过该阻抗匹配电路调整一输出电压的逻辑高电位与逻辑低电位的回转率。结束并退出该初始校正后,该记忆体电路进入一驱动模式。在该驱动模式中,该记忆体电路是每隔一预定时间退出该驱动模式,以执行该更新模式校正。在执行该更新模式校正的过程中,该记忆体电路可利用一输出电压电位检测电路判断该记忆体电路的输出电压的电位,并通过该阻抗匹配电路调整该记忆体电路的输出电压的电位。如此,本发明可通过该记忆体电路的阻抗匹配电路将该初始校正与该更新模式校正结合在一起。因此,本发明不仅可全时(full time)执行阻抗匹配以减少该记忆体电路的输出电压的反射,也可因为该初始校正与该更新模式校正共用该阻抗匹配电路而减少该记忆体电路的面积。

[0008] 以下结合附图和具体实施例对本发明进行详细描述,但不作为对本发明的限定。

### 附图说明

[0009] 图 1 为现有技术说明记忆体电路的示意图;

[0010] 图 2 为本发明的一实施例说明共用记忆体电路内的阻抗匹配电路执行初始校正及更新指令的方法的流程图;

[0011] 图 3 为说明记忆体电路的示意图。

[0012] 其中,附图标记

|        |           |            |
|--------|-----------|------------|
| [0013] | 100、300   | 记忆体电路      |
| [0014] | 102、302   | 阻抗匹配电路     |
| [0015] | 104       | 校正电路       |
| [0016] | 304       | 输出电压电位检测电路 |
| [0017] | 1022、3022 | 上拉驱动器      |
| [0018] | 1024、3024 | 下拉驱动器      |
| [0019] | 200 至 216 | 步骤         |

### 具体实施方式

[0020] 下面结合附图对本发明的结构原理和工作原理作具体的描述:

[0021] 请参照图 2 和图 3,图 2 为本发明的一实施例说明一种共用记忆体电路内的阻抗匹配电路执行初始校正及全时更新模式校正的方法的流程图,图 3 为说明记忆体电路 300 的示意图。图 2 的方法是利用图 3 的记忆体电路 300 说明,详细步骤如下:

[0022] 步骤 200:开始;

[0023] 步骤 202:供电至记忆体电路 300;

[0024] 步骤 204:利用记忆体电路 300 内的阻抗匹配电路 302,对记忆体电路 300 执行初始校正;

[0025] 步骤 206:记忆体电路 300 离开初始校正;

[0026] 步骤 208:记忆体电路 300 进入一驱动模式;

[0027] 步骤 209:每隔一预定时间记忆体电路 300 退出驱动模式;

[0028] 步骤 210:根据一更新指令,利用阻抗匹配电路 302 对记忆体电路 300 执行更新模式校正;

[0029] 步骤 212:记忆体电路 300 内的输出电压电位检测电路 (output voltage level detector circuit) 304 判断记忆体电路 300 的输出电压  $V_o$  的电位;当记忆体电路 300 的输出电压  $V_o$  的电位低于一低参考电压  $V_{REFL}$  时,进行步骤 214;当记忆体电路 300 的输出电压  $V_o$  的电位高于一高参考电压  $V_{REFH}$  时,进行步骤 216;当记忆体电路 300 的输出电压  $V_o$  的电位介于高参考电压  $V_{REFH}$  与低参考电压  $V_{REFL}$  的间时,跳回步骤 208;

[0030] 步骤 214:调整阻抗匹配电路 302 内的上拉驱动器 3022 的强度,跳回步骤 212;

[0031] 步骤 216:调整阻抗匹配电路 302 内的下拉驱动器 3024 的强度,跳回步骤 212;

[0032] 为了使记忆体与下一级电路(例如控制器)之间,具有良好的阻抗匹配,根据联合电子设备工程委员会(JEDEC)的标准,可利用记忆体电路 300 内的阻抗匹配电路 302 执行离线驱动器(off chip driver)阻抗匹配校正,以准确设计记忆体与下一级电路之间的阻抗匹配。

[0033] 因此,供电至记忆体电路 300 后,在步骤 204 中,使用者利用示波器通过记忆体电路 300 内的阻抗匹配电路 302,人工地对记忆体电路 300 执行初始校正,也即记忆体电路 300 进入延伸暂存器设定(extended mode register set, EMRS)模式。在延伸暂存器设定模式中,使用者必须利用示波器人工判读记忆体电路 300 的输出电压的逻辑高电位“1”与逻辑低电位“0”的回转率。然后,再分别利用阻抗匹配电路 302 内的一上拉驱动器 3022 与一下拉驱动器 3024 调整记忆体电路 300 的输出电压的逻辑高电位“1”与逻辑低电位“0”的回转率。在步骤 206 中,因为使用者已对记忆体电路 300 执行完初始校正,所以记忆体电路 300 退出初始校正。

[0034] 记忆体电路 300 退出初始校正之后,在步骤 208 中,记忆体电路 300 进入驱动模式,其中驱动模式包含记忆体电路 300 接收并执行一激活(active)指令、一读取(read)指令、一写入(write)指令及/或一闲置(idle)指令。但本发明并不受限于记忆体电路 300 仅用以接收并执行激活指令、读取指令、写入指令及/或闲置指令。

[0035] 在步骤 209 中,每隔预定时间记忆体电路 300 会退出驱动模式。在步骤 210 中,记忆体电路 300 会退出驱动模式后,记忆体电路 300 可根据更新指令,利用阻抗匹配电路 302 对记忆体电路 300 执行更新模式校正。在步骤 212 中,输出电压电位检测电路 304 判断记忆体电路 300 的输出电压  $V_o$  的电位。在步骤 214 中,因为记忆体电路 300 的输出电压  $V_o$  的电位低于低参考电压  $V_{REFL}$ ,所以调整阻抗匹配电路 302 内的上拉驱动器 3022 的强度,并跳回步骤 212。在步骤 216 中,因为记忆体电路 300 的输出电压  $V_o$  的电位高于高参考电压  $V_{REFH}$ ,所以调整阻抗匹配电路 302 内的下拉驱动器 3024 的强度,并跳回步骤 212。然而当记忆体电路 300 的输出电压  $V_o$  的电位介于高参考电压  $V_{REFH}$  与低参考电压  $V_{REFL}$  之间时,跳回步骤 208。

[0036] 综上所述,本发明所提供的共用记忆体电路内的阻抗匹配电路执行初始校正及全时更新模式校正的方法和可于初始校正及全时更新模式校正共用阻抗匹配电路的记忆体电路,在供电给记忆体电路后,使用者即可利用记忆体电路内的阻抗匹配电路执行初始校正,也即记忆体电路进入延伸暂存器设定(EMRS)模式。在执行初始校正的过程中,使用者可通过阻抗匹配电路调整输出电压的逻辑高电位与逻辑低电位的回转率。结束并退出初始

校正后,记忆体电路进入驱动模式。在驱动模式中,记忆体电路是每隔一预定时间退出驱动模式,以执行更新模式校正。在执行更新模式校正的过程中,记忆体电路可利用输出电压电位检测电路判断记忆体电路的输出电压的电位,并通过阻抗匹配电路调整记忆体电路的输出电压的电位。如此,本发明可通过记忆体电路内的阻抗匹配电路将初始校正与更新模式校正结合在一起。因此,本发明不仅可全时执行阻抗匹配以减少记忆体电路的输出电压的反射,也可因为初始校正与更新模式校正共用阻抗匹配电路而减少记忆体电路的面积。

[0037] 当然,本发明还可有其他多种实施例,在不背离本发明精神及其实质的情况下,熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形,但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

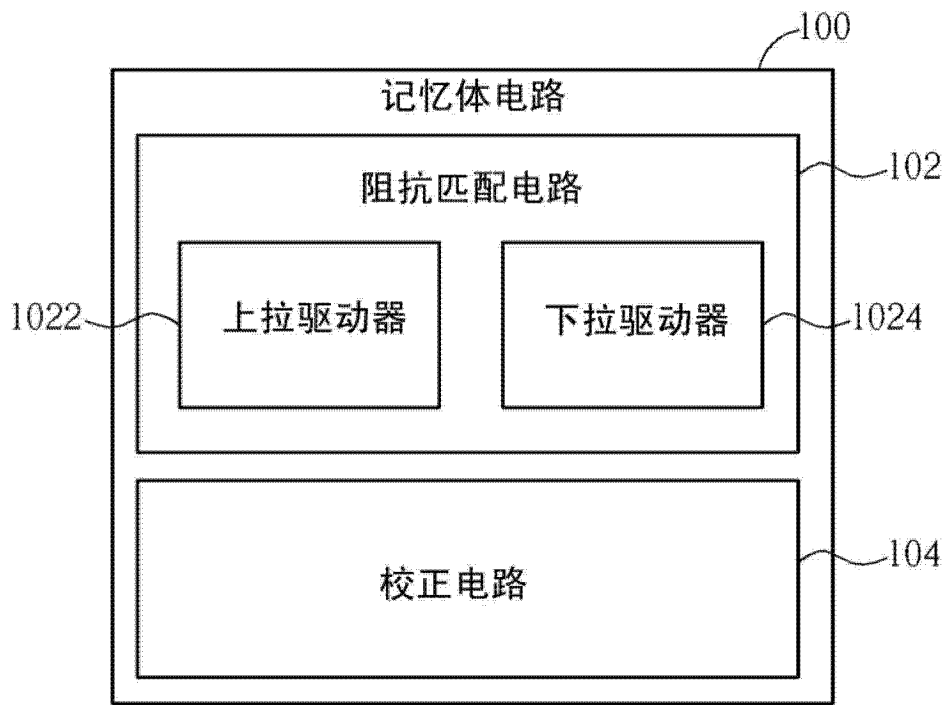


图 1

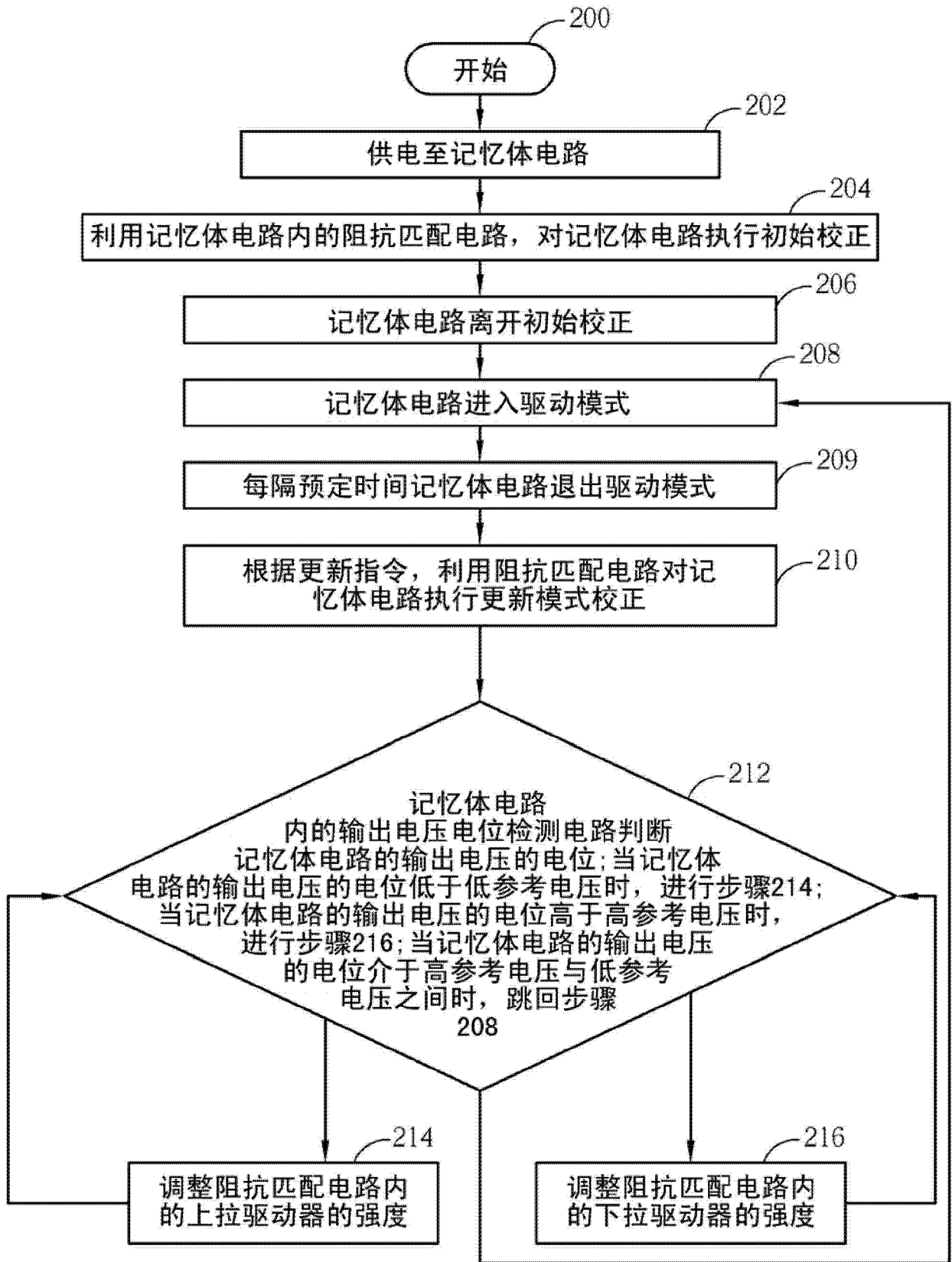


图 2



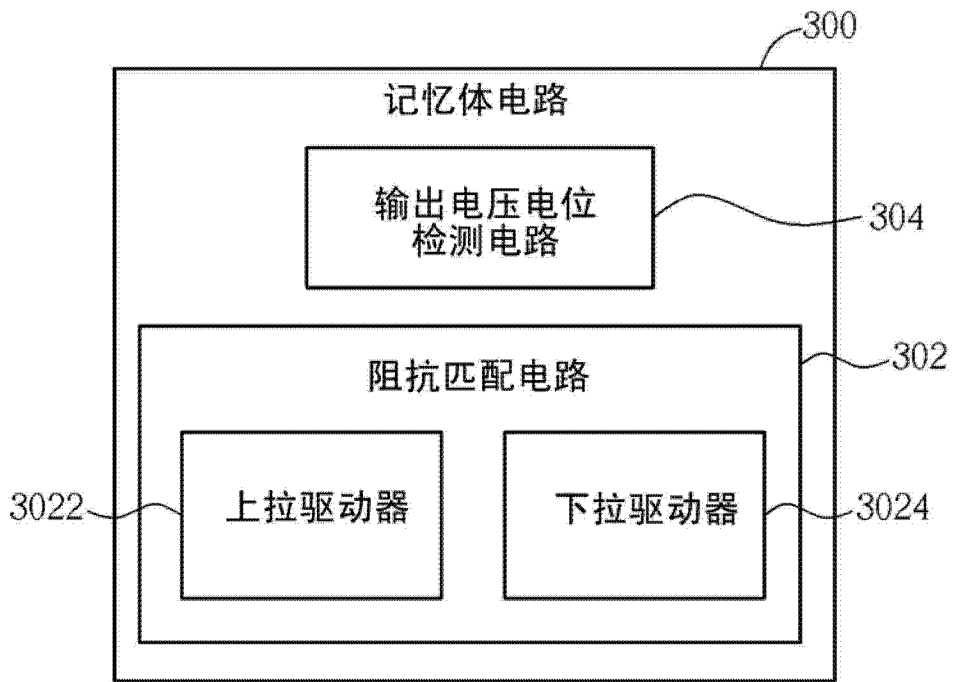


图 3