

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 27 日(27.10.2016)



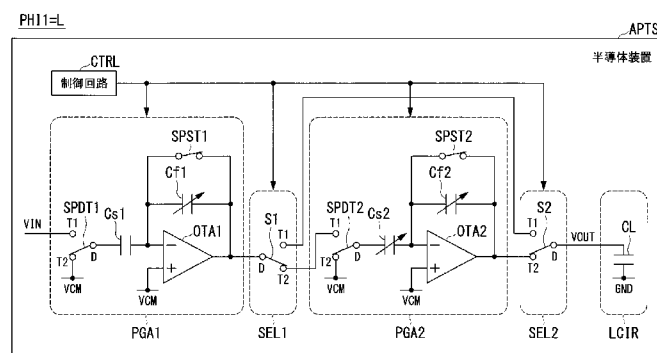
(10) 国際公開番号
WO 2016/170622 A1

- (51) 国際特許分類:
H03F 1/26 (2006.01) *H03G 3/00* (2006.01)
H03F 3/343 (2006.01) *H03M 1/12* (2006.01)
H03F 3/68 (2006.01)
- (21) 国際出願番号: PCT/JP2015/062263
- (22) 国際出願日: 2015 年 4 月 22 日(22.04.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: オリンパス株式会社 (OLYMPUS CORPORATION) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 Tokyo (JP).
- (72) 発明者: 大澤 雅人 (OSAWA Masato); 〒1510072 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス株式会社内 Tokyo (JP). 原田 靖也 (HARADA Yasunari); 〒1510072 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス株式会社内 Tokyo (JP). 加藤 秀樹 (KATO Hideki); 〒1510072 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス株式会社内 Tokyo (JP).
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



APTS Semiconductor device
CTRL Control circuit

(57) Abstract: This semiconductor device has a first variable gain amplifier, a second variable gain amplifier, a load circuit having a capacitive load, and a selecting switch. The first variable gain amplifier and the second variable gain amplifier constitute a switched-capacitor-type variable gain amplifier. The selecting switch performs connection switching among the first variable gain amplifier, the second variable gain amplifier, and the load circuit such that the first variable gain amplifier and the load circuit are connected to each other in the cases where the amplification factor of the first variable gain amplifier is equal to or smaller than a predetermined gain, and the second variable gain amplifier is connected between the first variable gain amplifier and the load circuit in the cases where the amplification factor of the first variable gain amplifier is larger than the predetermined gain.

(57) 要約:

[続葉有]



半導体装置は、第1可変ゲインアンプと、第2可変ゲインアンプと、容量性の負荷を有する負荷回路と、選択スイッチと、を有する。前記第1可変ゲインアンプと前記第2可変ゲインアンプとは、スイッチトキャパシタ型の可変ゲインアンプを構成する。前記選択スイッチは、前記第1可変ゲインアンプの増幅率が所定のゲイン以下である場合、前記第1可変ゲインアンプと前記負荷回路とが接続され、前記第1可変ゲインアンプの増幅率が所定のゲインよりも大きい場合、前記第2可変ゲインアンプが前記第1可変ゲインアンプと前記負荷回路との間に接続されるように、前記第1可変ゲインアンプと前記第2可変ゲインアンプと前記負荷回路との接続を切り替える。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 入力信号を高ゲインでかつ高速に増幅するために2つのアンプを縦続接続する方法が一般に知られている。図19と図20とは、アンプの接続と、アンプの入力信号 V_{in} の波形と、アンプの出力信号 V_{out} の波形とを示している。図19は、1段のみのアンプの例である。図20は、2段のアンプが縦続接続される例である。

[0003] 非特許文献1に説明されている通り、開放利得が100であり、かつ、帯域が10MHzであるシングルポールアンプ単体が20MHzの矩形波を増幅する場合、波形の劣化が大きい（図19）。このアンプに帰還をかけることにより、閉ループ利得が10になり、かつ、帯域が100MHzになることが可能である。この特性を有する2つのアンプを直列に接続することにより、矩形波の劣化が抑えられた増幅が可能である（図20）。

先行技術文献

非特許文献

[0004] 非特許文献1：Behzad Razavi 著、「アナログCMOS集積回路の設計 応用編」、丸善、2003年3月

発明の概要

発明が解決しようとする課題

[0005] 図20に示す、従属接続された各々のアンプのゲインを A_v と定義し、入力換算雑音（Input Referred Noise）を V_n と定義した場合、入力換算雑音のパワー P は（1）式で与えられる。

$$P = V_n^2 + (V_n / A_v)^2 \quad \dots (1)$$

[0006] A_v が1よりも十分大きければ、（1）式の第2項目が入力換算雑音に与

える影響は無視できる。しかし、 A_v が1である場合、入力換算雑音のパワー P は、入力信号が1段のアンプにより増幅された場合の入力換算雑音のパワー P の2倍である。

[0007] 本発明は、従属接続された2つのアンプを有する半導体装置が低ゲインで動作するときの入力換算雑音の増加を低減することができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の第1の態様によれば、半導体装置は、第1可変ゲインアンプと、第2可変ゲインアンプと、容量性の負荷を有する負荷回路と、選択スイッチと、を有する。前記第1可変ゲインアンプは、入力される第1電圧信号を保持する第1サンプリング容量と、第1帰還容量と、第1演算増幅器とを有する。前記第1演算増幅器は、第1入力端子と第1出力端子とを有する。前記第1入力端子が前記第1サンプリング容量に接続される。前記第1入力端子と前記第1出力端子との間に前記第1帰還容量が接続される。前記第1可変ゲインアンプの増幅率は、前記第1サンプリング容量の容量値と前記第1帰還容量の容量値との比によって決定される。前記第2可変ゲインアンプは、前記第1可変ゲインアンプから出力された第2電圧信号をサンプリングする第2サンプリング容量と、第2帰還容量と、第2演算増幅器とを有する。前記第2演算増幅器は、第2入力端子と第2出力端子とを有する。前記第2入力端子が前記第2サンプリング容量に接続される。前記第2入力端子と前記第2出力端子との間に前記第2帰還容量が接続される。前記第2可変ゲインアンプの増幅率は、前記第2サンプリング容量の容量値と前記第2帰還容量の容量値との比によって決定される。前記第1可変ゲインアンプと前記第2可変ゲインアンプとは、スイッチトキャパシタ型の可変ゲインアンプを構成する。前記選択スイッチは、前記第1可変ゲインアンプの増幅率が所定のゲイン以下である場合、前記第1可変ゲインアンプと前記負荷回路とが接続され、前記第1可変ゲインアンプの増幅率が所定のゲインよりも大きい場合、前記第2可変ゲインアンプが前記第1可変ゲインアンプと前記負荷回路との

間に接続されるように、前記第1可変ゲインアンプと前記第2可変ゲインアンプと前記負荷回路との接続を切り替える。

[0009] 本発明の第2の態様によれば、第1の態様において、前記半導体装置は、前記第1可変ゲインアンプの増幅率が前記所定のゲイン以下である場合、前記第2可変ゲインアンプを休止させる制御回路をさらに有してもよい。

[0010] 本発明の第3の態様によれば、第1の態様において、第2可変ゲインアンプは、前記第2電圧信号のサンプリングと増幅とが同時に行われるように制御されてもよい。

[0011] 本発明の第4の態様によれば、第3の態様において、前記第1可変ゲインアンプと前記第2可変ゲインアンプとは全差動型アンプであってもよい。前記第1出力端子は、第1正出力端子と第1負出力端子とを有してもよい。前記第2入力端子は、第2正入力端子と第2負入力端子とを有してもよい。前記第2出力端子は、第2正出力端子と第2負出力端子とを有してもよい。前記第1可変ゲインアンプの増幅率が所定のゲイン以下である場合、前記第1正出力端子から出力された信号が正出力信号として出力され、かつ前記第1負出力端子から出力された信号が負出力信号として出力されてもよい。前記第1可変ゲインアンプの増幅率が所定のゲインよりも大きい場合、前記第1正出力端子と前記第2正入力端子とが電氣的に接続され、かつ前記第1負出力端子と前記第2負入力端子とが電氣的に接続されてもよい。前記第1可変ゲインアンプの増幅率が所定のゲインよりも大きい場合、前記第2正出力端子から出力された信号が前記正出力信号として出力され、かつ前記第2負出力端子から出力された信号が前記負出力信号として出力されてもよい。

[0012] 本発明の第5の態様によれば、第1の態様において、前記第1可変ゲインアンプと前記第2可変ゲインアンプとは全差動型アンプであってもよい。前記第1演算増幅器の同相出力電圧は、前記第1演算増幅器の同相入力電圧よりも小さくてもよい。前記第2演算増幅器の同相出力電圧は、前記第2演算増幅器の同相入力電圧よりも小さくてもよい。

[0013] 本発明の第6の態様によれば、第1の態様において、前記第1サンプリン

グ容量は、第1サブサンプリング容量と第2サブサンプリング容量とを有してもよい。前記第1サブサンプリング容量は、第1期間で前記第1電圧信号の第1信号レベルを保持してもよい。前記第2サブサンプリング容量は、前記第1期間と異なる第2期間で前記第1電圧信号の第2信号レベルを保持してもよい。前記第2信号レベルは、前記第1信号レベルと異なる。前記第1可変ゲインアンプは、前記第1期間および前記第2期間と異なる第3期間で前記第1信号レベルと前記第2信号レベルとの差分を出力してもよい。

[0014] 本発明の第7の態様によれば、第6の態様において、前記半導体装置は、入射された光に応じて前記第1電圧信号を生成する複数のピクセルが行列状に配置されたピクセルアレーをさらに有してもよい。前記ピクセルアレーの複数列に対応する複数の前記第1サンプリング容量が配置されてもよい。複数の前記第1サブサンプリング容量は、前記第1期間で前記複数列の前記第1信号レベルを同時に保持してもよい。複数の前記第2サブサンプリング容量は、前記第2期間で前記複数列の前記第2信号レベルを同時に保持してもよい。前記第1可変ゲインアンプは、前記第3期間で前記複数列の前記第1信号レベルと前記第2信号レベルとの差分を順次出力してもよい。

[0015] 本発明の第8の態様によれば、第1の態様において、前記第2サンプリング容量の容量値は、前記第1可変ゲインアンプのゲインに逆比例するように設定されてもよい。

[0016] 本発明の第9の態様によれば、第1の態様において、前記負荷回路は、サンプリング容量を有するAD変換器であってもよい。前記第1可変ゲインアンプと、前記第2可変ゲインアンプと、前記選択スイッチと、前記負荷回路とは、同一の基板に配置されてもよい。

発明の効果

[0017] 上記の各態様によれば、選択スイッチは、第1可変ゲインアンプの増幅率が所定のゲイン以下である場合、第1可変ゲインアンプと負荷回路とが接続され、第1可変ゲインアンプの増幅率が所定のゲインよりも大きい場合、第2可変ゲインアンプが第1可変ゲインアンプと負荷回路との間に接続される

ように、第1可変ゲインアンプと第2可変ゲインアンプと負荷回路との接続を切り替える。このため、従属接続された2つのアンプを有する半導体装置が低ゲインで動作するときの入力換算雑音の増加を低減することができる。

図面の簡単な説明

[0018] [図1]本発明の第1の実施形態の半導体装置の構成を示す回路図である。

[図2]本発明の第1の実施形態の半導体装置における状態を示す参考図である。

。

[図3]本発明の第1の実施形態の半導体装置の構成を示す回路図である。

[図4]本発明の第1の実施形態の半導体装置の動作を示すタイミングチャートである。

[図5]本発明の第1の実施形態の半導体装置のモデルを示す概念図である。

[図6]本発明の第1の実施形態の半導体装置のモデルを示す概念図である。

[図7]本発明の第2の実施形態の半導体装置の構成を示すブロック図である。

[図8]本発明の第2の実施形態の半導体装置の構成を示す回路図である。

[図9]本発明の第2の実施形態の半導体装置の構成を示す回路図である。

[図10]本発明の第2の実施形態の半導体装置の動作を示すタイミングチャートである。

[図11]本発明の第3の実施形態の半導体装置の構成を示すブロック図である。

。

[図12]本発明の第3の実施形態の半導体装置の構成を示す回路図である。

[図13]本発明の第3の実施形態の半導体装置の動作を示すタイミングチャートである。

[図14]本発明の第4の実施形態の半導体装置の構成を示すブロック図である。

。

[図15]本発明の第4の実施形態の半導体装置の構成を示す回路図である。

[図16]本発明の第4の実施形態の半導体装置の構成を示す回路図である。

[図17]本発明の第4の実施形態の半導体装置の動作を示すタイミングチャートである。

[図18]本発明の第4の実施形態の半導体装置に搭載された可変ゲインアンプが駆動すべき実効負荷容量と、従来技術の可変ゲインアンプが駆動すべき実効負荷容量とを示す参考図である。

[図19]従来技術におけるアンプの接続と、アンプの入力信号の波形と、アンプの出力信号の波形とを示す参考図である。

[図20]従来技術におけるアンプの接続と、アンプの入力信号の波形と、アンプの出力信号の波形とを示す参考図である。

[図21]従来技術の可変ゲインアンプの負荷容量モデルを示す参考図である。

発明を実施するための形態

[0019] 図面を参照し、本発明の実施形態を説明する。各実施形態における半導体装置は、アナログ信号を処理する信号処理回路である。つまり、各実施形態における半導体装置は、アナログ信号を増幅する増幅回路である。

[0020] (第1の実施形態)

本発明の第1の実施形態を説明する。

[0021] (構成)

第1の実施形態の半導体装置A P T Sの構成について、図1を用いて説明する。図1は、半導体装置A P T Sの構成を示している。図1に示すように、半導体装置A P T Sは、第1可変ゲインアンプP G A 1と、第2可変ゲインアンプP G A 2と、選択スイッチS E L 1と、選択スイッチS E L 2と、負荷回路L C I Rと、制御回路C T R Lとを有する。

[0022] (第1可変ゲインアンプP G A 1)

第1可変ゲインアンプP G A 1は、単極双投 (S i n g l e - P o l e D o u b l e - T h r o w) スイッチS P D T 1と、第1サンプリング容量C s 1と、単極単投 (S i n g l e - P o l e S i n g l e - T h r o w) スイッチS P S T 1と、第1帰還容量C f 1と、第1演算増幅器O T A 1とを有する。

[0023] 単極双投スイッチS P D T 1は、第1端子T 1と、第2端子T 2と、第3端子Dとを有する。入力信号V I Nが単極双投スイッチS P D T 1の第1端

子T 1に入力される。基準電圧V CMが単極双投スイッチSPDT 1の第2端子T 2に入力される。単極双投スイッチSPDT 1の第3端子Dは、単極双投スイッチSPDT 1の第1端子T 1と単極双投スイッチSPDT 1の第2端子T 2との1つに接続される。

[0024] 第1 サンプリグ容量C s 1は、第1端子と第2端子とを有する。第1 サンプリグ容量C s 1の第1端子は、単極双投スイッチSPDT 1の第3端子Dに接続されている。

[0025] 単極単投スイッチSPST 1は、第1端子と第2端子とを有する。第1 帰還容量C f 1は、第1端子と第2端子とを有する。単極単投スイッチSPST 1の第1端子と第1 帰還容量C f 1の第1端子とは、単極双投スイッチSPDT 1の第3端子Dに接続されている。第1 帰還容量C f 1は、可変容量である。

[0026] 第1 演算増幅器OTA 1は、第1 正入力端子と、第1 負入力端子（第1 入力端子）と、第1 出力端子とを有する。第1 演算増幅器OTA 1の第1 正入力端子は、非反転入力端子であり、第1 演算増幅器OTA 1の第1 負入力端子は、反転入力端子である。基準電圧V CMが第1 演算増幅器OTA 1の第1 正入力端子に入力される。第1 演算増幅器OTA 1の第1 負入力端子は、第1 サンプリグ容量C s 1の第2端子に接続されている。第1 演算増幅器OTA 1の第1 出力端子は、単極単投スイッチSPST 1の第2端子と第1 帰還容量C f 1の第2端子とに接続されている。

[0027] （選択スイッチSEL 1）

選択スイッチSEL 1は、単極双投スイッチS 1を有する。単極双投スイッチS 1は、第1端子T 1と、第2端子T 2と、第3端子Dとを有する。単極双投スイッチS 1の第3端子Dは、第1 演算増幅器OTA 1の第1 出力端子に接続されている。単極双投スイッチS 1の第3端子Dは、単極双投スイッチS 1の第1端子T 1と単極双投スイッチS 1の第2端子T 2との1つに接続される。

[0028] （第2 可変ゲインアンプPGA 2）

第2可変ゲインアンプPGA2は、単極双投スイッチSPDT2と、第2サンプリング容量Cs2と、単極単投スイッチSPST2と、第2帰還容量Cf2と、第2演算増幅器OTA2とを有する。

[0029] 単極双投スイッチSPDT2は、第1端子T1と、第2端子T2と、第3端子Dとを有する。単極双投スイッチSPDT2の第1端子T1は、単極双投スイッチS1の第2端子T2と接続されている。基準電圧VCMが単極双投スイッチSPDT2の第2端子T2に入力される。単極双投スイッチSPDT2の第3端子Dは、単極双投スイッチSPDT2の第1端子T1と単極双投スイッチSPDT2の第2端子T2との1つに接続される。

[0030] 第2サンプリング容量Cs2は、第1端子と第2端子とを有する。第2サンプリング容量Cs2の第1端子は、単極双投スイッチSPDT2の第3端子Dに接続されている。

[0031] 単極単投スイッチSPST2は、第1端子と第2端子とを有する。第2帰還容量Cf2は、第1端子と第2端子とを有する。単極単投スイッチSPST2の第1端子と第2帰還容量Cf2の第1端子とは、第2サンプリング容量Cs2の第2端子に接続されている。第2帰還容量Cf2は、可変容量である。

[0032] 第2演算増幅器OTA2は、第2正入力端子と、第2負入力端子（第2入力端子）と、第2出力端子とを有する。第2演算増幅器OTA2の第2正入力端子は、非反転入力端子であり、第2演算増幅器OTA2の第2負入力端子は、反転入力端子である。基準電圧VCMが第2演算増幅器OTA2の第2正入力端子に入力される。第2演算増幅器OTA2の第2負入力端子は、第2サンプリング容量Cs2の第2端子に接続されている。第2演算増幅器OTA2の第2出力端子は、単極単投スイッチSPST2の第2端子と第2帰還容量Cf2の第2端子とに接続されている。第2演算増幅器OTA2の第2出力端子から出力信号VOUTが出力される。

[0033] （選択スイッチSEL2）

選択スイッチSEL2は、単極双投スイッチS2を有する。単極双投スイ

ッチS 2は、第1端子T 1と、第2端子T 2と、第3端子Dとを有する。単極双投スイッチS 2の第1端子T 1は、単極双投スイッチS 1の第1端子T 1に接続されている。単極双投スイッチS 2の第2端子T 2は、第2演算増幅器O T A 2の第2出力端子に接続されている。単極双投スイッチS 2の第3端子Dは、単極双投スイッチS 2の第1端子T 1と単極双投スイッチS 2の第2端子T 2との1つに接続される。

[0034] 図1において、選択スイッチS E L 1と選択スイッチS E L 2とは、2つのブロックに分かれて記載されている。しかし、選択スイッチS E L 1と選択スイッチS E L 2とは、実際には1つの機能ブロックとして動作する。

[0035] (負荷回路L C I R)

負荷回路L C I Rは、負荷容量C Lを有する。負荷容量C Lは、第1端子と第2端子とを有する。負荷容量C Lの第1端子は、単極双投スイッチS 2の第3端子Dに接続されている。グラウンド電圧G N Dが負荷容量C Lの第2端子に入力される。

[0036] 負荷回路L C I Rは、負荷容量C Lを入力容量として有する任意の回路である。例えば、負荷回路L C I Rは、キャパシタである。負荷回路L C I Rは、サンプルアンドホールド回路およびA Dコンバータ等のいずれか1つであってもよい。負荷容量C Lは、負荷容量C Lの第1端子から見込まれる負荷容量の総和である。負荷回路L C I Rがサンプルアンドホールド回路またはA Dコンバータである場合、負荷容量C Lは、信号をサンプリングするためのサンプリング容量である。

[0037] (制御回路C T R L)

制御回路C T R Lは、第1可変ゲインアンプP G A 1と、第2可変ゲインアンプP G A 2と、選択スイッチS E L 1と、選択スイッチS E L 2とを制御する。

[0038] 上記のように、半導体装置A P T Sは、第1可変ゲインアンプP G A 1と、第2可変ゲインアンプP G A 2と、容量性の負荷（負荷容量C L）を有する負荷回路L C I Rと、選択スイッチS E L 1および選択スイッチS E L 2

とを有する。第1可変ゲインアンプPGA1は、入力される第1電圧信号（入力信号VIN）を保持する第1サンプリング容量Cs1と、第1帰還容量Cf1と、第1演算増幅器OTA1とを有する。第1演算増幅器OTA1は、第1入力端子（第1負入力端子）と第1出力端子とを有する。第1入力端子が第1サンプリング容量Cs1に接続される。第1入力端子と第1出力端子との間に第1帰還容量Cf1が接続される。第1可変ゲインアンプPGA1の増幅率（ゲイン）は、第1サンプリング容量Cs1の容量値と第1帰還容量Cf1の容量値との比によって決定される。

[0039] 第2可変ゲインアンプPGA2は、第1可変ゲインアンプPGA1から出力された第2電圧信号をサンプリングする第2サンプリング容量Cs2と、第2帰還容量Cf2と、第2演算増幅器OTA2とを有する。第2演算増幅器OTA2は、第2入力端子（第2負入力端子）と第2出力端子とを有する。第2入力端子が第2サンプリング容量Cs2に接続される。第2入力端子と第2出力端子との間に第2帰還容量Cf2が接続される。第2可変ゲインアンプPGA2の増幅率（ゲイン）は、第2サンプリング容量Cs2の容量値と第2帰還容量Cf2の容量値との比によって決定される。

[0040] 第1可変ゲインアンプPGA1と第2可変ゲインアンプPGA2とは、スイッチトキャパシタ型の可変ゲインアンプを構成する。選択スイッチSEL1と選択スイッチSEL2とは、第1可変ゲインアンプPGA1の増幅率（絶対値）が所定のゲイン以下である場合、第1可変ゲインアンプPGA1と負荷回路LCIRとが接続されるように、第1可変ゲインアンプPGA1と第2可変ゲインアンプPGA2と負荷回路LCIRとの接続を切り替える。選択スイッチSEL1と選択スイッチSEL2とは、第1可変ゲインアンプPGA1の増幅率（絶対値）が所定のゲインよりも大きい場合、第2可変ゲインアンプPGA2が第1可変ゲインアンプPGA1と負荷回路LCIRとの間に接続されるように、第1可変ゲインアンプPGA1と第2可変ゲインアンプPGA2と負荷回路LCIRとの接続を切り替える。

[0041] 第2可変ゲインアンプPGA2は、第2電圧信号のサンプリングと増幅と

が同時に行われるように制御される。

[0042] (動作)

図1と図2とを参照し、半導体装置APTSの動作について説明する。制御回路CTRLは、第1可変ゲインアンプPGA1のゲインG1と第2可変ゲインアンプPGA2のゲインG2とを制御する信号を出力する。各アンプのゲインの絶対値は、 $|G1| = C_{s1} / C_{f1}$ かつ $|G2| = C_{s2} / C_{f2}$ となるように制御される。Cs1は、第1サンプリング容量Cs1の容量値である。Cf1は、第1帰還容量Cf1の容量値である。Cs2は、第2サンプリング容量Cs2の容量値である。Cf2は、第2帰還容量Cf2の容量値である。以下の各式における符号は上記と同様である。つまり、第1可変ゲインアンプPGA1のゲインG1は、第1サンプリング容量Cs1の容量値と第1帰還容量Cf1の容量値との比によって決定される。第2可変ゲインアンプPGA2のゲインG2は、第2サンプリング容量Cs2の容量値と第2帰還容量Cf2の容量値との比によって決定される。

[0043] 図2は、半導体装置APTSのゲインGと、第1可変ゲインアンプPGA1のゲインG1と、第2可変ゲインアンプPGA2のゲインG2と、単極双投スイッチS1の状態と、単極双投スイッチS2の状態との関係を示している。G=G1×G2である。例えば、図2に示す条件により、半導体装置APTSのゲインGと、第1可変ゲインアンプPGA1のゲインG1と、第2可変ゲインアンプPGA2のゲインG2とが決定される。

[0044] 図2において、単極双投スイッチS1の状態がT1である場合、単極双投スイッチS1の第1端子T1と単極双投スイッチS1の第3端子Dとが接続される。単極双投スイッチS2の状態がT1である場合、単極双投スイッチS2の第1端子T1と単極双投スイッチS2の第3端子Dとが接続される。したがって、単極双投スイッチS1の状態がT1であり、かつ、単極双投スイッチS2の状態がT1である場合、第1可変ゲインアンプPGA1と負荷回路LCIRとが接続され、第2可変ゲインアンプPGA2は切り離される。単極双投スイッチS1の状態がT2であり、かつ、単極双投スイッチS2

の状態がT2である場合、第2可変ゲインアンプPGA2が第1可変ゲインアンプPGA1と負荷回路LCIRとの間に接続される。したがって、第1可変ゲインアンプPGA1から出力された信号が第2サンプリング容量Cs2に入力される。第1可変ゲインアンプPGA1と第2可変ゲインアンプPGA2とを含む可変ゲインアンプの出力信号VOUTは、第2可変ゲインアンプPGA2から出力された信号である。

[0045] 制御回路CTRLは、制御信号PHI1を第1可変ゲインアンプPGA1と第2可変ゲインアンプPGA2とに出力する。制御信号PHI1の働きについては後述する。

[0046] 制御回路CTRLは、選択スイッチSEL1（単極双頭スイッチS1）と選択スイッチSEL2（単極双投スイッチS2）とをゲインGの値に応じて制御するための信号を出力する。第1の実施形態では、ゲインGの値（ゲインG1の絶対値）が1以下である場合のみ、選択スイッチSEL1と選択スイッチSEL2との状態がT1である。この場合、第1可変ゲインアンプPGA1から出力された信号は、第2可変ゲインアンプPGA2を経由せずに負荷回路LCIRに到達する。つまり、第1可変ゲインアンプPGA1と第2可変ゲインアンプPGA2とを含む可変ゲインアンプの出力信号VOUTは、第1可変ゲインアンプPGA1から出力された信号である。この状態がスキップ読み出しである。

[0047] 図1と、図3と、図4とを参照し、半導体装置APTSの動作についてより詳細に説明する。図1において、制御回路CTRLは、第1可変ゲインアンプPGA1と第2可変ゲインアンプPGA2とのゲインを制御する信号と、制御信号PHI1とを第1可変ゲインアンプPGA1と第2可変ゲインアンプPGA2とに出力する。制御信号PHI1は、一定周期でハイレベル（Hレベル）とローレベル（Lレベル）とを繰り返す信号である。

[0048] 図1は、制御信号PHI1がLレベルである場合の半導体装置APTSの状態を示している。図3は、制御信号PHI1がHレベルである場合の半導体装置APTSの状態を示している。図4は、半導体装置APTSの動作を

示している。図4では、半導体装置A P T Sのモードと、制御信号P H I 1の波形と、出力信号V O U Tの波形とが示されている。図4における横方向は時間を示している。図4における縦方向は電圧を示している。

[0049] 制御信号P H I 1がLレベルである場合、図1に示すように、単極双投スイッチS P D T 1と単極双投スイッチS P D T 2とにおいて、第2端子T 2と第3端子Dとが接続される。制御信号P H I 1がHレベルである場合、図3に示すように、単極双投スイッチS P D T 1と単極双投スイッチS P D T 2とにおいて、第1端子T 1と第3端子Dとが接続される。制御信号P H I 1がLレベルである場合、図1に示すように、単極単投スイッチS P S T 1と単極単投スイッチS P S T 2とにおいて、第1端子と第2端子とが短絡される。制御信号P H I 1がHレベルである場合、図3に示すように、単極単投スイッチS P S T 1と単極単投スイッチS P S T 2とにおいて、第1端子と第2端子とが開放される。このように制御される回路はバタフライ型のスイッチトキャパシタ積分器として知られている。詳細な動作原理は参考文献1に記載されているため、本明細書では図4に示す要点のみを説明する。

参考文献1：谷口研二著、「CMOSアナログ回路入門」、CQ出版、2004年12月

[0050] スキップ読み出しが行われない場合の動作を説明する。図4に示すように、バタフライ型のスイッチトキャパシタ積分器である第1可変ゲインアンプP G A 1と第2可変ゲインアンプP G A 2とは、制御信号P H I 1がLレベルである期間（N U L L期間）に基準電圧V C Mのサンプリングと第1演算増幅器O T A 1および第2演算増幅器O T A 2のリセットとを行う。これによって、出力信号V O U T = V C Mが出力される。

[0051] 第1可変ゲインアンプP G A 1と第2可変ゲインアンプP G A 2とは、制御信号P H I 1がHレベルである期間（S A M P & A M P L期間）に入力信号V I Nのサンプリングと増幅とを同時に行う。この期間において、第1可変ゲインアンプP G A 1のゲインは $G 1 = - (C s 1 / C f 1)$ である。この期間において、第2可変ゲインアンプP G A 2のゲインは $G 2 = - (C s$

2 / C f 2) である。第2可変ゲインアンプPGA 2から出力される出力信号VOU Tの位相は、入力信号V I Nの位相と同じである。出力信号VOU Tの電圧値は、(2)式で与えられる。

$$V O U T = G 2 \cdot G 1 \cdot (V I N - V C M) + V C M \quad \cdot \cdot \cdot (2)$$

[0052] (2)式において、VOU Tは出力信号VOU Tの電圧値であり、V I Nは入力信号V I Nの電圧値であり、V C Mは基準電圧V C Mの電圧値である。(2)から、基準電圧V C Mを基準として入力電圧がG 1 × G 2 倍になる。

[0053] 第1可変ゲインアンプPGA 1と第2可変ゲインアンプPGA 2とは、参考文献1に記載されているクロール型の制御が行われた場合も、増幅器として正しく動作する。クロール型の制御が行われる場合、単極双投スイッチSPD T 1と単極双投スイッチSPD T 2とにおいて、制御信号PH I 1がLレベルである場合に第1端子T 1と第3端子Dとが接続され、制御信号PH I 1がHレベルである場合に第2端子T 2と第3端子Dとが選択される選択される点のみが異なる。単極単投スイッチSPST 1と単極単投スイッチSPST 2との動作は、バタフライ型の制御における各スイッチの動作と同じである。

[0054] クロール型の制御が行われる場合、制御信号PH I 1がLレベルである期間に入力信号V I Nのサンプリングと第1演算増幅器OTA 1のリセットとが行われる。クロール型の制御が行われる場合、制御信号PH I 1がHレベルである期間に基準電圧V C Mを基準とした増幅が行われる。この制御により、第1可変ゲインアンプPGA 1のゲインは $G 1 = C s 1 / C f 1$ である。この制御により、第2可変ゲインアンプPGA 2のゲインは $G 2 = C s 2 / C f 2$ である。第2可変ゲインアンプPGA 2から出力される出力信号VOU Tの位相は、入力信号V I Nの位相に対して制御信号PH I 1の1 / 2周期だけ遅れる。

[0055] (効果)

図5と図6とを参照し、半導体装置APT Sの効果について説明する。

[0056] 図5は、ゲイン G_1 かつ入力換算雑音 V_{n1} で動作する第1可変ゲインアンプPGA1の雑音モデルである。このモデルの入力換算雑音のパワー RTI_{NOISE} は、(3)式で与えられる。このモデルは、スキップ読み出しが行われる場合の半導体装置APTSの雑音モデルと同じである。

$$RTI_{NOISE} = V_{n1}^2 \quad \dots (3)$$

[0057] 図6は、ゲイン G_1 かつ入力換算雑音 V_{n1} で動作する第1可変ゲインアンプPGA1と、ゲイン G_2 かつ入力換算雑音 V_{n2} で動作する第2可変ゲインアンプPGA2とが縦続接続された場合の雑音モデルである。このモデルの入力換算雑音のパワー RTI_{NOISE} は、(4)式で与えられる。このモデルは、スキップ読み出しが行われない場合の半導体装置APTSの雑音モデルと同じである。

$$RTI_{NOISE} = V_{n1}^2 + (V_{n2}/G_1)^2 \quad \dots (4)$$

[0058] 図5と図6とに示すモデルにおいて入力信号 V_{in} が増幅される場合、ゲイン G_1 が1よりも十分に大きければ、(4)式の第2項目が入力換算雑音に与える影響は無視できる。しかし、ゲイン G_1 が1である場合、(4)式における入力換算雑音のパワーは、入力信号 V_{IN} が第1可変ゲインアンプPGA1のみにより増幅される場合における入力換算雑音のパワーの2倍である。

[0059] (第1の効果)

可変ゲインアンプが低ゲイン($G_1 = 1$ 等)で動作するとき、スキップ読み出しにより、半導体装置APTSの回路の入力換算雑音のパワーは(3)式で与えられる。このため、従属接続された2つのアンプを有する半導体装置APTSが低ゲインで動作するときの入力換算雑音の増加を低減することができる。上記のように、半導体装置APTSは、第1の信号処理と第2の信号処理とを、入力電圧の大きさに応じて選択することができる。第1の信号処理は、2段のアンプを使用することにより高速かつ高ゲインでの増幅に好適である。第2の信号処理は、1段のアンプを使用することにより低雑音での増幅に好適である。このため、高速かつ高ゲインでの増幅と低ノイズで

の増幅との両立が可能な半導体装置を提供することができる。

[0060] (第2の効果)

スキップ読み出しが行われる場合、使用されない第2可変ゲインアンプPGA2は、休止状態となるように制御されてもよい。つまり、制御回路CTRLは、第1可変ゲインアンプPGA1の増幅率が所定のゲイン以下である場合、第2可変ゲインアンプPGA2を休止させてもよい。これによって、半導体装置APTSの消費電力を低減することができる。

[0061] (第3の効果)

半導体装置APTSにおいて、第2可変ゲインアンプPGA2に対してバタフライ型の制御が行われる場合、スキップ読み出しの有無に関わらず、負荷回路LCIRに入力される出力信号VOUTの位相の遅れは一定である。つまり、サンプリングと増幅とが同時に行われるように第2可変ゲインアンプPGA2が制御されることにより、第1可変ゲインアンプPGA1のみにより増幅が行われるときと、第1可変ゲインアンプPGA1および第2可変ゲインアンプPGA2によって増幅が行われるときとで、負荷回路LCIRに入力される出力信号VOUTの位相の遅れが同じである。したがって、半導体装置APTSを使用することにより、クロール型の制御に必要な、位相遅れの補償機能が省ける。このため、負荷回路LCIRの内部または負荷回路LCIRの後段で行われる位相遅れの補正処理が不要になる。

[0062] (第2の実施形態)

本発明の第2の実施形態を説明する。

[0063] (構成)

第2の実施形態の半導体装置APTSaの構成について、図7から図9を用いて説明する。図7は、半導体装置APTSaの構成を示している。図7に示すように、半導体装置APTSaは、第1可変ゲインアンプPGA1aと、第2可変ゲインアンプPGA2aと、選択スイッチSEL1aと、選択スイッチSEL2aと、AD変換器ADCと、制御回路CTRLaとを有する。

[0064] 図8と図9とは、半導体装置A P T S aの詳細な構成を示している。図8は、第1可変ゲインアンプP G A 1 aと選択スイッチS E L 1 aとの構成を示している。図9は、第2可変ゲインアンプP G A 2 aと、選択スイッチS E L 1 aと、選択スイッチS E L 2 aと、A D変換器A D Cとの構成を示している。

[0065] (第1可変ゲインアンプP G A 1 a)

第1可変ゲインアンプP G A 1 aは、第1サンプリング容量C s 1と、第1サンプリング容量C s 1' と、単極単投スイッチS W 1 0～S W 1 3と、単極単投スイッチS W 1 0' ～S W 1 3' と、第1帰還容量C f 1と、第1帰還容量C f 1' と、第1演算増幅器O T A 1とを有する。

[0066] 第1サンプリング容量C s 1と第1サンプリング容量C s 1' とは、第1端子と第2端子とを有する。正入力信号V I N Pが第1サンプリング容量C s 1の第1端子に入力される。負入力信号V I N Mが第1サンプリング容量C s 1' の第1端子に入力される。

[0067] 第1帰還容量C f 1と第1帰還容量C f 1' とは、第1端子と第2端子とを有する。第1帰還容量C f 1の第1端子は、第1サンプリング容量C s 1の第2端子に接続されている。第1帰還容量C f 1' の第1端子は、第1サンプリング容量C s 1' の第2端子に接続されている。第1帰還容量C f 1と第1帰還容量C f 1' とは、可変容量である。

[0068] 単極単投スイッチS W 1 0と単極単投スイッチS W 1 1とは、第1端子と第2端子とを有する。単極単投スイッチS W 1 0の第1端子は、第1サンプリング容量C s 1の第2端子に接続されている。第1同相電圧V C Mが単極単投スイッチS W 1 0の第2端子に入力される。単極単投スイッチS W 1 1の第1端子は、第1帰還容量C f 1の第2端子に接続されている。第2同相電圧V C M 2が単極単投スイッチS W 1 1の第2端子に入力される。

[0069] 単極単投スイッチS W 1 0' と単極単投スイッチS W 1 1' とは、第1端子と第2端子とを有する。単極単投スイッチS W 1 0' の第1端子は、第1サンプリング容量C s 1' の第2端子に接続されている。第1同相電圧V C

Mが単極単投スイッチSW10'の第2端子に入力される。単極単投スイッチSW11'の第1端子は、第1帰還容量Cf1'の第2端子に接続されている。第2同相電圧VCM2が単極単投スイッチSW11'の第2端子に入力される。

[0070] 単極単投スイッチSW12と単極単投スイッチSW13とは、第1端子と第2端子とを有する。単極単投スイッチSW12の第1端子は、第1サンプリング容量Cs1の第2端子に接続されている。単極単投スイッチSW13の第1端子は、単極単投スイッチSW12の第2端子に接続されている。第1同相電圧VCMが単極単投スイッチSW13の第2端子に入力される。

[0071] 単極単投スイッチSW12'と単極単投スイッチSW13'とは、第1端子と第2端子とを有する。単極単投スイッチSW12'の第1端子は、第1サンプリング容量Cs1'の第2端子に接続されている。単極単投スイッチSW13'の第1端子は、単極単投スイッチSW12'の第2端子に接続されている。第1同相電圧VCMが単極単投スイッチSW13'の第2端子に入力される。

[0072] 第1演算増幅器OTA1は、第1正入力端子（第1入力端子）と、第1負入力端子（第1入力端子）と、第1正出力端子（第1出力端子）と、第1負出力端子（第1出力端子）とを有する。第1演算増幅器OTA1の第1正入力端子は、非反転入力端子であり、第1演算増幅器OTA1の第1負入力端子は、反転入力端子である。第1演算増幅器OTA1の第1正入力端子は、単極単投スイッチSW12の第2端子と単極単投スイッチSW13の第1端子とに接続されている。第1演算増幅器OTA1の第1負入力端子は、単極単投スイッチSW12'の第2端子と単極単投スイッチSW13'の第1端子とに接続されている。第1演算増幅器OTA1の第1正出力端子は、第1帰還容量Cf1'の第2端子に接続されている。第1演算増幅器OTA1の第1負出力端子は、第1帰還容量Cf1の第2端子に接続されている。第1演算増幅器OTA1は、2つの電源端子を有し、電源電圧VDDと電源電圧VSSとが2つの電源端子に入力される。

[0073] (選択スイッチSEL1a)

選択スイッチSEL1aは、単極双投スイッチS1と単極双投スイッチS1'とを有する。単極双投スイッチS1は、第1端子T1と、第2端子T2と、第3端子Dとを有する。単極双投スイッチS1の第3端子Dは、第1演算増幅器OTA1の第1負出力端子に接続されている。単極双投スイッチS1の第3端子Dは、単極双投スイッチS1の第1端子T1と単極双投スイッチS1の第2端子T2との1つに接続される。

[0074] 単極双投スイッチS1'は、第1端子T1と、第2端子T2と、第3端子Dとを有する。単極双投スイッチS1'の第3端子Dは、第1演算増幅器OTA1の第1正出力端子に接続されている。単極双投スイッチS1'の第3端子Dは、単極双投スイッチS1'の第1端子T1と単極双投スイッチS1'の第2端子T2との1つに接続される。

[0075] (第2可変ゲインアンプPGA2a)

第2可変ゲインアンプPGA2aは、第2サンプリング容量Cs2と、第2サンプリング容量Cs2'と、単極単投スイッチSW20～SW23と、単極単投スイッチSW20'～SW23'と、第2帰還容量Cf2と、第2帰還容量Cf2'と、第2演算増幅器OTA2とを有する。

[0076] 第2サンプリング容量Cs2と第2サンプリング容量Cs2'とは、第1端子と第2端子とを有する。第2サンプリング容量Cs2の第1端子は、単極双投スイッチS1'の第2端子T2に接続されている。第2サンプリング容量Cs2'の第1端子は、単極双投スイッチS1の第2端子T2に接続されている。

[0077] 第2帰還容量Cf2と第2帰還容量Cf2'とは、第1端子と第2端子とを有する。第2帰還容量Cf2の第1端子は、第2サンプリング容量Cs2の第2端子に接続されている。第2帰還容量Cf2'の第1端子は、第2サンプリング容量Cs2'の第2端子に接続されている。第2帰還容量Cf2と第2帰還容量Cf2'とは、可変容量である。

[0078] 単極単投スイッチSW20と単極単投スイッチSW21とは、第1端子と

第2端子とを有する。単極単投スイッチSW20の第1端子は、第2サンプリング容量 C_{s2} の第2端子に接続されている。第1同相電圧 V_{CM} が単極単投スイッチSW20の第2端子に入力される。単極単投スイッチSW21の第1端子は、第2帰還容量 C_{f2} の第2端子に接続されている。第2同相電圧 V_{CM2} が単極単投スイッチSW21の第2端子に入力される。

[0079] 単極単投スイッチSW20'と単極単投スイッチSW21'とは、第1端子と第2端子とを有する。単極単投スイッチSW20'の第1端子は、第2サンプリング容量 C_{s2}' の第2端子に接続されている。第1同相電圧 V_{CM} が単極単投スイッチSW20'の第2端子に入力される。単極単投スイッチSW21'の第1端子は、第2帰還容量 C_{f2}' の第2端子に接続されている。第2同相電圧 V_{CM2} が単極単投スイッチSW21'の第2端子に入力される。

[0080] 単極単投スイッチSW22と単極単投スイッチSW23とは、第1端子と第2端子とを有する。単極単投スイッチSW22の第1端子は、第2サンプリング容量 C_{s2} の第2端子に接続されている。単極単投スイッチSW23の第1端子は、単極単投スイッチSW22の第2端子に接続されている。第1同相電圧 V_{CM} が単極単投スイッチSW23の第2端子に入力される。

[0081] 単極単投スイッチSW22'と単極単投スイッチSW23'とは、第1端子と第2端子とを有する。単極単投スイッチSW22'の第1端子は、第2サンプリング容量 C_{s2}' の第2端子に接続されている。単極単投スイッチSW23'の第1端子は、単極単投スイッチSW22'の第2端子に接続されている。第1同相電圧 V_{CM} が単極単投スイッチSW23'の第2端子に入力される。

[0082] 第2演算増幅器OTA2は、第2正入力端子（第2入力端子）と、第2負入力端子（第2入力端子）と、第2正出力端子（第2出力端子）と、第2負出力端子（第2出力端子）とを有する。第2演算増幅器OTA2の第2正入力端子は、非反転入力端子であり、第2演算増幅器OTA2の第2負入力端子は、反転入力端子である。第2演算増幅器OTA2の第2正入力端子は、

単極単投スイッチSW22の第2端子と単極単投スイッチSW23の第1端子とに接続されている。第2演算増幅器OTA2の第2負入力端子は、単極単投スイッチSW22'の第2端子と単極単投スイッチSW23'の第1端子とに接続されている。第2演算増幅器OTA2の第2正出力端子は、第2帰還容量Cf2'の第2端子に接続されている。第2演算増幅器OTA2の第2負出力端子は、第2帰還容量Cf2の第2端子に接続されている。第2演算増幅器OTA2は、2つの電源端子を有し、電源電圧VDDと電源電圧VSSとが2つの電源端子に入力される。第2演算増幅器OTA2の第2正出力端子から正出力信号VOU TPが出力される。第2演算増幅器OTA2の第2負出力端子から負出力信号VOU TMが出力される。

[0083] (選択スイッチSEL2a)

選択スイッチSEL2aは、単極双投スイッチS2と単極双投スイッチS2'とを有する。単極双投スイッチS2は、第1端子T1と、第2端子T2と、第3端子Dとを有する。単極双投スイッチS2の第1端子T1は、単極双投スイッチS1の第1端子T1に接続されている。単極双投スイッチS2の第2端子T2は、第2演算増幅器OTA2の第2負出力端子に接続されている。単極双投スイッチS1の第3端子Dは、単極双投スイッチS1の第1端子T1と単極双投スイッチS1の第2端子T2との1つに接続される。

[0084] 単極双投スイッチS2'は、第1端子T1と、第2端子T2と、第3端子Dとを有する。単極双投スイッチS2'の第1端子T1は、単極双投スイッチS1'の第1端子T1に接続されている。単極双投スイッチS2'の第2端子T2は、第2演算増幅器OTA2の第2正出力端子に接続されている。単極双投スイッチS1'の第3端子Dは、単極双投スイッチS1'の第1端子T1と単極双投スイッチS1'の第2端子T2との1つに接続される。

[0085] 図8と図9とにおいて、選択スイッチSEL1aと選択スイッチSEL2aとは、2つのブロックに分かれて記載されている。しかし、選択スイッチSEL1aと選択スイッチSEL2aとは、実際には1つの機能ブロックとして動作する。

[0086] (AD変換器ADC)

AD変換器ADCは、単極単投スイッチSW30と、単極単投スイッチSW30'と、負荷容量CLと、負荷容量CL'とを有する。

[0087] 単極単投スイッチSW30と単極単投スイッチSW30'とは、第1端子と第2端子とを有する。単極単投スイッチSW30の第1端子は、単極双投スイッチS2'の第3端子Dに接続されている。単極単投スイッチSW30'の第1端子は、単極双投スイッチS2の第3端子Dに接続されている。

[0088] 負荷容量CLと負荷容量CL'とは、第1端子と第2端子とを有する。負荷容量CLの第1端子は、単極単投スイッチSW30の第2端子に接続されている。基準電圧VREFが負荷容量CLの第2端子に入力される。負荷容量CL'の第1端子は、単極単投スイッチSW30'の第2端子に接続されている。基準電圧VREFが負荷容量CL'の第2端子に入力される。負荷容量CLと負荷容量CL'とは、信号をサンプリングするためのサンプリング容量である。

[0089] AD変換器ADCにおいて、単極単投スイッチSW30、単極単投スイッチSW30'、負荷容量CL、および負荷容量CL'以外の構成は、図9では省略されている。AD変換器ADCは、容量性の負荷（負荷容量CLおよび負荷容量CL'）を有する負荷回路である。AD変換器ADCは、正出力信号VOUTPと負出力信号VOUTMとの差分をデジタル信号に変換する。AD変換器ADCは、デジタル信号をAD変換結果AD_RESULTとして出力する。

[0090] (制御回路CTRLa)

制御回路CTRLaは、第1可変ゲインアンプPGA1aと、第2可変ゲインアンプPGA2aと、選択スイッチSEL1aと、選択スイッチSEL2aと、AD変換器ADCとを制御する。

[0091] 第1可変ゲインアンプPGA1aと第2可変ゲインアンプPGA2aとは全差動型アンプである。第1可変ゲインアンプPGA1aの第1入力端子は、第1正入力端子と第1負入力端子とを有する。第1可変ゲインアンプPG

A 1 a の第 1 出力端子は、第 1 正出力端子と第 1 負出力端子とを有する。第 2 可変ゲインアンプ P G A 2 a の第 2 入力端子は、第 2 正入力端子と第 2 負入力端子とを有する。第 2 可変ゲインアンプ P G A 2 a の第 2 出力端子は、第 2 正出力端子と第 2 負出力端子とを有する。

[0092] 第 1 可変ゲインアンプ P G A 1 a の増幅率が所定のゲイン以下である場合、第 1 正出力端子から出力された信号が正出力信号 V O U T P として出力され、かつ第 1 負出力端子から出力された信号が負出力信号 V O U T M として出力される。第 1 可変ゲインアンプ P G A 1 a の増幅率が所定のゲインよりも大きい場合、第 1 正出力端子と第 2 正入力端子とが電氣的に接続され、かつ第 1 負出力端子と第 2 負入力端子とが電氣的に接続される。第 1 可変ゲインアンプ P G A 1 a の増幅率が所定のゲインよりも大きい場合、第 2 正出力端子から出力された信号が正出力信号 V O U T P として出力され、かつ第 2 負出力端子から出力された信号が負出力信号 V O U T M として出力される。

[0093] 第 1 可変ゲインアンプ P G A 1 a と第 2 可変ゲインアンプ P G A 2 a とは全差動型アンプである。第 1 演算増幅器 O T A 1 の同相出力電圧は、第 1 演算増幅器 O T A 1 の同相入力電圧よりも小さい。第 2 演算増幅器 O T A 2 の同相出力電圧は、第 2 演算増幅器 O T A 2 の同相入力電圧よりも小さい。第 1 演算増幅器 O T A 1 と第 2 演算増幅器 O T A 2 との同相入力電圧は、第 1 正入力端子または第 2 正入力端子に入力される信号の電圧と、第 1 負入力端子または第 2 負入力端子に入力される信号の電圧との差分を定めるための基準電圧である。例えば、第 1 演算増幅器 O T A 1 と第 2 演算増幅器 O T A 2 との同相入力電圧は、第 1 正入力端子または第 2 正入力端子に入力される信号の電圧と、第 1 負入力端子または第 2 負入力端子に入力される信号の電圧との中心電圧である。第 1 演算増幅器 O T A 1 と第 2 演算増幅器 O T A 2 との同相出力電圧は、第 1 正出力端子または第 2 正出力端子から出力される信号の電圧と、第 1 負出力端子または第 2 負出力端子から出力される信号の電圧との差分を定めるための基準電圧である。例えば、第 1 演算増幅器 O T A 1 と第 2 演算増幅器 O T A 2 との同相出力電圧は、第 1 正出力端子または第

2 正出力端子から出力される信号の電圧と、第 1 負出力端子または第 2 負出力端子から出力される信号の電圧との中心電圧である。

[0094] (動作)

図 7 から図 10 を参照し、半導体装置 APT S a の動作について説明する。図 10 は、半導体装置 APT S a の動作を示している。図 10 では、半導体装置 APT S a のモードと、制御信号 PHI 1, PHI 2, PHIR の波形と、正出力信号 VOUT P の波形と、負出力信号 VOUT M の波形と、A/D 変換結果 AD_RESULT の状態とが示されている。図 10 における横方向は時間を示している。図 10 における縦方向は電圧を示している。

[0095] 制御回路 CTRL a は、制御信号 PHI 1 と、制御信号 PHI 2 と、制御信号 PHIR とを、第 1 可変ゲインアンプ PGA 1 a と第 2 可変ゲインアンプ PGA 2 a とに出力する。制御回路 CTRL a は、制御信号 PHI 2 を A/D 変換器 ADC に出力する。

[0096] 制御回路 CTRL a は、選択スイッチ SEL 1 a と、選択スイッチ SEL 2 a と、第 1 帰還容量 Cf 1 と、第 1 帰還容量 Cf 1' と、第 2 帰還容量 Cf 2 と、第 2 帰還容量 Cf 2' と、第 2 サンプリグ容量 Cs 2 と、第 2 サンプリグ容量 Cs 2' とを制御するための信号を出力する。選択スイッチ SEL 1 a と、選択スイッチ SEL 2 a と、上記の各容量との制御は、第 1 の実施形態における制御と同じである。このため、以下では制御信号 PHI 1 と、制御信号 PHI 2 と、制御信号 PHIR とに関連する動作を中心に説明する。

[0097] 単極単投スイッチ SW1 0, SW1 1, SW1 0', SW1 1', SW2 0, SW2 1, SW2 0', SW2 1' において、制御信号 PHI 1 が H レベルである場合、第 1 端子と第 2 端子とが短絡される。これらの単極単投スイッチにおいて、制御信号 PHI 1 が L レベルである場合、第 1 端子と第 2 端子とが開放される。

[0098] 単極単投スイッチ SW1 2, SW1 2', SW2 2, SW2 2', SW3 0, SW3 0' において、制御信号 PHI 2 が H レベルである場合、第 1 端

子と第2端子とが短絡される。これらの単極単投スイッチにおいて、制御信号PHI2がLレベルである場合、第1端子と第2端子とが開放される。

[0099] 単極単投スイッチSW13, SW13', SW23, SW23' において、制御信号PHIRがHレベルである場合、第1端子と第2端子とが短絡される。これらの単極単投スイッチにおいて、制御信号PHIRがLレベルである場合、第1端子と第2端子とが開放される。

[0100] このように制御される第1可変ゲインアンプPGA1aは、参考文献1に記載されているバタフライ型のスイッチトキャパシタ積分器として動作する。第1可変ゲインアンプPGA1aにおいて、正側の入力信号(VINP)が第1演算増幅器OTA1の非反転入力端子(第1正入力端子)に入力され、負側の入力信号(VINM)が第1演算増幅器OTA1の反転入力端子(第1負入力端子)に入力される。このため、第1可変ゲインアンプPGA1aは、非反転増幅回路として動作する。第1可変ゲインアンプPGA1aのゲインは $G1 = Cs1 / Cf1$ である。つまり、スキップ読み出しが行われる場合、半導体装置APTSaの出力信号は(5)式で与えられる。

$$VOUTP - VOUTM = (Cs1 / Cf1) \times (VINP - VINM) \quad \dots (5)$$

[0101] (5)式において、VOUTPは正出力信号VOUTPの電圧値であり、VOUTMは負出力信号VOUTMの電圧値である。VINPは正入力信号VINPの電圧値であり、VINMは負入力信号VINMの電圧値である。Cs1は第1サンプリング容量Cs1と第1サンプリング容量Cs1'との容量値であり、Cf1は第1帰還容量Cf1と第1帰還容量Cf1'との容量値である。

[0102] スキップ読み出しが行われる場合、半導体装置APTSaの正出力信号VOUTPは、第1可変ゲインアンプPGA1aの第1正出力端子から出力された信号である。スキップ読み出しが行われる場合、半導体装置APTSaの負出力信号VOUTMは、第1可変ゲインアンプPGA1aの第1負出力端子から出力された信号である。

[0103] 図8と図9とに示すように、第1可変ゲインアンプPGA1aと第2可変ゲインアンプPGA2aとを接続する2つの配線は交差する。第1演算増幅器OTA1の非反転出力端子（第1正出力端子）と第2演算増幅器OTA2の非反転入力端子（第2正入力端子）とが接続され、かつ、第1演算増幅器OTA1の反転出力端子（第1負出力端子）と第2演算増幅器OTA2の反転入力端子（第2負入力端子）とが接続されている。

[0104] 第2可変ゲインアンプPGA2aは、上記の制御により、バタフライ型のスイッチトキャパシタ積分器として動作する。また、第2可変ゲインアンプPGA2aは、上記の接続により非反転増幅回路として動作する。第2可変ゲインアンプPGA2aのゲインは $G2 = Cs2 / Cf2$ である。したがって、スキップ読み出しが行われない場合、半導体装置APTSaの出力信号は（6）式で与えられる。

$$VOUTP - VOUTM = (Cs1 / Cf1) \times (Cs2 / Cf2) \times (VINP - VINM) \quad \dots (6)$$

[0105] （6）式において、Cs2は第2サンプリング容量Cs2と第2サンプリング容量Cs2'との容量値であり、Cf2は第2帰還容量Cf2と第2帰還容量Cf2'との容量値である。（6）式において、他の符号は、（5）式における各符号と同じである。

[0106] スキップ読み出しが行われない場合、半導体装置APTSaの正出力信号VOUTPは、第2可変ゲインアンプPGA2aの第2正出力端子から出力された信号である。スキップ読み出しが行われない場合、半導体装置APTSaの負出力信号VOUTMは、第2可変ゲインアンプPGA2aの第2負出力端子から出力された信号である。

[0107] 第1可変ゲインアンプPGA1aと第2可変ゲインアンプPGA2aとがバタフライ型のスイッチトキャパシタ積分器であるため、第1可変ゲインアンプPGA1aと第2可変ゲインアンプPGA2aとにより生じる出力信号の位相遅れはゼロである。

[0108] 第1可変ゲインアンプPGA1aにおいて、制御信号PHI1がHレベル

である期間に、第1演算増幅器OTA1の第1正入力端子と第1負入力端子との電圧が第1同相電圧VCMにセットされ、かつ、第1演算増幅器OTA1の第1正出力端子と第1負出力端子との電圧が第2同相電圧VCM2にセットされる。第2可変ゲインアンプPGA2aにおいて、制御信号PHI1がHレベルである期間に、第2演算増幅器OTA2の第2正入力端子と第2負入力端子との電圧が第1同相電圧VCMにセットされ、かつ、第2演算増幅器OTA2の第2正出力端子と第2負出力端子との電圧が第2同相電圧VCM2にセットされる。したがって、半導体装置APTSaの正出力信号VOUTPの電圧はVCM2であり、かつ半導体装置APTSaの負出力信号VOUTMの電圧はVCM2である。この期間の各信号の状態は、図10におけるNULL期間に示されている。

[0109] 第1可変ゲインアンプPGA1aにおいて、制御信号PHIRがHレベルである期間に、第1演算増幅器OTA1の第1正入力端子と第1負入力端子との電圧が第1同相電圧VCMにセットされる。第2可変ゲインアンプPGA2aにおいて、制御信号PHIRがHレベルである期間に、第2演算増幅器OTA2の第2正入力端子と第2負入力端子との電圧が第1同相電圧VCMにセットされる。したがって、入力信号が増幅される前に、第1可変ゲインアンプPGA1aの第1入力端子と第2可変ゲインアンプPGA2aの第2入力端子との寄生容量に蓄積された電荷がリセットされる。この期間の各信号の状態は、図10におけるRESET期間に示されている。

[0110] 制御信号PHI2がHレベルである期間に、正入力信号VINPと負入力信号VINMとのサンプリングと増幅とが同時に行われる。正入力信号VINPと負入力信号VINMとは、(5)式または(6)式に示すように増幅される。これによって、正入力信号VINPと負入力信号VINMとは、第2同相電圧VCM2を中心とした差動信号として出力される。この期間の各信号の状態は、図10におけるSAMP & AMPL期間に示されている。

[0111] AD変換器ADCは、制御信号PHI2がHレベルである期間に、第1可変ゲインアンプPGA1aまたは第2可変ゲインアンプPGA2aからの正

出力信号 V_{OUTP} と負出力信号 V_{OUTM} とを負荷容量 C_L と負荷容量 $C_{L'}$ とによってサンプリングし続ける。制御信号 $PHI2$ が H レベルから L レベルに遷移したとき、AD 変換器 ADC は、サンプリングされた電圧信号の AD 変換を開始する。AD 変換が開始されたタイミングから所定の時間 t_d が経過した後、AD 変換器 ADC は、AD 変換結果 AD_RESULT を出力（更新）する。

[0112] (第4の効果)

第1可変ゲインアンプ $PGA1a$ と第2可変ゲインアンプ $PGA2a$ とを接続する配線に工夫が施されている。このため、(5)式と(6)式とを用いて説明したように、半導体装置 $APTSa$ において、AD 変換器 ADC に入力される信号の正と負との極性は、常に入力信号の正と負との極性と同じに保たれる。したがって、スキップ読み出しの有無に応じて AD 変換器 ADC の内部、もしくは AD 変換器 ADC の後段の回路において信号の極性を反転させる処理が不要である。このため、動作を簡略化することができる。

[0113] (第5の効果)

半導体装置 $APTSa$ がゼロ点サンプリングを行うとき（図10の NUL L 期間）に、第1帰還容量 C_{f1} と、第1帰還容量 $C_{f1'}$ と、第2帰還容量 C_{f2} と、第2帰還容量 $C_{f2'}$ との第1端子に第1同相電圧 V_{CM} が入力され、これらの容量の第2端子に第2同相電圧 V_{CM2} が入力される。つまり、第1演算増幅器 $OTA1$ と第2演算増幅器 $OTA2$ との同相入力電圧は第1同相電圧 V_{CM} であり、第1演算増幅器 $OTA1$ と第2演算増幅器 $OTA2$ との同相出力電圧は第2同相電圧 V_{CM2} である。第1演算増幅器 $OTA1$ の同相出力電圧が第1演算増幅器 $OTA1$ の同相入力電圧よりも小さく、かつ、第2演算増幅器 $OTA2$ の同相出力電圧が第2演算増幅器 $OTA2$ の同相入力電圧よりも小さくてもよい。これによって、DDA (Differential Difference Amplifier) または AC 結合回路（ハイパスフィルタ）などの回路を追加することなく、処理対象である信号の同相電圧をシフトすることができる。つまり、高い電源電圧 V

DDで動作する第1演算増幅器OTA1と第2演算増幅器OTA2とからの出力信号の同相電圧を、低い電源電圧VDD2で動作するAD変換器ADCによる信号処理に好適な同相電圧にシフトすることができる。一般に、AD変換器による低電圧での動作は、低消費電力での動作に有利である。このため、半導体装置APTSa全体での消費電力を低減することができる。

[0114] (第3の実施形態)

本発明の第3の実施形態を説明する。

[0115] (構成)

第3の実施形態の半導体装置APTSbの構成について、図11と図12とを用いて説明する。図11は、半導体装置APTSbの構成を示している。図11に示すように、半導体装置APTSbは、制御回路CTRLbと、第1可変ゲインアンプPGA1bと、第2可変ゲインアンプPGA2aと、選択スイッチSEL1aと、選択スイッチSEL2aと、AD変換器ADCとを有する。制御回路CTRLbおよび第1可変ゲインアンプPGA1b以外の構成は、第2の実施形態における構成と同じである。このため、制御回路CTRLbおよび第1可変ゲインアンプPGA1b以外の構成についての説明を省略する。

[0116] 図12は、半導体装置APTSbの詳細な構成を示している。図12は、第1可変ゲインアンプPGA1bと選択スイッチSEL1aとの構成を示している。

[0117] (第1可変ゲインアンプPGA1b)

第1可変ゲインアンプPGA1bは、列回路COLと、単極単投スイッチSW10～SW13と、単極単投スイッチSW10'～SW13'と、第1帰還容量Cf1と、第1帰還容量Cf1'と、第1演算増幅器OTA1とを有する。列回路COL以外の構成は、第2の実施形態における構成と同じである。このため、列回路COL以外の構成についての説明を省略する。

[0118] 列回路COLは、単極単投スイッチSW40～SW43と、単極単投スイッチSW40'～SW42'と、第1サンプリング容量Cs1とを有する。

第1 サンプリング容量 C_{s1} は、第1 サブサンプリング容量 C_{S_R} と第2 サブサンプリング容量 C_{S_S} とを有する。列回路 C_{OL} は、後述する第4の実施形態の説明を容易にするために作成されたグループである。第3の実施形態において、列回路 C_{OL} を他の回路と区別する必要はない。

[0119] 単極単投スイッチ SW_{40} と単極単投スイッチ SW_{40}' とは、第1端子と第2端子とを有する。入力信号 V_{IN} が単極単投スイッチ SW_{40} と単極単投スイッチ SW_{40}' との第1端子に入力される。単極単投スイッチ SW_{43} は、第1端子と第2端子とを有する。単極単投スイッチ SW_{43} の第1端子は、単極単投スイッチ SW_{40} の第2端子に接続されている。単極単投スイッチ SW_{43} の第2端子は、単極単投スイッチ SW_{40}' の第2端子に接続されている。

[0120] 第1 サブサンプリング容量 C_{S_R} と第2 サブサンプリング容量 C_{S_S} とは、第1端子と第2端子とを有する。第1 サブサンプリング容量 C_{S_R} の第1端子は、単極単投スイッチ SW_{40} の第2端子に接続されている。第2 サブサンプリング容量 C_{S_S} の第1端子は、単極単投スイッチ SW_{40}' の第2端子に接続されている。

[0121] 単極単投スイッチ SW_{41} と単極単投スイッチ SW_{41}' とは、第1端子と第2端子とを有する。単極単投スイッチ SW_{41} の第1端子は、第1 サブサンプリング容量 C_{S_R} の第2端子に接続されている。第1 同相電圧 V_{CM} が単極単投スイッチ SW_{41} の第2端子に入力される。単極単投スイッチ SW_{41}' の第1端子は、第2 サブサンプリング容量 C_{S_S} の第2端子に接続されている。第1 同相電圧 V_{CM} が単極単投スイッチ SW_{41}' の第2端子に入力される。

[0122] 単極単投スイッチ SW_{42} と単極単投スイッチ SW_{42}' とは、第1端子と第2端子とを有する。単極単投スイッチ SW_{42} の第1端子は、第1 サブサンプリング容量 C_{S_R} の第2端子に接続されている。単極単投スイッチ SW_{42} の第2端子は、単極単投スイッチ SW_{10} の第1端子と単極単投スイッチ SW_{12} の第1端子とに接続されている。単極単投スイッチ SW_{42}

’の第1端子は、第2サブサンプリング容量 C_{S_S} の第2端子に接続されている。単極単投スイッチ SW_{42} ’の第2端子は、単極単投スイッチ SW_{10} ’の第1端子と単極単投スイッチ SW_{12} ’の第1端子とに接続されている。

[0123] (制御回路CTRLb)

制御回路CTRLbは、制御信号PHI1と、制御信号PHI2と、制御信号PHIRとを出力する。さらに、制御回路CTRLbは、制御信号CLP_Rと、制御信号SH_Rと、制御信号CLP_Sと、制御信号SH_Sと、制御信号CSELと、制御信号CBとを出力する。

[0124] 単極単投スイッチ SW_{40} は、制御信号SH_RがHレベルである場合のみ短絡される。単極単投スイッチ SW_{40} ’は、制御信号SH_SがHレベルである場合のみ短絡される。単極単投スイッチ SW_{41} は、制御信号CLP_RがHレベルである場合のみ短絡される。単極単投スイッチ SW_{41} ’は制御信号CLP_SがHレベルである場合のみ短絡される。単極単投スイッチ SW_{42} と単極単投スイッチ SW_{42} ’とは、制御信号CSELがHレベルである場合のみ短絡される。単極単投スイッチ SW_{43} は、制御信号CBがHレベルである場合のみ短絡される。

[0125] 上記のように、第1サンプリング容量 C_{s1} は、第1サブサンプリング容量 C_{S_R} と第2サブサンプリング容量 C_{S_S} とを有する。第1サブサンプリング容量 C_{S_R} は、第1期間で第1電圧信号（入力信号VIN）の第1信号レベルを保持する。第2サブサンプリング容量 C_{S_S} は、第1期間と異なる第2期間で第1電圧信号の第2信号レベルを保持する。第2信号レベルは、第1信号レベルと異なる。第1可変ゲインアンプPGA1bは、第1期間および第2期間と異なる第3期間で第1信号レベルと第2信号レベルとの差分を出力する。

[0126] (動作)

図12と図13とを参照し、半導体装置APTSbの動作について説明する。図13は、半導体装置APTSbの動作を示している。図13では、入

力信号V I Nの波形と、制御信号C L P__R, S H__R, C L P__S, S H__S, C S E L, C B, P H I 1, P H I 2, P H I Rの波形と、正出力信号V O U T Pの波形と、負出力信号V O U T Mの波形と、A D変換結果A D__R E S U L Tの状態とが示されている。図13における横方向は時間を示している。図13における縦方向は電圧を示している。

[0127] 時刻t 1に制御信号C L P__Rと制御信号S H__Rとが同時にHレベルになることにより、第1期間P E R I 1が開始される。第1期間P E R I 1において、入力信号V I Nのレベルは第1信号レベルV R S Tである。このため、第1信号レベルV R S Tに応じた電荷が第1サブサンプリング容量C S__Rにサンプリングされる。つまり、第1サブサンプリング容量C S__Rは、第1期間P E R I 1で入力信号V I Nの第1信号レベルV R S Tを保持する。第1サブサンプリング容量C S__Rの最終的な電荷量は、制御信号C L P__RがLレベルに遷移した瞬間（時刻t 2）に決定される。時刻t 3に制御信号S H__RがLレベルに遷移することにより、第1期間P E R I 1は終了する。

[0128] 時刻t 3から時刻t 4まで制御信号P H I RがHレベルとなる。これによって、第1演算増幅器O T A 1と第2演算増幅器O T A 2との入力端子側に存在する電荷がリセットされる。この動作は、制御信号P H I 1または制御信号P H I 2がHレベルからLレベルに遷移するタイミングと、制御信号P H I 2または制御信号P H I 1がLレベルからHレベルに遷移するタイミングとの間に繰り返されるリセット動作である。これ以降のリセット動作についての説明を省略する。

[0129] 時刻t 4に制御信号C L P__Sと制御信号S H__Sとが同時にHレベルになることにより、第2期間P E R I 2が開始される。第2期間P E R I 2において、入力信号V I Nのレベルは第2信号レベルV S I Gである。このため、第2信号レベルV S I Gに応じた電荷が第2サブサンプリング容量C S__Sにサンプリングされる。つまり、第2サブサンプリング容量C S__Sは、第2期間P E R I 2で入力信号V I Nの第2信号レベルV S I Gを保持す

る。第2サブサンプリング容量 C_{S_S} の最終的な電荷量は、制御信号 C_{LP_S} がLレベルに遷移した瞬間（時刻 t_5 ）に決定される。時刻 t_6 に制御信号 S_{H_S} がLレベルに遷移することにより、第2期間 $PERI2$ は終了する。

[0130] 時刻 t_7 に制御信号 C_{SEL} と、制御信号 C_B と、制御信号 $PHI2$ とがHレベルに遷移することにより、第3期間 $PERI3$ が開始される。時刻 t_8 に制御信号 C_{SEL} と、制御信号 C_B と、制御信号 $PHI2$ とがLレベルになることにより、第3期間 $PERI3$ が終了する。第3期間 $PERI3$ において、第1可変ゲインアンプ $PGA1b$ によって信号の増幅が行われる。この期間中、第1可変ゲインアンプ $PGA1b$ の回路構成は、第2の実施形態における第1可変ゲインアンプ $PGA1a$ の回路構成と同じである。第1可変ゲインアンプ $PGA1b$ のゲインは $G1 = C_{s1} / C_{f1}$ である。単極単投スイッチ $SW43$ が短絡されることにより、第1サブサンプリング容量 C_{S_R} と第2サブサンプリング容量 C_{S_S} とに蓄積された電荷による信号の減算が行われる。つまり、第1可変ゲインアンプ $PGA1b$ は、第3期間 $PERI3$ で第1信号レベル V_{RST} と第2信号レベル V_{SIG} との差分を出力する。このため、半導体装置 $APTSb$ の最終的な出力信号は（7）式で与えられる。

$$V_{OUTP} - V_{OUTM} = (C_{s1} / C_{f1}) \times (V_{RST} - V_{SIG}) \quad \dots (7)$$

[0131] （7）式において、 V_{RST} は第1信号レベル V_{RST} であり、 V_{SIG} は第2信号レベル V_{SIG} である。（7）式において、他の符号は、（5）式における各符号と同じである。

[0132] （7）式はゲイン G が1以下である場合に成立する。ゲイン G が1よりも大きい場合には、第1可変ゲインアンプ $PGA1b$ と第2可変ゲインアンプ $PGA2a$ とによる増幅が行われる。このため、半導体装置 $APTSb$ の最終的な出力信号は（8）式で与えられる。

$$V_{OUTP} - V_{OUTM} = (C_{s1} / C_{f1}) \times (C_{s2} / C_{f2}) \times ($$

$$V_{RST} - V_{SIG}) \quad \cdots (8)$$

[0133] (8) 式において、各符号は、(5) 式と(7) 式とにおける各符号と同じである。

[0134] 第3の実施形態において第2可変ゲインアンプPGA2aに入力される信号は、第2の実施形態において第2可変ゲインアンプPGA2aに入力される信号と同じである。第2可変ゲインアンプPGA2aは、第1可変ゲインアンプPGA1bの動作の原理と同様の原理により動作する。このため、第2可変ゲインアンプPGA2aの動作の詳細な説明を省略する。

[0135] (第6の効果)

半導体装置APTSbでは、比較的簡単な構成で減算処理を行うことが可能である。例えば、第1信号レベルV_{RST}として所定のオフセット電圧を出力し、第2信号レベルV_{SIG}として所定のオフセット電圧と所定の信号レベルとの和を出力するセンサの増幅回路として半導体装置APTSbが使用される。この場合、オフセット電圧を除いた所定の信号レベルのみを増幅することが可能である。このため、ダイナミックレンジが拡大する効果が得られる。

[0136] (第4の実施形態)

本発明の第4の実施形態を説明する。

[0137] (構成)

第4の実施形態の半導体装置APTS_cの構成について、図14から図16を用いて説明する。図14は、半導体装置APTS_cの構成を示している。図14に示すように、半導体装置APTS_cは、ピクセルアレーPIXと、第1可変ゲインアンプPGA1_cと、第2可変ゲインアンプPGA2_cと、選択スイッチSEL1_aと、選択スイッチSEL2_aと、AD変換器ADC_cと、制御回路CTRL_cとを有する。選択スイッチSEL1_aと選択スイッチSEL2_aとの構成は、第2の実施形態における構成と同じである。このため、選択スイッチSEL1_aと選択スイッチSEL2_aとの構成についての説明を省略する。

[0138] 図15と図16とは、半導体装置A P T S cの詳細な構成を示している。図15は、ピクセルアレーP I Xと、第1可変ゲインアンプP G A 1 cと、選択スイッチS E L 1 aとの構成を示している。図16は、第2可変ゲインアンプP G A 2 cと、選択スイッチS E L 1 aと、選択スイッチS E L 2 aと、A D変換器A D C cとの構成を示している。半導体装置A P T S cを構成する全てのブロックは同一の半導体基板に配置されている。

[0139] (ピクセルアレーP I X)

ピクセルアレーP I Xは、複数つまり $m \times n$ 個のピクセルP [k, l]を有する。mとnとは2以上の自然数である。kは、1以上かつm以下の自然数である。lは、1以上かつn以下の自然数である。複数のピクセルP [k, l]は、行列状に配置されている。kは行番号であり、lは列番号である。図15では、図示の都合のため、紙面における水平方向が列方向であり、垂直方向が行方向である。複数のピクセルP [k, l]は、図示しない制御信号R S E L <1> ~ R S E L <m>により制御される。複数のピクセルP [k, l]の各列に対応して複数つまりn個の垂直信号線L I N E <1> ~ L I N E <n>が配置されている。制御信号R S E L <k>がHレベルになった行のピクセルP [k, l]のみが複数の垂直信号線L I N E <1> ~ L I N E <n>の1つに接続される。光が複数のピクセルP [k, l]に入射されると、複数のピクセルP [k, l]は、入射された光に応じたアナログ信号V _ L I N E <1> ~ V _ L I N E <n>を複数の垂直信号線L I N E <1> ~ L I N E <n>に出力する。

[0140] (第1可変ゲインアンプP G A 1 c)

第1可変ゲインアンプP G A 1 cは、列回路C O L cと、単極単投スイッチS W 1 0 a ~ S W 1 2 aと、単極単投スイッチS W 1 0 a' ~ S W 1 2 a'と、単極単投スイッチS W 1 0 b ~ S W 1 2 bと、単極単投スイッチS W 1 0 b' ~ S W 1 2 b'と、単極単投スイッチS W 1 3と、単極単投スイッチS W 1 3'と、単極単投スイッチS W 1 6 aと、単極単投スイッチS W 1 6 a'と、単極単投スイッチS W 1 6 bと、単極単投スイッチS W 1 6 b'と、

と、第1帰還容量 C_{f1a} と、第1帰還容量 C_{f1a}' と、第1帰還容量 C_{f1b} と、第1帰還容量 C_{f1b}' と、第1演算増幅器 $OTA1$ とを有する。

[0141] 列回路 COL_c は、複数つまり n 個の列回路 $COL<1>\sim COL< n>$ を有する。複数の列回路 $COL<1>\sim COL< n>$ は、複数のピクセル $P[k, l]$ の各列に対応して配置されている。複数の列回路 $COL<1>\sim COL< n>$ の構成は、第3の実施形態における列回路 COL の構成と同じである。図15では、図示の都合のため、複数の列回路 $COL<1>\sim COL< n>$ の構成は省略されている。

[0142] 各列回路 $COL<1>$ において、制御信号 $CSEL<1>$ が単極単投スイッチ $SW42$ と単極単投スイッチ $SW42'$ とに入力される。また、各列回路 $COL<1>$ において、制御信号 $CB<1>$ が、単極単投スイッチ $SW43$ に入力される。したがって、列回路 $COL<1>$ を列毎に独立して制御することが可能である。各列回路 $COL<1>$ が有する各スイッチは、制御信号 SH_R と、制御信号 SH_S と、制御信号 CLP_R と、制御信号 CLP_S と、制御信号 $CB<1>$ と、制御信号 $CSEL<1>$ とにより制御される。各スイッチは、各スイッチに入力される制御信号がHレベルである場合に短絡する。各スイッチは、各スイッチに入力される制御信号がLレベルである場合に開放される。

[0143] 第1帰還容量 C_{f1a} と第1帰還容量 C_{f1a}' とは、第1端子と第2端子とを有する。第1帰還容量 C_{f1a} の第1端子は、偶数列の列回路 $COL<2>$ 、 $COL<4>$ 、 $\dots$ の単極単投スイッチ $SW42$ の第2端子に接続されている。第1帰還容量 C_{f1a}' の第1端子は、偶数列の列回路 $COL<2>$ 、 $COL<4>$ 、 $\dots$ の単極単投スイッチ $SW42'$ の第2端子に接続されている。第1帰還容量 C_{f1a} と第1帰還容量 C_{f1a}' とは、可変容量である。

[0144] 第1帰還容量 C_{f1b} と第1帰還容量 C_{f1b}' とは、第1端子と第2端子とを有する。第1帰還容量 C_{f1b} の第1端子は、奇数列の列回路 COL

<1>、COL<3>、・・・の単極単投スイッチSW42の第2端子に接続されている。第1帰還容量Cf1b'の第1端子は、奇数列の列回路COL<1>、COL<3>、・・・の単極単投スイッチSW42'の第2端子に接続されている。第1帰還容量Cf1bと第1帰還容量Cf1b'とは、可変容量である。

[0145] 単極単投スイッチSW10aと単極単投スイッチSW11aとは、第1端子と第2端子とを有する。単極単投スイッチSW10aの第1端子は、偶数列の列回路COL<2>、COL<4>、・・・の単極単投スイッチSW42の第2端子に接続されている。第1同相電圧VCMが単極単投スイッチSW10aの第2端子に入力される。単極単投スイッチSW11aの第1端子は、第1帰還容量Cf1aの第2端子に接続されている。第2同相電圧VCM2が単極単投スイッチSW11aの第2端子に入力される。

[0146] 単極単投スイッチSW10a'と単極単投スイッチSW11a'とは、第1端子と第2端子とを有する。単極単投スイッチSW10a'の第1端子は、偶数列の列回路COL<2>、COL<4>、・・・の単極単投スイッチSW42'の第2端子に接続されている。第1同相電圧VCMが単極単投スイッチSW10a'の第2端子に入力される。単極単投スイッチSW11a'の第1端子は、第1帰還容量Cf1a'の第2端子に接続されている。第2同相電圧VCM2が単極単投スイッチSW11a'の第2端子に入力される。

[0147] 単極単投スイッチSW10bと単極単投スイッチSW11bとは、第1端子と第2端子とを有する。単極単投スイッチSW10bの第1端子は、奇数列の列回路COL<1>、COL<3>、・・・の単極単投スイッチSW42の第2端子に接続されている。第1同相電圧VCMが単極単投スイッチSW10bの第2端子に入力される。単極単投スイッチSW11bの第1端子は、第1帰還容量Cf1bの第2端子に接続されている。第2同相電圧VCM2が単極単投スイッチSW11bの第2端子に入力される。

[0148] 単極単投スイッチSW10b'と単極単投スイッチSW11b'とは、第

1 端子と第 2 端子とを有する。単極単投スイッチ SW10b' の第 1 端子は、奇数列の列回路 COL<1>、COL<3>、... の単極単投スイッチ SW42' の第 2 端子に接続されている。第 1 同相電圧 VCM が単極単投スイッチ SW10b' の第 2 端子に入力される。単極単投スイッチ SW11b' の第 1 端子は、第 1 帰還容量 Cf1b' の第 2 端子に接続されている。第 2 同相電圧 VCM2 が単極単投スイッチ SW11b' の第 2 端子に入力される。

[0149] 単極単投スイッチ SW12a と、単極単投スイッチ SW12b と、単極単投スイッチ SW13 とは、第 1 端子と第 2 端子とを有する。単極単投スイッチ SW12a の第 1 端子は、偶数列の列回路 COL<2>、COL<4>、... の単極単投スイッチ SW42 の第 2 端子に接続されている。単極単投スイッチ SW12b の第 1 端子は、奇数列の列回路 COL<1>、COL<3>、... の単極単投スイッチ SW42 の第 2 端子に接続されている。単極単投スイッチ SW13 の第 1 端子は、単極単投スイッチ SW12a の第 2 端子と単極単投スイッチ SW12b の第 2 端子とに接続されている。第 1 同相電圧 VCM が単極単投スイッチ SW13 の第 2 端子に入力される。

[0150] 単極単投スイッチ SW12a' と、単極単投スイッチ SW12b' と、単極単投スイッチ SW13' とは、第 1 端子と第 2 端子とを有する。単極単投スイッチ SW12a' の第 1 端子は、偶数列の列回路 COL<2>、COL<4>、... の単極単投スイッチ SW42' の第 2 端子に接続されている。単極単投スイッチ SW12b' の第 1 端子は、奇数列の列回路 COL<1>、COL<3>、... の単極単投スイッチ SW42' の第 2 端子に接続されている。単極単投スイッチ SW13' の第 1 端子は、単極単投スイッチ SW12a' の第 2 端子と単極単投スイッチ SW12b' の第 2 端子とに接続されている。第 1 同相電圧 VCM が単極単投スイッチ SW13' の第 2 端子に入力される。

[0151] 単極単投スイッチ SW16a と単極単投スイッチ SW16b とは、第 1 端子と第 2 端子とを有する。単極単投スイッチ SW16a の第 1 端子は、第 1

帰還容量C f 1 aの第2端子に接続されている。単極単投スイッチSW 1 6 bの第1端子は、第1帰還容量C f 1 bの第2端子に接続されている。

[0152] 単極単投スイッチSW 1 6 a' と単極単投スイッチSW 1 6 b' とは、第1端子と第2端子とを有する。単極単投スイッチSW 1 6 a' の第1端子は、第1帰還容量C f 1 a' の第2端子に接続されている。単極単投スイッチSW 1 6 b' の第1端子は、第1帰還容量C f 1 b' の第2端子に接続されている。

[0153] 第1演算増幅器O T A 1は、第1正入力端子（第1入力端子）と、第1負入力端子（第1入力端子）と、第1正出力端子（第1出力端子）と、第1負出力端子（第1出力端子）とを有する。第1演算増幅器O T A 1の第1正入力端子は、非反転入力端子であり、第1演算増幅器O T A 1の第1負入力端子は、反転入力端子である。第1演算増幅器O T A 1の第1正入力端子は、単極単投スイッチSW 1 2 aの第2端子と、単極単投スイッチSW 1 2 bの第2端子と、単極単投スイッチSW 1 3の第1端子とに接続されている。第1演算増幅器O T A 1の第1負入力端子は、単極単投スイッチSW 1 2 a' の第2端子と、単極単投スイッチSW 1 2 b' の第2端子と、単極単投スイッチSW 1 3' の第1端子とに接続されている。第1演算増幅器O T A 1の第1正出力端子は、単極単投スイッチSW 1 6 a' の第2端子と単極単投スイッチSW 1 6 b' の第2端子とに接続されている。第1演算増幅器O T A 1の第1負出力端子は、単極単投スイッチSW 1 6 aの第2端子と単極単投スイッチSW 1 6 bの第2端子とに接続されている。第1演算増幅器O T A 1は、2つの電源端子を有し、電源電圧V D Dと電源電圧V S Sとが2つの電源端子に入力される。

[0154] 偶数列の列回路C O L < 2 >、C O L < 4 >、・・・から出力された信号は、制御信号P H I 2がHレベルのタイミングで増幅される。奇数列の列回路C O L < 1 >、C O L < 3 >、・・・から出力された信号は、制御信号P H I 1がHレベルであるタイミングで増幅される。

[0155] 第2の実施形態で説明した第1可変ゲインアンプP G A 1 aにおいて、第

1 演算増幅器 O T A 1 は、図 10 に示す S A M P & A M P L 期間中、信号の増幅を行う。しかし、第 2 の実施形態で説明した第 1 可変ゲインアンプ P G A 1 a において、第 1 演算増幅器 O T A 1 は、N U L L 期間中、信号の増幅を行わない。

[0156] 第 4 の実施形態の第 1 可変ゲインアンプ P G A 1 c では、1 つの第 1 演算増幅器 O T A 1 に対して、重複する 2 つの受動素子群が設けられている。2 つの受動素子群は、符号に a が含まれる構成要素（単極単投スイッチ S W 1 0 a 等）と、符号に b が含まれる構成要素（単極単投スイッチ S W 1 0 b 等）とである。2 つの受動素子群は、互いに補完するタイミングで第 1 演算増幅器 O T A 1 に接続される。つまり、相補的なタイミングで H レベルになる制御信号 P H I 2 と制御信号 P H I 1 とにより、2 つの受動素子群のいずれか 1 つが S A M P & A M P L 期間に動作するように第 1 可変ゲインアンプ P G A 1 c が制御される（インターリーブ動作）。これによって、第 1 演算増幅器 O T A 1 の利用効率が上がるため、さらなる低消費電力動作が実現される。詳細な動作については、図 17 を用いて後述する。

[0157] （第 2 可変ゲインアンプ P G A 2 c）

第 2 可変ゲインアンプ P G A 2 c は、単極単投スイッチ S W 2 0 a ~ S W 2 2 a と、単極単投スイッチ S W 2 0 a' ~ S W 2 2 a' と、単極単投スイッチ S W 2 0 b ~ S W 2 2 b と、単極単投スイッチ S W 2 0 b' ~ S W 2 2 b' と、単極単投スイッチ S W 2 3 と、単極単投スイッチ S W 2 3' と、単極単投スイッチ S W 2 4 a ~ S W 2 6 a と、単極単投スイッチ S W 2 4 a' ~ S W 2 6 a' と、単極単投スイッチ S W 2 4 b ~ S W 2 6 b と、単極単投スイッチ S W 2 4 b' ~ S W 2 6 b' と、第 2 サンプリング容量 C s 2 a と、第 2 サンプリング容量 C s 2 a' と、第 2 サンプリング容量 C s 2 b と、第 2 サンプリング容量 C s 2 b' と、第 2 帰還容量 C f 2 a と、第 2 帰還容量 C f 2 a' と、第 2 帰還容量 C f 2 b と、第 2 帰還容量 C f 2 b' と、第 2 演算増幅器 O T A 2 とを有する。

[0158] 単極単投スイッチ S W 2 4 a と単極単投スイッチ S W 2 5 a とは、第 1 端

子と第2端子とを有する。単極単投スイッチSW24aの第1端子は、単極双投スイッチS1'の第2端子T2に接続されている。単極単投スイッチSW25aの第1端子は、単極単投スイッチSW24aの第2端子に接続されている。第1同相電圧VCMが単極単投スイッチSW25aの第2端子に入力される。

[0159] 単極単投スイッチSW24a'と単極単投スイッチSW25a'とは、第1端子と第2端子とを有する。単極単投スイッチSW24a'の第1端子は、単極双投スイッチS1の第2端子T2に接続されている。単極単投スイッチSW25a'の第1端子は、単極単投スイッチSW24a'の第2端子に接続されている。第1同相電圧VCMが単極単投スイッチSW25a'の第2端子に入力される。

[0160] 単極単投スイッチSW24bと単極単投スイッチSW25bとは、第1端子と第2端子とを有する。単極単投スイッチSW24bの第1端子は、単極双投スイッチS1'の第2端子T2に接続されている。単極単投スイッチSW25bの第1端子は、単極単投スイッチSW24bの第2端子に接続されている。第1同相電圧VCMが単極単投スイッチSW25bの第2端子に入力される。

[0161] 単極単投スイッチSW24b'と単極単投スイッチSW25b'とは、第1端子と第2端子とを有する。単極単投スイッチSW24b'の第1端子は、単極双投スイッチS1の第2端子T2に接続されている。単極単投スイッチSW25b'の第1端子は、単極単投スイッチSW24b'の第2端子に接続されている。第1同相電圧VCMが単極単投スイッチSW25b'の第2端子に入力される。

[0162] 第2サンプリング容量Cs2aと第2サンプリング容量Cs2a'とは、第1端子と第2端子とを有する。第2サンプリング容量Cs2aの第1端子は、単極単投スイッチSW24aの第2端子に接続されている。第2サンプリング容量Cs2a'の第1端子は、単極単投スイッチSW24a'の第2端子に接続されている。第2サンプリング容量Cs2aと第2サンプリング

容量 $C_{s2a'}$ とは、可変容量である。

[0163] 第2サンプリング容量 C_{s2b} と第2サンプリング容量 $C_{s2b'}$ とは、第1端子と第2端子とを有する。第2サンプリング容量 C_{s2b} の第1端子は、単極単投スイッチ SW_{24b} の第2端子に接続されている。第2サンプリング容量 $C_{s2b'}$ の第1端子は、単極単投スイッチ $SW_{24b'}$ の第2端子に接続されている。第2サンプリング容量 C_{s2b} と第2サンプリング容量 $C_{s2b'}$ とは、可変容量である。

[0164] 第2帰還容量 C_{f2a} と第2帰還容量 $C_{f2a'}$ とは、第1端子と第2端子とを有する。第2帰還容量 C_{f2a} の第1端子は、第2サンプリング容量 C_{s2a} の第2端子に接続されている。第2帰還容量 $C_{f2a'}$ の第1端子は、第2サンプリング容量 $C_{s2a'}$ の第2端子に接続されている。第2帰還容量 C_{f2a} と第2帰還容量 $C_{f2a'}$ とは、可変容量である。

[0165] 第2帰還容量 C_{f2b} と第2帰還容量 $C_{f2b'}$ とは、第1端子と第2端子とを有する。第2帰還容量 C_{f2b} の第1端子は、第2サンプリング容量 C_{s2b} の第2端子に接続されている。第2帰還容量 $C_{f2b'}$ の第1端子は、第2サンプリング容量 $C_{s2b'}$ の第2端子に接続されている。第2帰還容量 C_{f2b} と第2帰還容量 $C_{f2b'}$ とは、可変容量である。

[0166] 単極単投スイッチ SW_{20a} と単極単投スイッチ SW_{21a} とは、第1端子と第2端子とを有する。単極単投スイッチ SW_{20a} の第1端子は、第2サンプリング容量 C_{s2a} の第2端子に接続されている。第1同相電圧 V_{CM} が単極単投スイッチ SW_{20a} の第2端子に入力される。単極単投スイッチ SW_{21a} の第1端子は、第2帰還容量 C_{f2a} の第2端子に接続されている。第2同相電圧 V_{CM2} が単極単投スイッチ SW_{21a} の第2端子に入力される。

[0167] 単極単投スイッチ $SW_{20a'}$ と単極単投スイッチ $SW_{21a'}$ とは、第1端子と第2端子とを有する。単極単投スイッチ $SW_{20a'}$ の第1端子は、第2サンプリング容量 $C_{s2a'}$ の第2端子に接続されている。第1同相電圧 V_{CM} が単極単投スイッチ $SW_{20a'}$ の第2端子に入力される。単極

単投スイッチSW21a'の第1端子は、第2帰還容量Cf2a'の第2端子に接続されている。第2同相電圧VCM2が単極単投スイッチSW21a'の第2端子に入力される。

[0168] 単極単投スイッチSW20bと単極単投スイッチSW21bとは、第1端子と第2端子とを有する。単極単投スイッチSW20bの第1端子は、第2サンプリング容量Cs2bの第2端子に接続されている。第1同相電圧VCMが単極単投スイッチSW20bの第2端子に入力される。単極単投スイッチSW21bの第1端子は、第2帰還容量Cf2bの第2端子に接続されている。第2同相電圧VCM2が単極単投スイッチSW21bの第2端子に入力される。

[0169] 単極単投スイッチSW20b'と単極単投スイッチSW21b'とは、第1端子と第2端子とを有する。単極単投スイッチSW20b'の第1端子は、第2サンプリング容量Cs2b'の第2端子に接続されている。第1同相電圧VCMが単極単投スイッチSW20b'の第2端子に入力される。単極単投スイッチSW21b'の第1端子は、第2帰還容量Cf2b'の第2端子に接続されている。第2同相電圧VCM2が単極単投スイッチSW21b'の第2端子に入力される。

[0170] 単極単投スイッチSW22aと、単極単投スイッチSW22bと、単極単投スイッチSW23とは、第1端子と第2端子とを有する。単極単投スイッチSW22aの第1端子は、第2サンプリング容量Cs2aの第2端子に接続されている。単極単投スイッチSW22bの第1端子は、第2サンプリング容量Cs2bの第2端子に接続されている。単極単投スイッチSW23の第1端子は、単極単投スイッチSW22aの第2端子と単極単投スイッチSW22bの第2端子とに接続されている。第1同相電圧VCMが単極単投スイッチSW23の第2端子に入力される。

[0171] 単極単投スイッチSW22a'と、単極単投スイッチSW22b'と、単極単投スイッチSW23'とは、第1端子と第2端子とを有する。単極単投スイッチSW22a'の第1端子は、第2サンプリング容量Cs2a'の第

2端子に接続されている。単極単投スイッチSW22b'の第1端子は、第2サンプリング容量Cs2b'の第2端子に接続されている。単極単投スイッチSW23'の第1端子は、単極単投スイッチSW22a'の第2端子と単極単投スイッチSW22b'の第2端子とに接続されている。第1同相電圧VCMが単極単投スイッチSW23'の第2端子に入力される。

[0172] 単極単投スイッチSW26aと単極単投スイッチSW26bとは、第1端子と第2端子とを有する。単極単投スイッチSW26aの第1端子は、第2帰還容量Cf2aの第2端子に接続されている。単極単投スイッチSW26bの第1端子は、第2帰還容量Cf2bの第2端子に接続されている。

[0173] 単極単投スイッチSW26a'と単極単投スイッチSW26b'とは、第1端子と第2端子とを有する。単極単投スイッチSW26a'の第1端子は、第2帰還容量Cf2a'の第2端子に接続されている。単極単投スイッチSW26b'の第1端子は、第2帰還容量Cf2b'の第2端子に接続されている。

[0174] 第2演算増幅器OTA2は、第2正入力端子（第2入力端子）と、第2負入力端子（第2入力端子）と、第2正出力端子（第2出力端子）と、第2負出力端子（第2出力端子）とを有する。第2演算増幅器OTA2の第2正入力端子は、非反転入力端子であり、第2演算増幅器OTA2の第2負入力端子は、反転入力端子である。第2演算増幅器OTA2の第2正入力端子は、単極単投スイッチSW22aの第2端子と、単極単投スイッチSW22bの第2端子と、単極単投スイッチSW23の第1端子とに接続されている。第2演算増幅器OTA2の第2負入力端子は、単極単投スイッチSW22a'の第2端子と、単極単投スイッチSW22b'の第2端子と、単極単投スイッチSW23'の第1端子とに接続されている。第2演算増幅器OTA2の第2正出力端子は、単極単投スイッチSW26a'の第2端子と単極単投スイッチSW26b'の第2端子とに接続されている。第2演算増幅器OTA2の第2負出力端子は、単極単投スイッチSW26aの第2端子と単極単投スイッチSW26bの第2端子とに接続されている。第2演算増幅器OTA

2は、2つの電源端子を有し、電源電圧VDDと電源電圧VSSとが2つの電源端子に入力される。

[0175] 第4の実施形態の第2可変ゲインアンプPGA2cでは、1つの第2演算増幅器OTA2に対して、重複する2つの受動素子群が設けられている。2つの受動素子群は、符号にaが含まれる構成要素（単極単投スイッチSW20a等）と、符号にbが含まれる構成要素（単極単投スイッチSW20b等）とである。第1可変ゲインアンプPGA1cと同様に、2つの受動素子群のインターリーブ動作が行われる。

[0176] (AD変換器ADCc)

AD変換器ADCcは、単極単投スイッチSW30aと、単極単投スイッチSW30a'と、単極単投スイッチSW30bと、単極単投スイッチSW30b'と、負荷容量CLaと、負荷容量CLa'と、負荷容量CLbと、負荷容量CLb'とを有する。

[0177] 単極単投スイッチSW30aと単極単投スイッチSW30a'とは、第1端子と第2端子とを有する。単極単投スイッチSW30aの第1端子は、単極双投スイッチS2'の第3端子Dに接続されている。単極単投スイッチSW30a'の第1端子は、単極双投スイッチS2の第3端子Dに接続されている。

[0178] 単極単投スイッチSW30bと単極単投スイッチSW30b'とは、第1端子と第2端子とを有する。単極単投スイッチSW30bの第1端子は、単極双投スイッチS2'の第3端子Dに接続されている。単極単投スイッチSW30b'の第1端子は、単極双投スイッチS2の第3端子Dに接続されている。

[0179] 負荷容量CLaと負荷容量CLa'とは、第1端子と第2端子とを有する。負荷容量CLaの第1端子は、単極単投スイッチSW30aの第2端子に接続されている。基準電圧VREFが負荷容量CLaの第2端子に入力される。負荷容量CLa'の第1端子は、単極単投スイッチSW30a'の第2端子に接続されている。基準電圧VREFが負荷容量CLa'の第2端子に

入力される。負荷容量 CLa と負荷容量 CLa' とは、信号をサンプリングするためのサンプリング容量である。

[0180] 負荷容量 CLb と負荷容量 CLb' とは、第1端子と第2端子とを有する。負荷容量 CLb の第1端子は、単極単投スイッチ $SW30b$ の第2端子に接続されている。基準電圧 $VREF$ が負荷容量 CLb の第2端子に入力される。負荷容量 CLb' の第1端子は、単極単投スイッチ $SW30b'$ の第2端子に接続されている。基準電圧 $VREF$ が負荷容量 CLb' の第2端子に入力される。負荷容量 CLb と負荷容量 CLb' とは、信号をサンプリングするためのサンプリング容量である。

[0181] AD変換器 $ADCc$ において、図示されている構成以外の構成は、図16では省略されている。AD変換器 $ADCc$ は、容量性の負荷（負荷容量 CLa 、負荷容量 CLa' 、負荷容量 CLb 、および負荷容量 CLb' ）を有する負荷回路である。AD変換器 $ADCc$ は、正出力信号 $VOUTP$ と負出力信号 $VOUTM$ とをデジタル信号に変換する。AD変換器 $ADCc$ は、デジタル信号をAD変換結果 AD_RESULT として出力する。

[0182] AD変換器 $ADCc$ が有する各スイッチは、制御信号 $PHI1$ と制御信号 $PHI2$ とにより制御される。各スイッチは、各スイッチに入力される制御信号がHレベルである場合に短絡される。各スイッチは、各スイッチに入力される制御信号がLレベルである場合に開放される。負荷容量 CLb と負荷容量 CLb' とは、制御信号 $PHI1$ がHレベルである期間、サンプリングモードである。このとき、負荷容量 CLb と負荷容量 CLb' とは、第1可変ゲインアンプ $PGA1c$ または第2可変ゲインアンプ $PGA2c$ から出力される信号の電圧に追従する。制御信号 $PHI1$ がLレベルに遷移したタイミングにおける電圧が負荷容量 CLb と負荷容量 CLb' とに保持される。このとき、AD変換器 $ADCc$ はAD変換を開始する。所定の時間 t_d が経過した後、AD変換器 $ADCc$ はAD変換結果 AD_RESULT を出力（更新）する。

[0183] 同様に、負荷容量 CLa と負荷容量 CLa' とは、制御信号 $PHI2$ がH

レベルである期間、サンプリングモードである。このとき、負荷容量 CL_a と負荷容量 CL_a' とは、第1可変ゲインアンプ $PGA1c$ または第2可変ゲインアンプ $PGA2c$ から出力される信号の電圧に追従する。制御信号 $PHI2$ がLレベルに遷移したタイミングにおける電圧が負荷容量 CL_a と負荷容量 CL_a' とに保持される。このとき、AD変換器 $ADCc$ はAD変換を開始する。所定の時間 t_d が経過した後、AD変換器 $ADCc$ はAD変換結果 AD_RESULT を出力（更新）する。

[0184] (制御回路 $CTRLc$)

制御回路 $CTRLc$ は、ピクセルアレー $P1X$ と、第1可変ゲインアンプ $PGA1c$ と、第2可変ゲインアンプ $PGA2c$ と、選択スイッチ $SEL1a$ と、選択スイッチ $SEL2a$ と、AD変換器 $ADCc$ とを制御する。

[0185] 制御回路 $CTRLc$ は、制御信号 $PHI1$, $PHI2$, $PHIR$, CLP_R , SH_R , CLP_S , SH_S , $CSEL<I>$, $CB<I>$, $RSEL<k>$ を上記の各ブロックに出力する。制御回路 $CTRLc$ は、図示しない制御信号によって、第2サンプリング容量 $Cs2a$, $Cs2b$, $Cs2a'$, $Cs2b'$ の容量値を、第1可変ゲインアンプ $PGA1c$ のゲイン $G1$ に逆比例するように制御する。この制御の詳細については後述する。

[0186] 上記のように、半導体装置 $APTS$ は、入射された光に応じて第1電圧信号を生成する複数のピクセル $P[k, l]$ が行列状に配置されたピクセルアレー $P1X$ を有する。ピクセルアレー $P1X$ の複数列に対応する複数の第1サンプリング容量 $Cs1$ が配置されている。複数の第1サブサンプリング容量 CS_R は、第1期間で複数列の第1信号レベルを同時に保持する。複数の第2サブサンプリング容量 CS_S は、第2期間で複数列の第2信号レベルを同時に保持する。第1可変ゲインアンプ $PGA1c$ は、第3期間で複数列の第1信号レベルと第2信号レベルとの差分を順次出力する。

[0187] 第2サンプリング容量 $Cs2a$, $Cs2b$, $Cs2a'$, $Cs2b'$ の容量値は、第1可変ゲインアンプ $PGA1c$ のゲイン $G1$ に逆比例するように設定される。つまり、第2サンプリング容量 $Cs2a$, $Cs2b$, $Cs2a'$

’, C_{s2b} ’ の容量値と第1可変ゲインアンプPGA1cのゲインG1との積が一定であるように容量値が設定される。

[0188] 半導体装置APTS cの負荷回路は、サンプリング容量（負荷容量 CL_a , CL_a' , CL_b , CL_b' ）を有するAD変換器ADC cである。第1可変ゲインアンプPGA1cと、第2可変ゲインアンプPGA2cと、選択スイッチSEL1a, SEL2aと、負荷回路とは、同一の半導体基板に配置されている。

[0189] （動作）

図15から図17を参照し、半導体装置APTS cの動作について説明する。図17は、半導体装置APTS cの動作を示している。図17では、制御信号RSEL<1>~RSEL<m>の波形と、アナログ信号V_{LINE}<1>の波形と、正出力信号V_{OUTP}の波形と、負出力信号V_{OUTM}の波形と、制御信号CLP_R, SH_R, CLP_S, SH_S, CSEL<1>~CSEL<n>, PHI1, PHI2, PHIRの波形と、AD変換結果AD_{RESULT}の状態とが示されている。図17における横方向は時間を示している。図17における縦方向は電圧を示している。制御信号CBの波形は、制御信号CSEL<1>~CSEL<n>の波形と同じである。図17では、制御信号CBの波形は省略されている。

[0190] 図17に示す読み出しが行われる前に、ピクセルP[k, l]はリセットされる。また、ピクセルP[k, l]がリセットされた後、ピクセルP[k, l]は所定の時間、露光される。

[0191] 以下では、1行目のn列のピクセルP[1, 1]~P[1, n]の読み出しを中心に説明する。時刻 $t = t_0$ において制御信号PHIRがHレベルになることにより、第1可変ゲインアンプPGA1cと第2可変ゲインアンプPGA2cとにおいて電荷がリセットされる。

[0192] ピクセルP[1, 1]は、時刻 $t = t_1$ に第1信号レベルVRST<1>の出力を開始する。このタイミングで、制御信号CLP_Rと制御信号SH_RとがHレベルになる。これによって、第1可変ゲインアンプPGA1c

は、第1サブサンプリング容量 CS_R による第1信号レベル $VRST<1>$ のサンプリングを開始する。所定の時間が経過し、第1信号レベル $VRST<1>$ が安定した後の時刻 $t = t_2$ に制御信号 CLP_R はLレベルになる。このタイミングで、第1サブサンプリング容量 CS_R に保持される電荷量（リセットレベル電荷）が決定される。

[0193] 時刻 $t = t_2$ 以降の時刻 $t = t_3$ に制御信号 SH_R はLレベルになる。これによって、単極単投スイッチ $SW40$ は開放される。時刻 $t = t_3$ から、ピクセル $P[1, 1]$ は第2信号レベル $VSIG<1>$ の出力を開始する。制御信号 CLP_S と制御信号 SH_S とは、リセットレベル電荷がサンプリングされる動作と同じ動作が行われるように制御される。これによって、第1可変ゲインアンプ $PGA1c$ は、第2サブサンプリング容量 CS_S による第2信号レベル $VSIG<1>$ のサンプリング動作を行う。時刻 $t = t_6$ に第2信号レベル $VSIG<1>$ のサンプリング動作が終了する。具体的には、第1信号レベル $VRST<1>$ は、ピクセルのリセット出力である。具体的には、第2信号レベル $VSIG<2>$ は、ピクセルの露光量に比例した信号成分である。列回路 $COL<2> \sim COL<n>$ も、上記の時刻 $t_1 \sim t_5$ に同期して、1行目のピクセル $P[1, 2] \sim P[1, n]$ の出力信号に応じたサンプリングを行う。

[0194] 制御信号 SH_R は、複数のピクセル $P[k, 1]$ の各列に対応する複数の列回路 $COL<1> \sim COL<n>$ で共通である。このため、複数の第1サブサンプリング容量 CS_R は、制御信号 SH_R がHレベルである期間で複数列の第1信号レベル $VRST<1> \sim VRST<n>$ を同時に保持する。

[0195] 制御信号 SH_S は、複数のピクセル $P[k, 1]$ の各列に対応する複数の列回路 $COL<1> \sim COL<n>$ で共通である。このため、複数の第2サブサンプリング容量 CS_S は、制御信号 SH_S がHレベルである期間で複数列の第2信号レベル $VSIG<1> \sim VSIG<n>$ を同時に保持する。

[0196] 時間 $t = t_6$ から時刻 $t = t_7$ において、制御信号 $CSEL<1>$ と制御信号 CB とは、制御信号 PHI_1 に同期して H レベルになる。この時間中、第 1 サブサンプリング容量 CS_R と、第 2 サブサンプリング容量 CS_S と、第 1 帰還容量 Cf_{1b} と、第 1 帰還容量 Cf_{1b}' と、第 1 演算増幅器 OTA_1 とは、スイッチトキャパシタ積分器を構成する。第 1 可変ゲインアンプ PGA_{1c} は、第 1 信号レベル $VRST<1>$ と第 2 信号レベル $VSIG<1>$ との差である電圧を $G_1 = C_{s1} / Cf_{1b}$ 倍する。第 1 可変ゲインアンプ PGA_{1c} は、第 2 同相電圧 V_{CM2} を同相レベルとする差動信号を出力する。第 1 の実施形態と同様に、半導体装置 $APTS_c$ のゲイン G が 1 以下である場合、この差動信号は AD 変換器 ADC_c に出力される。半導体装置 $APTS_c$ のゲイン G が 1 よりも大きい場合、この差動信号は、第 2 可変ゲインアンプ PGA_{2c} を経由して、 AD 変換器 ADC_c に出力される。

[0197] AD 変換器 ADC_c は、制御信号 PHI_1 が H レベルである期間、第 1 可変ゲインアンプ PGA_{1c} または第 2 可変ゲインアンプ PGA_{2c} からの差動信号を負荷容量 CL_b と負荷容量 CL_b' とにサンプリングし続ける。 AD 変換器 ADC_c は、制御信号 PHI_1 が L レベルに切り替わる瞬間の電圧を最終的にホールドする。 AD 変換器 ADC_c は、時刻 $t = t_7$ に制御信号 PHI_1 が L レベルに遷移することにより、列回路 $COL<1>$ からのアナログ信号に対応した差動信号の AD 変換を開始する。差動信号のレベルは、 $G_1 \cdot G_2 (VRST<1> - VSIG<1>)$ である。所定の時間 t_d が経過した後の時刻 $t = t_8$ に、 AD 変換器 ADC_c は、変換結果 AD_RESULT を更新し、かつ、変換結果 $AD_RESULT (D<1>)$ を出力する。

[0198] 以降、同様に、制御信号 $CSEL<2> \sim CSEL<n>$ が順次選択されることにより、2 列目から n 列目の各ピクセルからアナログ信号が読み出される。読み出されたアナログ信号は、列回路 $COL<2> \sim COL<n>$ を介して第 1 可変ゲインアンプ PGA_{1c} に入力される。アナログ信号は、第 1 可変ゲインアンプ PGA_{1c} のみ、または第 1 可変ゲインアンプ PGA_1

cと第2可変ゲインアンプPGA2cとによって増幅される。第1可変ゲインアンプPGA1cは、制御信号CSEL<1>~CSEL<n>が順次Hレベルになる期間で複数列の第1信号レベルVRST<1>~VRST<n>と第2信号レベルVSLG<1>~VSLG<n>との差分を順次出力する。

[0199] 第1可変ゲインアンプPGA1cのみ、または第1可変ゲインアンプPGA1cと第2可変ゲインアンプPGA2cとによって増幅された信号は、AD変換器ADCcに順次入力される。AD変換器ADCcは、制御信号PHI1がLレベルになるタイミングで、奇数列のピクセルからのアナログ信号に対応する信号をAD変換する。AD変換器ADCcは、制御信号PHI2がLレベルになるタイミングで、偶数列のピクセルからのアナログ信号に対応する信号をAD変換する。AD変換器ADCcは、変換結果AD_RESULTを順次更新し、かつ、変換結果AD_RESULT(D<2>~D<n>)を順次出力する。

[0200] 1行n列目のピクセルP[1, n]における読み出しが終了した後の時刻t101に、制御信号RSEL<1>はHレベルからLレベルに遷移する。同時に制御信号RSEL<2>がLレベルからHレベルに遷移する。このタイミング以降2行1列目のピクセルP[2, 1]から2行n列目のピクセルP[2, n]までのアナログ信号が、列回路COL<1>~COL<n>を介して読み出される。以降、同様にして3行目からm行目の各ピクセルからの信号が読み出される。時刻t=t200に読み出しは完了する。この読み出しが終了し、かつ、各ピクセルの露光が終了した後、再び、時刻t=t300に制御信号RSEL<1>がLレベルからHレベルに遷移する。これによって、1行目のピクセルP[1, 1]~P[1, n]における読み出しが開始される。

[0201] 図18と図21とを用いて半導体装置APTScの動作をより詳細に説明する。第1可変ゲインアンプPGA1cのゲインG1と第2可変ゲインアンプPGA2cのゲインG2とは、制御回路CTRLcにより $G1 = Cs1 /$

C_{f1} かつ $G_2 = C_{s2} / C_{f2}$ となるように制御される。この点は第1から第3の実施形態と同じである。第4の実施形態では、さらに、容量値 C_{s2} が第1可変ゲインアンプ $PGA1c$ のゲイン $G_1 = C_{s1} / C_{f1}$ に逆比例するという条件がある。例えば、 $C_{f1} = C_{s2} = C_{f2}$ が成り立つ。この点が第1から第3の実施形態と異なる。以下では、この点を中心に説明する。 C_{f1} は、第1帰還容量 C_{f1a} , C_{f1b} , $C_{f1a'}$, $C_{f1b'}$ の容量値である。 C_{s2} は、第2サンプリング容量 C_{s2a} , $C_{s2a'}$, C_{s2b} , $C_{s2b'}$ の容量値である。 C_{f2} は、第2帰還容量 C_{f2a} , C_{f2b} , $C_{f2a'}$, $C_{f2b'}$ の容量値である。以下では、 $C_{f1} = C_{s2} = C_{f2}$ の場合について説明する。

[0202] 図18は、半導体装置 $APTS_c$ に搭載された可変ゲインアンプが駆動すべき実効負荷容量 C_{Leff} と、従来技術の可変ゲインアンプが駆動すべき実効負荷容量 C_{Leff_PA} とを示している。図18において、 C_{Leff1} は、第1可変ゲインアンプ $PGA1c$ の実効負荷容量を示している。 C_{Leff2} は、第2可変ゲインアンプ $PGA2c$ の実効負荷容量を示している。 C_{Leff} は、第1可変ゲインアンプ $PGA1c$ と第2可変ゲインアンプ $PGA2c$ との実効負荷容量の和を示している。 C_{Leff_PA} は、従来技術の可変ゲインアンプの実効負荷容量を示している。

[0203] 従来技術の可変ゲインアンプは、図21に示すスイッチトキャパシタ型の積分アンプである。図21は、従来技術の可変ゲインアンプの負荷容量モデルを示している。図21に示すモデルは、サンプリング容量 C_s と、帰還容量 C_f と、可変ゲインアンプ AMP とを有する。

[0204] 従来技術の可変ゲインアンプ AMP の実効負荷容量 C_{Leff_PA} について、図21を用いて説明する。従来技術の可変ゲインアンプ AMP の実効負荷容量 C_{Leff_PA} は(9)式で与えられる。

[0205] [数1]

$$C_{Leff_PA} = C_L + C_S + \frac{C_L \cdot C_S}{C_f} = C_L + C_S + G_{PA} \cdot C_L \quad \dots (9)$$

[0206] (9) 式において、 $G_{PA} = C_s / C_f$ は、スイッチトキャパシタ型積分器のゲインである。(9) 式において、2つのイコールに挟まれた部分の第3項目において、負荷容量 C_L が可変ゲインアンプAMPのゲイン倍(G_{PA} 倍)される。つまり、可変ゲインアンプAMPのゲインが高い場合に実効負荷容量 C_{Leff_PA} が非常に大きくなる。

[0207] 一方、第1可変ゲインアンプPGA1cと第2可変ゲインアンプPGA2cとは、制御回路CTRLcの働きにより、 $C_{f1} = C_{s2} = C_{f2}$ の条件が満たされるように制御される。したがって、第1可変ゲインアンプPGA1cの実効負荷容量 C_{Leff1} は、(10)式で与えられる。(10)式に示すように、第1可変ゲインアンプPGA1cの実効負荷容量 C_{Leff1} の値は、第1可変ゲインアンプPGA1cのゲインが高い場合であっても一定である。

[0208] [数2]

$$\begin{aligned} C_{Leff1} &= C_{s2} + C_{s1} + \frac{C_{s2} \cdot C_{s1}}{C_{f1}} \\ &= C_{f1} + C_{s1} + \frac{C_{f1} \cdot C_{s1}}{C_{f1}} \\ &= C_{f1} + 2 \cdot C_{s1} \end{aligned}$$

・・・(10)

[0209] 第4の実施形態の効果をより具体的に検証する。このため、図18を用いて、容量値 $C_s = 275 \text{ fF}$ の条件で、第4の実施形態の可変ゲインアンプと、従来技術の可変ゲインアンプAMPとの実効負荷容量が比較される。

[0210] 図18に示すように、ゲイン G が2以下である場合、実効負荷容量 C_{Leff} と実効負荷容量 C_{Leff_PA} とは、ほぼ同じである。ゲイン G が4以上である場合、第4の実施形態の可変ゲインアンプの実効負荷容量 C_{Leff} は、従来技術の可変ゲインアンプAMPの実効負荷容量 C_{Leff_PA} よりも非常に小さい。

[0211] 一般的な可変ゲインアンプのセトリング時定数 τ は、 $\tau = g_m / (2\pi C)$ で与えられる。 g_m は、可変ゲインアンプのトランスコンダクタンスである。 C は、一般的な可変ゲインアンプの実効負荷容量である。第4の実施形

態の可変ゲインアンプの時定数 ($\tau_1 + \tau_2$) と従来技術の可変ゲインアンプのセトリング時定数 τ_{CONV} とが同じになる条件は、(11) 式で与えられる。

$$g_{m1} / (2\pi C_{\text{eff}1}) + g_{m2} / (2\pi C_{\text{eff}2}) = g_{m_PA} / (2\pi C_{\text{eff}_PA}) \quad \dots (11)$$

[0212] (11) 式において、 τ_1 は、第1可変ゲインアンプPGA1cの時定数である。 τ_2 は、第2可変ゲインアンプPGA2cの時定数である。 τ_{CONV} は、従来技術の可変ゲインアンプAMPの時定数である。 g_{m1} は、第1可変ゲインアンプPGA1cのトランスコンダクタンスである。 g_{m2} は、第2可変ゲインアンプPGA2cのトランスコンダクタンスである。 g_{m_PA} は、従来技術の可変ゲインアンプAMPのトランスコンダクタンスである。

[0213] 図18に記載された、ゲインGが8である場合の実効負荷容量を(11)式に代入すると、(12)式が成り立つ。

$$g_{m1} / 0.584 + g_{m2} / 1.034 = g_{m_PA} / 4.775 \quad \dots (12)$$

[0214] 例えば、 $g_{m1} = 0.584$ [S]、 $g_{m2} = 1.034$ [S]、 $g_{m_PA} = 4.775 \times 2 = 9.55$ [S] である場合、比較対象である2つの可変ゲインアンプのセトリング時定数が等しい。すなわち、第4の実施形態の可変ゲインアンプは、より小さなトランスコンダクタンスで、従来技術の可変ゲインアンプAMPと同等のセトリング特性を実現することができる。トランスコンダクタンスアンプのトランスコンダクタンスは、消費電流の1乗から0.5乗に比例することが一般に知られている。第4の実施形態の可変ゲインアンプは、従来技術に比べて小さなトランスコンダクタンスで所定のセトリング特性を実現することができる。このため、第4の実施形態の可変ゲインアンプは、従来技術の可変ゲインアンプAMPに比べて消費電流を低減することができる。

[0215] (第7の効果)

半導体装置APTS cでは、第2可変ゲインアンプPGA2cの第2サン

プリング容量 C_{s2a} , C_{s2b} , $C_{s2a'}$, $C_{s2b'}$ の容量値 C_{s2} が、第1可変ゲインアンプPGA1cのゲイン G_1 に逆比例するように制御される。このため、第1可変ゲインアンプPGA1cの実効負荷容量は、半導体装置APTS cのゲイン G が高い場合であってもほぼ一定である。可変ゲインアンプの消費電流は負荷容量に比例するため、第4の実施形態の可変ゲインアンプは、回路の消費電流を増大させることなく、高ゲインで増幅を行うことができる。

[0216] (第8の効果)

半導体装置APTS cでは、第1可変ゲインアンプPGA1cと、第2可変ゲインアンプPGA2cと、選択スイッチSEL1a, SEL2aと、AD変換器ADC cのサンプリング容量とが同一基板上に配置されている。このため、信号配線またはボンディングワイヤ等により生じる寄生容量を最小にすることができる。この結果、第1可変ゲインアンプPGA1cと第2可変ゲインアンプPGA2cとの負荷容量を軽減することができる。したがって、さらなる低消費電力化を実現することができる。

[0217] (変形例)

半導体装置APTS a, APTS b, APTS cに搭載された第1可変ゲインアンプPGA1a, PGA1b, PGA1cおよび第2可変ゲインアンプPGA2a, PGA2cの同相入力電圧(V_{CM})が同相出力電圧(V_{CM2})より大きくてもよい。この場合、AD変換器ADC, ADC cにおいて消費電力が低減されないが、AD変換器ADC, ADC cの入力範囲が拡大する。したがって、振幅が大きい信号を扱う必要がある半導体装置APTS a, APTS b, APTS cの全体では、消費電力を低減できる可能性がある。

[0218] 説明を容易にするため、第4の実施形態のみ、制御回路CTRL cにより第2サンプリング容量 C_{s2a} , C_{s2b} , $C_{s2a'}$, $C_{s2b'}$ の容量値 C_{s2} が、第1可変ゲインアンプPGA1cのゲイン G_1 に逆比例するように設定されるという動作条件で説明を行った。この動作条件は、第1から

第3の実施形態においても適用可能であり、同様の効果が得られる。

[0219] 第4の実施形態において、第2可変ゲインアンプPGA2cのゲインG2は1に固定されている。第2サンプリング容量Cs2a, Cs2b, Cs2a', Cs2b'の容量値Cs2が第1可変ゲインアンプPGA1cのゲインG1に逆比例する範囲内で、設計条件によって、第2可変ゲインアンプPGA2cのゲインG2は1よりも大きくてもよい。第4の実施形態で説明したサンプリング容量に近い条件では、第2可変ゲインアンプPGA2cのゲインG2の値が1.2～2程度となる条件において、消費電流が最小である。

[0220] 第4の実施形態のみ、半導体装置APTScを構成する全てのブロックが同一の半導体基板上に形成されている例を説明した。これは、第1から第3の実施形態においても可能であり、同様の効果が得られる。

[0221] 以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

産業上の利用可能性

[0222] 本発明の各実施形態によれば、従属接続された2つのアンプを有する半導体装置が低ゲインで動作するときの入力換算雑音の増加を低減することができる。

符号の説明

[0223] APTS, APTSa, APTSb, APTSc 半導体装置
PGA1, PGA1a, PGA1b, PGA1c 第1可変ゲインアンプ
PGA2, PGA2a, PGA2c 第2可変ゲインアンプ
SEL1, SEL1a, SEL2, SEL2a 選択スイッチ
LCIR 負荷回路
ADC, ADCc AD変換器
CTRL, CTRLa, CTRLb, CTRLc 制御回路

請求の範囲

[請求項1]

第1可変ゲインアンプと、第2可変ゲインアンプと、容量性の負荷を有する負荷回路と、選択スイッチと、を有し、

前記第1可変ゲインアンプは、入力される第1電圧信号を保持する第1サンプリング容量と、第1帰還容量と、第1演算増幅器とを有し、前記第1演算増幅器は、第1入力端子と第1出力端子とを有し、前記第1入力端子が前記第1サンプリング容量に接続され、前記第1入力端子と前記第1出力端子との間に前記第1帰還容量が接続され、

前記第1可変ゲインアンプの増幅率は、前記第1サンプリング容量の容量値と前記第1帰還容量の容量値との比によって決定され、

前記第2可変ゲインアンプは、前記第1可変ゲインアンプから出力された第2電圧信号をサンプリングする第2サンプリング容量と、第2帰還容量と、第2演算増幅器とを有し、前記第2演算増幅器は、第2入力端子と第2出力端子とを有し、前記第2入力端子が前記第2サンプリング容量に接続され、前記第2入力端子と前記第2出力端子との間に前記第2帰還容量が接続され、

前記第2可変ゲインアンプの増幅率は、前記第2サンプリング容量の容量値と前記第2帰還容量の容量値との比によって決定され、

前記第1可変ゲインアンプと前記第2可変ゲインアンプとは、スイッチトキャパシタ型の可変ゲインアンプを構成し、

前記選択スイッチは、前記第1可変ゲインアンプの増幅率が所定のゲイン以下である場合、前記第1可変ゲインアンプと前記負荷回路とが接続され、前記第1可変ゲインアンプの増幅率が所定のゲインよりも大きい場合、前記第2可変ゲインアンプが前記第1可変ゲインアンプと前記負荷回路との間に接続されるように、前記第1可変ゲインアンプと前記第2可変ゲインアンプと前記負荷回路との接続を切り替える

半導体装置。

[請求項2] 前記第1可変ゲインアンプの増幅率が前記所定のゲイン以下である場合、前記第2可変ゲインアンプを休止させる制御回路をさらに有する

請求項1に記載の半導体装置。

[請求項3] 第2可変ゲインアンプは、前記第2電圧信号のサンプリングと増幅とが同時に行われるように制御される

請求項1に記載の半導体装置。

[請求項4] 前記第1可変ゲインアンプと前記第2可変ゲインアンプとは全差動型アンプであり、

前記第1出力端子は、第1正出力端子と第1負出力端子とを有し、
前記第2入力端子は、第2正入力端子と第2負入力端子とを有し、
前記第2出力端子は、第2正出力端子と第2負出力端子とを有し、
前記第1可変ゲインアンプの増幅率が所定のゲイン以下である場合、
前記第1正出力端子から出力された信号が正出力信号として出力され、かつ前記第1負出力端子から出力された信号が負出力信号として出力され、

前記第1可変ゲインアンプの増幅率が所定のゲインよりも大きい場合、前記第1正出力端子と前記第2正入力端子とが電氣的に接続され、かつ前記第1負出力端子と前記第2負入力端子とが電氣的に接続され、

前記第1可変ゲインアンプの増幅率が所定のゲインよりも大きい場合、前記第2正出力端子から出力された信号が前記正出力信号として出力され、かつ前記第2負出力端子から出力された信号が前記負出力信号として出力される

請求項3に記載の半導体装置。

[請求項5] 前記第1可変ゲインアンプと前記第2可変ゲインアンプとは全差動型アンプであり、

前記第1演算増幅器の同相出力電圧は、前記第1演算増幅器の同相

入力電圧よりも小さく、

前記第2演算増幅器の同相出力電圧は、前記第2演算増幅器の同相入力電圧よりも小さい

請求項1に記載の半導体装置。

[請求項6]

前記第1サンプリング容量は、第1サブサンプリング容量と第2サブサンプリング容量とを有し、

前記第1サブサンプリング容量は、第1期間で前記第1電圧信号の第1信号レベルを保持し、

前記第2サブサンプリング容量は、前記第1期間と異なる第2期間で前記第1電圧信号の第2信号レベルを保持し、前記第2信号レベルは、前記第1信号レベルと異なり、

前記第1可変ゲインアンプは、前記第1期間および前記第2期間と異なる第3期間で前記第1信号レベルと前記第2信号レベルとの差分を出力する

請求項1に記載の半導体装置。

[請求項7]

入射された光に応じて前記第1電圧信号を生成する複数のピクセルが行列状に配置されたピクセルアレーをさらに有し、

前記ピクセルアレーの複数列に対応する複数の前記第1サンプリング容量が配置され、

複数の前記第1サブサンプリング容量は、前記第1期間で前記複数列の前記第1信号レベルを同時に保持し、

複数の前記第2サブサンプリング容量は、前記第2期間で前記複数列の前記第2信号レベルを同時に保持し、

前記第1可変ゲインアンプは、前記第3期間で前記複数列の前記第1信号レベルと前記第2信号レベルとの差分を順次出力する

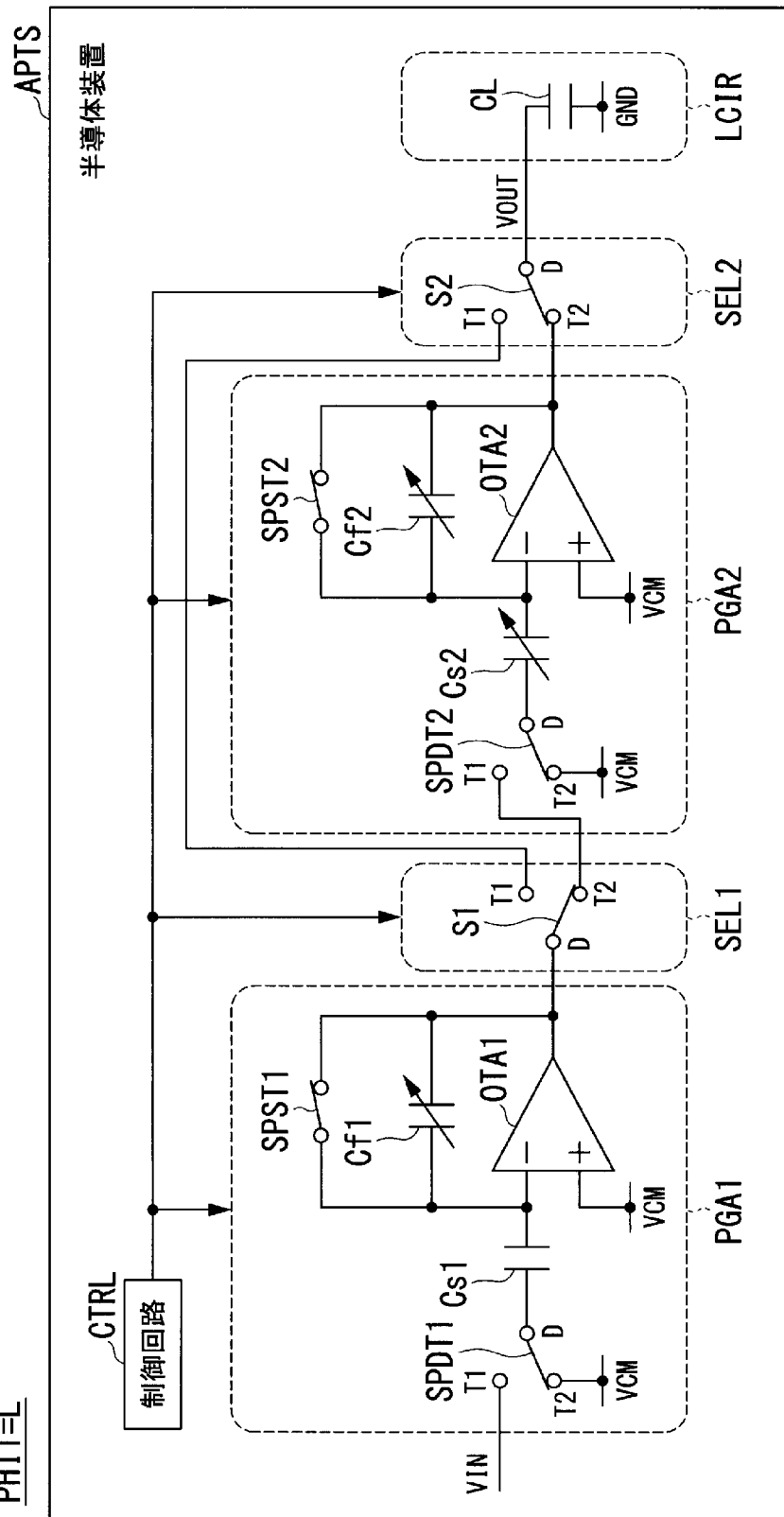
請求項6に記載の半導体装置。

[請求項8]

前記第2サンプリング容量の容量値は、前記第1可変ゲインアンプのゲインに逆比例するように設定される請求項1に記載の半導体装置

。

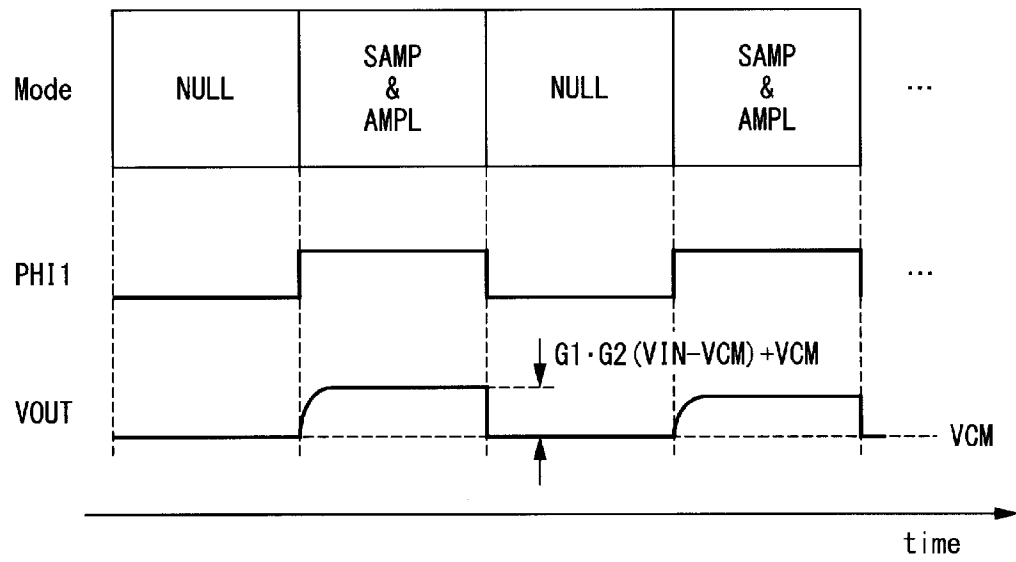
- [請求項9] 前記負荷回路は、サンプリング容量を有するAD変換器であり、
 前記第1可変ゲインアンプと、前記第2可変ゲインアンプと、前記
 選択スイッチと、前記負荷回路とは、同一の基板に配置されている
 請求項1に記載の半導体装置。

PHI1=L

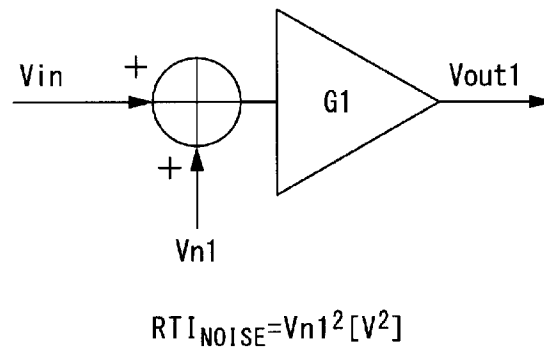
[図2]

G	G1	G2	S1	S2
0.5	$-\sqrt{0.5}$	$-\sqrt{0.5}$	T1	T1
1	-1	-1	T1	T1
2	$-\sqrt{2}$	$-\sqrt{2}$	T2	T2
4	-2	-2	T2	T2
8	$-2\sqrt{2}$	$-2\sqrt{2}$	T2	T2

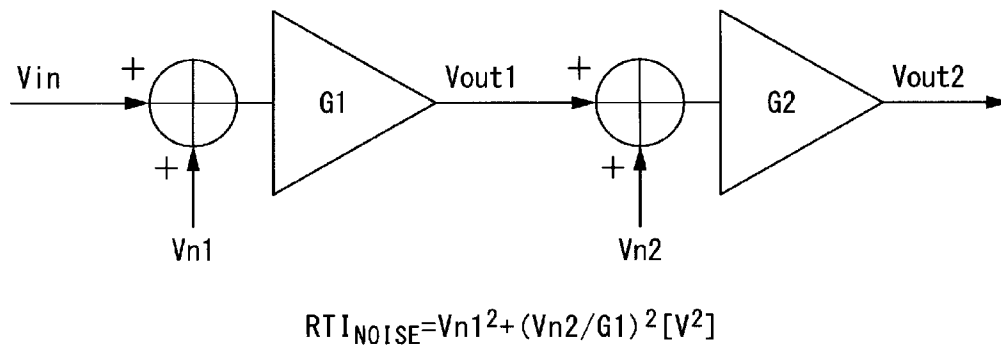
[図4]



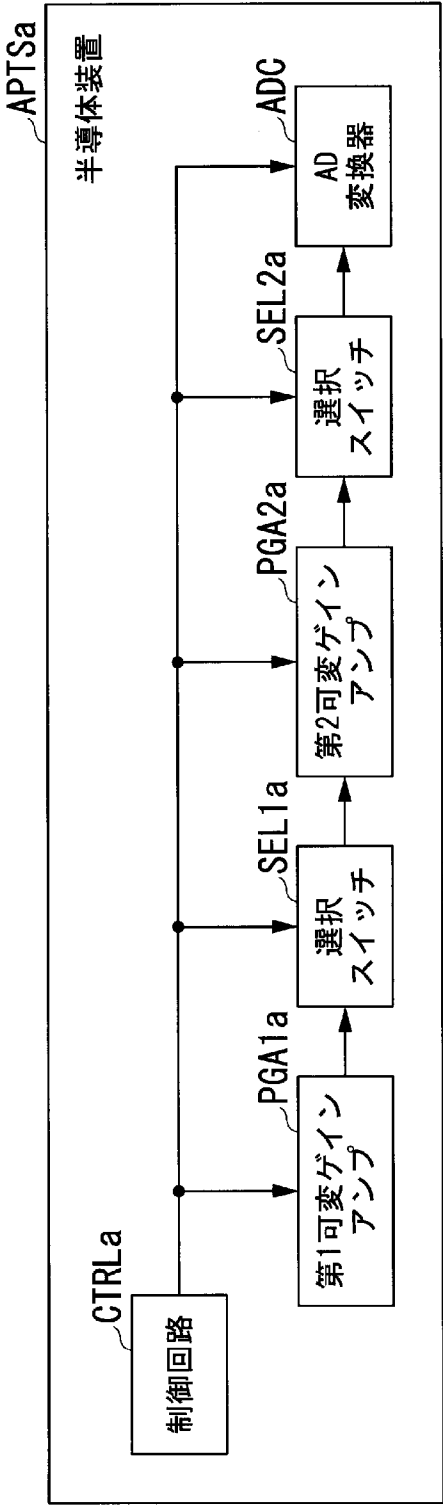
[図5]



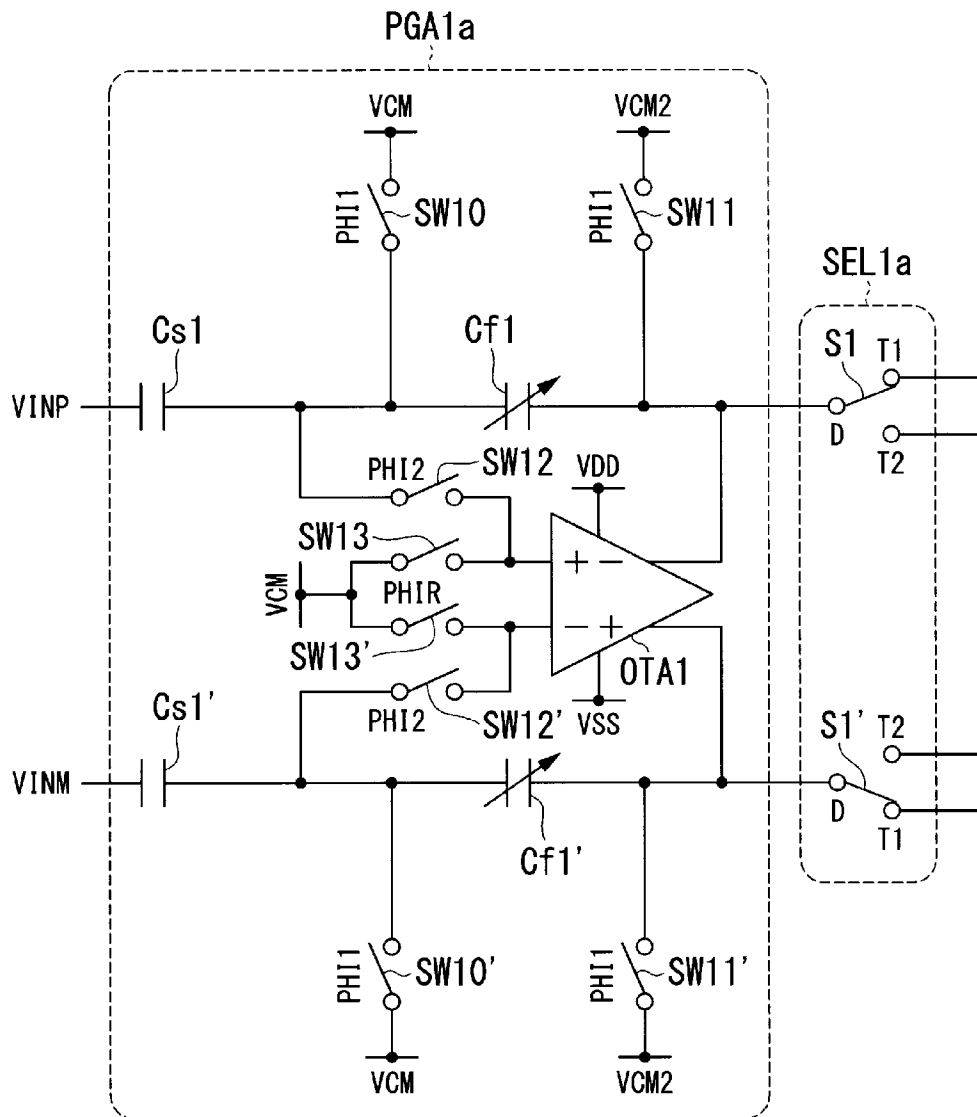
[図6]



[図7]

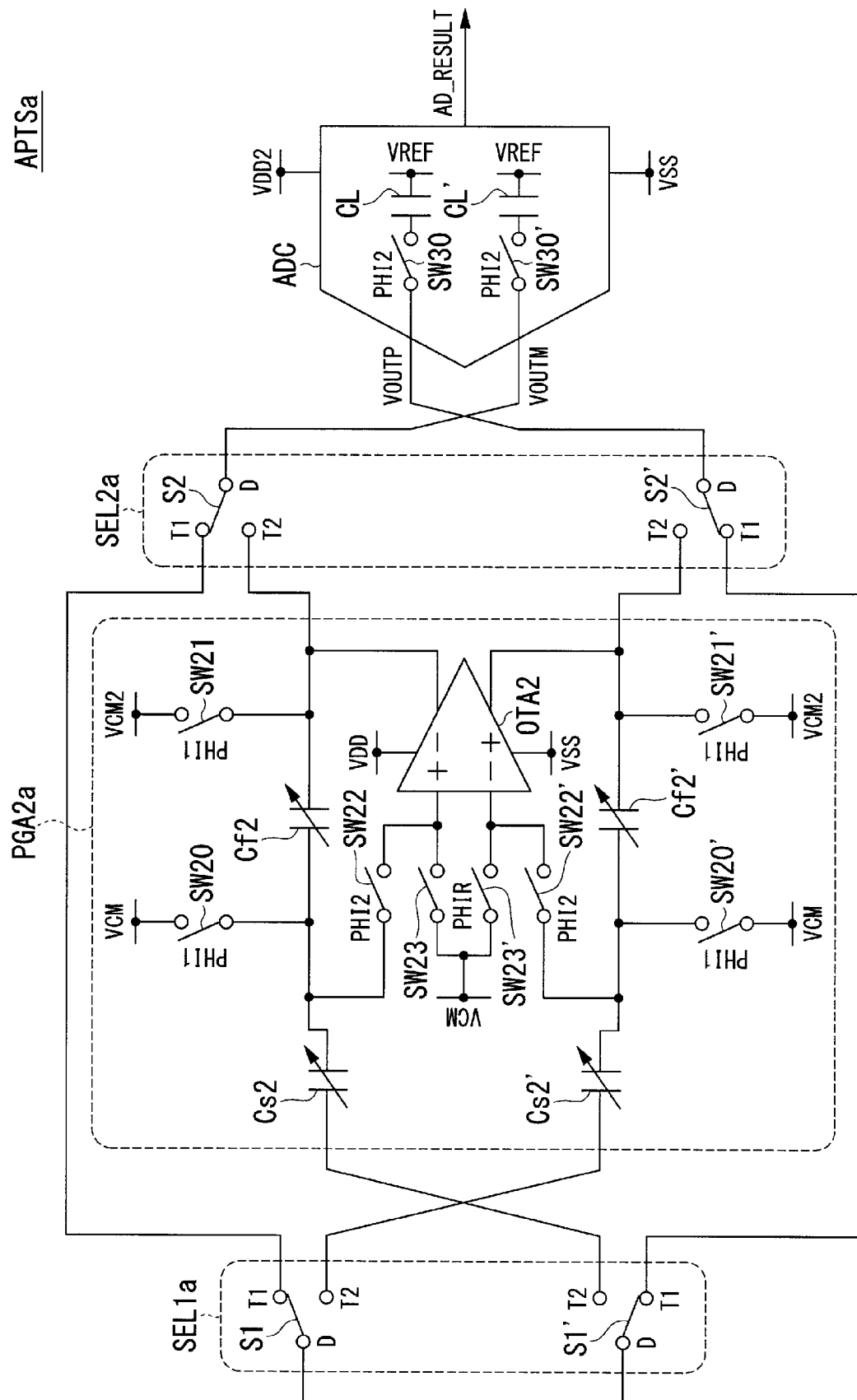


[図8]

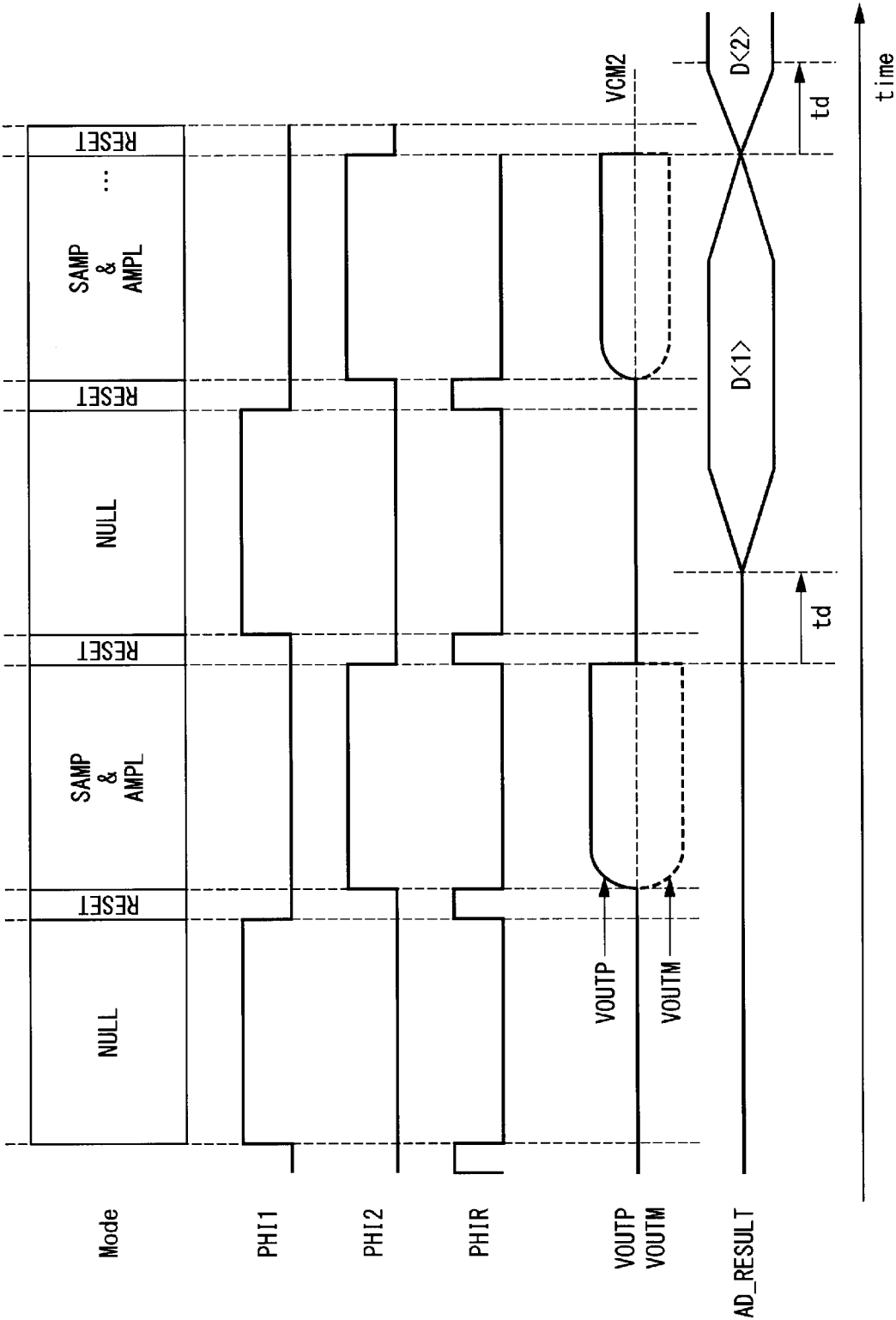
APTSa

[図9]

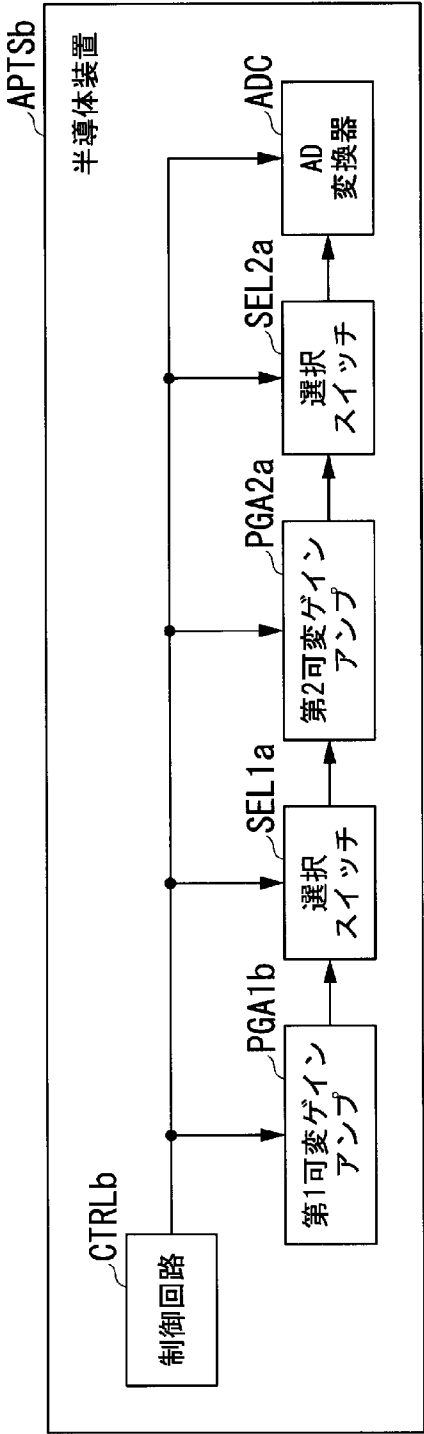
APTSa



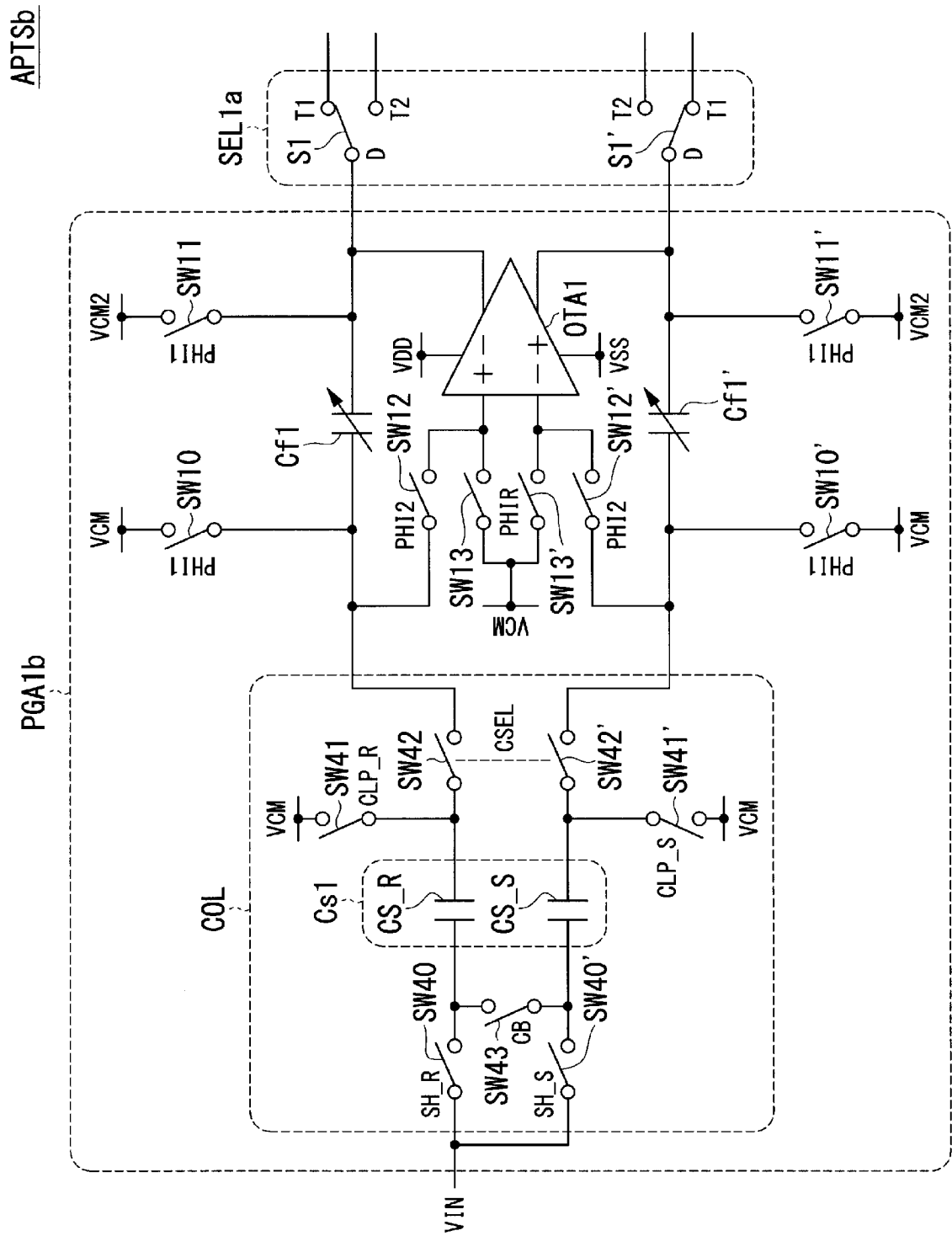
[図10]



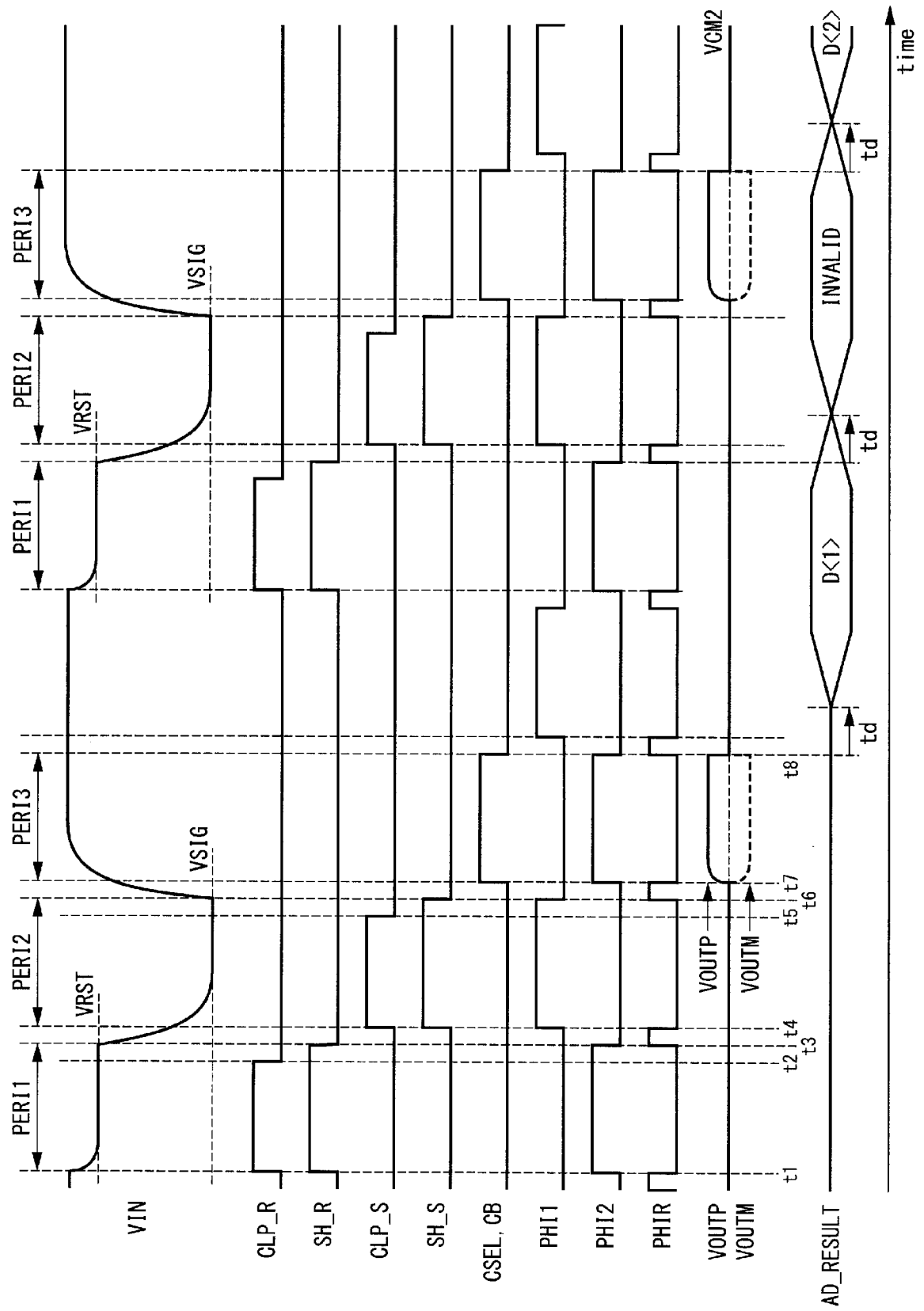
[図11]



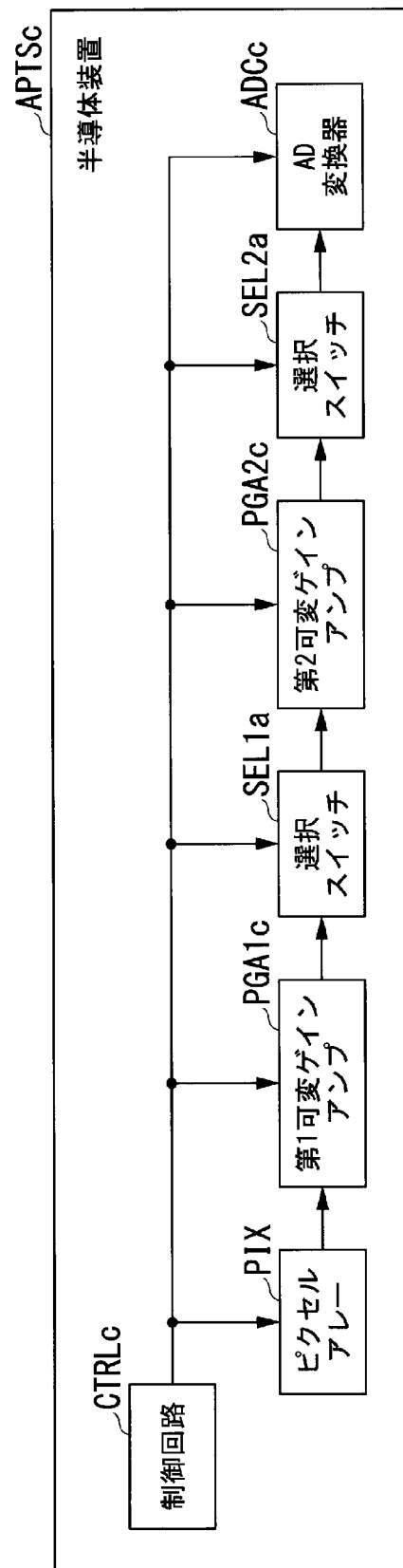
[図12]



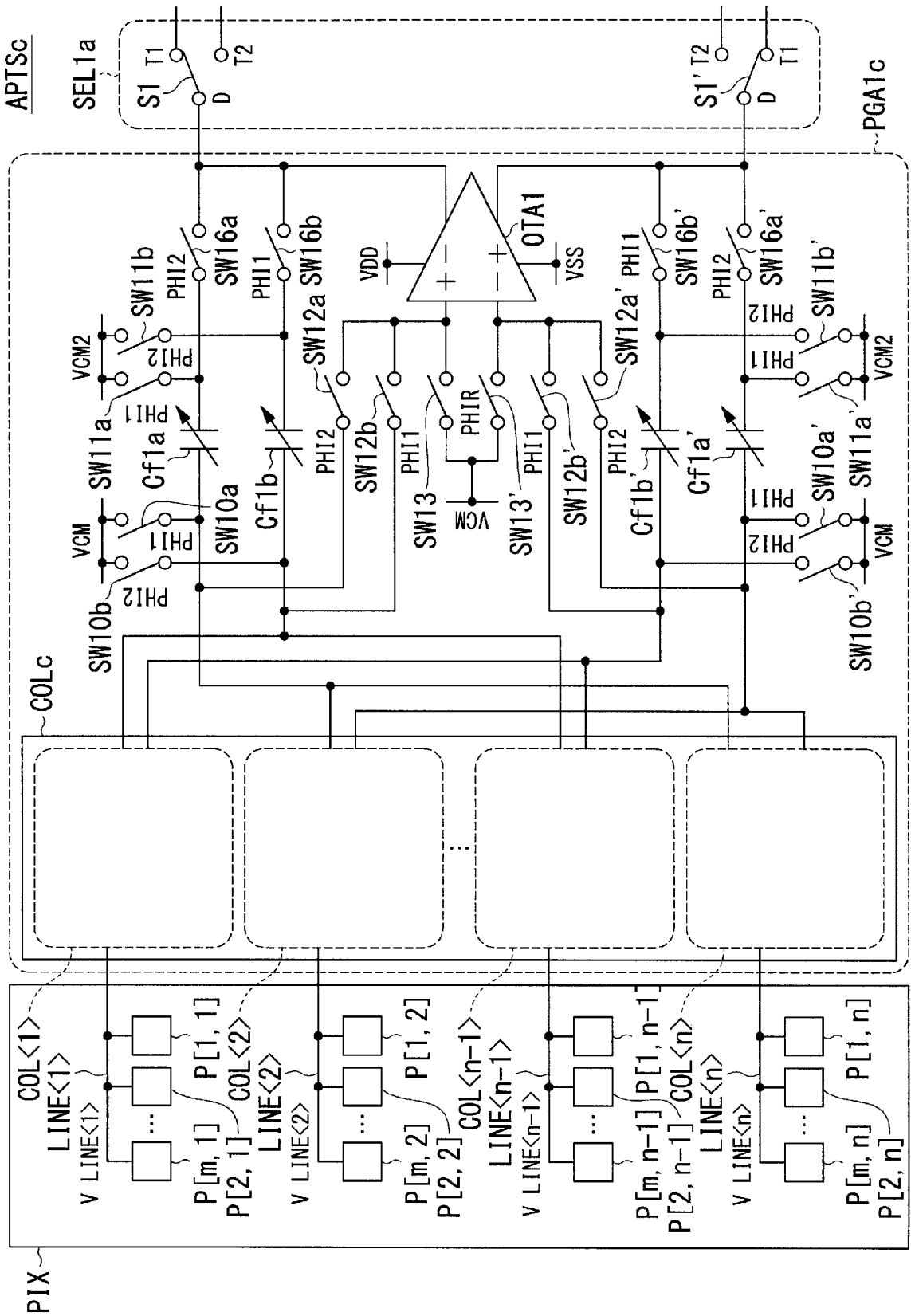
[図13]



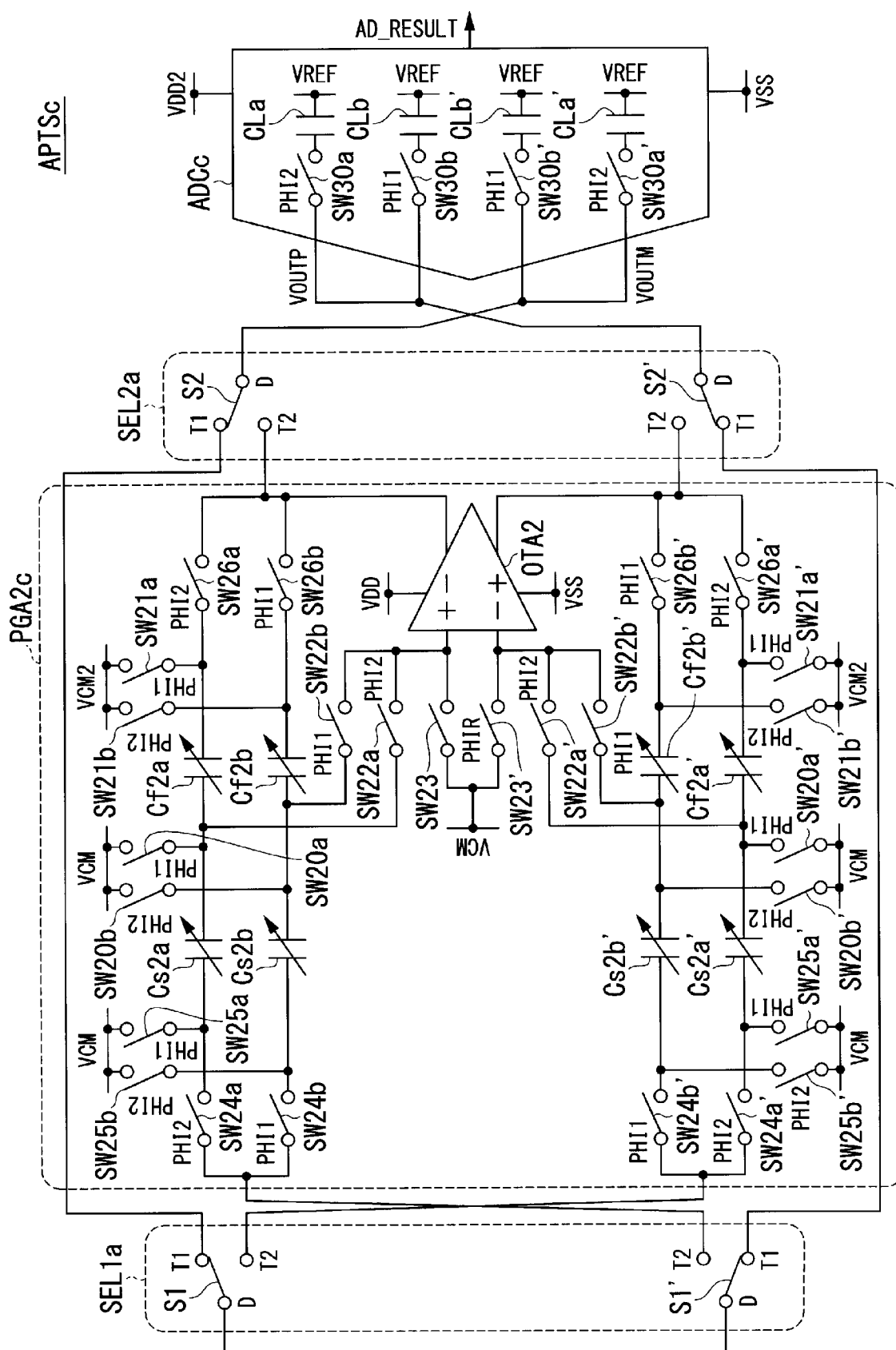
[図14]



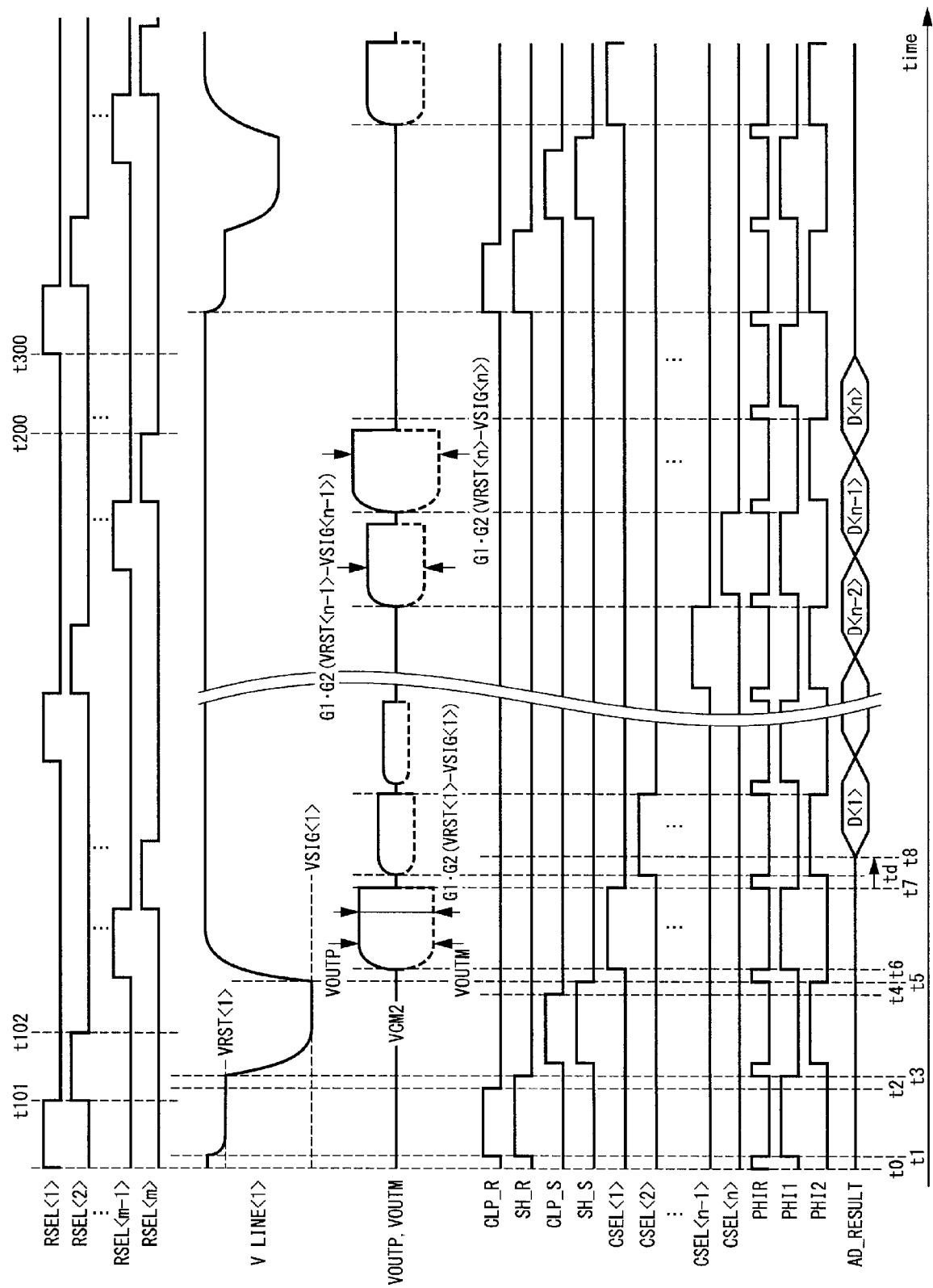
[図15]



[図16]



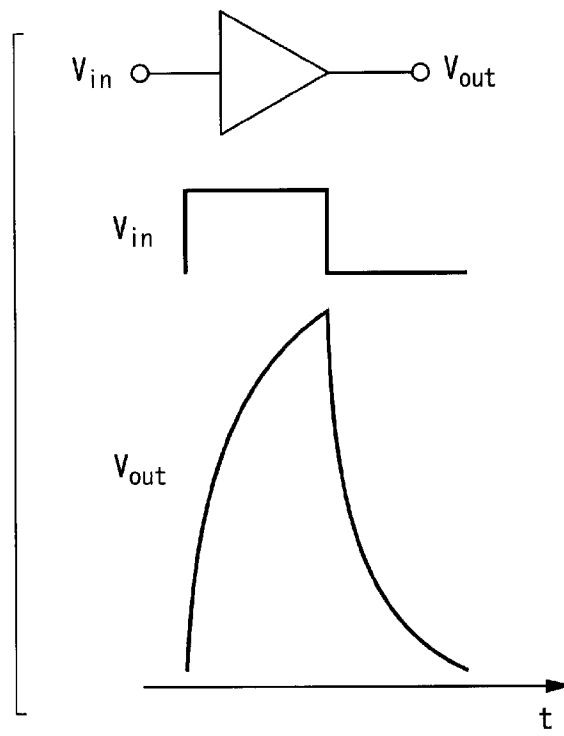
[図17]



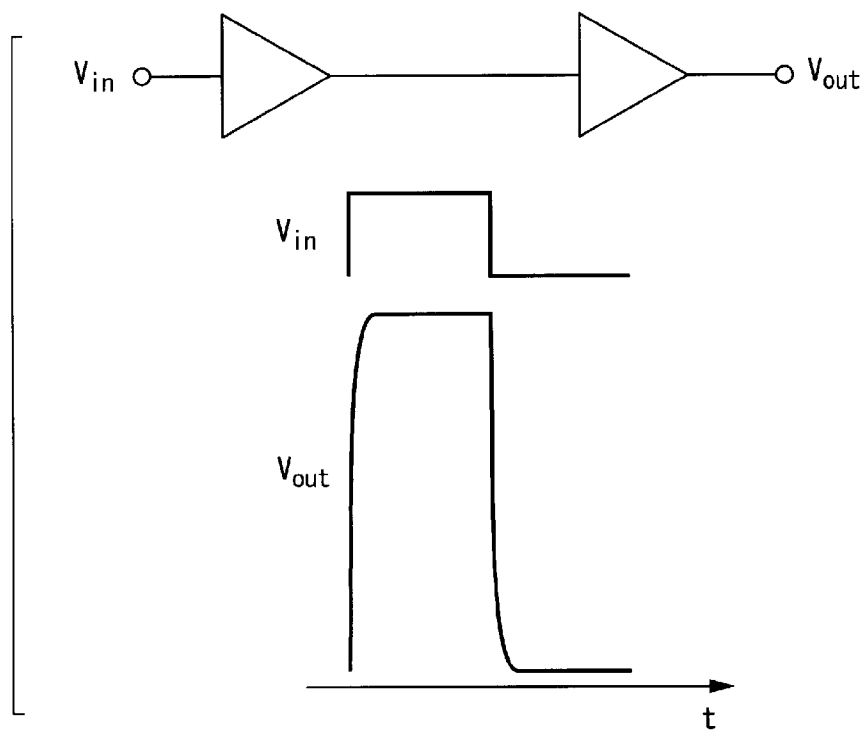
[図18]

G	第4の実施形態の可変ゲインアンプ										従来技術の可変ゲインアンプ			
	G1	G2	Cs1	Cf1	Cs2	Cf2	CL	C _{Leff1}	C _{Leff2}	C _{Leff}	G _{PA}	Cs	Cf	C _{Leff_PA}
1	1	—	0.275	0.275	—	—	0.5	1.275	0.000	1.275	1	0.275	0.275	1.275
2	2	1	0.275	0.138	0.138	0.138	0.5	0.688	1.138	1.825	2	0.275	0.138	1.775
4	4	1	0.275	0.069	0.069	0.069	0.5	0.619	1.069	1.688	4	0.275	0.069	2.775
8	8	1	0.275	0.034	0.034	0.034	0.5	0.584	1.034	1.619	8	0.275	0.034	4.775

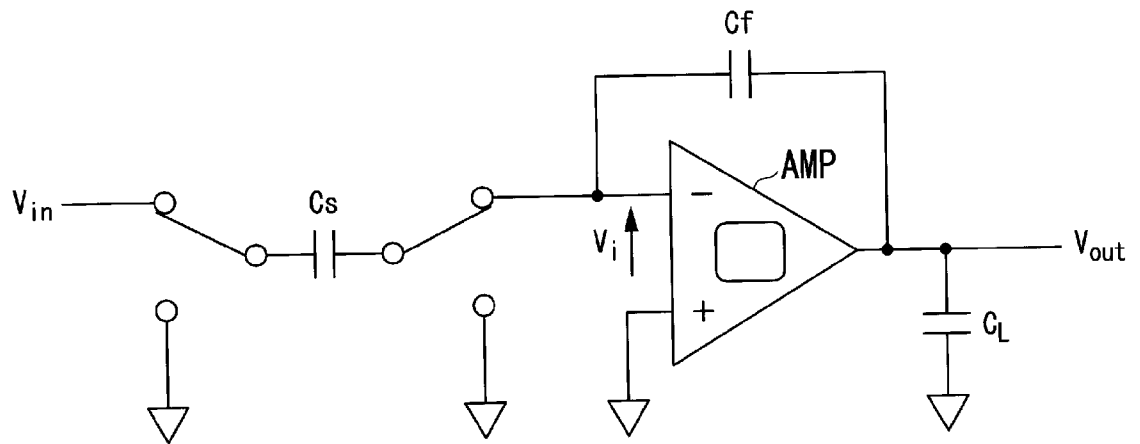
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/062263

A. CLASSIFICATION OF SUBJECT MATTER

H03F1/26(2006.01)i, H03F3/343(2006.01)i, H03F3/68(2006.01)i, H03G3/00(2006.01)i, H03M1/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F1/26, H03F3/343, H03F3/68, H03G3/00, H03M1/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-17130 A (Fujitsu Semiconductor Ltd.), 24 January 2013 (24.01.2013), paragraphs [0008] to [0012]; fig. 2, 3 (Family: none)	1-9
A	JP 2012-191436 A (Panasonic Corp.), 04 October 2012 (04.10.2012), paragraphs [0017] to [0020]; fig. 1 & US 2013/0136213 A1 & WO 2012/120811 A1	1-9
A	JP 10-32441 A (Hitachi Denshi, Ltd.), 03 February 1998 (03.02.1998), front page (Family: none)	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
20 May 2015 (20.05.15)

Date of mailing of the international search report
02 June 2015 (02.06.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03F1/26(2006.01)i, H03F3/343(2006.01)i, H03F3/68(2006.01)i, H03G3/00(2006.01)i, H03M1/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03F1/26, H03F3/343, H03F3/68, H03G3/00, H03M1/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-17130 A（富士通セミコンダクター株式会社）2013.01.24, 段落 8-12, 第 2, 3 図（ファミリーなし）	1-9
A	JP 2012-191436 A（パナソニック株式会社）2012.10.04, 段落 17-20, 第 1 図 & US 2013/0136213 A1 & WO 2012/120811 A1	1-9
A	JP 10-32441 A（日立電子株式会社）1998.02.03, フロントページ（ファミリーなし）	1-9

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 5 . 2 0 1 5

国際調査報告の発送日

0 2 . 0 6 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

柳下 勝幸

5 X

9 5 6 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6