

公告本

第86119690號專利申請案
中文說明書修正頁

民國88年12月修正

申請日期	86 年 12 月 24 日
案 號	86119690
類 別	G06F 3/00

385403

A4
C4

385403

(以上各欄由本局填註)

88年12月23日	修正 補充	發 明 專 利 說 明 書	
一、發明 名稱	中 文	使用可變延遲電路的時脈信號產生電路	
	英 文	Clock signal generating circuit using variable delay circuit	
二、發明 創作人	姓 名	(1) 高橋保彦	
	國 籍	(1) 日本 (1) 日本國東京都千代田區大手町二丁目六番三號 新日本製鐵株式會社內	
三、申請人	住、居所		
	姓 名 (名稱)	(1) 新日本製鐵股份有限公司 新日本製鐵株式會社	
	國 籍	(1) 日本 (1) 日本國東京都千代田區大手町二丁目六番三號	
	住、居所 (事務所)		
	代 表 人 姓 名	(1) 淺村峻	

經濟部智慧財產局員工消費合作社印製

裝

訂

線

公告本

第86119690號專利申請案
中文說明書修正頁

民國88年12月修正

申請日期	86 年 12 月 24 日
案 號	86119690
類 別	G06F 3/00

385403

A4
C4

385403

(以上各欄由本局填註)

88年12月23日	修正 補充	發 明 專 利 說 明 書	
一、發明 名稱	中 文	使用可變延遲電路的時脈信號產生電路	
	英 文	Clock signal generating circuit using variable delay circuit	
二、發明 創作人	姓 名	(1) 高橋保彦	
	國 籍	(1) 日本 (1) 日本國東京都千代田區大手町二丁目六番三號 新日本製鐵株式會社內	
三、申請人	住、居所		
	姓 名 (名稱)	(1) 新日本製鐵股份有限公司 新日本製鐵株式會社	
	國 籍	(1) 日本 (1) 日本國東京都千代田區大手町二丁目六番三號	
	住、居所 (事務所)		
	代 表 人 姓 名	(1) 淺村峻	

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本
日本

1996 年 12 月 26 日 08-348353
1997 年 1 月 20 日 09-008021

☒有主張優先權
☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

發明背景

發明領域

本發明係關於時脈信號產生電路，且更特別的是一種可適當地形成在一個半導體積體電路上且可用一個高頻的振幅信號來操作的時脈信號產生電路，本發明也係關於一種使用於時脈信號產生電路的相位比較器與可變延遲電路。

相關技術敘述

就如一個微處理器或一個包含半導體記憶體等等的半導體積體電路被要求以一個較高的頻率來操作一樣，一個用於LSI晶片之間同步的系統時脈或一個用於分別的LSI晶片之內電路之間同步的內部時脈在近年來被要求有一個較高的頻率也有增加的趨勢。

爲了使如此一個從一個外在LSI晶片供給當作一個系統時脈的外在時脈與如此一個用於LSI晶片內部電路的內部時脈同步，使用了一個相位鎖上迴圈(PLL)電路。PLL電路的功能是基於二個頻率之間的相位差來控制一個振盪器的頻率。一個習知技術PLL電路的操作將被簡要地使用圖1的方塊圖來說明。

圖示說明的PLL電路包含一個輸入電路1用於接收一個外部時脈信號Clkin，一個相位比較器10用於比較此外部時脈信號與一個內部時脈信號的相位，一個迴圈濾波器8用於過濾從相位比較器10接收的相位差別比較電壓

五、發明說明(2)

信號以產生一個控制電壓信號，與一個電壓控制振盪器（此將只被參照為 VCO）9 用於基於從迴圈濾波器 8 的控制電壓信號來控制一個頻率。一個由電壓控制振盪器 9 所產生的內部時脈信號被應用到相位比較器 10 當作一個信號 PLL。

於此狀況下，從一個外部時脈信號輸入終端 5 接收的外部時脈信號 Clkin 首先由輸入電路 1 所放大成一個可用於 PLL 電路的信號。相位比較器 10 比較此放大的信號與由 VCO 9 產生的內部時脈信號的相位並經由迴圈濾波器 8 送出它的比較結果到 VCO 9。

於相位比較這些信號 Clkin 和 PLL 1 時，假如信號 Clkin 在相位是超前信號 PLL 1，則由迴圈濾波器 8 所產生的控制電壓信號的值被增加以增加 VCO 9 輸出信號的頻率。假如是信號 PLL 1 超前信號 Clkin，則 VCO 9 輸出信號的頻率會被控制而減少以便不產生信號 Clkin 和 PLL 1 間的相位差。

更進一步地，一個延遲鎖上迴圈（DLL）電路被使用來使信號 Clkin 與被延遲一個循環的下一個時脈的一個上升緣同步。此與 PLL 電路類似方法操作的 DLL 電路備有一滯延線用於延遲輸入信號一個循環。亦即，DLL 電路提供一個相對應於同步操作一個循環的延遲，且它可以容許的頻率範圍是被限制了。

這麼來，LSI 晶片就被設計來使用以 PLL 或者 DLL 電路來校正於外部與內部時脈之間的相位差以便傳

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(6)

送一個準確的信號。同時，因為LSI的操作頻率在這些年增加了，信號的振幅被減少了。因此，當它需要使用一個外部信號於一個內部電路時，輸入電路1執行它的放大操作變成是必要的，其引起輸入電路1的一個處理延遲。更進一步地，即使是一個傳送經過連接從一個輸入終端到電路線路的信號也會被延遲。

進一步說，LSI晶片的操作速度被晶片周圍的環境所影響，因此，譬如，溫度或電壓值將引起一個振盪器的振動頻率有變化或輸入電路的本身操作本身會被延遲。

發明概要

所以本發明的一個目的是在一個操作在高頻的LSI晶片上提供時脈信號產生電路，其能建立於外部與內部時脈之間的準確同步並減少由環境變化所引起的同步性移位。

本發明的另外目的提供一種時脈信號產生電路，其使用一個二進位碼來對一個可變延遲電路設定一個延遲以對一個內部時脈實行細微延遲的調整。

按照本發明的一觀點，上述之目的需要一個信號產生電路來達到，此電路包含一個用於放大一個輸入信號並輸出一個放大的信號當作一個第一個內部信號的輸入電路；一個基於一個控制信號用於延遲第一個內部信號並輸出一個延遲的信號當作一個第二個內部信號的可變延遲電路；一個用於發現在輸入信號和第二個內部信號之間的相位差

五、發明說明(4)

並輸出一個相位差信號指示相位差的相位比較器；與一個基於相位差信號用於產生控制信號與控制電路。

因為本發明的信號產生電路安排如上述，一個例如於外部與內部時脈信號之間的相位差的比較可以沒有輸入電路的任何介入，如此經由輸入電路引起的延遲影響能被消除。

更進一步地，甚至對於一個高頻且小振幅的信號，它的相位比較仍能正確地進行。

可用於上面的信號產生電路的相位比較器包含差動輸入機構包含第一個電晶體，其包含一個輸入時脈信號應用到它們的閘和第二個電晶體有一個參考電壓信號應用到它們的閘用於輸出一個電壓來指示輸入時脈信號和參考電壓信號之間的差異；與第一個電晶體串連的第一個交換電晶體，用於在它們的閘接收一個內部時脈信號用於和輸入時脈信號比較；與第二個交換電晶體串連的第二個交換電晶體，用於在它們的閘接收內部時脈信號。

按照本發明的另外觀點是提供一種信號產生電路，其包含一個輸入電路用於放大一個輸入信號；一個第一個可變延遲電路用於延遲輸入電路的一個輸出信號；一個第二個可變延遲電路用於延遲第一個可變延遲電路的輸出信號，其延遲時間是第一個和第二個持續期間中之一；一個相位比較器電路用於發現在輸入信號和第二個可變延遲電路的輸出信號之間的相位差；與控制機構用於控制第二個可變延遲電路以引起第二個可變延遲電路的延遲時間以便轉

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

換於第一個和第二個持續期間之間，同時也用於控制第一個和第二個可變延遲電路以使輸入信號的相位基於相位比較器電路的輸出而永遠和第二個可變延遲電路的輸出信號一致。

相對應於輸入時脈信號的一個時期，第二個可變延遲電路交互地轉換在零延遲和一個時期延遲之間。交互地應用到相位比較器電路的是一個經由第一個可變延遲電路一個時期的時脈信號與一個經由第一個和第二個可變延遲電路延遲二個時期的時脈信號。當第二個可變延遲電路的延遲正確地對應於零延遲或二個時期的延遲時，相位比較器電路的輸入相位的移位只被第一個可變延遲電路引起。為此緣故，第二個可變延遲電路的延遲先被設定，第一個可變延遲電路的延遲被控制來調整相位，第二個可變延遲電路的延遲是可控制地設定在一個時期延遲來調整相位。控制機構是如此執行它的控制操作以便使輸入時脈信號的相位總是與由第一個可變延遲電路延遲一個時期的時脈信號的相位一致。因此，即使當溫度變化等等引起第二個可變延遲電路的延遲變化，第二個可變延遲電路的延遲會被控制來使上面的回饋迴圈壓制此相位變異。

一個可用於上面信號產生電路的可變延遲電路整合一個從一個可變電流供給電路基於一個輸入時脈信號供給的電流來產生一個輸出時脈信號以相對應於輸入時脈信號的延遲；其可變延遲電路包含一個主要電晶體；與一群多支串連的從屬電晶體對，其包含第一個和第二個從屬電晶體

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

在它們的閘連接到主要電晶體且在它們的源極與排極串連，第一個選擇電晶體用於補償地短路第一個從屬電晶體的這些源極與排極，第二個選擇電晶體用於補償地短路第二個從屬電晶體的這些源極與排極，用於改變第一個和第二個選擇電晶體對操作上的型式以便轉換它們的輸出電流藉以控制一個輸出時脈信號的延遲。

於此可變延遲電路，於從屬電晶體對群的從屬電晶體對可結合一個二進位碼的位元用於簡單地設定延遲。

另外一個可用於上面的信號產生電路的可變延遲電路包含一個整合電流控制部份與一個整合電路部份用於整合一個從整合電流控制部份基於輸入時脈信號來供給的電流以便相對應於輸入時脈信號的延遲產生一個輸出時脈信號；於此狀況下，整合電路部份包含驅動電晶體用於從整合電流的控制部份接收電流；電容機構用於在其中儲存經由驅動電晶體的電荷；與閘電位校正機構，其連接到驅動電晶體的閘並有一個電容大體而言是相對應於驅動電晶體的閘與源極之間和閘與排極之間的電容量其中一個，用於在相反方向改變驅動電晶體的一個閘電位以反應到於驅動電晶體和電容機構之間連接點的電位變化。

因此，即使一個由LSI晶片溫度或其間的內部電路引起的小延遲都能被消除，且特別地是在一個高速的積體電路仍能建立準確的同步。

<圖示簡述>

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

圖 1 是一個習知技術的時脈信號產生電路的方塊圖；

圖 2 是一個按照本發明實施例的一個信號產生電路的方塊圖；

圖 3 是一個使用於圖 2 的信號產生電路的相位比較器的電路圖；

圖 4 是一個按照本發明第二個實施例的一個信號產生電路的方塊圖；

圖 5 是一個使用於圖 4 的信號產生電路的可變電流供給電路的電路圖；

圖 6 是一個使用於圖 4 的信號產生電路的整合電流控制電路；

圖 7 是一個使用於圖 4 的信號產生電路的整合電路；
和

圖 8 A 到圖 8 D 顯示圖 5 到 7 電路的模擬結果。

主要元件對照

- | | |
|---|--------|
| 1 | 輸入電路 |
| 2 | 延遲電路 |
| 3 | 相位比較器 |
| 4 | 控制電路 |
| 5 | 外部時脈信號 |
| 6 | 參考電壓信號 |
| 7 | 內部電路 |
| 8 | 迴圈濾波器 |

五、發明說明(6)

- 9 電壓控制振盪器
- 1 0 相位比較器
- 3 1 整合電路
- 3 2 感應放大器
- 3 3 鎖存電路
- 4 1 差動輸入電路
- 4 2 相位比較電路
- 4 4 第一個可變延遲電路
- 4 5 第二個可變延遲電路
- 4 6 可變電流供給來源電路
- 4 7 第三個可變延遲電路
- 4 8 控制電路
- 4 9 內部操作時脈信號 0
- 5 0 內部操作時脈信號 1

較佳實施例敘述

(第一個實施例)

圖 2 是一個按照本發明的第一個實施例的一個信號產生電路的方塊圖。本實施例的產生電路包含一個外部時脈信號輸入終端 5 用於接收一個外部時脈信號 Clkin 當作一個輸入，一個參考電壓輸入終端 6 用於接收一個參考電壓信號 Refin 當作一個輸入，一個輸入電路 1，一個延遲電路 2，一個相位比較器 3 與一個控制電路 4。在此信號產生電路可以包含一個使用上面內部時脈信號的內部電路 7。相

五、發明說明(6)

位比較器 3 被提供來建立於外部時脈信號 Clkin 與用在內部電路的內部時脈信號 Iclk 之間的同步，在此端延遲電路 2 提供一個合適的延遲。

從外部時脈信號輸入終端 5 接收的外部時脈信號 Clkin 是首先由輸入電路 1 來放大。於近來的 L S I 晶片，信號振幅被壓制到一個小的水平以便允許以一個高頻來傳送信號。因此，爲了獲得如此一個可由一個數位電路處理的電壓，進行了上述的放大。輸入電路 1 的放大涉及一個輕微的延遲。於習知技術的相位比較電路，相位比較是在輸入電路 1 產生的延遲影響之下來進行的。

輸入電路 1 的一個稍在其中放大和延遲的輸出信號經由延遲電路 2 作適量的延遲。延遲電路 2 可以是多樣類型中的一個，但一個可程式化的延遲電路被使用爲這個例子的延遲電路 2。可程式化的延遲電路是一個電路可以當接數一個外部控制信號時能提供一個任意的延遲寬度藉以調整，譬如，一個將適合於後面階段的內部電路 7 等等的時脈。一個用於控制可程式化的延遲電路的延遲的控制信號是從控制電路 4 接收的。上面的控制信號是基於外部時脈信號 Clkin，參考電壓信號 Refin 和內部時脈信號 Iclk 來產生的。一個有合適延遲的延遲電路 2 的輸出信號不只被送到內部電路 7 當作內部時脈信號 Iclk，同時也送到過後將被說明的相位比較器 3。

從外部時脈信號輸入終端 5 接收的外部時脈信號 Clkin 被應用到上面的輸入電路 1 且同時地也直接應用到相位比

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(10)

較器 3。如上述，當作延遲電路 2 的輸出且有合適延遲的內部時脈信號同時也被應用到相位比較器 3。

另一方面，從參考電壓輸入終端 6 接收的參考電壓信號 Refin 同時也被直接地應用到相位比較器 3。應用到相位比較器 3 的外部時脈信號 Clkin，內部時脈信號 Iclk 與參考電壓信號 Refin 被處理並經由如此一個如顯示於圖 3 相位比較器 3 來輸出。更詳細地，圖 3 的相位比較器 3 包含一個整合電路 31，感應放大器 32 與一個鎖存電路 33。圖 3 電路的操作將說明。

一個接收外部時脈信號 Clkin 的電晶體 N157 和一個接收參考電壓信號 Refin 的電晶體 N234 在寄生電容上實行它們的充電和放電操作，諸如於它們的閘和排閘極之間的電容以反應 PMOS 電晶體 P246，P247 及 P258 的操作。雖然於圖 3 中 NMOS 電晶體已被使用為輸入電晶體，本發明不受限於此特定的例子，其可以是使用 P 和 N 類型端視信號水平而定。

首先，當內部時脈信號 Iclk 是在它的低水平時，整合節點 st0C 和 st0r 是經由 PMOS 電晶體 P246，Pp247 和 P248 預充電到 Vdd。

接著，當內部時脈信號 Iclk 從它的低水平 (L) 改變到高水平 (H) 時，預充電的 PMOS 電晶體 P246，P247 和 P248 是全部關掉，反之電晶體 N237 和 N238 則被打開。然而，NMOS 電晶體 N235 和 N236 是由一個信號 c3b 驅動，信號 c3b 是經由一個

五、發明說明 (11)

反相器 i v 2 4 4 轉化內部時脈信號 I c l k 而獲得的，因此，當內部時脈信號 I c l k 從它的 L 改變到 H 水平時，信號 c 3 b 被從它的 H 改變到 L 水平，藉以這些電晶體 N 2 3 5 和 N 2 3 6 被關掉。

當反相器 i 2 4 4 現在被設定因此輸出信號相對慢慢地落下時，內部時脈信號 I c l k 與信號 c 3 b 兩者有很短的時間在它們的 H 狀態，於其持續期間這些電晶體 N 1 5 7 和 N 2 3 4 使整合節點 s t 0 c 和 s t 0 r 依照它們的輸入電壓而分別地被放電。

在整合操作被完成之後，感應放大器 3 2 放大一個在整合節點 s t 0 c 和 s t 0 r 之間細緻的電位差到一個邏輯水平。感應放大器由二組反相器電路組成，其輸入被連接到這些節點 s t 0 c 和 s t 0 r 而其輸出分別地被連接到節點 s t 2 r 和 s t 2 c。每個反相器電路當它的輸入電壓是接近 V d d 時會被驅動到它的 L 水平；反之，當它的輸入電壓是接近 L 水平時會被驅動到它的 H 水平。因此，當在節點 s t 0 r 的電壓比節點 s t 0 c 的電壓更接近 V d d 時，一個有節點 s t 0 r 當作它的輸入的反相器電路的輸出是比有節點 s t 2 c 當作它的輸入的反相器電路的輸出更接近它的 L 水平。

於此狀況下，一個反及閘 n d 2 2 5 5 只在內部時脈信號 I c l k 的 H 水平時期動作來控制感應放大器的驅動持續期間。

同時，既然資料鎖存是經由提供在後者階段的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

NAND正反器來進行的，一個低水平輸入由於信號延遲將會引起一個中介值資料的鎖存。為避免此現象，圖示說明的反相器電路包含二個階段的反相器 i_{262} ， i_{v265} 與 i_{v263} ， i_{v264} 。第一個階段的反相器 i_{v262} 和 i_{v263} 被設定為有一個很低的邏輯門限，然而第二個階段的反相器 i_{v264} 和 i_{v265} 被設定為有一個高的邏輯門限，如此來防止當鎖存中介值時的 L 水平輸入被引起。結果，可保證當信號從它的 H 改變到 L 水平或從它的 L 改變到 H 水平時，鎖存的輸出只在 L 或 H 水平被完整地建立後才被改變。

這麼來，從外部時脈信號輸入終端 5 接收的外部時脈信號 Clkin 被應用到輸入電路 I 同時也應用到相位比較器 3 用於直接的相位比較，藉以產生內部時脈信號而避免輸入電路 I 的延遲所引起的影響。

以圖 3 的電路，外部時脈信號 Clkin 與參考電壓信號 Refin 的振幅是比內部時脈信號 Iclk 的振幅小。內部時脈信號 Iclk 是一個一般的邏輯水平信號，反之外部時脈信號 Clkin 與參考電壓信號 Refin 是一個電晶體－電晶體－水平的水平信號。為此緣故，於習知技術中，當這兩個時脈信號被比較時，外部時脈信號 Clkin 與參考電壓信號 Refin 通常被放大到邏輯水平信號以用於相位比較器。然而，上面的放大涉及一個延遲，使得它正確的相位比較因而失能了。然而，按照本發明，外部時脈信號 Clkin 與參考電壓信號 Refin 被使用來當作差動輸入電路的閘輸入，而內部時脈信號 Iclk

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

被供給到與差動輸入電路的電晶體串連的交換電晶體的閘，藉以差動輸入電路的電晶體能操作來比較兩個時脈信號的相位而不管其信號振幅。

信號產生電路的一個在其中被放大並指示相位差別的輸出信號被使用來當作一個時脈以用於後面階段的內部電路。此內部電路包含，譬如，一個半導體記憶體電路的 D R A M。於此內部電路，能產生與外部時脈信號 Clkin 同步的內部時脈信號 Iclk 並同時也有充分的振幅。

如前面所說明的，按照此本實施例，外部供給的時脈信號被用於直接的相位比較，因此於習知技術不能夠被避免的輸入電路的延遲影響能被避免了且能產生如此準確的內部時脈信號。

更進一步，既然相位差一旦被轉換成整合節點的細微的電位差然後由感應放大器所放大，能避免使用於習知技術邏輯電路的相位比較器或相位探測器由於閘延遲所不能偵測的小相位差，如此能獲得一個可獨立於邏輯速度來操作的相位比較器。

(第二個實施例)

本發明的第二個實施例經由參照伴隨的圖示將被說明，圖 4 是一個按照本發明的信號產生電路的第二個實施例的簡要方塊圖，而圖 5 到 7 分別地顯示使用於信號產生電路的詳細的可變電流供給電路，第二個與第三個可變延遲電路。於圖 5 至 7 中，分別地，圖 5 的點 (1) 連接到圖

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (4)

6 的點 (1)，圖 6 的點 (2) 連接到圖 8 的點 (2)，而圖 6 的點 (3) 連接到圖 7 的點 (3)。

圖 4 的信號產生電路包含一個外部時脈信號被應用到此的輸入終端 5，一個參考電壓信號被應用到此的輸入終端 6，一個用於比較外部時脈信號與參考電壓信號以產生一個時脈信號的差動輸入電路 4 1，串連來延遲一個差動輸入電路 4 1 的輸出的第一個和第二個可變延遲電路 4 4 和 4 5，一個反相器 4 3，一個相位比較電路 4 2 用於比較一個外部時脈信號的相位與第二個可變延遲電路 4 5 的一個輸出的相位，一個控制電路 4 8 用於產生一個控制信號基相位比較電路 4 2 的一個輸出信號來控制可變延遲電路 4 4 和 4 5 的延遲，一個可變電流供給來源電路 4 6 用於對應從控制電路 4 8 接收的控制信號來改變它的輸出，一個第三個可變延遲電路 4 7 用於產生一個內部時脈信號。被連接到可變電流供給來源電路 4 6 的可變延遲電路 4 5 與 4 7 功能是根據可變電流供給源電路 4 6 的輸出電流來改變它們的延遲。可變電流供給源電路 4 6 的細節與可變延遲電路 4 5 與 4 7 過後會參考圖 5 到 7 來說明。

在本實施例中，由第三個可變延遲電路 4 7 所產生的內部時脈信號被反相器 4 9 與 5 0 擷取當作內部操作 0 與 1。內部操作時脈信號 0 和 1 被使用來當作，譬如，用於記憶體本身的操作的時脈信號。

於圖 4，應用被外部時脈信號輸入終端的外部時脈信號被差動輸入電路 4 1 所放大到一個數位電路能處理的電

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(15)

壓。於近來 L S I 晶片的情況，它們的信號振幅被壓制到一個小的水平以便在高頻傳送信號，為此目的，差動輸入電路 4 1 被使用來放大外部時脈信號到如此一個振幅而可充分地使用於晶片。於此連接下，由差動輸入電路 4 1 的信號放大產生了時脈信號的一個延遲。於顯示於圖 1 的習知技術的相位比較電路中，它的相位比較是在差動輸入電路產生的延遲的影響之下來進行的。藉以放大與稍延遲的差動輸入電路 4 1 的一個輸出信號被下一個階段的延遲電路作一個適量的延遲，在本實施例中，可變延遲電路 4 4，4 5 和 4 7 是因此目的而提供的。第二個可變延遲電路 4 5 被安排轉換於零延遲與一個時期延遲之間，零延遲時，第一個可變延遲電路 4 4 的輸出信號的相位沒有任何延遲，一個時期延遲時，其輸出信號的相位是 100% 被延遲，亦即，延遲一個時期的時間。

雖然第二個可變延遲電路已在前面被說明了它的延遲時間是零或一個時期，在實際電路上是不可能來實行一個完美的零延遲。第二個可變延遲電路如此交替地改變於零延遲與一個時期延遲之間實際上是表示轉換於“最小延遲”和“最小延遲加一個時期”之間。更進一步地，第一個可變延遲電路的一個時期延遲實際上是表示延遲“最小延遲加一個時期”。

當第二個可變延遲電路 4 5 提供一個零延遲時，第一個可變延遲電路 4 4 動作來調整它的延遲如此以致於應用於相位比較電路 4 2 的時脈信號相對應於外部時脈信號被

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (6)

延遲一個時期。所以，當第二個可變延遲電路 4 5 提供一個時期延遲時，第一個可變延遲電路 4 4 動作來調整它的延遲如此以致於應用於相位比較電路 4 2 的時脈信號相對應於外部時脈信號被延遲兩個時期。

時脈信號的同步是以下面的程序來進行的。

(步驟 1)：一個控制信號 C 1 被使用來設定第二個可變延遲電路 4 5 在一個零延遲。而第一個可變延遲電路 4 4 被控制來調整它的延遲於如此一個方法以致來第二個可變延遲電路 4 5 的時脈信號的上升或落下緣與外部輸入時脈信號的上升或落下緣一致。更詳細地，相位是被控制來逐漸地前進或延遲以致相位差減少，而此程序會被重複直到兩個輸入的相位互相一致。

(步驟 2)：控制信號 C 1 被使用來調整第二個可變延遲電路 4 5 並設定相位差在 100%。可變電流供給來源電路 4 6 的輸出電流被控制來調整第二個可變延遲電路 4 5 的延遲於如此一個方法以致第二個可變延遲電路 4 5 的輸出時脈信號在相位與外部輸入時脈信號有剛好兩個時期的落後。於如此一個包含二個時期遲延的狀況，第二個可變延遲電路 4 5 的輸出時脈信號的上升或落下緣是與外部輸入時脈信號的上升或落下緣一致的。

交互地重複上述步驟 1 與 2 直到於外部與內部時脈信號之間的同步被建立了。

第三個可變延遲電路 4 7，其正好與第二個可變延遲電路 4 5 有相同的架構，會動作來對從可變電流供給來源

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

電路 4 6 接收的電流執行整合操作。如顯示於圖 4，第三個可變延遲電路 4 7 的延遲與第二個可變延遲電路 4 5 正好是被相同的控制信號所設定。因此，於一個包含圖 4 的輸入終端 5 與 6，差動輸入電路 4 1，可變延遲電路 4 4 與 4 5，反相器 4 3 與相位比較電路 4 2 的回饋迴圈中；第二個可變延遲電路 4 5 的一個相位移的修正會造成第三個可變延遲電路 4 7 相位差的自動調整。

接著將參照圖 5 到 7，對於可變電流供給來源電路 4 6 與可變延遲電路 4 5 與 4 7 有詳細的說明。

可變電流供給來源電路 4 6 調整可變延遲電路 4 5 與 4 7 的延遲，同時也被使用來當作一個後來階段的內部電路的電流供給電路。於圖 5，一個方塊 A 是一個間距控制器與圖 4 的可變電流供給來源電路 4 6 對應。於圖 4 的可變延遲電路 4 5 與 4 7 分別地由圖 6 與 7 的方塊 B，C 和 D 組成。方塊 B 是一個整合電流控制電路用於控制整合的電流，亦即，用於改變整合的電流來改變延遲時間。這些方塊 C 和 D 是包含整合器的整合電路。一個方塊 E 是一個電路用於控制由第一個可變延遲電路 4 4 輸出並應用到這些方塊 C 和 D 的時脈信號。包含一個 R S 正反器的方塊 E 的電路是由熟知的技術來製造。

圖 5 的間距控制器控制一個有 n 個時期的時脈信號 p e r s e 的間距（最大與最小延遲之間的寬度）。間距控制器包含 P M O S 電晶體 P 1 到 P 6 和 N M O S 電晶體 N 1 到 N 1 6。於圖示說明的例子中，N M O S 電晶體

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(48)

N 1 2 到 N 1 6 是交。換電晶體。P M O S 電晶體 P 2 , P 3 , P 4 , P 5 和 P 6 在它們的閘共同連接到 P M O S 電晶體 P 1 的閘,而與 P M O S 電晶體 P 1 一同形成第一個電流鏡射電路。這些第一個電流鏡射電路動作引起相同的電流

i_{A1} 到 i_{A5} 流經上面的電流路徑就如同預定電流 i_A 流經一個從 P M O S 電晶體 P 1 到 N M O S 電晶體 N 1 的電流路徑一樣。

N M O S 電晶體 N 2 和 N 3 , N 4 和 N 5 , N 6 與 N 7 , N 8 與 N 9 , 與 N 1 0 與 N 1 1 分別地形成第二個電流鏡射電路。第一個電流鏡射電路的輸出電流被重疊經過第二個電流鏡射電路然後輸出到一個輸出終端 5 1 當作一個輸出電流。

第一個電流鏡射電路的輸出電流變化視連接到分別的第二個電流鏡射電路的 N M O S 電晶體 N 1 2 , N 1 3 , N 1 4 和 N 1 5 的閘電壓而定。一個打開/關閉 (O N / O F F) 信號從控制電路 4 8 供給到這些 N M O S 電晶體 N 1 2 、 N 1 3 、 N 1 4 和 N 1 5 的閘。

在這個時候,既然 N M O S 電晶體 N 1 6 的閘電壓被固定在 V_{dd} , 當 0 輸入從控制電路 4 8 被應用到全部終端 R 0 到 R 3 時, N M O S 電晶體 N 1 0 和 N 1 1 的第二個電流鏡射電路決定了一個電流值。當時的電流值符合閘距控制器 A 可支配的最小延遲。同時, N M O S 電晶體 N 1 2 , N 1 3 , N 1 4 和 N 1 5 在它們的閘分別地經過終

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (9)

端 R 0、R 1、R 2 和 R 3 被連接到圖 4 的控制電路 48。當在這些終端 R 0 到 R 3 的電壓被控制而打開所有的這些 N M O S 電晶體 N 1 2，N 1 3，N 1 4 和 N 1 5 時，間距控制器 A 可支配的最大延遲符合輸出電流。

這麼來，間距控制器 A 能轉換一個輸出電流 i_S 成 4 位元的形式，亦即，以 16 個階段來反應到應用到這些終端 R 0 到 R 3 的 O N / O F F 信號。更進一步地，輸出電流 i_S 是可經由交換應用於這些終端 R 0 到 R 3 的信號被線性改變。

間距控制器 A 的輸出電流 i_S 是輸入到可變延遲電路的一個整合電流控制電路 b。既然此可變延遲電路構成一個整合器，延遲時間是反比於整合電流值。亦即，假設於後來階段的 N M O S 電晶體 N 5 5 或者 N 5 6 有一個靜電容 C 而反相器 $i_v 1$ 或 $i_v 2$ 有一個邏輯門限 V，則充電量 Q 書寫如下：

$$Q = C V$$

而用於充電此靜電容 C 的電流表示如下：

$$I = Q / t$$

因此，爲了使延遲的設定值成比例於延遲時間，電流需是設定值的倒數。這個需被由一個 N M O S 電晶體 N

五、發明說明 (20)

20 與分別的 NMOS 電晶體 N21 到 N32 組成的第五個電流鏡射電路來實作。

圖 6 的整合電流控制器 B 包含 3 個電流鏡射電路，亦即，第三個，第四個與第五個電流鏡射電路。由 PMOS 電晶體 P20 和 P21 組成的第三個電流鏡射電路功能是調整將供給到第五個電流鏡射電路的電流。此造成一個相對應於從間距控制器 A 的輸出電流 i_S 的電流 i_B 從 PMOS 電晶體 P21 流動到 NMOS 電晶體 N20。第四個電流鏡射電路由 PMOS 電晶體 P22 和 P23 組成。此造成一個相對應於在 NMOS 電晶體 N33 和 PMOS 電晶體 P22 之間的輸出電流 i_C 的電流 i_D 流動於 PMOS 電晶體 P23 和一個 NMOS 電晶體 N52 之間。

第五個電流鏡射電路分別地由 NMOS 電晶體 N20 (主要電晶體) 與 NMOS 電晶體對 N21 與 N32 和 N33 組成。NMOS 電晶體 N21 到 N32 和 N33 在它們的閘被連接到 NMOS 電晶體 N20 並它們的源極與排極串連。NMOS 電晶體 N21 到 N32 被連接到 NMOS 電晶體 N40 到 N51 (選擇電晶體) 當作交換電晶體。NMOS 電晶體 N40 到 N51 補償地提供 NMOS 電晶體 N21 到 N32 的源極與排極之間的短路。交換電晶體被選擇性地操作來決定輸出電流 i_C 。

偶數編號的 NMOS 電晶體 N22, N24, N26, N28, N30 和 N32 (第二個從屬電晶體) 包

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(21)

含有不同閘長度 L 的電晶體。於本實施例中，這些電晶體的閘長度 L 被設定以便電晶體 N_{22} 有最小的閘長度而其它電晶體的閘長度以 N_{24} ， N_{26} ……的順序連續地增加，同時，奇數編數的 $NMOS$ 電晶體 N_{21} ， N_{23} ， N_{25} ， N_{27} ， N_{29} 和 N_{31} （第一個從屬電晶體）全部是有相同最小閘長度 L_0 的參考電晶體 N_{33} 有一個預定的閘長度 L_1 。

$NMOS$ 電晶體 N_{21} 到 N_{32} 和 N_{33} 有一個所有都相同的閘寬度 W 。偶數編號的 $NMOS$ 電晶體 N_{22} ， N_{24} ， N_{26} ， N_{28} ， N_{30} 和 N_{32} 的閘長度 L 可被設定為以 N_{22} ， N_{24} ，……的順序連續地漸減。

$NMOS$ 電晶體 N_{40} 到 N_{51} 執行於這些用於調整閘長度 L 的電晶體 N_{22} ， N_{24} ， N_{26} ， N_{28} ， N_{30} 和 N_{32} 與參考電晶體 N_{21} ， N_{23} ， N_{25} ， N_{27} ， N_{29} 和 N_{31} 之間的交換操作。終端 C_0 到 C_5 是被提供來用於延遲控制的輸入信號。電壓 V_{dd} 是被應用到終端 C_0 到 C_{0b} 中之一，而電壓 V_{ss} 則被應用到其它終端。譬如，當一個 OFF 信號被應用到終端 C_0 時（在此時，一個 ON 號被應用到終端 C_{0b} ），有一個電流會流經交換電晶體 N_{41} 與參考電晶體 N_{21} 。在另一方面，當一個 ON 信號被應用到終端 C_0 時（在此時，一個 OFF 信號被應用到終端 C_{0b} ），有一個電流會流經整電晶體 N_{22} 與交換電晶體 N_{40} 。在此時，只有電流流經的調整或參考電晶體會大體而言形成第五個電流鏡射

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (22)

電路。對於這些終端 C 1 到 C 5 和 C 1 b 到 C 5 b 的操作是相同的。因此，NMOS 電晶體 N 2 1 與 N 2 2，N 2 3 與 N 2 4，N 2 5 與 N 2 6，N 2 7 與 N 2 8，N 2 9 與 N 3 0，和 N 3 1 與 N 3 2 形成一對對，而每一對總有一個被選擇和運作。

對於第五個電流鏡射電路的輸出電流，當 ON 電壓被供給到所有的這些終端 C 0 到 C 5 到 OFF 電壓被供給到所有的這些終端 C 0 b 到 C 5 b 時，最小電流是一個用於全部閘長度 $6 \times L_0 + L_1$ 的電流，而當 OFF 電壓被供給到所有的這些終端 C 0 到 C 5 而 ON 電壓被供給到所有的這些終端 C 0 b 到 C 5 b 時，最大電流是一個用於全部閘長度的電流。一個在最小和最大電流之間的差別電流可適當地過經由選擇 NMOS 電晶體 N 4 0 到 N 5 1 的 ON 和 OFF 的型式來調整。即使當交換電晶體 N 4 0 到 N 5 1 被打開，也不會增加第五個電流鏡射電路的閘長度。

於整合電流控制電路 B 中，既然這些所有的鏡射 NMOS 電晶體 N 2 1 到 N 3 2 和 N 3 3 的閘有鏡射電位，輸出電流 i_C 是反比例於閘長度 L 。換句話說，當預定的信號被應用到這些終端 C 0 到 C 5 到 C 0 b 到 C 5 b 用於閘長度 L 的轉接 (change-over) 時，輸出電流 i_C 成正比例於 $1/L$ 。因此，當閘長度 L 被設定成一個設定值時，此設定值變成成正比例於延遲時間。閘長度 L 的設定值被控制為 2 的 n 次方。在本實施例，譬如，閘長度 L 可被設定為 2 的 6 次方，亦即可以 6 個位元表示。當這些終

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (23)

端 C 0 到 C 5 全部被設定為零時 (0 0 0 0 0 0) , 可獲得最小的閘長度 ; 反之 , 當終端 C 0 被表示為 ' 1 ' 而這些終端 C 1 到 C 5 全部被表示為零 (亦即 , 1 0 0 0 0 0) , 閘長度會長於最小的閘長度 , 多出的長度是介於 N M O S 電晶體 N 2 1 的閘長度與參考電晶體 N 2 2 的閘長度之間。此結果造成電流 i_C 減少的事實 , 重置或整合的時間被延長而延遲被增加了。當這些終端被設定是 6 位元的 0 1 0 0 0 0 , 閘長度會長於最小的閘長度 , 多出的長度是介於 N M O S 電晶體 N 2 4 的閘長度與參考電晶體 N 2 3 的閘長度之間 ; 反之 , 當終端被設定為 1 1 0 0 0 0 , 閘長度會長於最小閘長度 , 多出的長度是介於 N M O S 電晶體 N 2 2 和 N 2 4 的總閘長度與參考電晶體 N 2 1 和 N 2 3 的總閘長度之間。這麼來 , 從數位控制的觀點來看 , 特別有利於使延遲能被設定為 2 的 n 次方 , 即 , 以一個二進位的型態。

以目前的控制電路 B , 既然全部的閘長度能以 2 個或更多個電晶體的閘長度之間的差作單位來控制 , 故可作精細的實作。實際上 , 一個精細到 30×10^{-12} 秒 (30 p s) 的延遲可被控制或設定 , 更進一步地 , 電流控制電路 B 有如此一個好處以致於它的電路陣列的設計彈性能在電流控制電路上基於閘轉接與慣例建議來改善。

一個相對應於一個由上面的電流控制電路 B 所獲得的電流 i_C 的倒數的電流 i_D 由 P M O S 電晶體 P 2 2 和 P 2 3 產生。

五、發明說明 (24)

於圖 7，方塊 C 是一個充電整合電路，而方塊 D 是一個放電整合電路。方塊 C 和 D 是對稱地形成。於方塊 C，P M O S 電晶體 P 6 0 與整合電流控制電路 B 的 P M O S 電晶體 P 2 2 一同形成一個第六個電流鏡射電路；反之，於方塊 D，N M O S 電晶體 N 6 0 與 N M O S 電晶體 N 5 2 一同形成一個第七個電流鏡射電路。這些第六個與第七個電流鏡射電路被如此安排以便一個相同的電流會流經這些方塊 C 和 D，因此二個方塊 C 與 D 是對稱地操作。

方塊 C 包含一個由從整合電流控制電路 B 接收的電流來驅動的 P M O S 電晶體 P 6 0（驅動電晶體），一個 N M O S 電晶體 N 5 5 當作一個電容機構，一個 P M O S 電晶體 P 6 3（交換電晶體）用於定義一個整合的開始，一個重置 P M O S 電晶體 N 6 4，一個 P M O S 電晶體 P 6 1 當作一個第一個開電位校正機構，與一個 P M O S 電晶體 N 6 2，當作一個第二個開電位校正機構。同樣地，方塊 D 包含一個由整合電流控制電路 B 接收的電流來驅動的 N M O S 電晶體 N 6 0（驅動電晶體），一個 N M O S 電晶體 N 5 6 當作一個電容機構，一個 N M O S 電晶體 N 6 3（交換電晶體）用於定義一個整合的開始，一個重置 P M O S 電晶體 P 6 4，一個 N M O S 電晶體 N 6 1 當作一個第一個開電位校正機構，與一個 N M O S 電晶體 N 6 2 當作一個第二開電位校正機構。

於方塊 C，P M O S 電晶體 P 6 0 把 N M O S 電晶體 N 5 5 的閘從 V_{ss} 充電到 V_{dd} 。在另一方面，於方塊

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (25)

D, NMOS 電晶體 N 6 0 把 NMOS 電晶體 N 5 6 的閘從 V_{dd} 放電到 V_{ss} 。因為這二個充電／放電波形是使用相同的電流由第六個與第七個電流鏡射電路控制，這些波形有 $0.5 V_{dd}$ 的對稱。亦即，充電量等於放電量。

即使當 PMOS 電晶體 P 6 0 和 NMOS 電晶體 N 6 0 有完美的常數閘電壓，在點節點 P 與點節點 N 的電壓影響之下，充電／放電電流 i_E 和 i_F 將不會是完美的常數。然而，這個影響可相當地被壓制，只要這些電壓儘量降低到大約是用於監視充電／放電操作完全的反相器的邏輯門限值 ($1/2 V_{dd}$)。

於 PMOS 和 NMOS 電晶體 P 6 0 與 N 6 0 的閘與源極或閘與排極之間引起的靜電容 (寄生電容) 比上面的節點電壓對於充電／放電電流有更大的影響。靜電容的影響引起 PMOS 電晶體和 NMOS 電晶體 P 6 0 和 N 6 0 的閘電壓被改變，如此結果造成充電／放電電流 i_E 與 i_F 有變化且這些充電／放電電流的波形變成是非線性的。這是因為點節點 P 的電壓使 PMOS 電晶體 P 6 0 的閘電壓增加，而點節點 N 的電壓使 NMOS 電晶體 N 6 0 的閘電壓減少，以致這兩者電晶體的電都減少了。

於如此一個情況，一個充電電容器通常被放置在一個反相放大器的回饋迴圈以改變充電終端成一個虛擬的接地來避免這個影響。然而，當頻率高時，此方法難以實行，且縱使實行了此方法，它的電路變複雜了。此外，此方法涉及一個問題即是它不能應付高速操作。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (26)

然而，當產生對稱的充電／放電波形而達到其間如本實施例的平衡時，可以用一個簡單的電路來實行高速操作。於整合電路 C 中，P M O S 電晶體 P 6 1 被使用為第一個閘電位校正機構用於改變 P M O S 電晶體 P 6 0 的閘電壓到相反方向以反應 P M O S 電晶體和 N M O S 電晶體 P 6 0 和 N 5 5 的連接點的一個電位變化，換句話說，P M O S 電晶體 P 6 1 功能如一個有與 P M O S 電晶體 P 6 0 相同電容的平衡器以在相對的方向產生一個電壓波形經過平衡器的電容器用於其間的平衡。源極與排極短路的 P M O S 電晶體 P 6 1 操作如一個電容性基本元件。P M O S 電晶體 P 6 1 在它的閘被連接到 P M O S 電晶體 P 6 0 的閘，同時也在它的源極與排極連接到整合電路 D 的 N M O S 電晶體 N 6 3 的源極與排極或排極。更進一步地，P M O S 電晶體 P 6 1 的閘長度被設定以便於 P M O S 電晶體 P 6 1 的閘與源極之間的電容變成幾乎相等於在 P M O S 電晶體 P 6 0 的閘與源極（或排極）之間的電容。同樣地，於整合電路 D 中，N M O S 電晶體 N 6 1 被使用為第一個閘電位校正機構用於在相反方向改變 N M O S 電晶體 N 6 0 的閘電壓，且功能如一個 N M O S 電晶體 N 6 0 的平衡器。

上面的寄生電容問題甚至當作交換電晶體的 P M O S 和 N M O S 電晶體 P 6 3 和 N 6 3 也會發生。在本實施例，為解決此問題，N M O S 和 P M O S 電晶體 N 6 2 與 P 6 2 被提供來當作第二個閘電壓校正機構。N M O S 電

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(27)

晶體 N 6 2 於它的源極與排極之間短路並操作來當作一個電容性基本元件。N M O S 電晶體 N 6 2 在它的閘被連接到 N M O S 電晶體 N 6 0 的閘並同時也在它的源極與排極連接到 P M O S 電晶體 P 6 0 的閘。而 N M O S 電晶體 N 6 2 的閘與源極(或排極)之間的電容被設定為幾乎相等於 P M O S 電晶體 P 6 3 的閘與源極(或排極)之間的電容。N M O S 電晶體 N 6 2 根據 P M O S 電晶體和 N M O S 電晶體 P 6 3 與 N 5 5 的連接點的電位變化來在相反方向改變 P M O S 電晶體 P 6 3 的閘電壓。P M O S 電晶體 P 6 3 以類似上述之方法架構。這麼來，P M O S 和 N M O S 電晶體 N 6 3 與 P 6 3 功能如平衡器用於取消 N M O S 電晶體與 P M O S 電晶體 N 6 3 與 P 6 3 的影。

然後將說明整合電路 C 和 D 一系列操作的時序。首先，於一個最初狀態，充電／放電電流是由這些方塊 A 和 B 所預先決定的。於方塊 C，一個整合的節點節點 P 經由重置 N M O S 電晶體 N 6 4 被重置到 V_{ss} 。現在假設外部時脈信號被應用到差動輸入電路 4 1。因此一個信號 t_{din} 在它的低水平被應用到整合電路 C 和 D。然後在此方塊 E 之內的 R S 正反器被設定，因此一個信號 t_{d0} 同時也是在它的 L 水平。在此時，重置電晶體 N 6 4 和 P 6 4 被關掉，而與充電 N M O S 電晶體 N 5 5 串連的 P M O S 電晶體 P 6 0 和與 N M O S 電晶體 N 5 6 串連的 N M O S 電晶體 N 6 0 被打開，如此開始了充電／放電的操作。當分別的充電／放電電壓超過反相器 i_{v1} 與 i_v

五、發明說明 (28)

2 的門限值時，這引起反相器的輸出被反相且同時引起 R S 正反器被重置，結果造成了最初的狀態。

圖 8 A 到 8 D 顯示的是圖 5 到 7 電路的模擬結果。更別地，圖 8 A 是一個圖顯示在一個電流 i_C 流動經過的節點的電壓變異，亦即，P M O S 電晶體 P 6 0 的閘電壓的變異；圖 8 B 是一個圖顯示在節點節點 P 的充電電壓的波形；圖 8 C 是一個圖顯示在一個電流 i_D 流動經過的節點的電壓變異，亦即，N M O S 電晶體 N 6 0 的閘電壓的變異；與圖 8 B 是一個圖顯示在節點節點 N 的放電電壓的波形。於此狀況下，模擬在一些階段進行，在那裡設定值於整合電流控制電路 B 被改變。於這些圖中，橫坐標表示時間（毫微秒）而縱座標表示電壓（伏特）。如從圖 8 A 與 8 B 來看，P M O S 電晶體 P 6 0 的閘電壓是幾乎是常數而穩定的，且其間的充電波形大體而言是線性變化的。更進一步地，如從圖 8 C 與 8 D 來看，N M O S 電晶體 N 6 0 的閘電壓是幾乎是常數而穩定的，且其間的放電波形大體而言是線性變化的。

在本實施例中，間距控制器 A 以 16 階段的數位步驟來變化一個間距藉以控制輸出電流。在另一方面，整合電流控制電路 B 以 64 階段的數位步驟來改變延遲的設定值藉以控制電流。亦即，本發明的一個特色在於本發明的間距與延遲設定值有二個輸入線以產生整合電流 i_C 與 i_D 與一個延遲。

接著說明本實施例的信號產生電路如何達到時脈同

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (29)

步。如顯示於圖 4，首先，控制電路 4 8 送出控制信號 C 1 到第二個可變延遲電路 4 5 以設定第二個可變延遲電路 4 5 為一個零延遲。在此時，相位比較電路 4 2 接收外部時脈信號與一個由第一個可變延遲電路 4 4 延遲一個時期的時脈信號。控制電路 4 8 基於從相位比較電路 4 2 接收的信號判斷延遲一個時期的時脈信號在相位是領先或落後外部時脈信號，且基於它的判斷結果，送出一個預定的信號到第一個可變延遲電路 4 4。這造成第一個可變延遲電路 4 4 以最小量步驟的單位來到增加或減少延遲。這麼來，控制電路 4 8 在外部時脈信號與由第一個可變延遲電路 4 4 所延遲一個時期的時脈信號之間建立了相位同步。

接著，控制電路 4 8 送出控制信號 C 1 到第二個可變延遲電路 4 5 以設定第二個可變延遲電路 4 5 為一個時期延遲。在此時，相位比較電路 4 2 接收外部時脈信號與一個由第一個和第二個可變延遲電路 4 4 和 4 5 延遲二個時期的時脈信號。控制電路 4 8 基於從相位比較電路 4 2 接收的信號判斷延遲二個時期的時脈信號在相位是領先或落後外部時脈信號，且基於它的判斷結果，送出一個預定的信號到可變電流供給來源電路 4 6。這造成可變電流供給來源電路 4 6 基於信號來調整間距。這麼來，控制電路 4 8 在外部時脈信號與由第一個和第二個可變延遲電路 4 4 和 4 5 所延遲二個時期的時脈信號之間建立了相位同步。

同時，經由間距控制器（可變電流供給電路）來改變

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(60)

間距同時也會造成延遲的變化。為此緣故，當零延遲第一次被設定給第一個可變延遲電路44時調整的時脈信號的相位將被移位。這可當作是間距控制器結構上的天性缺陷。按照本實施例，為避免這個問題，下列兩個操作會被交互地重覆，一個是當第二個可變延遲電路45被設定為零延遲時，控制第一個可變延遲電路44以調整時脈信號相位的操作，另一個是當第二個可變延遲電路45被設定為一個時期延遲時，控制可變電流供給來源電路46以調整時脈信號相位的操作，且第一個可變延遲電路44的延遲與可變電流供給來源電路46的電流值被設定，因此於當第二個可變延遲電路45被設定在零延遲與在一個時期延遲之間的時脈信號的相位差最後變成零。結果，建立了外部與內部時脈信號之間的準確同步。

本發明並不限於上面的特定實施例，在本發明題材的範圍與精神內可有多樣的修改途徑。

如上述之說明，在前面實施例中的內部時脈產生電路與可變延遲電路中，因為不只這些電晶體是選擇性地由可變電流供給電路來驅動，同時延遲也基於與外部時脈信號的直接的相位差來被改變，即使是由LSI晶片的溫度或內部電路所引起的微細延遲都能被取消，且特別地對於一個高速的積體電路可在其間建準確的同步。

既然不只時脈延遲的控制，同時間距本身的自動調整也致能(enable)了即使是由內部輸入電路等等隨機產生的延遲的控制；本發明可以適合來應用到高頻的積體電

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (31)

路。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱： 使用可變延遲電路的時脈信號產生電路)

對於一個高頻的 L S I 晶片，一個在輸入時脈信號與內部時脈信號之間建立準確同步的時脈信號產生電路防止了輸入電路引起同步性移位。此時脈信號產生電路包含一個輸入電路用於放大一個輸入信號並輸出一個放大的信號當作一個第一個內部信號；一個可變延遲電路，其基於一個控制信號來延遲第一個內部信號與輸出一個延遲的信號當作一個第二個內部信號；一個相位比較器用於發現輸入信號和第二個內部信號之間的相位差並輸出一個相位差信號以指示此相位差別；與一個控制電路基於此相位差信號來產生控制信號。藉以這些習知技術不能夠避免了的由輸入電路所引起的延遲影響將可被避免了，因此能產生準確的內部時脈信號。

英文發明摘要(發明之名稱：CLOCK SIGNAL GENERATING CIRCUIT USING VARIABLE DELAY CIRCUIT)

In an high-frequency LSI chip, a clock signal generating circuit which establish accurate synchronism between an input clock signal and an internal clock signal to prevent an input circuit to cause a synchronization shift. The clock signal generating circuit includes an input circuit for amplifying an input signal and outputting an amplified signal as a first internal signal; a variable delay circuit, on the basis of a control signal, for delaying the first internal signal and outputting a delayed signal as a second internal signal; a phase comparator for finding a phase difference between the input signal and second internal signal and outputting a phase difference signal indicative of the phase difference; and a control circuit for generating the control signal on the basis of the phase difference signal. Thereby the influences of a delay caused by the input circuit, which would not be able to be avoided in the prior art, can be avoided and thus the accurate internal clock signal can be generated.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

六、申請專利範圍

1 . 一種信號產生電路，包含：

一輸入電路，用來放大輸入信號及輸出放大信號當作第一內部信號；

一可變延遲電路，用來根據控制信號而延遲第一內部信號及輸出延遲的信號當作第二內部信號；

一相位比較器，用來發現輸入信號與第二內部信號之相位差及輸出相位差信號以指示相位差；及

一控制電路用來根據該相位差信號而產生該控制信號。

2 . 如申請專利範圍第 1 項之信號產生電路，其中該相位比較器包含：

一比較器／整合器電路，使用與該輸入信號結合的參考電壓信號當作參考電壓，用來轉換輸入信號與第二內部信號之間的該相位差成一電位差並整合該電位差；及

一放大電路，用來放大整合的電位差及輸出放大的電位差當作該相位差信號。

3 . 如申請專利範圍第 1 項之信號產生電路，其中可變延遲電路包含一可程式化的延遲電路，而該控制電路根據從該相位比較器接收的該相位差信號來控制該可程式化的延遲電路的延遲。

4 . 如申請專利範圍第 1 項之信號產生電路，更進一步地包含輸入電路，其根據從該可變延遲電路接收的當作一時脈信號的該第二內部信號來操作。

5 . 如申請專利範圍第 4 項之信號產生電路，其中該

六、申請專利範圍

輸入電路是一半導體記憶體電路。

6. 一種相位比較器，包含：

差動輸入機構，包含有輸入時脈信號施加於閘的第一電晶體和有參考電壓信號施加於閘的第二個電晶體用來輸出指示該輸入時脈信號與參考電壓信號之間的差別；

與該第一電晶體串聯連接的第一交換電晶體，用來於其閘接收用於與該輸入時脈信號比較的內部時脈信號；及

與該第一交換電晶體串聯連接的第二交換電晶體，用來於其閘接收該內部時脈信號。

7. 一種信號產生電路，包含：

一輸入電路，用於放大一輸入信號；

一第一可變延遲電路，用於延遲該輸入電路的一輸出信號；

一第二可變延遲電路，用於在第一及第二持續期間之一延遲該第一可變延遲電路的一輸出信號；

一相位比較器電路，用於發現在輸入信號與該第二可變延遲電路的一輸出信號之間的相位差；與

控制機構，用於控制該第二可變延遲電路以引起該第二可變延遲電路的一延遲時間來在該第一和第二持續期間之間轉換，同時也用於控制該第一和第二可變延遲電路基於該相位比較器電路的一輸出使輸入信號的相位永遠與該第二可變延遲電路的輸出信號一致。

8. 如申請專利範圍第7項之信號產生電路，其中該輸入電路是一差動電路。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

9 . 如申請專利範圍第 7 項之信號產生電路，更進一步地包含一第三可變延遲電路，用於延遲該第一可變延遲電路的輸出信號，且其中該控制電路控制該第三可變延遲電路以便該第三可變延遲電路的一延遲時間大體而言是相等於該第二可變延遲電路的延遲時間。

10 . 如申請專利範圍第 7 項之信號產生電路，其中該第一可變延遲電路的一延遲時間大體而言符合該輸入信號的一周期，該第一持續期間大體而言是零，而該第二持續期間大體而言符合該輸入信號的一周期。

11 . 如申請專利範圍第 10 項之信號產生電路，其中該控制機構控制該第一可變延遲電路以便由該相位比較器電路發現的相位差當該第二可變延遲電路的延遲時間是零時大體而言是零，也控制該第二可變延遲電路以便由該相位比較器電路發現的相位差當該第二可變延遲電路的延遲時間是大體而言一輸入信號周期的時候大體而言是零。

12 . 如申請專利範圍第 7 項之信號產生電路，更進一步地包含由該控制機構所控制的可變電流供給電路，用於供給電流到第二與第三可變延遲電路，且其中該第二與第三可變延遲電路於每一個完整類型的延遲電路，用於整合從該可變電流供給電路基於該第一可變延遲電路的輸出信號來供給的電流以產生一個輸出時脈信號。

13 . 一種可變延遲電路，其用於整合從可變電流供給電路基於一輸入時脈信號來供給的電流以產生一對應於該輸入時脈信號的延遲的輸出時脈信號，此可變延遲電路

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

包含：

一 主要電晶體；與

一群多支串連的從屬電晶體對包含在它們的閘連接到該主要電晶體並在它們的源極與排極串連的第一和第二從屬電晶體，用於補償地使該第一從屬電晶體的這些源極與排極短路的第一選擇電晶體，用於補償地使該第二從屬電晶體的這些源極與排極短路的第二選擇電晶體，用於改變該第一個和第二選擇電晶體操作上的型式藉以轉換它們的輸出電流來控制該輸出時脈信號的延遲。

14. 如申請專利範圍第13項之可變延遲電路，其中該第一個從屬電晶體有一個共用的閘長度而第二從屬電晶體的閘長度不同於該多數從屬電晶體對的那些閘長度。

15. 如申請專利範圍第14項之可變延遲電路，其中該第二從屬電晶體的閘長度以它們的序列連接順序被設定為連續地增加／減少。

16. 如申請專利範圍第13項之可變延遲電路，其中該從屬電晶體對與用於設定延遲的二進位碼的位元結合。

17. 一種可變延遲電路，包含一整合電流控制部份與一整合電路部份用於整合從該整合電流控制部份基於一輸入時脈信號供給的電流來產生一相對應於從輸入時脈信號的一個延遲的輸出時脈信號，其中該整合電路部份包含：

用於從該整合電流控制部份接收電流的驅動電晶體；

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

用於在其中儲存經由該驅動電晶體的電荷的電容機構；與

閘電位校正機構，其連接到該驅動電晶體的閘並有一電容大體而言是相對應於該驅動電晶體的閘和源極與閘和排極之間的電容量之一，用於在相反的方向改變該驅動電晶體的閘電位以反應到於該驅動電晶體和電容機構之間的連接點的電位變化。

18. 如申請專利範圍第17項之可變延遲電路，其中該整合電路部份包含有第一傳導類型的第一電晶體當作該驅動電晶體的第一整合部份，同時也包含與該第一整合部補償操作的第二整合部分該第二整合部份有不同於第一傳導類型的第二傳導類型的第二電晶體，而其中具有大體而言相應該第一電晶體的閘與源極之間電容的電容的電容器被連接當作於該第一電晶體的閘與該第二電晶體的源極與排極之間的該閘電位校正機構。

19. 如申請專利範圍第17項之可變延遲電路，其中第一和第二整合部份的每一個包含：

連接於該驅動電晶體與電容機構之間的交換電晶體用於在它們的閘接收一整合時脈信號；與

第二閘電位校正機構，其連接到該驅動電晶體的閘並有一電容大體而言是相應於該驅動電晶體的閘和源極與閘和排極之間的電容量之一，用於在相反的方向改變該驅動電晶體的閘電位以反應到於該驅動電晶體和電容機構之間的連接點的電位變化。

六、申請專利範圍

20. 如申請專利範圍第19項之可變延遲電路，其中該第一整合部份有該第一傳導類型的第三電晶體當作該交換電晶體，該第二整合部份有一不同於該第一傳導類型的第二傳導類型的第四電晶體，與具有大體而言相應該第三個電晶體的閘與源極之間電容的電容器被連接當作於該第三電晶體的閘與該第四電晶體之閘之間的該第二閘電位校正機構。

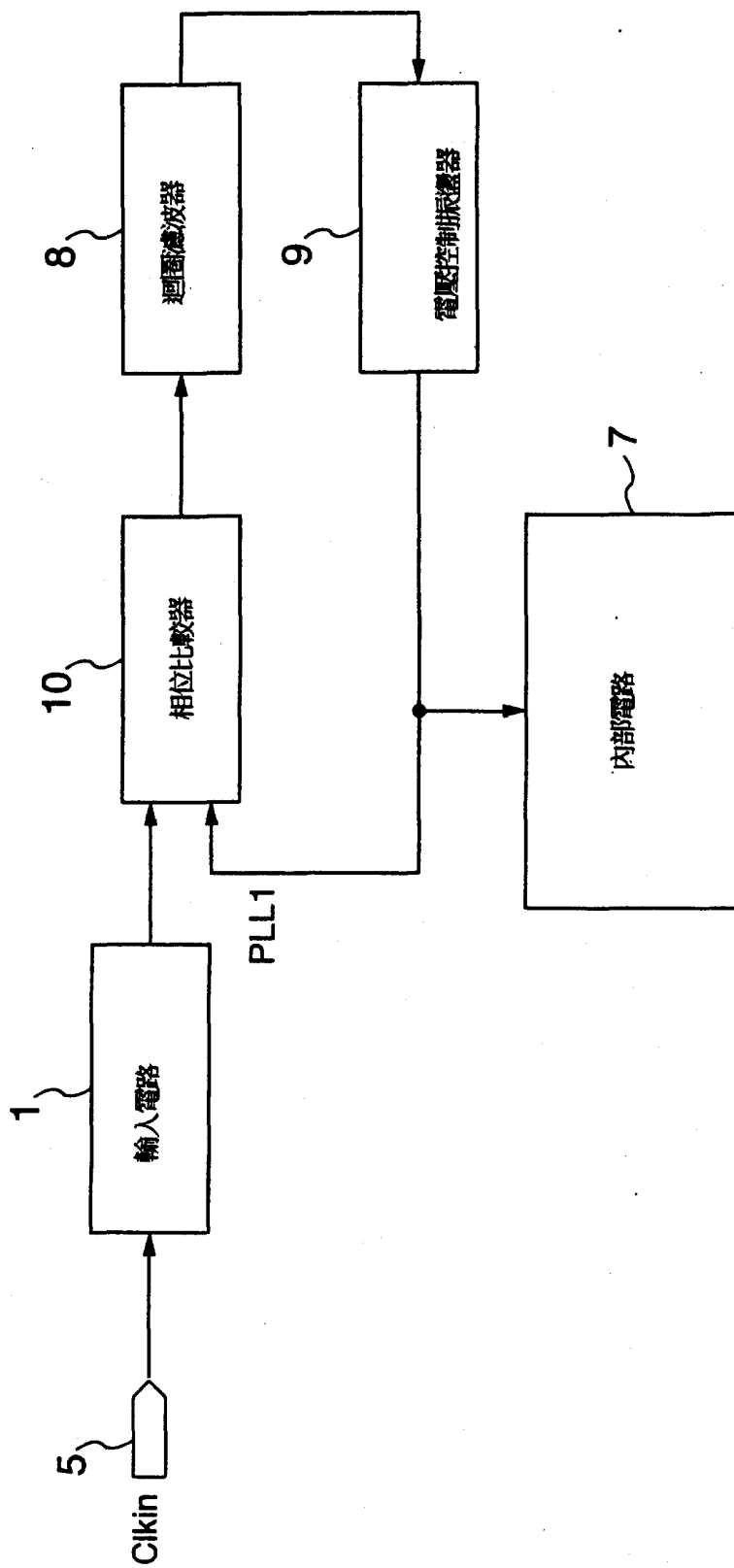
(請先閱讀背面之注意事項再填寫本頁)

訂

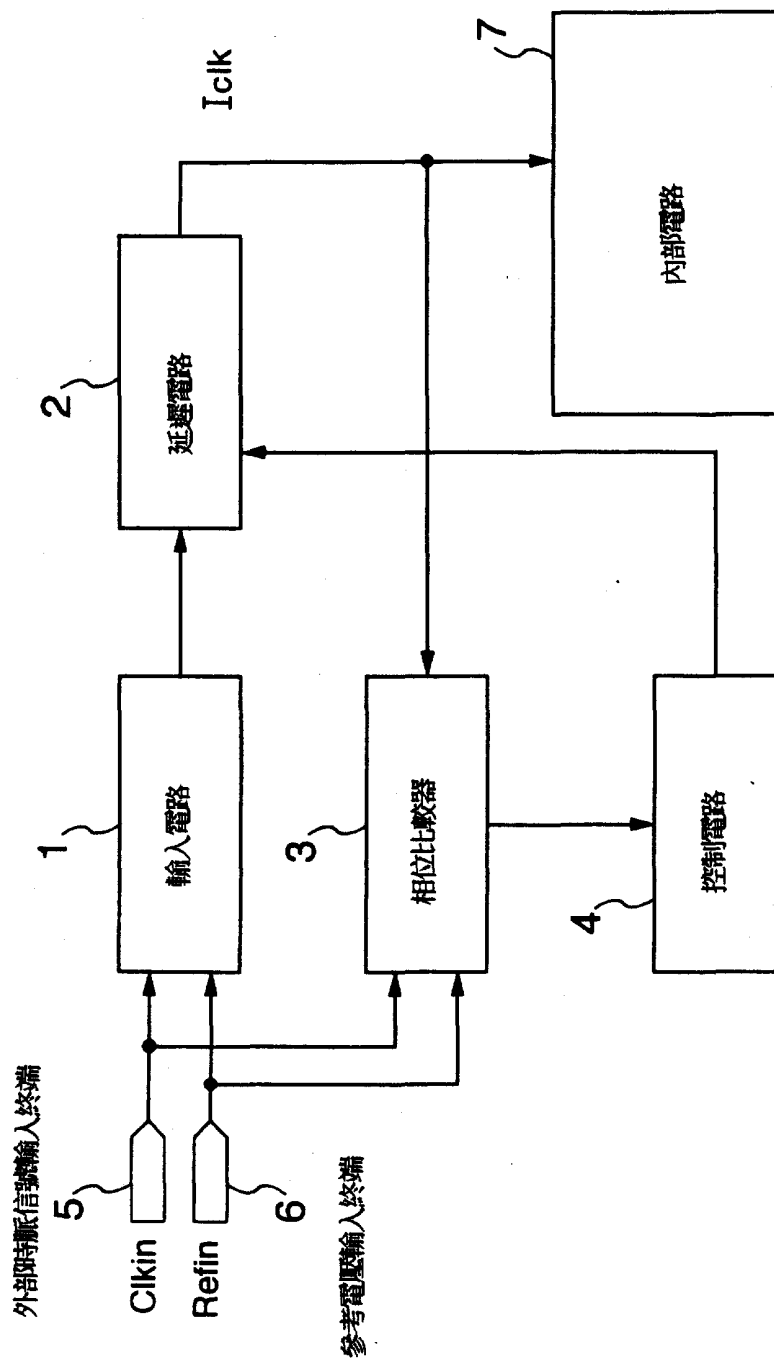
8611P6P0

730260

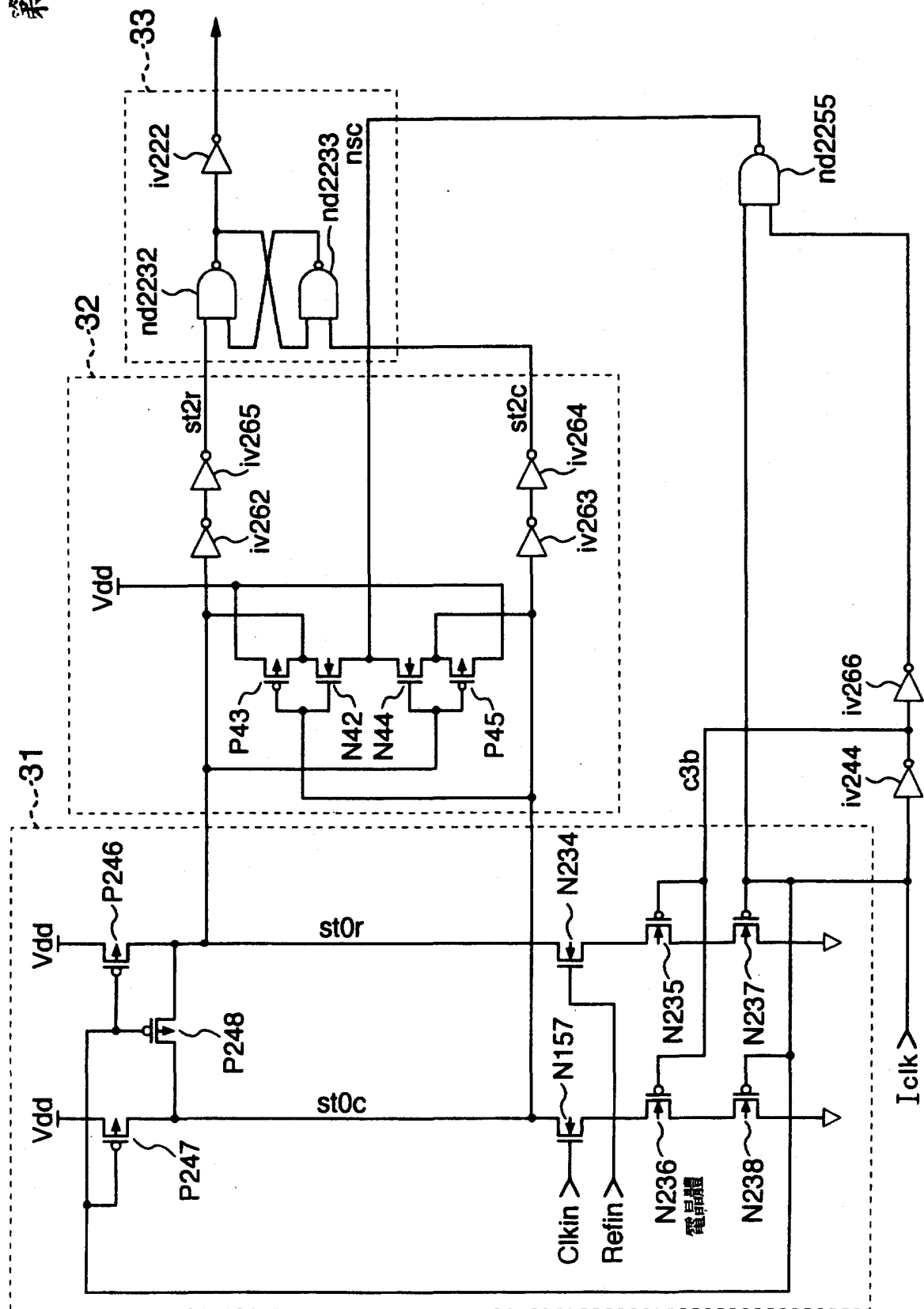
第 1 圖



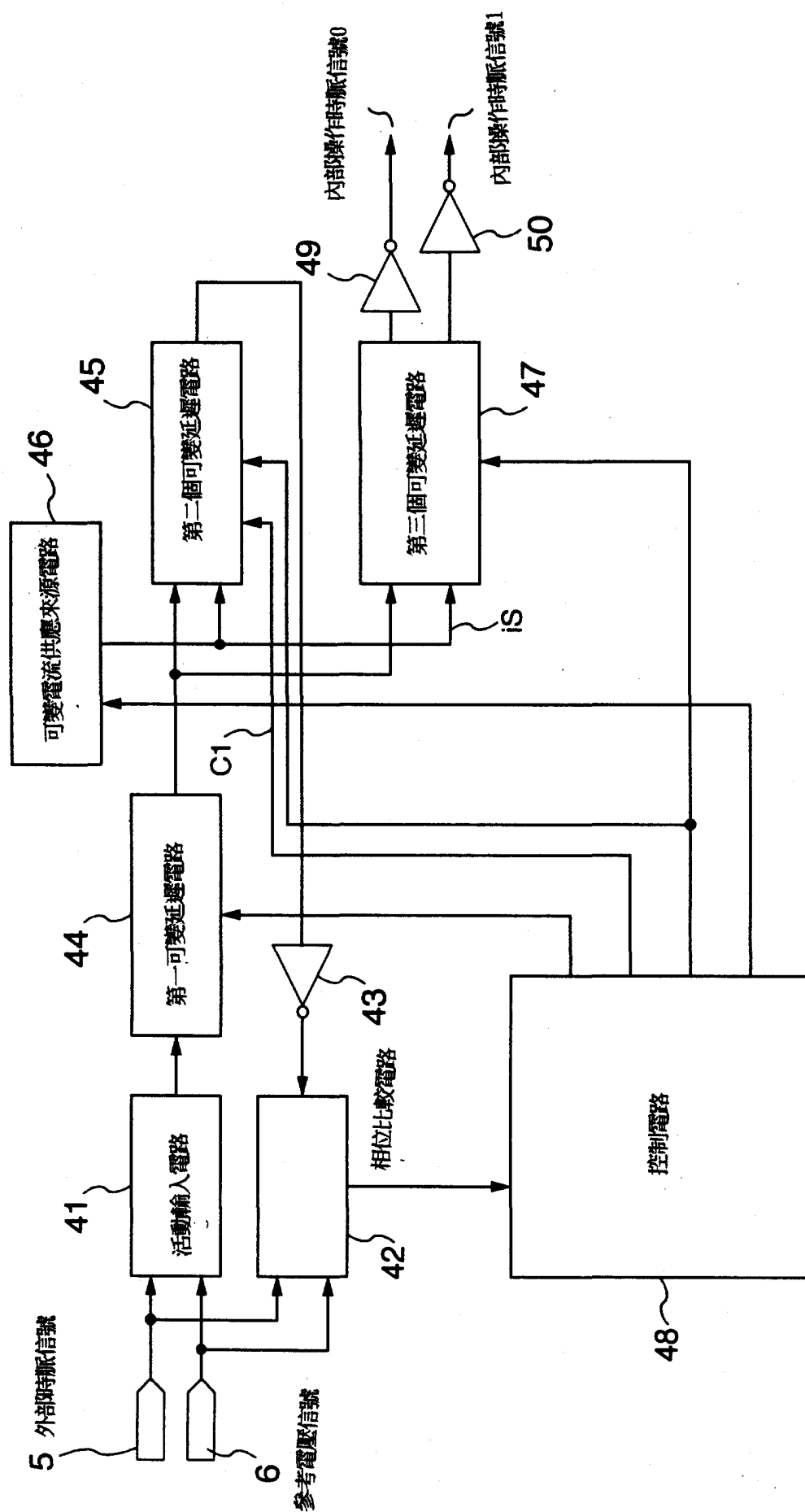
第 2 圖



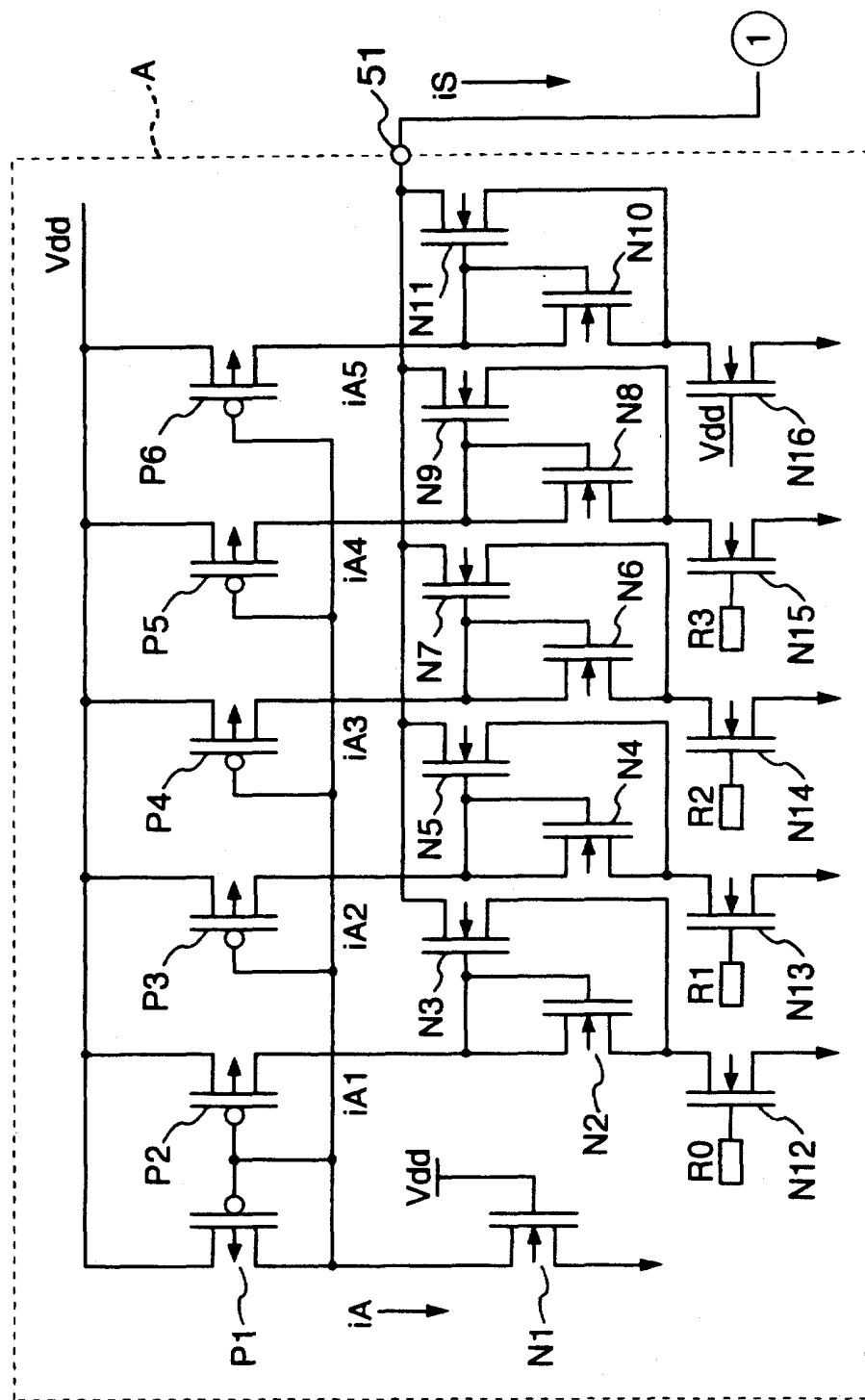
第 3 圖



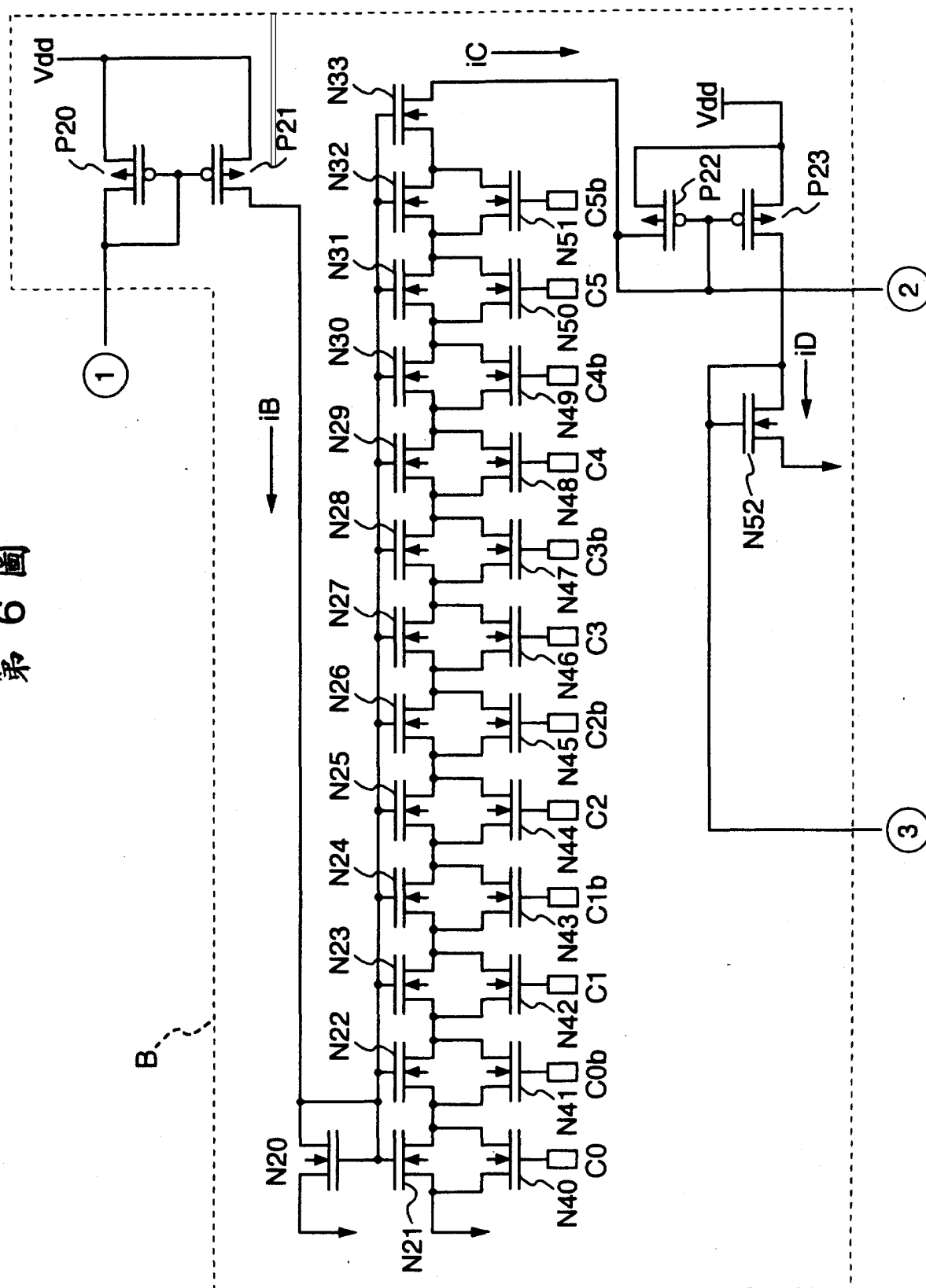
第 4 圖



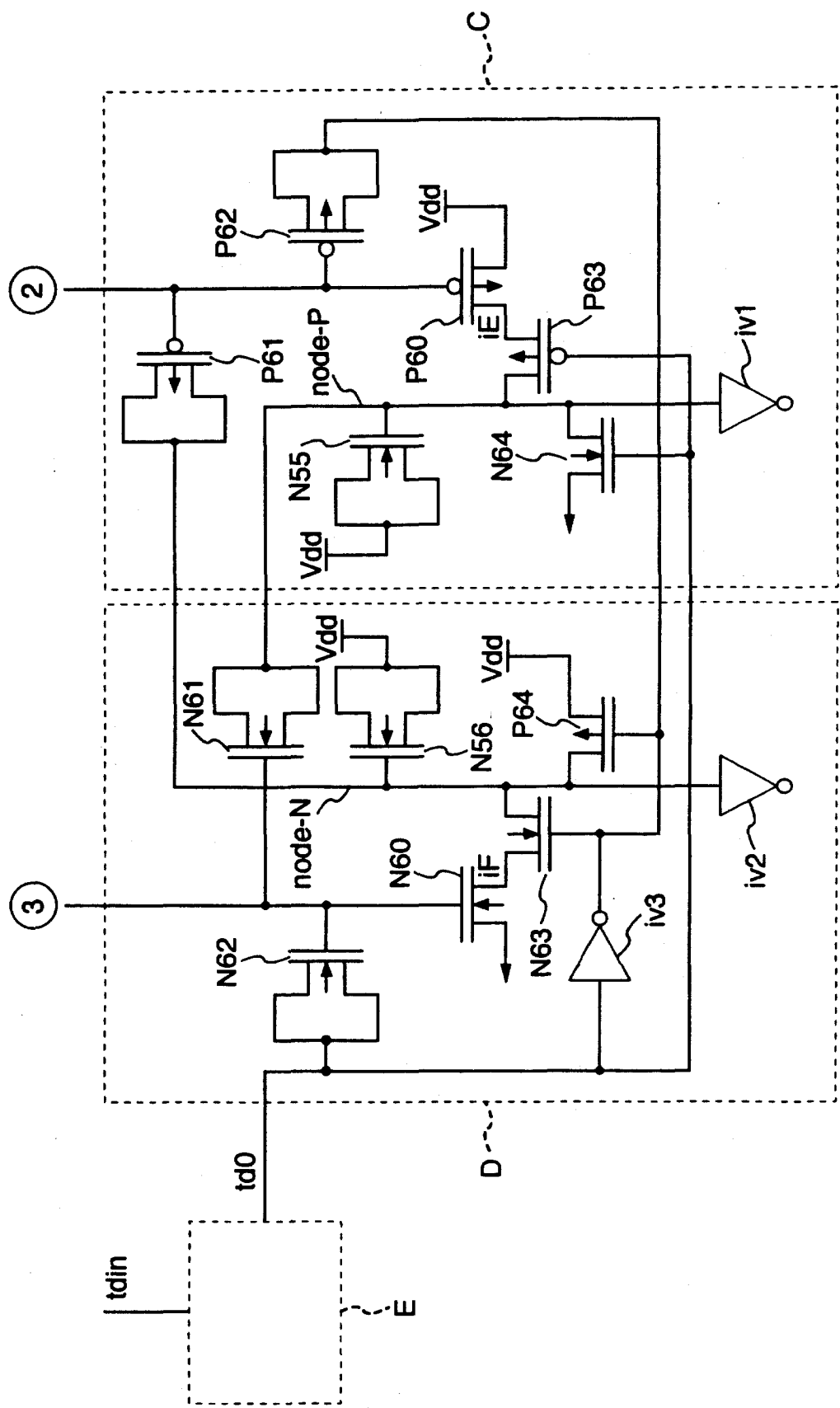
第 5 圖



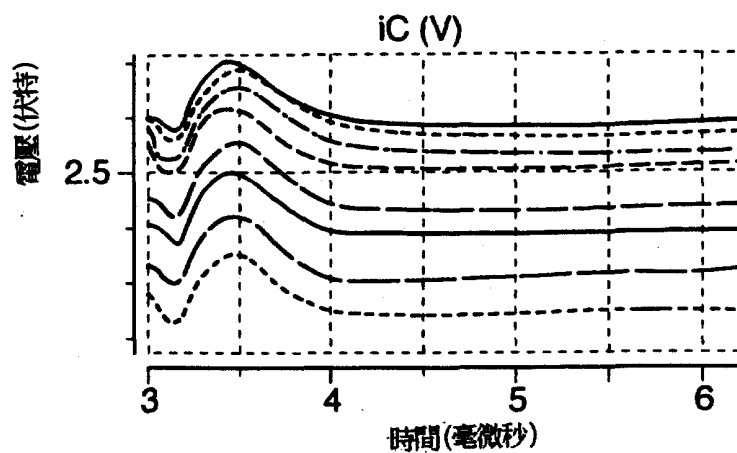
第 6 圖



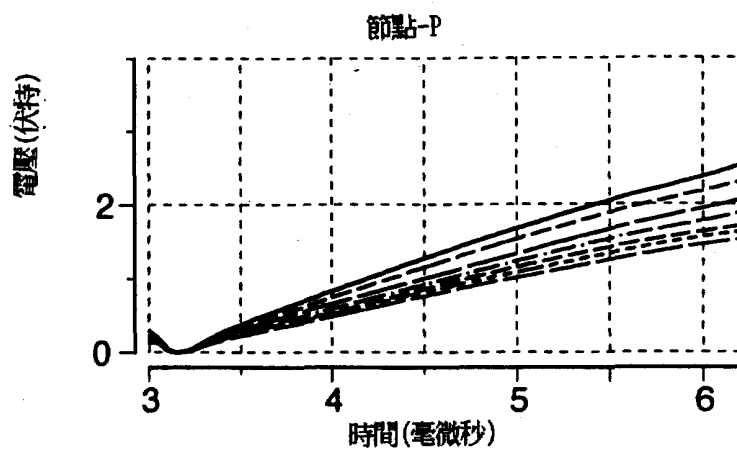
第 7 圖



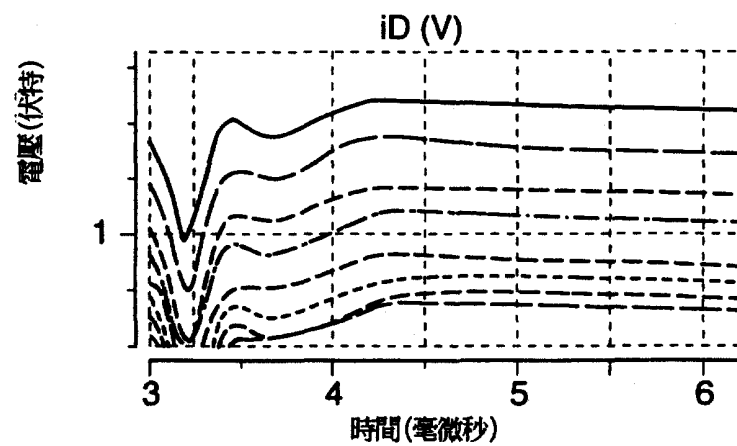
第8A圖



第8B圖



第8C圖



第8D圖

