

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
8. April 2004 (08.04.2004)

PCT

(10) Internationale Veröffentlichungsnummer  
WO 2004/030057 A1

(51) Internationale Patentklassifikation<sup>7</sup>: H01L 21/20,  
B81C 1/00, C03B 19/02, 23/02

(21) Internationales Aktenzeichen: PCT/EP2003/009328

(22) Internationales Anmeldedatum:  
22. August 2003 (22.08.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
102 41 390.8 6. September 2002 (06.09.2002) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): FRAUNHOFER GESELLSCHAFT

ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG e. V. [DE/DE]; Hansastr. 27c, 80686 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): QUENZER, Hans-Joachim [DE/DE]; Edendorferstrasse 170, 25524 Itzehoe (DE). SCHULZ, Arne, Veit [DE/DE]; Königskinderweg 130, 22457 Hamburg (DE). MERZ, Peter [DE/DE]; Holstenstrasse 15, 25557 Hanerau-Hademarschen (DE).

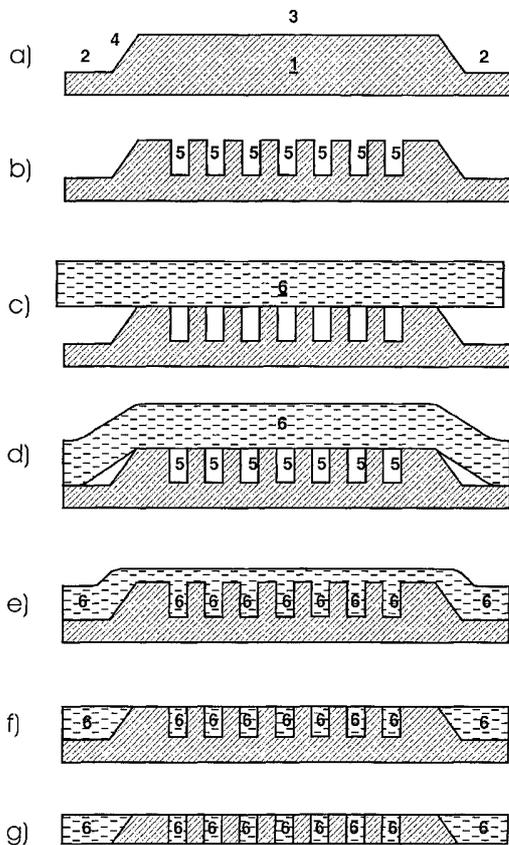
(74) Anwalt: RÖSLER, Uwe; Landsberger Strasse 480a, 81241 München (DE).

(81) Bestimmungsstaaten (national): JP, KR, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: GLASS-TYPE PLANAR SUBSTRATE, USE THEREOF, AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: VERFAHREN ZUR STRUKTURIERUNG EINES AUS GLASARTIGEM MATERIAL BESTEHENDEN FLÄCHENSUBSTRATS



(57) Abstract: Disclosed is a method for structuring a planar substrate made of a glass-type material, which is characterized by the following steps: - the thickness of the planar semiconductor substrate is reduced within at least one surface area thereof so as to obtain a surface area that is raised relative to the surface areas having a reduced thickness; - the raised surface area of the planar semiconductor substrate is structured by locally removing material in a mechanical manner so as to introduce recesses within the raised surface area; - the structured surface of the planar semiconductor substrate is connected to the glass-type planar substrate such that the glass-type planar substrate at least partly covers the surface area having a reduced thickness; - the connected planar substrates are heated up such that the glass-type planar substrate which covers the surface area having a reduced thickness forms a fluid-tight connection along with the surface area having a reduced thickness in a first heating phase which is carried out at negative pressure conditions, the planar substrate covering the recesses in a fluid-tight manner at negative pressure conditions, whereupon at least some areas of the glass-type material flow into the recesses of the structured surface of the planar semiconductor substrate in a second heating phase. Also disclosed are a glass-type planar substrate and the use thereof.

(57) Zusammenfassung: Beschrieben wird ein Verfahren zur Strukturierung eines aus glasartigen Material bestehenden Flächensubstrats. Das erfindungsgemäße Verfahren zeichnet sich durch die Kombination der folgenden Verfahrensschritte aus: - Bereitstellen eines aus einem Halbleitermaterial bestehenden Halbleiter Flächensubstrats, - Dickenreduzieren des Halbleiter-Flächensubstrats innerhalb wenigstens eines Oberflächenbereiches des Halbleiter-Flächensubstrates zur Ausbildung eines gegenüber des dickenreduzierten Oberflächenflächenbereiches erhabenen Oberflächenbereiches,

[Fortsetzung auf der nächsten Seite]

WO 2004/030057 A1



(84) **Bestimmungsstaaten** (*regional*): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

**Veröffentlicht:**

- *mit internationalem Recherchenbericht*
- *vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen*

---

- Strukturieren des erhabenen Oberflächenbereiches des Halbleiter Flächensubstrats mittels lokalen mechanischem Materialabtrag, zum Einbringen von Vertiefungen innerhalb des erhabenen Oberflächenbereiches,.- Verbinden der strukturierten Oberfläche des Halbleiter-Flächensubstrats mit dem glasartigen Flächensubstrat derart, dass das glasartige Flächensubstrat zumindest teilweise den dickenreduzierten Oberflächenflächenbereich überdeckt, - Tempern der verbundenen Flächensubstrate derart, dass in einer ersten Temperphase, die unter Unterdruckbedingungen durchgeführt wird, das den dickenreduzierten Oberflächenbereich überdeckende glasartige Flächensubstrat mit dem dickenreduzierten Oberflächenbereich eine fluiddichte Verbindung eingeht, wobei das Flächensubstrat die Vertiefungen unter Unterdruckbedingungen fluiddicht überdeckt, und dass in einer zweiten Temperphase ein Hineinfließen wenigstens von Teilbereichen des glasartigen Materials in die Vertiefungen der strukturierten Oberfläche des Halbleiter-Flächensubstrats erfolgt.

## Verfahren zur Strukturierung eines aus glasartigem Material bestehenden Flächensubstrats

### **Technisches Gebiet**

Die Erfindung bezieht sich auf ein Verfahren zur Strukturierung eines aus glasartigem Material bestehenden Flächensubstrats.

### **Stand der Technik**

Glas oder glasartige Materialien als Werkstoff in der modernen Mikroelektronik oder Mikromechanik besitzen gegenüber anderen Materialien insbesondere Kunststoffe zahlreiche Vorteile hinsichtlich ihres mit Halbleitermaterialien vergleichbaren, geringen thermischen Ausdehnungskoeffizienten und verfügen darüber hinaus über eine große mechanische sowie auch chemische Stabilität, wodurch diese Materialien in vielen technischen Bereichen von großer Bedeutung sind.

Jedoch sind der Herstellung insbesondere von technisch sehr interessanten Produkten, insbesondere von mikromechanischen und mikroelektronischen Bauelementen aus Glas sehr enge Grenzen gesetzt, da bislang hinsichtlich der Mikrostrukturierung von Glas nur wenig geeigneten Ätzverfahren bekannt sind, so daß bislang lediglich mechanischen Verfahren wie Sägen, Schleifen, Polieren, Ritzen, Ultraschall oder Sandstrahlen zum Einsatz kommen. Dadurch sind die Strukturierungsmöglichkeiten von Glas stark eingeschränkt. Mit diesen konventionellen Bearbeitungstechniken ist jedoch eine Strukturierung von Glas in den Mikro- und insbesondere Submikrometerbereich nicht mit der in der Halbleiter-Bauelement-Technik geforderten Präzision möglich.

Aufgrund dieser stark eingeschränkten Strukturierungsmöglichkeiten werden Mikrostrukturkörper häufig aus Kunststoff gefertigt. So beschreibt bspw. die DE 43 07 869 A1 ein Verfahren, bei dem Mikrostrukturkörper aus Kunststoff oder Sinterwerkstoffen mittels eines Formeinsatzes abgeformt werden. Der mikrostrukturierte Formeinsatz wird hierbei aus einem festen Körper, der aus Metall, Keramik, Glas, Stein oder einkristallinem Material ist, durch feinmechanische Präzisionsbearbeitung, additive oder subtraktive Strukturierung hergestellt. Anschließend wird der Formeinsatz mit fließfähigem Material ausgefüllt, überdeckt und nach seiner Verfestigung wird das Material von dem Formeinsatz getrennt. Der so gefertigte Mikrostrukturkörper weist allerdings ebenfalls den Nachteil auf, dass er aus einem Material mit einem großen thermischen Ausdehnungskoeffizienten gefertigt ist und im Vergleich zu glasartigen Materialien über eine geringere mechanische und chemische Stabilität verfügt.

Könnten die technischen Grenzen in der Glasbearbeitung durchbrochen werden, so ließen sich neue Anwendungsgebiete erschließen, in denen Verbundwerkstoffe aus Silizium und Glas eine tragende Rolle spielen. Derartige Verbundelemente können sich die komplementären Eigenschaften beider Materialien zunutze machen. Zum Beispiel besitzt Glas im Vergleich zu Silizium eine sehr niedrige elektrische und thermische Leitfähigkeit, ist jedoch im Gegensatz zu Silizium im sichtbaren Wellenlängenbereich optisch transparent.

Zudem spielt neben Silizium Glas oder glasartige Materialien eine wichtige Rolle bei der Realisierung mikromechanischer Komponenten. Besonders im Hinblick auf eine Verkapseln der Bauelemente auf Waferlevel wird Glas als elektrisch isolierendes Material häufig eingesetzt. Aber auch in diesem Zusammenhang stößt man in der Mikrostrukturierung auf die vorstehend genannten Grenzen.

Zur Überwindung der vorstehend geschilderten Problematik ist in der DE 101 18 529 vorgeschlagen worden - zu der im übrigen diese Anmeldeschrift als Zusatzanmeldung anzusehen ist -, ein zu strukturierendes glasartiges

Flächenmaterial mit einem bereits vorstrukturierten, aus einem Halbleitermaterial bestehenden Flächensubstrat in Verbindung zu bringen, vorzugsweise im Wege eines anodischen Bondvorganges, und diese Kompositstruktur derart zu erwärmen, dass das glasartige Material seine Fließtemperatur überschreitet und auf diese Weise in die vorstrukturierten Vertiefungen innerhalb des Halbleiter-Flächenmaterials eindringt. Nach entsprechendem Tempern und nachfolgendem Erkalten der Kompositstruktur sind die strukturierten Vertiefungen innerhalb des Halbleitermaterials vorzugsweise vollständig mit dem glasartigen Material ausgefüllt. Nach entsprechender Nachbehandlung der erkalteten Kompositstruktur kann das Halbleitermaterial im Wege gezielter Materialabtragung von dem sich innerhalb der Vertiefungen befindlichen Glasmaterial getrennt werden, um letztlich die gewünschte strukturierte Komponente aus Glas oder glasartigen Material zu erhalten.

Ein wesentlicher Aspekt des in der vorstehenden Druckschrift vorgeschlagenen Verfahrens betrifft die Vorstrukturierung des Halbleiter-Flächensubstrates, die nicht nur maßgeblich für Größe, Form und Dimensionierung des letztlich zu erhaltenen strukturierten Glasproduktes verantwortlich ist, sondern auch entscheidend an den Verfahrens- und damit Herstellungskosten des gewünschten Produktes beiträgt.

In einem bevorzugten Ausführungsbeispiel, das auf der technischen Lehre der DE 101 18 529 beruht, wird ein als Siliziumsubstrat bzw. Si-Wafer ausgebildetes Halbleiter-Flächensubstrat mittels Ätzprozess strukturiert, vorzugsweise werden mit Hilfe eines Trockenätzprozesses gezielt Vertiefungen in den Si-Wafer eingebracht. Dadurch können zwar beliebige Konturen in den Siliziumwafer eingebracht werden, andererseits wirkt der Einsatz von Trockenätztechniken jedoch vergleichsweise hohe Kosten auf. In bestimmten Fällen, z.B. bei der Herstellung von periodischen Stempelstrukturen, wäre jedoch eine Herstellung derartiger Strukturen mittels Einsägen auf einer Wafersäge eine deutlich billigerer Alternative, jedoch stossen derartige konventionelle Materialabtragetechniken auf folgendes Problem:

Um einen für den Eindringvorgang des erwärmten fließfähigen, glasartigen Materials in die Vertiefungen des Halbleiter-Flächensubstrats erforderlichen gasdichten

Abschluss zwischen dem strukturierten Halbleiterwafer und dem glasartigen Flächensubstrat zu erhalten, erfolgt die Strukturierung des Si-Wafers unter Verwendung eines Ätzprozesses nicht bis zum Waferrand, dieser nämlich wird bewusst unstrukturiert belassen, gleichwohl eine nahezu vollständige Flächennutzung des Si- Wafers angestrebt wird. Bedient man sich hingegen zur Strukturierung des Si-Wafers der vergleichbar zum Ätzprozess deutlich günstigeren Säge- oder Frästechnik, so ist es nicht möglich den Rand des Wafers von der Strukturierung auszusparen, sofern man bestrebt ist die vorgegebene Waferfläche möglichst vollständig für die Strukturierung auszunutzen. Damit kann jedoch mit dem in der DE 101 18 529 beschriebenen Verfahren keine dichte Verbindung der beiden Substrate, z.B. durch das anodische Bonden des Glas mit dem Siliziumsubstrat, erreicht werden. Ein Vakuumeinschluß in den Kavitäten des Siliziumwafers ist damit ausgeschlossen, und somit wird ein vollständiges Auffüllen der Siliziumstrukturen während des Glasfließens verhindert.

### **Darstellung der Erfindung**

Der Erfindung liegt die Aufgabe zugrunde das in der DE 101 18 529 beschriebene Verfahren zur Strukturierung eines aus glasartigen Material bestehenden Flächensubstrats derart weiterzubilden, dass die Verfahrenskosten deutlich reduziert werden sollen. So soll es möglich sein den für die Vorstrukturierung des Halbleiter-Flächensubstrates erforderlichen Ätzprozess durch eine günstigere Strukturierungstechniken zu ersetzen. Zudem sollen alle Vorteile, die mit dem Verfahren gemäß der DE101 18 529 erzielbar sind, uneingeschränkt erhalten bleiben.

Die Lösung der der Erfindung zugrundeliegenden Aufgabe ist in den Ansprüchen 1 und 2 angegeben. Gegenstand des Anspruchs 33 ist ein mit diesem Verfahren hergestelltes und strukturiertes glasartiges Flächensubstrats. Ferner werden bevorzugte Verwendungen der mit dem Verfahren herstellbaren Produkten angegeben. Gegenstand der Unteransprüche sowie der Beschreibung insbesondere

unter Bezugnahme auf die Figuren betreffen den Erfindungsgedanken vorteilhaft weiterbildende Merkmale.

Das erfindungsgemäße Verfahren macht sich die gezielte und kostengünstige mechanische Materialabtragung im Wege der Säg-, Fräs- oder Schleiftechnik zu Eigen, um die Strukturierung des Halbleiter-Flächensubstrates vorzunehmen. Durch diesen Einsatz können nicht nur Halbleiteroberflächen in großen Stückzahlen, wie sie in der industriellen Fertigung vorkommen, kostengünstig hergestellt werden, auch ist es möglich Kleinserien, insbesondere in der Entwicklung, Forschung und Prototypenfertigung kostenreduziert zu verwirklichen.

Um das kostengünstige Strukturierungsverfahren in Verbindung mit der Herstellung strukturierter glasartiger oder Glassubstrate erfolgreich anwenden zu können, dient das nachstehende erfindungsgemäße Verfahren, das sich im einzelnen aus den folgenden Verfahrensschritten zusammensetzt:

Zunächst wird ein aus einem Halbleitermaterial bestehendes Halbleiter-Flächensubstrat, bspw. in Form eines Silizium-Wafers bereitgestellt. Bevor das Halbleiter-Flächensubstrat strukturiert wird, erfolgt zunächst eine Dickenreduzierung des Halbleiter-Flächensubstrats innerhalb wenigstens eines Oberflächenbereiches. Grundsätzlich kann die Dickenreduzierung an einer beliebigen Stelle des Halbleiter-Flächensubstrates vorgenommen werden, doch ist eine Dickenreduzierung des Halbleiter-Flächensubstrates längs seines Randbereiches von Vorteil. In aller Regel steht der periphere Randbereich eines typischen Si-Wafers, der sich ca. 3 mm vom Umfangsrand des Wafers nach innen auf der Waferoberfläche erstreckt, nicht für eine funktionelle Prozessierung zur Verfügung, so dass eine gezielte Dickenreduzierung in eben jenen Randbereich, keine Nachteile in Bezug auf einen Flächenverlust für technisch wertvolle Prozessierungsflächen nach sich zieht. Die Dickenreduzierung erfolgt in besonders vorteilhafter Weise längs des gesamten Umfangsrandes des Halbleiter-Flächensubstrates bzw. um beim speziellen Fall des Si-Wafers zu bleiben, längs des gesamten Waferrandes. Somit bleibt inmitten des Wafers ein erhabener,

großflächiger Oberflächenbereich gegenüber dem dickenreduzierten Randbereich bestehen. Der erhabene Oberflächenbereich ist von einer Begrenzungsseitenfläche umgeben, die eben jene Höhe gegenüber des dickenreduzierten Randbereiches aufweist, die der Abtragetiefe entspricht, um die der Randbereich ausgedünnt bzw. dickenreduziert worden ist.

Die Dickenreduzierung erfolgt vorzugsweise mittels eines naßchemischen Ätzverfahrens, es ist jedoch auch möglich geeignete mechanische Materialabtrageverfahren, wie bspw. Schleifen einzusetzen.

Für das nachfolgende Strukturieren des unbehandelten, erhabenen Oberflächenbereiches spielt das Vorsehen des dickenreduzierten Randbereiches am peripheren Umfangsrand des Wafers eine besondere Rolle. So ist es nun möglich mit Hilfe eines geeigneten materialabtragenden Werkzeuges, bspw. einer Oberflächensäge oder eines Fräs- oder Schleifkopfes, vorzugsweise lineare Schnitte in den erhabenen Oberflächenbereich einzuarbeiten, indem das Werkzeug mit einer vorgebbaren Schnitttiefe, die sich maximal bis zur Ebene des dickenreduzierten Oberflächenbereiches erstreckt, lateral zur erhabenen Oberfläche bewegt wird und diese lokal abträgt. Somit entstehen durchgängige Vertiefungen, die sich von einer Seite der Begrenzungsseitenfläche des erhabenen Oberflächenbereiches zur gegenüberliegenden Seite bzw. zu einer anderen Stelle erstrecken. Bedient man sich bspw. linearer Sägewerkzeuge, so können linear innerhalb des erhabenen Oberflächenbereiches verlaufende Vertiefungen eingearbeitet werden, die parallel zueinander orientiert oder unter vorgebbaren Winkeln sich durchkreuzen und eine Art Gittermuster bilden. Auch können längs eines vorgebbaren Kurvenverlaufes Einschnitte in den erhabenen Oberflächenbereich eingearbeitet werden, indem maschinengeführte Fräsköpfe oder geeignete Schleifvorrichtungen mit der erhabenen Oberflächenbereich in Eingriff gebracht werden. Neben der nahezu beliebigen Wahl der Musterbildung, die sich durch die Strukturierung des erhabenen Oberflächenbereiches ergibt, ist es auch möglich die Breite mit der die einzelnen linienhaften Vertiefungen vorgenommen werden, beliebig einzustellen. Dies kann dadurch erreicht werden, indem bspw. das verwendete materialabtragende

Werkzeug zweimal oder mehrmals linienversetzt eine längs einer Schnitttrajektorie verfahren wird. Jedoch gilt es neben dem vorstehend aufgezeigten Variantenreichtum an Strukturierungen die Strukturtiefe stets kleiner oder gleich zu wählen als der Dickenbetrag, um den der Randbereich ausgedünnt worden ist. Auf diese Weise wird insbesondere ein weiterer Materialabtrag in eben jenen Randbereich vermieden.

Im Anschluß an den vorstehend geschilderten Strukturierungsprozess wird die Oberfläche des strukturierten erhabenen Oberflächenbereich des Halbleiter-Flächensubstrats mit dem glasartigen Flächensubstrat derart in Verbindung gebracht, dass das glasartige Flächensubstrat zumindest teilweise den dickenreduzierten Oberflächenflächenbereich überdeckt. Eine alternative Verfahrensvariante sieht vor, den dickenreduzierten Oberflächenflächenbereich zu metallisieren bevor das glasartige Flächensubstrat aufgebracht wird. Dies hat besondere Vorteile zur Schaffung elektrisch leitender Durchführungen, auf die unter Bezugnahme auf die weitere Beschreibung noch eingegangen wird.

Vorzugsweise ist das glasartige Flächensubstrat derart bemessen, dass es das vorstrukturierte Halbleiter-Flächensubstrat vollständig überdeckt einschließlich den dickenreduzierten Randbereich. Zur festen und innigen Verbindung beider Flächensubstrate eignet sich besonders vorzugsweise das anodische Bonden sowie das thermische Bonden, sodass eine hermetisch dichte Verbindung zwischen beiden Flächensubstraten entsteht. Denkbar wäre auch ein bloßes Aufeinanderlegen beider Flächensubstrate, die bei entsprechender Konturdeckung durch sich ausbildende Oberflächenadhäsionskräfte ebenso in einem gewissen Rahmen gasdicht aneinander haften.

Die Technik des Anodischen Bondens führt jedoch zu einer hochqualitativen gasdichten Verbindung und ist bereits seit Ende der sechziger Jahre bekannt, bei der zwei hochplanare Substrate, in der Regel bestehend aus einem Metall- und einem Isolatorsubstrat auf einer sogenannten "Hot Plate" erhitzt. Im vorstehend beschriebenen Fall werden das Halbleiter- und das glasartige Flächensubstrat

zusammengefügt. Zusätzlich wird eine Spannung zwischen beiden Flächensubstraten von bis zu 1000 V angelegt. Befindet sich der negative Pol am glasartigen Flächensubstrat, so wandern die in der Glasmatrix vorhandenen positiven, beweglichen Ionen in Richtung Kathode. Die unbeweglichen, und somit ortsfesten Sauerstoffionen bilden an der Grenze zum Halbleiter eine negative Raumladungszone. Zum einen führt die resultierende elektrostatische Kraft zu einem engen Kontakt der beiden Substratoberflächen. Zum anderen wird durch die starken elektrischen Felder an der Grenzfläche zwischen dem Halbleiter-Flächensubstrat, bspw. ein Siliziumwafer, und dem Glas eine elektrochemische Reaktion ausgelöst in deren Verlauf sich an der Grenzfläche ein Oxid ausbildet das beide Substrate miteinander verbindet.

Beim Anodischen Bonden von Si und Glas wird als glasartiges Flächensubstrat ein Borosilikatglas (Pyrex<sup>TM</sup>, Borofloat<sup>TM</sup>) verwendet, das im thermischen Ausdehnungskoeffizient weitgehend an Silizium angepaßt ist. Allerdings werden bei diesem Verfahren die beiden scheibenförmig vorliegenden Materialien als vertikaler Verbund (einfach oder mehrfach) übereinandergestapelt.

Zu beachten ist jedoch, dass das Halbleiter- und das glasartige Flächensubstrat zwar längs der Oberfläche des strukturierten erhabenen Oberflächenbereichs innig und gasdicht miteinander verbunden sind, jedoch überragt das glasartige Flächensubstrat den dickenreduzierten Randbereich des Halbleiter-Flächensubstrats im Abstand der Höhe, um den der Randbereich dickenreduziert worden ist, sodass insbesondere in diesem Randbereich beide Flächensubstrate noch keine gasdichte innige Verbindung eingehen, die, wie sich noch zeigen wird, für die weiteren Verfahrensschritte wichtig und erforderlich ist.

In einem nachfolgenden Tempersschritt, dem die vorstehend erläuterten, zusammengefügt Flächensubstrate unterzogen werden, erfolgt nun in einem ersten Tempersschritt die vollständige gasdichte beiderseitige Versiegelung zwischen beiden Flächensubstraten. So wird das auf dem Halbleitersubstrat aufliegende und mit diesem in dessen erhabenen, strukturierten Oberflächenbereich verbundene

glasartige Flächensubstrat unter Unterdruckbedingungen, vorzugsweise innerhalb eines Vakuumofen, derart getempert, bis die Fließtemperatur des glasartigen Materials erreicht wird. In diesem Stadium beginnt sich bevorzugt der überhängende Randbereich des glasartigen Flächensubstrats abzusenken, um schließlich mit dem dickenreduzierten Randbereiches des Halbleiter-Flächensubstrates eine innige und gasdichte Verbindung einzugehen. Dabei umschließt das fließfähige, sich absenkende glasartige Material zugleich auch die Begrenzungsseitenfläche des erhabenen Oberflächenbereiches mit den darin eingebrachten Öffnungen zu den einzelnen Vertiefungen.

Der Absenkvorgang des Randbereiches des glasartigen Flächensubstrates kann vorzugsweise auch dadurch unterstützt und beschleunigt werden, indem zusätzlich zum Eigengewicht des überstehenden Glasrandes auf diesem eine Last, bspw. in Form eines ringförmig ausgebildeten Gewichtes, bestehend vorzugsweise aus Graphit, einwirkt.

Nachdem der Glassrand überall vollständig mit dem Rand des dickenreduzierten Halbleiter-Flächensubstrats in Kontakt gekommen ist und somit die Strukturen bzw. die Vertiefungen in dem Halbleiter-Flächensubstrat hermetisch dicht eingeschlossen sind, erfolgt eine zweite Temperung unter Normaldruck bzw. unter erhöhtem Druck. Damit wird ein vollständiges Auffüllen der Zwischenräume des Siliziumwafers durch das Glassubstrat erreicht.

Im Wege eines Ofenprozess, der unter Normalbedingungen erfolgt, füllt das auf den plastischen Bereich oberhalb der Glastemperatur  $T_G$  erhitzte Glasmaterial die Strukturöffnungen bzw. die Vertiefungen innerhalb des Halbleiter-Flächensubstrats vollständig aus. Nach entsprechendem Abkühlen beider innig miteinander verbundenen Flächensubstrate, deren thermisches Ausdehnungsverhalten vergleichbar oder gar identisch sind, wodurch nur geringe oder keine thermischen Spannungen auftreten, weist das glasartige Flächensubstrat die Struktur des Halbleiter-Flächensubstrats in der Negativform auf.

Anschließend wird die Oberfläche des glasartigen Flächensubstrats bis auf die vorstrukturierte Halbleiteroberfläche zurückgeschliffen und poliert, z.B. durch Chemisch-mechanisches Polieren, sodass bereits nach Vollendung dieses Bearbeitungsschrittes ein Verbund-Flächensubstrat erhalten wird, in dem Glas oder glasartiges Material mit Strukturdimensionen geformt ist, die bislang nur Halbleitermaterialien und allen voran einkristallines Silizium vorbehalten waren.

In weiteren vorteilhaften Bearbeitungsschritten wird nun die Rückseite des Halbleiter-Flächensubstrats bearbeitet, indem das überschüssige Halbleitermaterial, bspw. Silizium ebenfalls durch Schleifen und Polieren entfernt wird. Damit bleibt ein Substrat übrig, das in bestimmten Arealen aus Halbleitermaterial und in anderen aus dem glasartigen Material besteht.

Zusätzlich ist es möglich in einem weiteren Ätzprozess das Halbleitermaterial zu entfernen, um zum Beispiel sehr schmale Löcher oder Durchbrüche im Glassubstrat zu erhalten. Weitere mechanische Schleif- und Poliervorgänge können sich daran anschließen, um die Durchbrüche präzise zu öffnen bzw. entsprechende Öffnungskonturen zu erhalten.

Unter Ausnutzung der Fliesseigenschaft von Glas im erhitzten Zustand kann also die Oberflächentopographie von einem strukturierten Halbleiter-Flächensubstrats, bspw. in Form eines Siliziummasters, in glasartige Materialien exakt übertragen werden. Dadurch ergeben sich erhebliche Vorteile in der Fertigung und in Bezug auf die Präzision. So können die Vorteile der Siliziumtechnologie (exakte Formgebungsverfahren bis in den sub- $\mu\text{m}$ -Bereich hinein, Vielfalt der Strukturierungsmöglichkeiten) sowie die guten Materialeigenschaften von Glas kombiniert werden.

Bei hinreichend großen Strukturhöhen im ursprünglichen Halbleiter-Flächensubstrats und kompletter Abformung in das glasartige Flächensubstrat durch einen geeigneten Glasfließprozess, können damit Flächen erzeugt werden, die komplett durch das neue Verbundsubstrat hindurch reichen. Je nach der flächenmäßigen Verteilung

können auf diese Weise Glaswafer mit Siliziumdurchführungen oder Siliziumwafer mit Glasfenster erzeugt werden.

Ein besonders wichtiger Aspekt hierbei ist die sehr gute thermische Verträglichkeit der verwendbaren Materialien, bspw. Silizium und Glas (Borosilikatgläser wie etwa Pyrex<sup>®</sup>, Tempax<sup>®</sup> oder Borofloat Glas). Aufgrund der fast perfekten Übereinstimmung der thermischen Ausdehnungskoeffizienten zwischen Silizium und Pyrexglas<sup>®</sup> läßt sich gewissermaßen ein thermisch homogenes Substrat herstellen. Insbesondere treten dadurch keinerlei Effekte auf, die auf thermisch induzierten Streß zurückzuführen sind, wie etwa Neigung zu Rißbildung oder Verbiegung der Substrate.

Die Dicke beider Flächensubstrate liegt typischerweise zwischen 0.1 mm und 1 mm. Es wird an dieser Stelle betont werden, daß die laterale Geometrie der Segmentierung des Halbleiter- und glasartigen Flächensubstrats keiner prinzipiellen Einschränkung unterworfen ist. Die Bereiche unterschiedlicher Materialien können zusammenhängend oder nicht zusammenhängend sein.

### **Kurze Beschreibung der Erfindung**

Die Erfindung wird nachstehend ohne Beschränkung des allgemeinen Erfindungsgedankens anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung exemplarisch beschrieben. Es zeigen:

Fig. 1 Ablaufschema des erfindungsgemäßen Verfahrens zur Herstellung eines strukturierten glasartigen Flächensubstrates,

Fig. 2 Draufsicht auf ein glasartiges Flächensubstrat mit elektrischen Durchführungen,

Fig. 3a,b Anwendungsbeispiele für ein prozessiertes glasartiges Flächensubstrat,

Fig. 4 Draufsicht auf ein Halbleiter-Flächensubstrat mit isolierten elektrischen Durchführungen,

Fig. 5 Ablaufschema eines alternativen Verfahrensablaufes sowie

Fig. 6a,b Darstellung eines Deckelwafers.

### **Wege zur Ausführung der Erfindung, gewerbliche Verwendbarkeit**

In den Figuren 1 a - g sind die erfindungsgemäßen Verfahrensschritte in schematisierter Abfolge dargestellt.

In Fig. 1a wird zur Vorbereitung des Verfahrens das Halbleiter-Flächensubstrat 1 längs seines Randbereiches 2 dickenreduziert. Der dickenreduzierte Randbereich 2 weist bei einem als Si-Wafer ausgebildeten Halbleiter-Flächensubstrat eine Randbreite  $b$  von ca. bis zu 4 mm auf. Geht man typischerweise von einer Waferdicke von ca.  $800 \mu\text{m}$  aus, so erfolgt ein Dickenabtrag im Randbereich 2 des Wafers von bis zu  $500 \mu\text{m}$ , so dass im dickenreduzierten Randbereich 2 eine Waferrestdicke von ca.  $400 \mu\text{m}$  übrig bleibt. Der erhabene Oberflächenbereich 3 des Wafers 1 ist durch eine Begrenzungsseitenfläche 4 umgeben, die senkrecht, oder wie im Falle der Figur 1 a. schräg gegenüber der Oberfläche des Randbereiches 2 angestellt ist.

Die Dickenreduzierung erfolgt vorzugsweise mittels naßchemischen Ätzverfahrens bspw. mittels KOH.

In Fig. 1b sind eine Vielzahl von Vertiefungen bzw. Einschnitte 5 in den erhabenen Oberflächenbereich eingebracht, die die Begrenzungsseitenfläche 4 offen durchragen. Die Einschnitte sind typischerweise durch Einsägen oder Einfräsen in den erhabenen Oberflächebereich 3 eingearbeitet. Wesentlich ist, dass die maximale Tiefe der Einschnitte 5 kleiner oder gleich der Ebene der dickenreduzierten Oberfläche ist.

In Figur 1c wird das glasartige Flächensubstrat 6 auf das bereits vorstrukturierte Halbleiter-Flächensubstrat 1 im Wege des anodischen Bondens innig verfügt. Hierbei schließen beide Flächensubstrate Zwischenvolumen ein, die durch die Geometrie der Vertiefungen 5 innerhalb der Oberfläche des Halbleiter-Flächensubstrates vorgegeben sind. Die Größe des glasartigen Flächensubstrates ist derart gewählt, dass der Randbereich des glasartigen Flächensubstrates 6 den dickenreduzierten Randbereich 2 überdeckt. Alternativ zum anodischen Bonden, das typischerweise bei Temperaturen von ca. 400 - 500 °C durchgeführt wird und bei dem zwischen den zu verbindenden Oberflächen eine elektrische Spannung angelegt wird, eignet sich auch das thermische Bonden zum Verbinden des glasartigen Flächensubstrats mit dem vorstrukturierten Halbleiter-Flächensubstrat, bei dem die zu verbindenden Flächensubstrate bei Temperaturen von ca. 1000 °C und unter Druck miteinander verfügt werden. Das thermische Bonden erfordert zwar höhere Temperaturen, jedoch sind die Anforderungen an die Planheit der zu verbindenden Oberflächen nicht so hoch wie beim anodischen Bonden.

In vorteilhafter Weise erfolgt nun unter Unterdruckbedingungen gem. Fig. 1d ein Tempervorgang, bei dem das glasartige Material über die Glastemperatur in den plastischen Bereich bzw. in den fließfähigen Zustand überführt wird. Hierbei senkt sich der Randbereich des glasartigen Flächensubstrates und neigt sich auf die Oberfläche des dickenreduzierten Randbereiches 2 und schließt mit dieser einen gasfesten Zusammenschluss ein.

Im weiteren wird gemäß Fig. 1e der Tempervorgang unter Normal- oder Überdruckbedingungen fortgeführt, wodurch sich das glasartige Material des Flächensubstrates in die Vertiefungen 5 vollständig absinkt. Die treibende Kraft, mit der das plastische Glasmaterial in die Strukturöffnungen hineingetrieben wird, ist zwar grundsätzlich das innerhalb der Strukturöffnungen eingeschlossene Vakuum, doch kann der Vorgang durch etwaig vorhandene Überdruckbedingungen innerhalb des Temperofens unterstützt werden. Bei konstanter Temperatur und entsprechender Prozesszeit haben jedoch die Materialeigenschaften des glasartigen

Flächensubstrates den entscheidenden Einfluss auf die Ausprägung und Genauigkeit der Strukturabformung.

Nach entsprechendem Erkalten beider nun innig miteinander verzahnten Flächensubstrate erfolgt ein Materialabtrag mittels geeigneter Schleif- und/oder Polierprozessen. Je nach späterer Verwendungsweise kann gemäß Fig. 1f das glasartige Flächensubstrat von oben in der Weise abgetragen werden, so dass das glasartige Flächensubstrat bündig mit der strukturierten Oberfläche des Halbleiter-Flächensubstrates abschließt.

Fig. 1g zeigt schließlich das Ergebnis eines weiteren Materialabtrageprozesses, der die über die strukturierten Bereiche hinausstehenden, entsprechenden Flächensubstratanteile (siehe hierzu Fig. 1c, 1d) beseitigt. In diesem Stadium wird ein feinst strukturiertes glasartiges Flächensubstrat erhalten, das vollständig mit einer Vielzahl von Halbleiter-Durchbrüchen durchsetzt ist. Nach entsprechendem Materialabtrag des an der Unterseite befindlichen, überstehenden Halbleitermaterials gemäß Figur 1g wird eine Verbundkomponente erhalten, wie nachstehend erläutert wird, die zur selektiven elektrischen Kontaktierung von mikroelektronischen Bauelementen dient.

Alternativ ist es auch möglich, beide Flächensubstrate beispielsweise nach vollendeter Abkühlung im Anschluss an den Tempervorgang voneinander zu trennen, indem eine geeignete Trennschicht zwischen beiden Flächensubstraten eingebracht wird. So ist es insbesondere möglich, dass durch Aufbringen geeigneter Trennschichten eine Wiederverwendung des vorstrukturierten Halbleiter-Flächensubstrates möglich ist, wodurch die Verfahrenskosten weiter reduziert werden können. Hierzu ist es erforderlich, dass vor dem Verbinden beider Flächensubstrate eine oder mehrere Trennschichten zwischen beiden Flächensubstraten eingebracht werden. Prinzipiell gibt es hierzu mehrere Möglichkeiten:

a) Auf dem Halbleiter-Flächensubstrat, bspw. Si-Wafer, wird eine Kohlenstoffschicht oder Diamantschicht oder diamantähnliche Schicht oder SiC aufgebracht, die ein Ankleben des Glases am Silizium unterbindet. Die Verbindung des Si-Wafers mit dem Glaswafer wird durch einen Ring aus einem Lot erreicht, der die beiden Wafer am Waferrand vakuumdicht verbindet. Zwar wird das Lot bei der Prozesstemperatur bei der das Glasfließen stattfindet flüssig, die schlechte Benetzung der unbeschichteten Glas bzw. Kohlenstoffschichten verhindert jedoch, daß das Lot zu weit zwischen die Wafer eindringen kann. Die Trennung der beiden Wafer kann entweder rein mechanisch erfolgen, der Lotring kann auch durch Ätzen entfernt werden oder aber die Kohlenstoffschicht wird durch einen Oxidationsprozess (ca. 400 – 500°C unter Sauerstoff) zwischen den beiden Substraten abgetragen. Vor einen weiteren Einsatz des Siliziumwafers müssen diese Schichten unter Umständen diese Trennschicht erneut aufgetragen werden.

b) Auf dem Si-Wafer wird eine Haftvermittlungsschicht aus einem geeigneten Metall aufgebracht z.B. Tantal. Auf dieser Schicht wird ein weiteres Metall aufgebracht, z.B. Zinn. Zinn verhindert ebenfalls ein Ankleben des Glases am Silizium und ist während des Glasfließprozesses flüssig. Die Trennung der beiden Wafer kann entweder während eines weiteren Temperschnitt oberhalb des Schmelzpunkts von Zinn rein mechanisch erfolgen oder aber das Metall wird selektiv zum Silizium und Glas herausgeätzt.

c) Auf dem Siliziumwafer wird eine zweite Schicht aufgebracht, mit der direkt der Glaswafer verbunden werden kann (z.B. durch anodic bonding). Beispiele hierfür wären Silizium, Titan, Aluminium oder Tantal. Am Ende des gesamten Prozesses wird diese Opferschicht durch Ätzen selektiv zum Glas oder Silizium entfernt. Um zu vermeiden, dass der ursprüngliche Si-Wafer angegriffen wird, kann der Wafer auch mit geeigneten Schichten versehen werden, z.B. Siliziumnitrid oder Siliziumcarbid.

Mit den geeigneten Trennschichten kann der Herstellungsprozess so abgewandelt werden, daß der Siliziumwafer mehrfach eingesetzt werden kann. Unter Umständen müssen die Trennschichten vor einem erneuten Einsatz wieder aufgebracht werden.

Der nach dem Abtrennen des Siliziumwafers erhaltene strukturierte Glaswafer muß schließlich nur noch auf der Rückseite abgeschliffen werden, um komplette Durchbrüche zu erhalten. Diese Durchbrüche können in einem weiteren Prozeß z.B. galvanisch mit Metallen aufgefüllt werden

Im allgemeinen erfolgt in der Mikroelektronik und Mikrosystemtechnik die elektrische Kontaktierung von Chips über am Rand der Chips liegende Pads. In einer Reihe von Anwendungsfällen ist dies jedoch nachteilhaft und daher nicht gewünscht.

Beispielsweise

- aus elektrischen Gründen, um Signalverluste zu reduzieren, z.B. bei kleinen kapazitiven Signalen oder bei HF-Signalen. Die elektrische Durchführung bietet einen geringeren Serienwiderstand, geringere Streukapazitäten und geringere Induktivitäten als die Kontaktierung über den Rand.
- aus Platzgründen. Dies gilt insbesondere für Systeme, die nahtlos arrayförmig aus mehreren Chips zusammengesetzt werden müssen, z.B. großflächige Detektorenarrays oder Mikrospiegelarrays. In diesen Fällen muß bei den inneren Chips auf den Padbereich verzichtet werden. Aber auch bei Einzelbauelementen gibt es oftmals Platzprobleme, z.B. bei medizinischen Mikrosonden (Elektroden zur Stimulation oder Registrierung).
- wenn mehrere funktionale Chips übereinandergestapelt werden und einen Stack bilden. Beispielsweise kann die oberste Ebene aus Sensoren (z.B. optische) bestehen und in dem Chip darunter die Signalverarbeitungselektronik liegen.
- Probe-Cards bestehen aus Mikrokontaktarrays zum automatisierten elektrischen Test von Chips, Wafern oder Leiterplatten. In diesem Fall ist aus elektrischen Gründen, bei größeren Probe-Cards auch aus Platzgründen eine Durchkontaktierung gewünscht.

In eben jenen Fällen ist eine Durchkontaktierung durch den Chip eine Alternative, die mit einem erfindungsgemäß prozessierten Glassubstrat möglich ist.

Figur 2 zeigt eine schematisierte Draufsicht auf ein prozessiertes Glaswafer (weißer Bereich), der mit elektrischen Kontakten (schwarze Bereiche) durchsetzt ist. Eine

derartige Struktur ist im Verfahrensschritt gemäß der Figur 1g erhältlich. Die elektrischen Kontakte durch den Glaswafer können aus hochleitendem Silizium (Verfahren ohne Trennschicht) oder aus Metallen bestehen (Verfahren mit Trennschicht und nachfolgendem Aufmetallisieren der freien Durchbrüche innerhalb des Glaswafers).

Besonders vorteilhaft erscheint die Verwendung derartig strukturierter Substrate für den Aufbau mikromechanischer Komponenten für den Hochfrequenzbereich 1- 100 GHz. Ein konkretes Beispiel hierzu ist der Figur 3 a) und b) zu entnehmen. In diesem Beispiel wird auf einem Glassubstrates mit elektrischen Durchführungen ein mikromechanisches Bauelement (mikromechanischer Schalter) aufgebaut (Fig. 3a). Am Ende des gesamten Herstellungsablaufs wird die gesamte Struktur hermetisch mit einem Deckelwafer im Wege eines Lötprozesses verkappt, wobei auch die elektrischen Kontakte zwischen beiden Wafern hergestellt werden. Alternativ können die elektrischen Kontakte auch in den Deckel eingebracht werden (Fig. 3b).

Auch dienen die in Figur 2 dargestellten elektrischen Kontaktbereiche der gezielten Wärmeabführung. Einsatzbereiche sind denkbar bei Anwendungen, bei denen in einem Glassubstrat in bestimmten Bereichen Wärme abgeführt werden muß. Die Silizium- oder Metaldurchführungen dienen hier also als Wärmeleitpfade.

In Figur 4 ist ein Ausführungsbeispiel für ein Siliziumwafer (schwarze Bereiche) dargestellt, der zu Zwecken isolierter elektrischer Durchführungen ringförmige Glasbereiche (weiße Bereiche) aufweist. Eine derartige Struktur kann auch in etwas abgewandelter Form im Rahmen des Verfahrensschrittes gemäß Figur 1 g erhalten werden. Derartige Siliziumwafer, bei denen in bestimmten Bereichen aus elektrischen, thermischen oder optischen Gründen Glas eingearbeitet sind, eignen sich für eine Vielzahl unterschiedlicher Anwendungsfälle:

- Siliziumwafer mit thermisch isolierten Bereichen

Für diese Anwendungen sind die Strukturen nach den Figuren 1f oder 1g geeignet. Thermisch isolierte Bereiche auf Siliziumwafern sind insbesondere bei thermischen

Sensoren erforderlich, zum Beispiel bei Thermopiles, Bolometern oder pyroelektrischen Sensoren. Für diese Sensortypen werden bislang Membranstrukturen im oder auf dem Chip erzeugt, um die thermische Isolation zu gewährleisten. Diese Sensoren sind jedoch aus Stabilitätsgründen nicht für Einsatzbereiche mit hoher mechanischer Belastung geeignet.

- Siliziumwafer mit optischen Fenstern

Hierzu können die Strukturen gemäß der Figuren 1f oder 1g eingesetzt werden. Einsatzmöglichkeiten sind z.B. Lichtkollimatoren mit spezifischer Formgebung oder Kollimatorarrays mit engen Öffnungen.

- Siliziumwafer mit elektrisch isolierten Bereichen

Hierzu sind ebenfalls die Strukturen gemäß der Figuren 1f oder 1g nutzbar. Auf den Glasbereichen können insbesondere passive HF-Bauelemente (z.B. Induktivitäten) oder MEMS-Bauelemente mit hoher Güte platziert werden. Auf reinen Siliziumsubstraten können aufgrund der Verluste im Substrat keine hohen Güten erreicht werden.

Zur Herstellung derartiger Siliziumwafer, die über elektrisch leitende Verbindungsstrukturen verfügen, die den Siliziumwafer senkrecht durchsetzen, sei zur Illustration auf die Figur 5 verwiesen, in der in schematischer Abfolge bevorzugte Teilprozessschritte gezeigt sind:

Nach Abschluß einer Strukturierung eines Siliziumsubstrates, das in Schritt a schräg schraffiert ist, wie auch in den folgenden Prozessschritten, die vorzugsweise in gleicher Weise wie im Teilverfahrensschritt gemäß Figur 1 b durchgeführt wird, wird in einem darauffolgenden Schritt (b) eine zusätzliche Metallschicht (siehe dünn schraffierter Schicht) möglichst strukturkonform auf das strukturierte Siliziumsubstrat aufgebracht. Die Metallabscheidung kann mit an sich bekannten Verfahrenstechniken bspw. im Wege eines Abscheideprozesses durch Bedampfen erfolgen. Eine zusätzliche Schutz- oder Barrierschicht zwischen dem Siliziumsubstrat und der Metallschicht kann optional zuvor aufgebracht werden, z.B.

in Form einer thermischen SiO<sub>2</sub>-Schicht. Hierdurch können Reaktionen zwischen dem Silizium und dem Metall vermieden werden.

Nach Verbinden der Glaswafer (siehe gepunktete Schicht) mit dem metallisierten Substrat unter Vakuumbedingungen (Prozessschritt c) erfolgt das Auffüllen der zwischen dem Glaswafer und dem Siliziumsubstrat eingeschlossenen Kavitäten durch Hineinfließen des Glases im Wege eines Tempervorganges, wie eingangs beschrieben (d). Das überstehende Glasmaterial bzw. das Silizium wird schließlich durch Schleifen und Polieren auf beiden Seiten des Siliziumsubstrats entfernt (siehe Prozessschritte e und f). Dabei werden ebenfalls die metallisierten Bereiche auf bzw. zwischen den sich ergebenden Siliziumdurchführungen bzw. Siliziumstegen entfernt. Übrig bleiben Siliziumareale (Siliziumstifte) die durch eine dünne Metallschicht verstärkt und wiederum von Glas umgeben sind. Ziel ist es die vergleichsweise schlechte elektrische Leitfähigkeit reiner Siliziumdurchführungen hierdurch deutlich zu verbessern. Auf diese Weise können Anschlussstrukturen für mikrosystemtechnische Systeme einfach und günstig hergestellt werden.

Generell ist die Herstellung hermetisch dichter Verbindungen bereits auf Waferenebene ein sehr wichtiges Thema in der Mikrosystemtechnik. Bewegliche Mikrostrukturen müssen in jedem Fall gegen widrige Umweltbedingungen geschützt werden, am besten noch auf Waferenebene. Neben den Kostenaspekten die für eine Verkapselung auf Waferenebene sprechen, spielt vor allem ein Schutz gegenüber den notwendigen Vereinzelungsprozessen eine sehr wichtige Rolle. Da zudem häufig eine hermetisch dichte Versiegelung erforderlich ist, ergibt sich zwangsläufig das Problem der elektrischen Durchführungen unterhalb der Versiegelungsflächen. In diesem Zusammenhang die Verkapselung von mikroelektronischen Bauelementen betreffend unterstützt das erfindungsgemäße Verfahren die CSP-Technologie (Chip Side Packaging).

Im Falle der Siliziumsensoren haben sich Verfahren auf der Basis von Glasloten bewährt, allerdings werden dabei Prozesstemperaturen von ca. 400°C benötigt, eindeutig zu hoch etwa für metallische Mikroelemente. Zudem eignen sich

Verbindungstechniken auf der Basis von Glasloten nur zum Versiegeln über eine vergleichsweise niedrige Topographie (ca.  $0.5\mu\text{m}$ ).

Hermetisch dichte Verbindungen bei Temperaturen unterhalb  $250 - 300^\circ\text{C}$  lassen sich andererseits durch Löten herstellen. Hier ergibt sich allerdings zwangsläufig das Problem, daß die Zuleitungen bei den zur Verfügung stehenden Isolationsmaterialien und deren prozesstechnisch herstellbaren Schichtdicken stark miteinander kapazitiv gekoppelt sind. Daher scheiden solche Durchführungen für die Herstellung von mikromechanischen Bauelementen für hohen Frequenzen eigentlich aus. Nur durch die Verwendung von Durchführungen durch das Substrat oder den Deckel hindurch ist eine ausreichende Trennung der Leitungen möglich.

Neben den bereits genannten Aspekten spricht für die Herstellung von Durchführungen auch die verbesserte Handhabung des kompletten Chips. Insbesondere eignen sich solcherart aufgebaute Bauelemente auch für die Nutzung innerhalb von Flip-chip Prozessen oder sogar der Verwendung des Chips direkt in der Leiterplattenbestückung z.B. als SMD Bauteil.

In den Figuren 6 a und b sind mögliche Ausführungsbeispiele für ein Deckelelement gezeigt, die mit dem vorstehenden Verfahren herstellbar sind und eine Nutzung der Durchführungen zum hermetisch dichten Verkappen bereits auf Waferebene ermöglichen. Das Verkappen auf Waferebene erlaubt das gleichzeitige Versiegeln zahlreicher Bauteile und ist deswegen besonders kostengünstig.

In diesem Beispiel werden aufbauend auf den beschriebenen Herstellungsprozessen von kombinierten Glas-Siliziumsubstraten zwei Deckelwafer beschrieben, die aus großen Teilen Siliziums bestehen. Wieder gilt die Konvention, dass schraffierte Bereiche Halbleiterbereiche, vorzugsweise Si, darstellen, gepunktete Bereiche Glasbereiche und die dünnen, schraffierten Schichtbereiche elektrisch leitende Bereiche, bspw. Gold, darstellen.

Die Durchführungen aus Silizium - je nach Erfordernisse zusätzlich mit einem Metall umhüllt oder auch nicht - sind vom Rest des Substrates durch einen breiten Ring aus Glas getrennt, der typischerweise eine Dicke von 50- 200  $\mu\text{m}$  aufweist. Nach Fertigstellung des kombinierten Glas-Siliziumsubstrates werden in zusätzlichen Bearbeitungsschritten eine Grube in die Vorderseite des Substrates hineingeätzt, um Platz für eine zu kapselnde Sensorstruktur zu schaffen, und Durchführungen mit einem Metall, vorzugsweise Gold sowohl auf der Ober- als auch der Unterseite beschichtet. Zusätzlich werden die begrenzenden Areale der Chips mit einer ringförmigen Metallschicht versehen (kann unter Umständen die gleiche Metallisierung der Kontakte sein Beispiel: Gold).

Der so aufgebaute Deckelwafer kann anschließend auf einen Sensorchip gebondet bzw. gelötet werden, auf den in diesem Zusammenhang nicht weiter eingegangen wird. Üblicherweise werden heute jedoch zwei Chips mittels Drahtbonden verbunden. Da die hierfür notwendigen Verbindungsdrähte, die sogenannten bond loops, nicht immer die gleiche Geometrie aufweisen, variieren die dadurch induzierten parasitären Kapazitäten und Induktivitäten von Chip zu Chip und begrenzen schlußendlich die Auflösungsgrenzen der gesamten Sensoren. Dem gegenüber ist eine Flip-chip Montage eines Sensors bspw. auf einen ASIC unter Verwendung des beschriebenen Deckelwafers geradezu ideal, zumal die Verbindungen nicht nur immer in ihrer Geometrie identisch sind, sondern auch noch besonders kurz.

Ferner sei darauf hingewiesen, dass das erfindungsgemäße Verfahren die Parallel-Herstellung von einer Vielzahl von einzelnen strukturierten glasartigen Flächensubstrate ermöglicht, die überdies im Rahmen eines Batch-Verfahrens produziert werden können, wodurch sich das Verfahren auch unter den Gesichtspunkten der industriellen Massenfertigung hervorragend eignet.

## Patentansprüche

1. Verfahren zur Strukturierung eines aus glasartigem Material bestehenden Flächensubstrats,

**gekennzeichnet** durch die Kombination folgender Verfahrensschritte:

- Bereitstellen eines aus einem Halbleitermaterial bestehenden Halbleiter-Flächensubstrats,
- Dickenreduzieren des Halbleiter-Flächensubstrats innerhalb wenigstens eines Oberflächenbereiches des Halbleiter-Flächensubstrates zur Ausbildung eines gegenüber des dickenreduzierten Oberflächenflächenbereiches erhabenen Oberflächenbereiches,
- Strukturieren des erhabenen Oberflächenbereiches des Halbleiter-Flächensubstrats mittels lokalen mechanischem Materialabtrag, zum Einbringen von Vertiefungen innerhalb des erhabenen Oberflächenbereiches,
- Verbinden der strukturierten Oberfläche des Halbleiter-Flächensubstrats mit dem glasartigen Flächensubstrat derart, dass das glasartige Flächensubstrat zumindest teilweise den dickenreduzierten Oberflächenflächenbereich überdeckt,
- Tempern der verbundenen Flächensubstrate derart, dass in einer ersten Temperphase, die unter Unterdruckbedingungen durchgeführt wird, das den dickenreduzierten Oberflächenbereich überdeckende glasartige Flächensubstrat mit dem dickenreduzierten Oberflächenbereich eine fluiddichte Verbindung eingeht, wobei das Flächensubstrat die Vertiefungen unter Unterdruckbedingungen fluiddicht überdeckt, und dass in einer zweiten Temperphase ein Hineinfließen wenigstens von Teilbereichen des glasartigen Materials in die Vertiefungen der strukturierten Oberfläche des Halbleiter-Flächensubstrats erfolgt.

2. Verfahren zur Strukturierung eines aus glasartigem Material bestehenden Flächensubstrats,

**gekennzeichnet** durch die Kombination folgender Verfahrensschritte:

- Bereitstellen eines aus einem Halbleitermaterial bestehenden Halbleiter-Flächensubstrats,
- Dickenreduzieren des Halbleiter-Flächensubstrats innerhalb wenigstens eines Oberflächenbereiches des Halbleiter-Flächensubstrates zur Ausbildung eines gegenüber des dickenreduzierten Oberflächenflächenbereiches erhabenen Oberflächenbereiches,
- Strukturieren des erhabenen Oberflächenbereiches des Halbleiter-Flächensubstrats mittels lokalen mechanischem Materialabtrag, zum Einbringen von Vertiefungen innerhalb des erhabenen Oberflächenbereiches,
- Strukturkonformes Abscheiden einer Metallschicht auf dem strukturierten, erhabenen Oberflächenbereich,
- Verbinden der strukturierten, metallisierten Oberfläche mit dem glasartigen Flächensubstrat derart, dass das glasartige Flächensubstrat zumindest teilweise den dickenreduzierten Oberflächenflächenbereich überdeckt,
- Tempern der verbundenen Flächensubstrate derart, dass in einer ersten Temperphase, die unter Unterdruckbedingungen durchgeführt wird, das den dickenreduzierten Oberflächenbereich überdeckende glasartige Flächensubstrat mit dem dickenreduzierten Oberflächenbereich eine fluiddichte Verbindung eingeht, wobei das Flächensubstrat die Vertiefungen unter Unterdruckbedingungen fluiddicht überdeckt, und dass in einer zweiten Temperphase ein Hineinfließen wenigstens von Teilbereichen des glasartigen Materials in die Vertiefungen der strukturierten, metallisierten Oberfläche des Halbleiter-Flächensubstrats erfolgt.

3. Verfahren nach Anspruch 1 oder 2, dadurch **gekennzeichnet**, dass die Dickenreduzierung am Randbereich des Halbleiter-Flächensubstrats durchgeführt wird.

4. Verfahren nach Anspruch 3, dadurch **gekennzeichnet**, dass die Dickenreduzierung derart durchgeführt wird, dass der erhabene Oberflächenbereich von einer Begrenzungsfläche begrenzt und vom dickenreduzierten Randbereich zumindest teilweise umgeben wird.

5. Verfahren nach Anspruch 3 oder 4, dadurch **gekennzeichnet**, dass die Dickenreduzierung im Wege eines naßchemischen Ätzverfahrens oder eines mechanischen Materialbearbeitungsverfahrens durchgeführt wird.
6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch **gekennzeichnet**, dass das Strukturieren des erhabenen Oberflächenbereiches des Halbleiter-Flächensubstrats mittels lokalen mechanischem Materialabtrag derart erfolgt, dass mittels eines Abtragwerkzeuges Vertiefungen innerhalb des erhabenen Oberflächenbereiches eingearbeitet werden, die eine Strukturtiefe aufweisen, die sich maximal bis zur Ebene der dickenreduzierten Oberflächenbereich erstreckt.
7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch **gekennzeichnet**, dass als Abtragwerkzeug ein Säg- Schleif- oder Fräswerkzeug verwendet wird.
8. Verfahren nach Anspruch 6 oder 7, dadurch **gekennzeichnet**, dass das Abtragwerkzeug relativ zum Halbleiter-Flächensubstrat derart bewegt wird, dass das Abtragwerkzeug lateral über die Oberfläche des dickenreduzierten Oberflächenbereiches in den erhabenen Oberflächenbereich zum gezielten Materialabtrag verfahren wird.
9. Verfahren nach einem der Ansprüche 1 bis 8, dadurch **gekennzeichnet**, dass der Materialabtrag zu geradlinig oder gekrümmt verlaufenden Vertiefungskanälen innerhalb des erhabenen Oberflächenbereiches führt.

10. Verfahren nach Anspruch 9, dadurch **gekennzeichnet**, dass die Vertiefungskanäle zur Oberfläche des erhabenen Oberflächenbereiches geöffnet sind und die seitliche Begrenzungswand des erhabenen Oberflächenbereich offen durchtragen.
11. Verfahren nach einem der Ansprüche 1 bis 10, dadurch **gekennzeichnet**, dass das Verbinden des Halbleiter-Flächensubstrat mit dem strukturierten Flächensubstrat mittels anodischem oder thermischen Bondens erfolgt.
12. Verfahren einem der Ansprüche 1 bis 11, dadurch **gekennzeichnet**, dass während der zweiten Temperphase Normal- oder Überdruckbedingungen vorherrschen, die auf die vom Halbleiter-Flächensubstrat abgewandte Oberfläche des glasartigen Flächensubstrats einwirken.
13. Verfahren nach einem der Ansprüche 1 bis 12, dadurch **gekennzeichnet**, dass das Tempern durch Steuerung von Temperatur und Zeitdauer derart ausgeführt wird, dass das Hineinfließen des glasartigen Materials in die Vertiefungen des Halbleiter-Flächensubstrats beendet wird, wenn das glasartigen Material die Vertiefungen vollständig ausfüllt.
14. Verfahren nach einem der Ansprüche 1 bis 13, dadurch **gekennzeichnet**, dass nach dem Tempern ein flächiger Materialabtrag derart durchgeführt wird, dass das glasartige Flächensubstrat eine bündig zur strukturierten Oberfläche des Halbleiter-Flächensubstrats anschließende Oberfläche annimmt.
15. Verfahren nach einem der Ansprüche 1 bis 14, dadurch **gekennzeichnet**, dass an der Oberfläche des Halbleiter-Flächensubstrats, die der mit dem glasartigen Flächensubstrat verbundenen Oberfläche gegenüberliegt, Halbleitermaterial abgetragen wird, bis zumindest Teilbereiche des in

die Vertiefungen hineingeflossenen glasartigen Materials freigelegt sind, die bündig mit der Oberfläche des Halbleiter-Flächensubstrats abschließen.

16. Verfahren nach einem der Ansprüche 1, 3 bis 15, dadurch **gekennzeichnet**, dass das Halbleitermaterial vom glasartigen Flächensubstrat abgetrennt wird.

17. Verfahren nach Anspruch 16, dadurch **gekennzeichnet**, dass das Abtrennen des glasartigen Flächensubstrats vom Halbleiter-Flächensubstrat durch Wegätzen des Halbleitermaterials erfolgt.

18. Verfahren nach Anspruch 16, dadurch **gekennzeichnet**, dass das Abtrennen beider Flächensubstrate voneinander durch Vorsehen einer Trennschicht zwischen beiden Flächensubstraten erfolgt.

19. Verfahren nach Anspruch 18, dadurch **gekennzeichnet**, dass die Trennschicht vor dem Zusammenführen beider Flächensubstrate auf der strukturierten Oberfläche des Halbleiter-Flächensubstrats strukturertretend aufgebracht wird und als Opferschicht ausgebildet ist, die im Wege thermischer und/oder chemischer Einwirkung zerstört wird und ein Trennen beider Substrate voneinander ermöglicht.

20. Verfahren nach Anspruch 18 oder 19, dadurch **gekennzeichnet**, dass als Trennschicht eine Metallschicht eingesetzt wird, die einen Schmelzpunkt aufweist, der unterhalb der Schmelzpunkte der Substrate liegt.

21. Verfahren nach Anspruch 18 oder 19, dadurch **gekennzeichnet**, dass als Trennschicht eine oxidationsfähige Schicht eingesetzt wird, die sich unter Zufuhr von Sauerstoff und/oder thermischer Energie chemisch umwandelt.

22. Verfahren nach Anspruch 18 oder 19, dadurch **gekennzeichnet**, dass als Trennschicht eine Kohlenstoffschicht, Diamantschicht, diamantähnliche Schicht oder SiC eingesetzt wird.
23. Verfahren nach einem der Ansprüche 16 bis 22, dadurch **gekennzeichnet**, dass nach dem Abtrennen beider Flächensubstrate voneinander das glasartige Flächensubstrat mechanisch nachbearbeitet wird, zum Erhalt von das Flächensubstrat senkrecht durchsetzende Durchbrüche.
24. Verfahren nach Anspruch 23, dadurch **gekennzeichnet**, dass die Durchbrüche mit einem elektrisch leitfähigem Material aufgefüllt werden.
25. Verfahren nach einem der Ansprüche 2 bis 15, dadurch **gekennzeichnet**, dass vor dem strukturkonformen Abscheiden der Metallschicht auf dem strukturierten erhabenen Oberflächenbereich eine Schutzschicht auf das Halbleiter-Flächensubstrat zur Vermeidung von Reaktionen zwischen dem Halbleiter-Flächensubstrat und der Metallschicht abgeschieden wird.
26. Verfahren nach einem der Ansprüche 2 bis 15 oder 25, dadurch **gekennzeichnet**, dass vor dem Verbinden der strukturierten, metallisierten Oberfläche mit dem glasartigen Flächensubstrat wenigstens Teilbereiche der metallisierten Oberfläche abgetragen werden.
27. Verfahren nach einem der Ansprüche 1 bis 26, dadurch **gekennzeichnet**, dass das glasartige Material und das Halbleitermaterial über nahezu die gleichen thermischen Ausdehnungskoeffizienten verfügen.
28. Verfahren nach einem der Ansprüche 1 bis 27, dadurch **gekennzeichnet**, dass das aus einem glasartigen Material bestehende Flächensubstrat ein Bor-Silikat-Glas ist.

29. Verfahren nach einem der Ansprüche 1 bis 28, dadurch **gekennzeichnet**, dass das Halbleiter-Flächensubstrat ein Siliziumsubstrat ist.
30. Verfahren nach Anspruch 25 und 29, dadurch **gekennzeichnet**, dass als Schutzschicht thermisches SiO<sub>2</sub> abgeschieden wird.
31. Verfahren nach einem der Ansprüche 1 bis 30, dadurch **gekennzeichnet**, dass das Strukturieren des Halbleiter-Flächensubstrats zu Vertiefungen mit Strukturdimensionen im Mikro- und/oder sub-Mikrometer-Bereich führt.
32. Verfahren nach einem der Ansprüche 1 bis 31, dadurch **gekennzeichnet**, dass die Vertiefungen ein Aspektverhältnis (Höhe bzw. Tiefe:Breite) von 10:1 aufweisen.
33. Glasartiges Flächensubstrat, hergestellt nach einem Verfahren nach den Ansprüchen 1 bis 32, dadurch **gekennzeichnet**, dass das glasartige Flächensubstrat senkrecht zur Substratoberfläche von Durchbrüchen durchsetzt ist, in denen elektrisch leitfähiges Material vorgesehen ist.
34. Glasartiges Flächensubstrat nach Anspruch 33, dadurch **gekennzeichnet**, dass die mit elektrisch leitfähigen Material gefüllten Durchbrüche arrayförmig angeordnet sind.
35. Verwendung des glasartigen Flächensubstrats nach Anspruch 33 oder 34 zur elektrischen Kontaktierung von Bauelementen aus der Mikroelektronik oder Mikromechanik.

36. Verwendung des Verfahrens nach einem der Ansprüche 1 bis 15 oder 25 bis 32 zur Herstellung eines mit einem glasartigen Material durchsetzten Halbleiter-Flächensubstrats.

37. Halbleiter-Flächensubstrats hergestellt nach Anspruch 36, dadurch **gekennzeichnet**, dass das Halbleiter-Flächensubstrat ein Siliziumwafer ist, der zu Zwecken der elektrischen und/oder thermischen Isolation oder aus Gründen optischer Transparenz den Siliziumwafer zumindest teilweise durchsetzende glasartige Materialbereiche aufweist.

38. Halbleiter-Flächensubstrat nach Anspruch 36 oder 37, dadurch **gekennzeichnet**, dass die den Siliziumwafer zumindest teilweise durchsetzenden glasartigen Materialbereiche wenigstens einen Halbleiterbereich umschließen, und dass zumindest zwischen dem umschlossenen Halbleiterbereich und den glasartigen Materialbereichen eine Metallschicht vorgesehen ist.

39. Halbleiter-Flächensubstrat nach Anspruch 38, dadurch **gekennzeichnet**, dass der umschlossene Halbleiterbereich beidseitig jeweils mit einer Elektrodenstruktur bedeckt ist, die jeweils die den Halbleiterbereich umschließende Metallschicht kontaktieren.

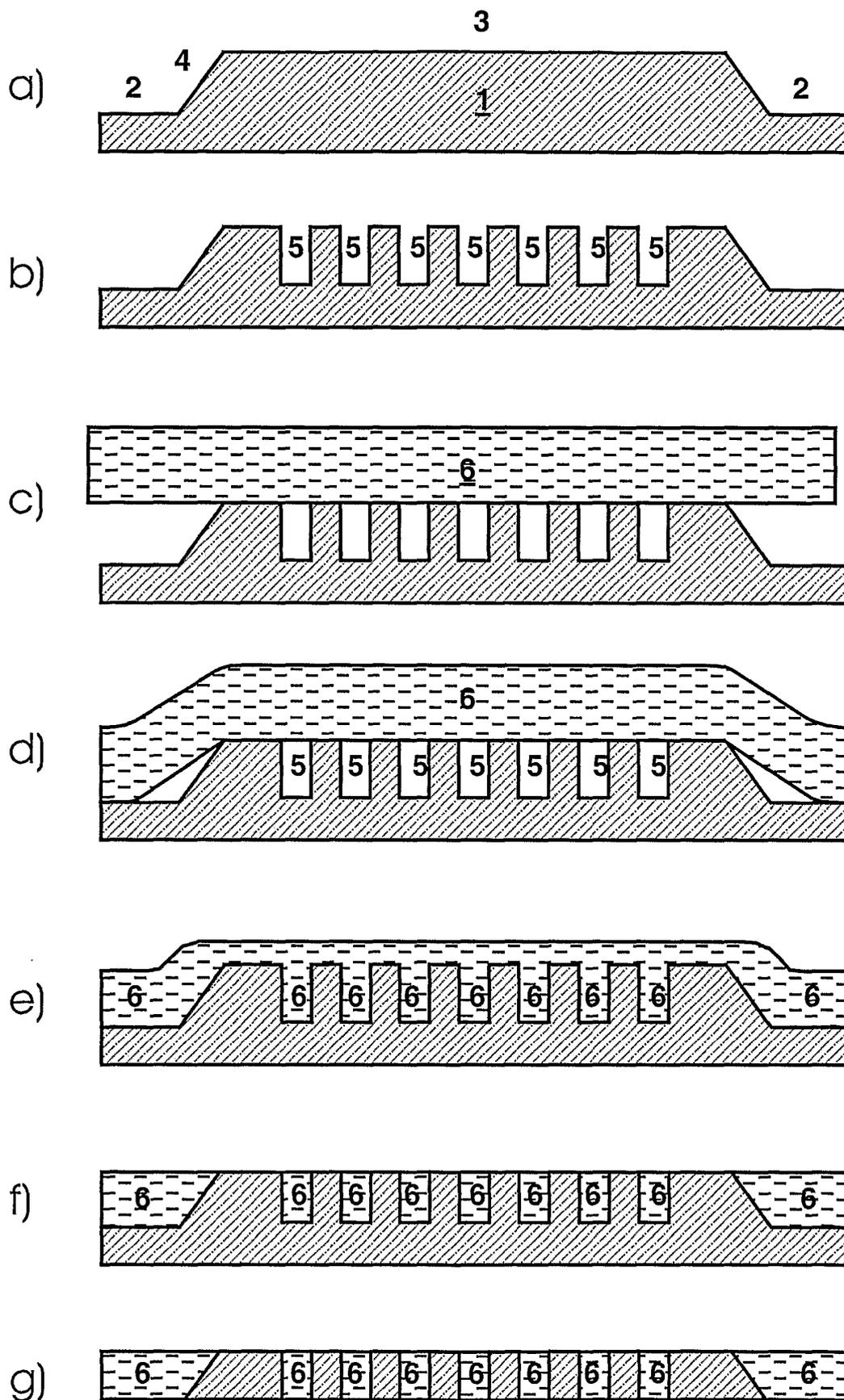
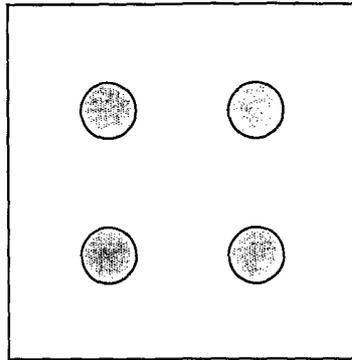
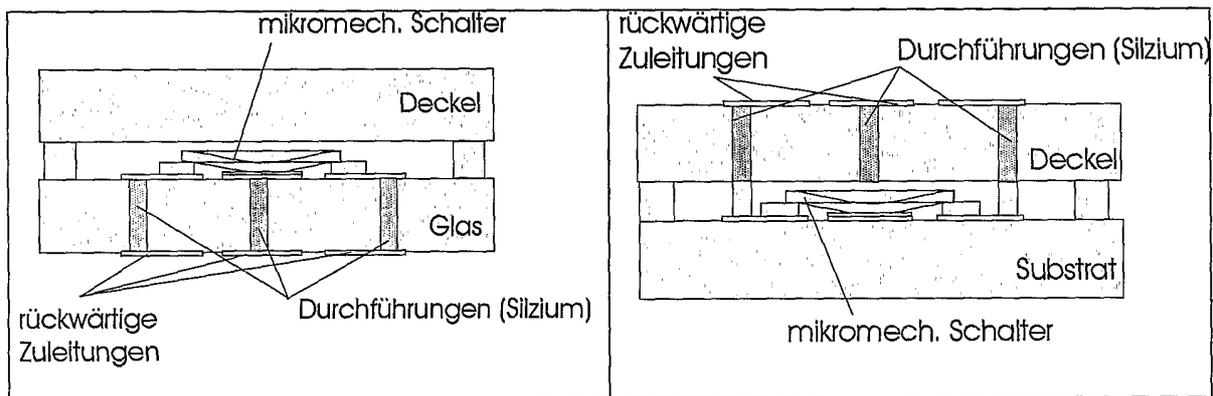


Fig. 1



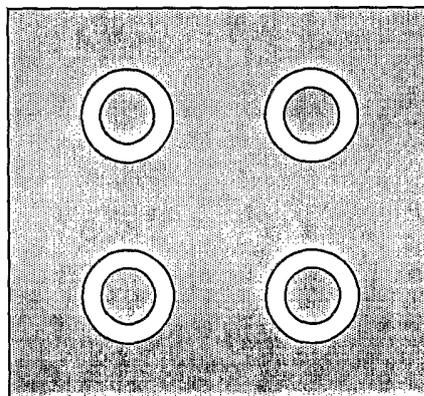
**Fig. 2**



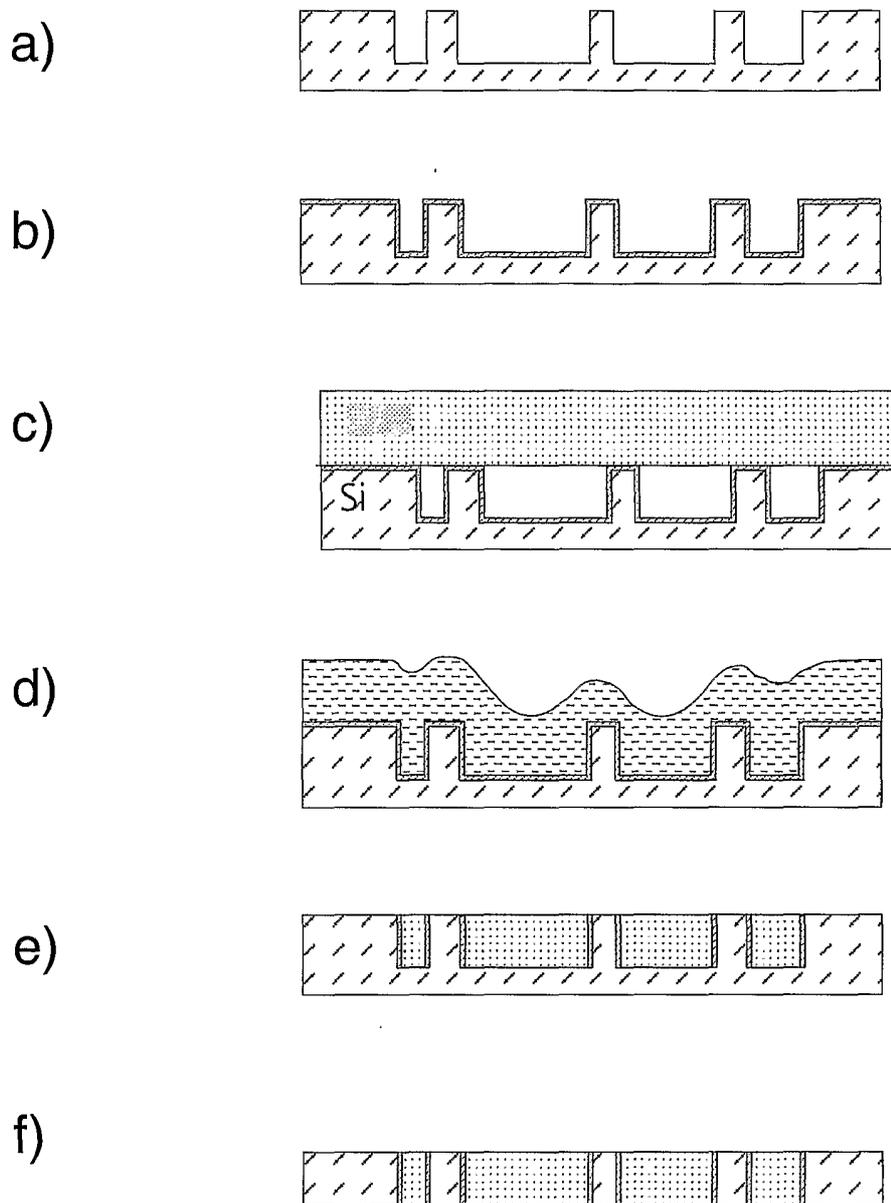
a)

**Fig. 3**

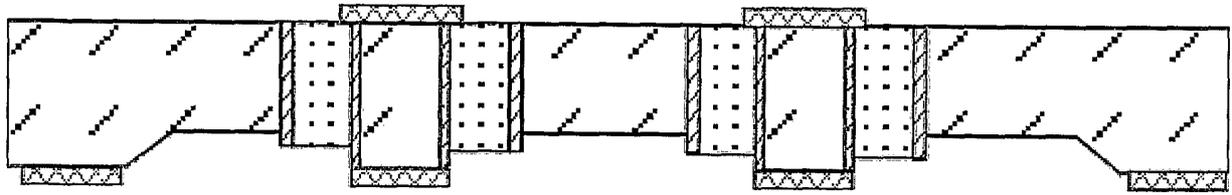
b)



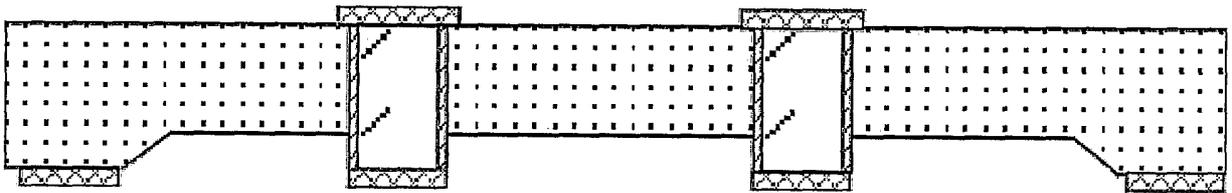
**Fig. 4**



**Fig. 5**



a)



b)

**Fig. 6**

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/09328

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>				
IPC 7	H01L21/20	B81C1/00	C03B19/02	C03B23/02
According to International Patent Classification (IPC) or to both national classification and IPC				

<b>B. FIELDS SEARCHED</b>				
Minimum documentation searched (classification system followed by classification symbols)				
IPC 7	H01L	B81C	C03B	

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
---

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
--

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	WO 02 073684 A (FRAUNHOFER-GZFDAF E.V.) 19 September 2002 (2002-09-19) cited in the application the whole document	1, 33, 35
A	GB 2 241 233 A (HARNETT M) 28 August 1991 (1991-08-28) abstract	1, 33, 35
A	US 6 030 829 A (DANNOUX T L A ET AL) 29 February 2000 (2000-02-29) abstract	1, 33, 35
A	WO 99 01893 A (MAX-PLANCK-GZFDW E.V.) 14 January 1999 (1999-01-14) abstract	1, 33, 35

<input type="checkbox"/> Further documents are listed in the continuation of box C.	<input checked="" type="checkbox"/> Patent family members are listed in annex.
---	--

- ° Special categories of cited documents :
- |  |  |
|--|--|
| <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> | <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&amp;" document member of the same patent family</p> |
|--|--|

Date of the actual completion of the international search	Date of mailing of the international search report
24 February 2004	02/03/2004

Mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer  Stroud, J
---	-------------------------------------

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 03/09328

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 02073684	A	19-09-2002	DE 10118529 C1	17-10-2002
			WO 02073684 A1	19-09-2002
			EP 1371092 A1	17-12-2003
GB 2241233	A	28-08-1991	NONE	
US 6030829	A	29-02-2000	FR 2741357 A1	23-05-1997
			DE 69609345 D1	17-08-2000
			DE 69609345 T2	08-03-2001
			EP 0862540 A1	09-09-1998
			JP 2000504299 T	11-04-2000
			WO 9719027 A1	29-05-1997
WO 9901893	A	14-01-1999	DE 19730975 A1	07-01-1999
			WO 9901893 A2	14-01-1999
			EP 0996967 A2	03-05-2000
			JP 2002511981 T	16-04-2002
			US 2003017712 A1	23-01-2003

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/09328

<b>A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES</b> IPK 7 H01L21/20 B81C1/00 C03B19/02 C03B23/02		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
<b>B. RECHERCHIERTE GEBIETE</b>		
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 H01L B81C C03B		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)		
<b>C. ALS WESENTLICH ANGESEHENE UNTERLAGEN</b>		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
P, A	WO 02 073684 A (FRAUNHOFER-GZFDAF E.V.) 19. September 2002 (2002-09-19) in der Anmeldung erwähnt das ganze Dokument	1, 33, 35
A	GB 2 241 233 A (HARNETT M) 28. August 1991 (1991-08-28) Zusammenfassung	1, 33, 35
A	US 6 030 829 A (DANNOUX T L A ET AL) 29. Februar 2000 (2000-02-29) Zusammenfassung	1, 33, 35
A	WO 99 01893 A (MAX-PLANCK-GZFDW E.V.) 14. Januar 1999 (1999-01-14) Zusammenfassung	1, 33, 35
<input type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche  24. Februar 2004		Absenddatum des internationalen Recherchenberichts  02/03/2004
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter  Stroud, J

**INTERNATIONALER RECHERCHENBERICHT**

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 03/09328

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 02073684	A	19-09-2002	DE 10118529 C1	17-10-2002
			WO 02073684 A1	19-09-2002
			EP 1371092 A1	17-12-2003
-----				
GB 2241233	A	28-08-1991	KEINE	
-----				
US 6030829	A	29-02-2000	FR 2741357 A1	23-05-1997
			DE 69609345 D1	17-08-2000
			DE 69609345 T2	08-03-2001
			EP 0862540 A1	09-09-1998
			JP 2000504299 T	11-04-2000
			WO 9719027 A1	29-05-1997
-----				
WO 9901893	A	14-01-1999	DE 19730975 A1	07-01-1999
			WO 9901893 A2	14-01-1999
			EP 0996967 A2	03-05-2000
			JP 2002511981 T	16-04-2002
			US 2003017712 A1	23-01-2003
-----				