(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0088607
(43) 공개일자 2011년08월04일

(51) Int. Cl.
H01L 21/365 (2006.01) *H01L 27/115* (2006.01)
H01L 21/205 (2006.01)
(21) 출원번호 10-2010-0008175
(22) 출원일자 2010년01월29일
심사청구일자 2010년01월29일

(71) 출원인
충남대학교산학협력단
대전 유성구 궁동 220 충남대학교
(72) 발명자
윤순길
대전 서구 삼천동 국화아파트 506-607
안준구
대전광역시 서구 갈마동 296-1 한나빌라 101호
(74) 대리인
김원준

전체 청구항 수 : 총 5 항

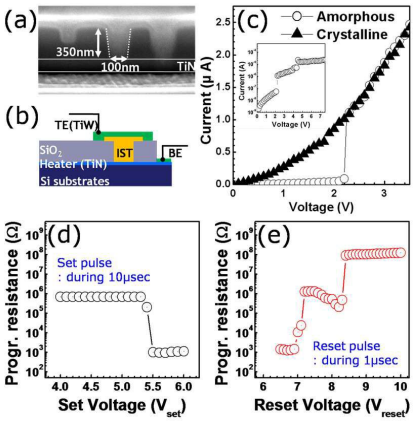
(54) 화학증착법에 의한 In-Sb-Te 박막의 형성방법 및 이를 이용한 상변화 메모리 소자의 제조방법

(57) 요 약

본 발명은 300℃ 이하의 저온에서 상변화 메모리 재료인 In-Sb-Te의 박막을 제조할 수 있는 방법 및 이를 이용한 상변화 메모리 소자의 제조방법에 관한 것으로, 보다 구체적으로 In, Sb 및 Te의 소스 증기를 진공 챔버 내의 기판 상에서 반응시키는 유기금속 화학증착법에 의하며, 상기 반응 시의 챔버 내의 압력이 상기 반응 시 기판의 온도가 150~230℃이고 챔버 내의 압력이 1~15 Torr이거나, 기판의 온도가 230~300℃이고 챔버 내의 압력이 1~7 Torr인 것을 특징으로 하는 유기금속 화학증착법에 의한 상변화 메모리 소자용 In-Sb-Te 박막의 형성방법 및 이를 이용한 상변화 메모리 소자의 제조방법에 관한 것이다.

본 발명에 의하면 종래 기술에 의한 상변화 소재인 GST의 대체물질인 IST 박막을 300℃ 이하의 저온에서 용이하게 형성할 수 있으며, 트렌치 구조를 높은 step-coverage로 채울 수 있어 상변화 메모리 소자의 제조에 효율적으로 활용할 수 있다.

대 표 도 - 도6



이 발명을 지원한 국가연구개발사업
과제고유번호 20090079164
부처명 한국과학재단
연구관리전문기관
연구사업명 중견연구자(도약연구)지원사업
연구과제명 신개념의 융합증착기술(Nano-Cluster Deposition)에 의한 유연성 전자소자개발
기여율
주관기관 충남대학교산학협력단
연구기간 2009.05.01~2010.02.28

특허청구의 범위

청구항 1

상변화 메모리 소자용 In-Sb-Te 박막의 형성방법에 있어서,

In, Sb 및 Te 전구체의 증기를 진공 챔버 내의 기판 상에서 반응시키는 유기금속 화학증착법에 의하며,

상기 반응 시의 챔버 내의 압력이 상기 반응 시 기판의 온도가 150~230℃이고 챔버 내의 압력이 1~15 Torr이거나,

기판의 온도가 230~300℃이고 챔버 내의 압력이 1~7 Torr인 것을 특징으로 하는 유기금속 화학증착법에 의한 상변화 메모리 소자용 In-Sb-Te 박막의 형성방법.

청구항 2

제 1 항에 있어서,

상기 In 전구체는 $In(CH_3)_3$, $In(C_2H_5)_3$, $In(C_{11}H_{19}O_2)_3$, 또는 $In(OOCCH_3)_3$이고,

상기 Sb 전구체는 $Sb(CH_3)_3$, $Sb(C_2H_5)_3$ 또는 $Sb(i\text{-}C_3H_7)_3$이며,

상기 Te 전구체는 $Te(CH_3)_2$, $Te(C_2H_5)_2$, $Te(i\text{-}C_3H_7)_2$ 또는 $Te(t\text{-}C_4H_9)_2$인 것을 특징으로 하는 In-Sb-Te 박막의 형성방법.

청구항 3

제 1 항에 있어서,

상기 In-Sb-Te 박막에서 In:Sb:Te의 몰비는 2.5~3.5 : 0.5~1.5 : 2.0~4.0 인 것을 특징으로 하는 In-Sb-Te 박막의 형성방법.

청구항 4

제 1 항에 있어서,

상기 In-Sb-Te 박막은 멀티-비트 메모리 특성을 나타내는 것을 특징으로 하는 In-Sb-Te 박막의 형성방법.

청구항 5

하부전극이 노출된 트렌치 구조의 절연층, 상기 트렌치 구조를 채우는 상변화 메모리 소재의 박막, 상기 박막 상에 적층된 상부 전극으로 이루어진 메모리 소자의 형성방법에 있어서,

상기 상변화 메모리 소재의 박막이 In-Sb-Te 박막으로,

제1항 내지 제 4 항 중 어느 하나의 방법에 의해 형성되는 것을 특징으로 하는 상변화 메모리 소자의 제조방법.

명 세 서

기 술 분 야

[0001] 본 발명은 300℃ 이하의 저온에서 상변화 메모리 재료인 In-Sb-Te의 박막을 제조할 수 있는 방법 및 이를 이용한 상변화 메모리 소자의 제조방법에 관한 것이다.

배 경 기 술

[0002] 반도체 메모리소자는 휘발성 메모리소자인 DRAM(Dynamic random access memory)과 비 휘발성 메모리소자인 NVRAM(non-volatile random access memory) 소자로 구분된다. DRAM은 시장 규모가 크지만 기억된 정보가 휘발성이기 때문에 매우 짧은 주기로 동일한 정보를 다시 기억시켜야 하므로 많은 전력을 소모하게된다. 이에 NVRAM 소자로서 DRAM정도의 저장밀도와 SRAM(Static RAM)정도의 동작 속도를 만족시키면서 저가의 특성을 갖춘 차세대 메모리에 많은 관심을 갖게되었다.

[0003] 이중, 상변화 메모리(일명 OUM;Ovonic Unified Memory, PRAM : Phase-Change RAM 또는 CRAM:Chalcogenide RAM으로 불림)는 비정질과 결정질 상태간의 광학적, 전기적 스위칭 현상을 나타내는 칼코게나이드 재료를 이용한 것으로서, 전기저항도 차이에 의해 정보가 기록/소거/재생되는 메모리이다. 상변화 메모리는 빠른 동작속도와 높은 집적도 등 성능면에서 매우 우수하며, 소자구조 및 제작공정이 단순하기 때문에 정보저장 및 처리용량 대비 저가격화 달성이 용이하다는 장점이 있다.

[0004] 현재 상변화 메모리 소자에 활용되는 재료로는 $Ge_2Sb_2Te_5$ (GST) (비특허문헌 1)가 널리 연구되어지고 있으며 또한 양산화를 위한 노력이 경주되고 있다. 그러나 GST는 특히 트렌치(Trench) 구조에 증착 시 사용되어지는 전구체(precursors) 들의 분해온도보다 결정화 온도가 매우 낮아(약 130℃) 트렌치의 한 부분에 증착되면 결정화가 급격히 진행되어 트렌치를 막아버리는 결과를 초래한다. 따라서 재현성 있게 트렌치 구조를 채우기가 어렵다는 문제가 있다. 또한 이 재료는 아이보닉스사에서 개발되어 모든 특허권을 가지고 있어 현재 모든 반도체회사들은 이를 대체할 수 있는 재료의 개발에 몰두하고 있다.

[0005] In-Sb-Te(IST)는 In_3SbTe_2를 비롯하여 다양한 조성에서 상변화 메모리의 특성을 나타낸다(비특허문헌 2). IST의 결정화 온도는 290℃ 이상이며 융점(약 626℃)이 높고 rest current가 낮아 GST를 대체할 수 있는 상변화 메모리 소자의 재료로서 기대된다. 이에, 스퍼터링 방법을 이용하여 평면구조위에 박막으로 증착한 후 에칭공정을 통해 소자를 구현하여 그 특성을 평가하는 top-down 방식의 사진 식각 공정에 대한 연구가 진행되고 있다(비특허문헌 3).

[0006] 보다 빠른 스위칭 특성을 갖고 전력 소모가 적은 PRAM을 제작하기 위해서는, GST 셀의 크기를 줄이는 것이 필수적이다. 그러나 사진식각공정에 의하면 100nm 이하에서는 사진식각공정 중에 재료손상에 의해 set 저항값이 커지고 sensing 영역이 작아질 뿐만 아니라 읽는 속도 또한 느려지게 된다. 더욱이 30nm 미만의 크기는 현재 사진식각공정기술의 한계로 인식되고 있을 뿐만 아니라 공정비용 또한 크게 증가하는 문제점이 있다.

[0007] 이러한 top-down 방식의 문제점을 보완하기 위한 대안으로서 미리 형성된 트렌치 구조에 상변화 소재를 스퍼터링과 같은 방법에 의해 증착하는 방식에 의한 메모리 소자의 제조가 큰 관심을 끌고 있다. 그러나 스퍼터링 방법은 300~400nm 이하의 트렌치 구조에는 증착이 어렵고, 트렌치 구조를 채운다고 하더라도 나머지 부분에 공극(pore)이 생기기 때문에 200nm 이하의 소형화 소자에 적용하는 데는 제약이 있다. 그러나, 화학증착방법의 경우에는 step coverage가 우수하고 대면적 증착이 용이하기 때문에 소자의 소형화 및 대량화에 적합할 것으로 기대된다.

선행기술문헌

비특허문헌

[0008] (비특허문헌 0001) Nature materials, Vol 7, Dec, 2008. p. 972 - 977.

(비특허문헌 0002) Journal of Applied Physics, 64(4), 15, August, 1988. p. 1715 - 1719.

(비특허문헌 0003) Symposium on VLSI Technology Digest of Technical Papers, p.102, 2007.

발명의 내용

해결하려는 과제

[0009] 본 발명은 300℃ 이하의 온도에서 상변화 재료인 IST의 박막을 형성할 수 있는 방법을 제공하는 것을 목적으로 한다.

[0010] 본 발명의 또 다른 목적은 상기 IST 박막의 형성방법을 이용한 메모리 소자의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0011] 전술한 목적을 달성하기 위한 본 발명은 상변화 메모리 소자용 In-Sb-Te 박막의 형성방법에 있어서, In, Sb 및 Te의 소스 증기를 진공 챔버 내의 기판 상에서 반응시키는 유기금속 화학증착법에 의하며, 상기 반응 시의 챔버 내의 압력이 상기 반응 시 기판의 온도가 150~230℃이고 챔버 내의 압력이 1~15 Torr이거나, 기판의 온도가 230~300℃이고 챔버 내의 압력이 1~7 Torr인 것을 특징으로 하는 유기금속 화학증착법에 의한 상변화 메모리 소자용 In-Sb-Te 박막의 형성방법에 관한 것이다.

[0012] 일반적으로 화학증착법에 의한 박막형성은 소스 증기들이 확산하여 가열된 기판표면에서 흡착과 화학반응, 탈착 등의 과정을 거쳐서 수행되는 것으로, 기판 표면이 아닌 기체상태에서는 가능한 한 반응을 억제시켜야 하며 이를 위해 증착압력이 낮은 진공 상태의 챔버에서 반응을 시키게 된다. 또한 가열된 기판표면에서 소스 증기의 반응에 의해 증착이 이루어지므로 기판의 온도와 증착 압력에 따라 생성되는 박막의 성질이 크게 변화한다. 증착 압력이 너무 낮으면 증착효율이 너무 낮으며, 증착 압력이 너무 높은 경우에는 박막에 결정핵이 생성되어 표면이 매끄러운 박막을 얻을 수 없다. 한편, 기판의 온도가 너무 낮은 경우에는 기판 상에서 소스 증기의 반응이 충분히 일어나지 않으므로 증착 효율이 낮으며, 기판의 온도가 너무 높은 경우에는 나노와이어 또는 거친 표면을 갖는 박막으로 증착되었다. 하기 실시예에서는 구체적인 데이터를 제시하지 않았으나, 사전 실험에 의하면 기판의 온도가 150~230℃이고 챔버 내의 압력이 1~15 Torr이거나, 기판의 온도가 230~3000℃이고 챔버 내의 압력이 1~7 Torr인 조건에서 매끄러운 표면의 균질한 박막을 얻을 수 있었다. 증착시간은 박막의 두께를 결정하여, 증착시간이 길어지면 보다 두꺼운 박막을 얻을 수 있었다.

[0013] 상기 In, Sb 및 Te의 소스는 유기금속 화합물 전구체로서 각각의 금속의 유기금속 화학증착에 이용될 수 있는 것이라면 어떤 것이라도 무방하다. 본 실시예에서는 $In(CH_3)_3$ (TMI), $Sb(C_3H_7)_3$ (Sb(iPr)$_3$) 및 $Te(C_3H_7)_2$ (Te(iPr)$_2$)를 각 금속의 소스로 사용하여 일반적으로 널리 활용되는 bubbler 형 CVD 장비에서 증착하였으나, 이에 한정되는 것은 아니며 이외에도 In 소스로는 ($In(C_2H_5)_3$), $In(C_{11}H_{19}O_2)_3$, 또는 $In(OOCCH_3)_3$을, Sb 소스로는 $Sb(CH_3)_3$ 또는 $Sb(C_2H_5)_3$를 Te 소스로는 $Te(CH_3)_2$, $Te(C_2H_5)_2$ 또는 $Te(t\text{-}C_4H_9)_2$ 등을 이용할 수 있다.

[0014] SEM 이미지와 엑스레이 회절 분석 결과 본 발명의 방법에 의해 형성된 In-Sb-Te 박막은 매끄러운 표면을 가진 비정질 박막임을 확인할 수 있었다. 트렌치 구조의 기판 상에 증착이 진행됨에 따른 박막의 SEM 이미지를 관측한 결과, 시간의 경과에 따라 step-coverage가 증가하여 100nm 크기, 5:1 종횡비의 트렌치 구조를 100% step-coverage로 채울 수 있음을 확인하였다.

[0015] 본 발명의 실시예에서는 bubbler의 온도를 In과 Te에 대해서는 10℃, Sb에 대해서는 30℃로 고정한 결과만을 예시하였으나, 이는 사전 실험 결과 상변화 메모리 특성이 가장 우수하다고 알려진 In_3SbTe_2의 조성에 근접한 박막을 얻기 위하여 설정된 수치이다. 구체적인 데이터를 제시하지는 않았으나, 사전 실험에 의하면 각 bubbler의 온도를 조절하는 것에 의해 형성되는 박막의 조성을 조절할 수 있었다. 즉, 특정 bubbler의 온도를 높이는 것에 의해 해당 금속의 성분이 증가한 IST 박막을 얻을 수 있었다. 구체적인 데이터를 실시예에 기재하지는 않았으나, bubbler의 온도, 증착 압력 및 증착 온도를 바꾸며 여러 조건에서 실험해 본 결과 In : Sb : Te의 몰비가 2.5~3.5 : 0.5~1.5 : 2.0~4.0인 In-Sb-Te 박막을 제조할 수 있었다.

[0016] 본 발명의 방법에 의해 형성된 박막의 전기적 특성을 확인한 결과, 상변화 메모리의 특성을 나타내는 것을 확인할 수 있었다. 특히 인가하는 전압의 증가에 따라 전류의 변화가 두 곳에서 급격하게 변화하는 멀티-비트 메모리의 특성을 나타내었다.

[0017] 또한 본 발명은 상기 방법에 의한 IST 박막의 형성방법이 적용된 상변화 메모리 소자의 제조방법에 관한 것이다. 상변화 메모리 소자는 하부전극이 노출된 트렌치 구조의 절연층, 상기 트렌치 구조를 채우는 상변화 메모리 소재의 박막, 상기 박막 상에 적층된 상부 전극으로 이루어진 것으로서, 상변화 메모리 소자 자체의 구체적인 구조나 제조방법은 종래 기술의 영역에 해당하므로 이에 대한 구체적인 기재는 생략한다. 본 발명의 상변화 메모리 소자의 제조방법은 상변화 메모리 박막으로서 전술한 본 발명의 화학증착법에 의해 In-Sb-Te 박막을 형성하는 것을 특징으로 한다. 본 발명의 방법에 의해 형성된 메모리 단소자에 대해 전기적 특징을 관찰한 결과 상변화 메모리 소자의 특성을 나타내는 것을 확인할 수 있었다.

발명의 효과

[0018] 이상과 같이 본 발명에 의하면 종래 기술에 의한 상변화 소재인 GST의 대체물질인 IST 박막을 300℃ 이하의 저온에서 유기금속 화학증착법에 의해 용이하게 형성할 수 있다.

[0019] 또한, 본 발명의 IST 박막 형성방법에 의하면 트렌치 구조를 높은 step-coverage로 채울 수 있어 상변화 메모리 소자의 제조에 효율적으로 활용할 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 일실시예에서기판 온도에 따른 IST 박막의 구조적 특성을 보여주는 사진 및 그래프.

도 2는 본 발명의 일실시예에서 증착 압력에 따른 IST 박막의 구조적 특성을 보여주는 사진 및 그래프.

도 3은 본 발명의 일실시예에 의한 IST 박막의 단면 구조 및 조성을 보여주는 사진 및 그래프.

도 4는 본 발명의 일실시예에 의해 트렌치 구조 상에 증착된 박막의 step-coverage를 보여주는 SEM 사진.

도 5는 본 발명의 일실시예에 의한 IST 박막의 열처리에 따른 면저항 및 XRD 패턴의 변화를 보여주는 그래프.

도 6은 본 발명의 일실시예에 의한 단소자의 이미지와 전기적 특성을 보여주는 그래프.

발명을 실시하기 위한 구체적인 내용

[0021] 이하 첨부된 도면과 하기 실시예를 참조하여 통하여 본 발명을 상세하게 설명한다. 그러나, 도면과 실시예는 본 발명을 설명하기 위한 하나의 예시일 뿐 발명의 기술적 사항의 내용이나 범위가 이에 의해 한정되거나 변형되는 것은 아니다.

[0022] **실시예**

[0023] **실시예 1 : IST의 화학 증착**

[0024] 기판으로는 실리콘 웨이퍼 상에 TiAlN을 증착한 planar 구조 또는 trench (500 nm 높이와 100 nm 직경) 구조의 50nm-thick TiAlN/Si을, IST의 전구체로서 $In(CH_3)_3$ (TMI), $Sb(C_3H_7)_3$ ($Sb(iPr)_3$) 및 $Te(C_3H_7)_2$ ($Te(iPr)_2$)을 사용하여 유기금속 화학증착을 실시하였다. 보다 구체적으로, 상기 각 전구체를 유기금속 화학증착 장치의 세 개의 버블러에 각각 장입하였다. 버블러의 온도는 In 및 Te 전구체에 대해서는 10℃를, Sb 전구체에 대해서는 30℃를 각각 유지하였으며, 운반가스로는 Ar 가스를 30ssm(cubic centimeter per minute)의 속도로 주입하여 약 100℃로 유지된 샤워헤드에서 분사하였다. 챔버 내의 압력은 1, 3, 5, 7, 10 또는 15 Torr를 유지하도록 챔버에 부착된 압력게이지를 통하여 정교하게 조절하였다. 증착 온도는 기판위에 부착된 온도 센서를 이용하여 조절하였으며 150, 200, 225, 250 또는 300℃에서 2시간 동안 증착을 실시하였다. 증착 후에는 상온까지 냉각한 후에 시편을 채취하였다.

[0025] **실시예 2 : IST 박막의 구조 특성분석**

[0026] $Cu_{K\alpha}$ 방사선 및 니켈 필터를 사용한 엑스레이 회절(XRD, REGAKU D/MAX-RC)을 이용하여 증착 압력을 5 Torr로,

기판의 온도를 변화시키면서 실시예 1에서 제조한 IST 박막의 결정구조와 방향성을 측정하였다. 또한 250℃에서 증착된 IST 박막의 표면구조를 high-resolution TEM(HRTEM, FE-STEM (200keV, HD-2300A))으로 확인하고 그 결과를 도 1에 도시하였다.

[0027] 도 1의 (a)는 증착온도에 따른 박막의 XRD 패턴을 나타내며, 150~225℃에서는 비정질 구조를, 250℃에서는 (111), (220) peak를 갖는 In-Sb 결정 구조를 갖는 것을 확인할 수 있다. 300℃에서 형성된 박막은 다양한 결정상의 In-Sb-Te가 존재함을 알 수 있다. 도 1의 (b)는 증착온도에 따른 활성화에너지를 나타내는 도면으로 활성화에너지가 10kcal/mol 이상이므로, 가열된 기판에서의 표면반응에 의해 박막이 증착되는 것임을 알 수 있다. 도 1의 (c) 와 (d)는 250℃에서 증착된 박막의 내부를 HRTEM과 SAED pattern으로 분석한 결과를 각각 보여주는 사진이다. 도 1의 (a)의 XRD 패턴에서는 In-Sb peak만 나타나지만 내부에는 약 10nm 크기의 결정화된 In-Sb-Te 나노결정립들이 혼재되어 있음을 보여준다.

[0028] 도 2는 기판의 온도가 250℃일 때, 증착압력을 변화시키면서 실시예 1의 방법에 의해 증착한 박막의 구조를 보여주는 사진 및 그래프이다. 도 2의 (a)는 3 Torr, 도 2의 (b)는 10 Torr에서 증착된 표면 구조를 주사전자현미경(FE-SEM, Sirion & S-4800)으로 관측한 결과를 각각 나타낸다. (b)의 내부사진은 시편의 단면을 나타내는 SEM 사진이다. 도 2 (c)는 증착압력별 XRD 패턴을 나타내며, 도 4의(d)는 박막 표면의 조성을 SEM-EDS(FE-SEM, Sirion & S-4800)로 분석한 결과이다.

[0029] 도 2의 (a) 및 (b)에는 3 Torr 및 10 Torr에서 증착된 시편의 표면만을 도시하였으나, 증착압력에 따른 시편의 표면 구조를 주사전자현미경으로 관측한 결과, 1~5 Torr 에서는 표면이 매우 균질한 박막이, 7~15Torr에서는 나노와이어가 형성된 것을 확인할 수 있었다. 도 1의 (c)에서 보여주는 것처럼 낮은 압력에서는 결정질 InSb와 비정질 In-Sb-Te를 보이다가 압력이 증가하여 약 13 × 10^2 Pa(10 Torr) 에서는 InTe와 In-Sb-Te가 결정화된 패턴들을 보이고 있다. 이들의 조성을 관찰하기 위하여 증착압력에 따른 조성을 도 1의 (d)에 나타내었다. 그림에서 보듯이 약 13 × 10^2 Pa(10 Torr)에서 증착한 시편은 다른 것과 비교해서 Sb의 함량이 급격히 증가하였으나, 1~5 Torr에서는 조성이 크게 변화하지 않았음을 보여준다.

[0030] **실시예 3 : IST 박막의 물리화학적 특성분석**

[0031] 화학증착에 의해 형성된 박막의 물리화학적 특성을 보다 자세히 관찰하기 위하여 5 Torr의 증착압력에서 실시예 1에 의해 형성된 박막의 표면 및 단면구조를 SEM으로 측정하고, PIXE에 의한 조성분석을 하여 도 3의 (a), (b)에 각각 도시하였다. 도 3의 (a)에서 보여주는 것처럼 증착된 박막은 약 220nm 의 두께를 가지며 박막의 표면은 매우 균일한 미세구조를 가지고 있었다. PIXE (NEC 5SDH-2 tandem VDG) 에 의한 조성분석(도 3의 (b)) 결과 IST의 조성은 약 $In_{3.0}Sb_{0.9}Te_{2.7}$로 화학양론적인 조성인 $In_3Sb_1Te_2$ 보다도 Te이 약간 많은 조성을 나타내었다.

[0032] 트렌치 구조에의 step-coverage를 확인하기 위하여 화학증착의 진행에 따라 박막의 단편을 SEM으로 측정하고, 그 이미지를 도 4에 도시하였다.

[0033] 도 4의 (a)는 실시예 1에서 1 시간 동안 5 Torr의 증착압력 하에서 트렌치 구조에 증착된 박막의 step-coverage를 보여 준다. 증착된 박막의 step-coverage 는 약 95%로 증착시간을 조절함으로써 트렌치구조를 완전히 채울 수 있는 가능성을 보여준다. 도 4의 (a)의 오른쪽 사진은 3개의 트렌치구조에 모두 우수한 step-coverage를 가지고 증착되었음을 보여주며, 이들의 step-coverage가 재현성 있는 결과임을 알 수 있다.

[0034] 도 4의 (b)는 동일 조건에서 1시간 반 동안 증착된 IST 박막이 트렌치구조를 완전히 채웠음을 보여준다. 또한, 오른쪽 그림에서는 (a)와 마찬가지로 step-coverage가 재현성 있는 결과임을 나타낸다.

[0035] **실시예 4 : IST 박막의 전기적 특성분석**

[0036] 실시예 1에서 증착된 IST 박막의 상변화 메모리 특성을 확인하기 위하여, 열처리 온도에 따른 면저항 및 결정성의 변화를 측정하고 그 결과를 도 5에 도시하였다.

[0037] 보다 구체적으로 5 Torr의 증착압력, 250℃ 기판온도에서 증착된 박막을 대상으로 300℃, 400℃ 또는 500℃에서 2시간 열처리한 후 four-point probe를 이용한 electrometer(CMT-SR1000N)를 사용하여 면저항을, 엑스레이 회절 분석에 의해 결정성 및 방향성을 측정하였다.

[0038] 도 5의 (a)에서 확인할 수 있듯이, 열처리를 하지 않은 박막은 약 6×10^{8} Ohm/sq의 면저항을 나타내었으며 열처리 온도가 증가함에 따라 서서히 감소하였다. 500℃ 2시간 열처리한 박막의 면저항은 약 4×10^{5} Ohm/sq로, 약 $1/10^{3}$만큼 감소하였다. 이러한 면저항의 감소는 IST 박막의 결정성의 변화에 기인한 것으로 판단된다. 도 5의 (b)의 열처리 온도에 따른 XTD 패턴엑스레이 회절 분석 결과, 증착된 박막은 결정화된 InSb 상과 비정질 In-Sb-Te로 구성되어 있으며 열처리 온도가 증가함에 따라 결정질 InSb와 In-Sb-Te가 형성됨을 알 수 있었다. 즉, 열처리 온도가 높아짐에 따라서 비정질 상인 In-Sb-Te가 결정화됨을 나타내어 상변화 메모리의 특성을 나타냄을 간접적으로 보여주었다.

[0039] 본 발명에 의한 IST 박막의 실질적인 전기적 특성 평가를 위하여 도 6의 (b)의 구조로 메모리 단소자를 제작하였다.

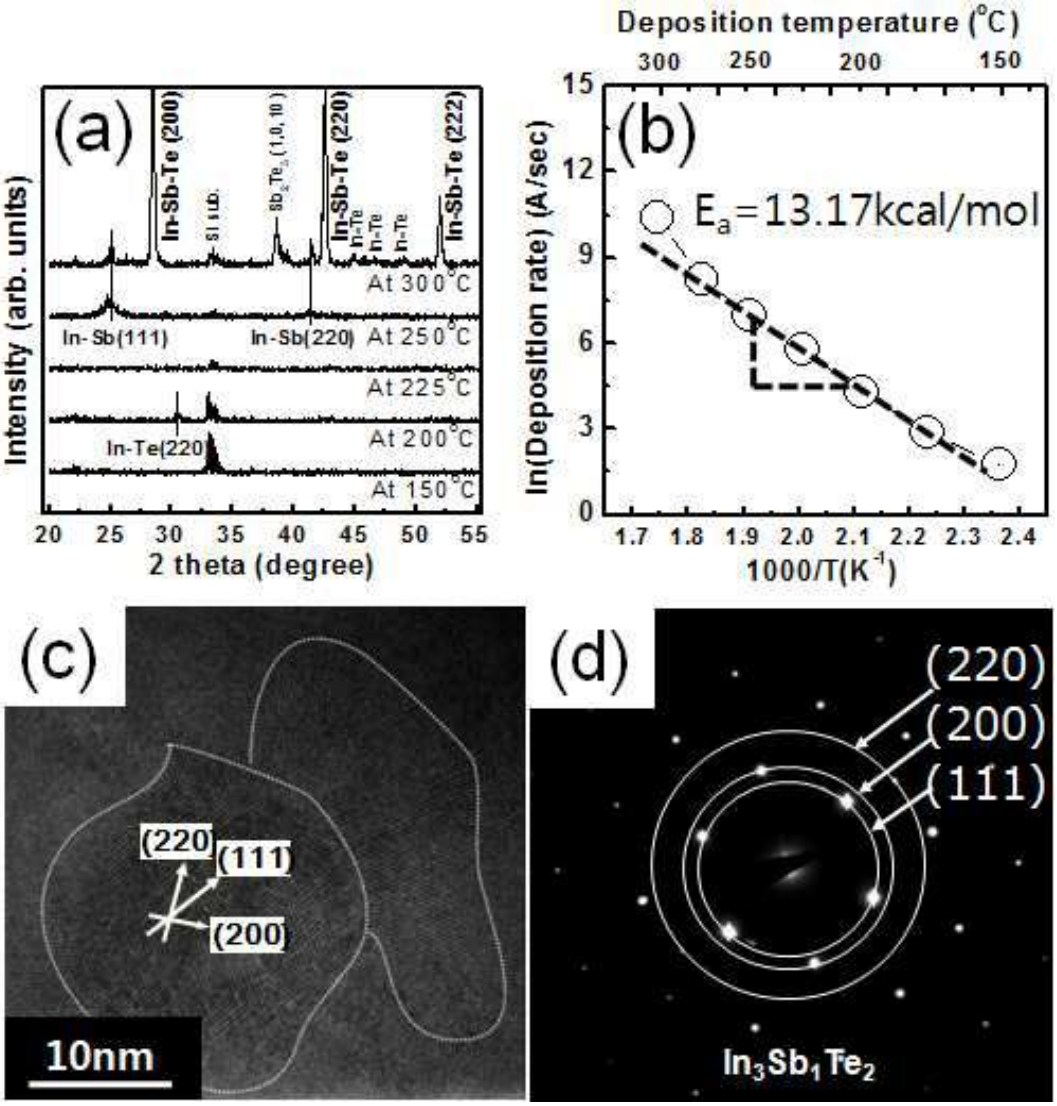
[0040] 보다 구체적으로, Si 웨이퍼 위에 약 100 nm 두께의 TiN을 반응성 스퍼터로 제조하였다. 그 위에 SiO_2를 radio frequency sputtering으로 약 400 nm 두께가 되도록 증착한 후에 FIB(Focused Ion Beam System)를 이용하여 트렌치가 약 350 nm 높이와 100 nm의 직경이 되도록 형성하였다. 이후 실시예 1의 조건에서 5 Torr의 증착압력하에서 2시간 동안 증착하여 트렌치 구조 상에 IST 박막을 형성하고, shadow mask를 이용하여 상부전극으로 TiW을 스퍼터링으로 약 100 nm 가 되도록 증착하여 소자를 제작하였다. 도 6의 (a)는 상기 과정에 의해 제작된 메모리 단소자의 SEM 단면 이미지 사진이다.

[0041] 상기 단소자에 대해 Keithly Semiconductor Characterization System (4200-SCS)을 사용하여 전기적 특성을 평가하였다. 도 6의 (c)는 인가된 전압에 따른 전류의 변화를 보여주는 current-voltage 그래프이다. 도 6의 (c)로부터 단소자에 전압을 가하면 2.2 V의 전압을 가할 때까지는 전류의 변화가 크지 않으나, 2.2 V에서 급격한 전류의 변화를 나타냄을 알 수 있었다. 인가하는 전압을 더욱 증가시키면 전류가 직선적으로 변화하며, 전압을 감소시키는 경우 전류가 직선적으로 감소하여 전압을 인가하지 않은 상태에서는 원래의 상태로 돌아옴을 알 수 있었다. 이는 전압에 따라 박막이 비정질에서 결정질로, 결정질에서 비정질로 바뀌는 메모리특성을 보임을 알 수 있다. (c)의 내부는 인가하는 전압을 더욱 높였을 때의 그래프로 전압에 따라 전류의 변화가 두 곳에서 급격하게 변화하는 것을 보여주어, IST 박막이 멀티-비트 메모리로 사용할 수 있음을 보여준다.

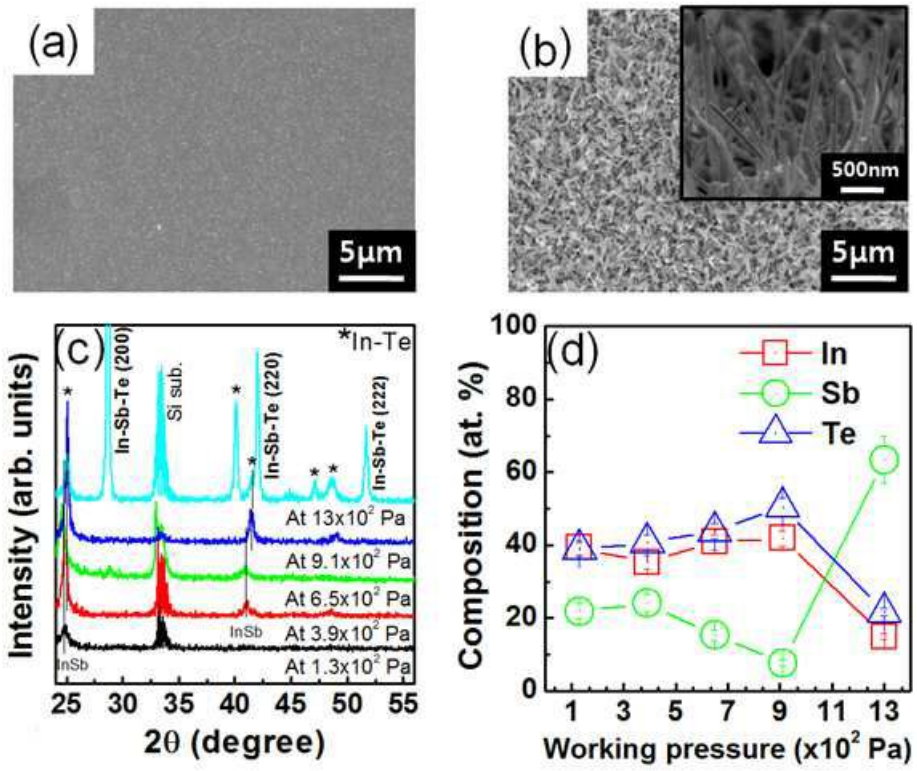
[0042] 도 6의 (d) 와 (e)는 상기 소자에 대해 set 상태와 reset 상태의 실제 메모리 스윗칭을 각각 보여주는 그래프이다. set 상태에서는 10 마이크로 초 동안 pulse를 가했을 때 약 5.5 V에서 저항이 ~ 10^{5} 에서 ~ 10^{2} 으로 급격히 감소하였으며, reset 상태에서는 약 1 마이크로 초 동안 pulse를 가했을 때에 약 7.2 V와 8.3 V 두 곳에서 저항이 급격하게 증가함을 보여준다. 이 또한 IST 박막의 multi-bit 메모리로서의 가능성을 보여주는 결과이다.

도면

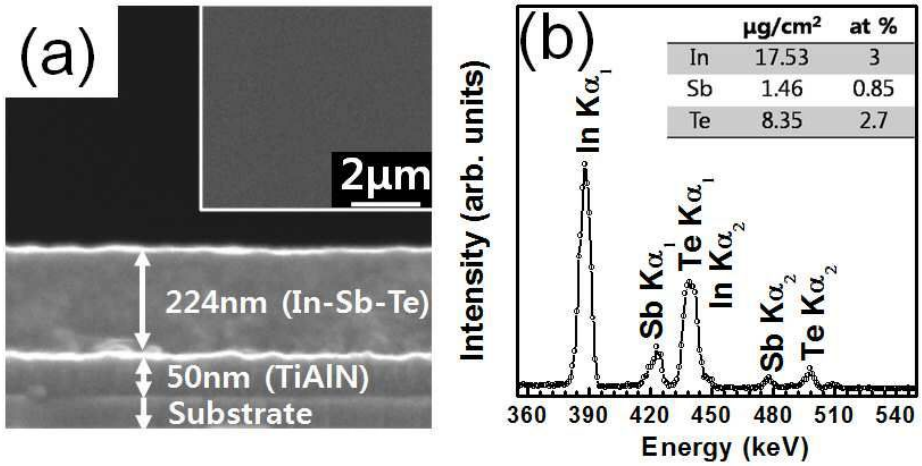
도면1


(a)
In-Sb-Te (200)
Si sub.
Sb2Te3 (1,0,10)
In-Sb-Te (220)
In-Te
In-Te
In-Te
In-Sb-Te (222)
At 300°C
In-Sb(111)
In-Sb(220)
At 250°C
At 225°C
In-Te(220)
At 200°C
At 150°C
Intensity (arb. units)
20 25 30 35 40 45 50 55
2 theta (degree)
Deposition temperature (°C)
300 250 200 150
(b)
Ea=13.17kcal/mol
ln(Deposition rate) (A/sec)
0 3 6 9 12 15
1.7 1.8 1.9 2.0 2.1 2.2 2.3 2.4
1000/T(K-1)
(c)
(220)
(111)
(200)
10nm
(d)
(220)
(200)
(111)
In3Sb1Te2

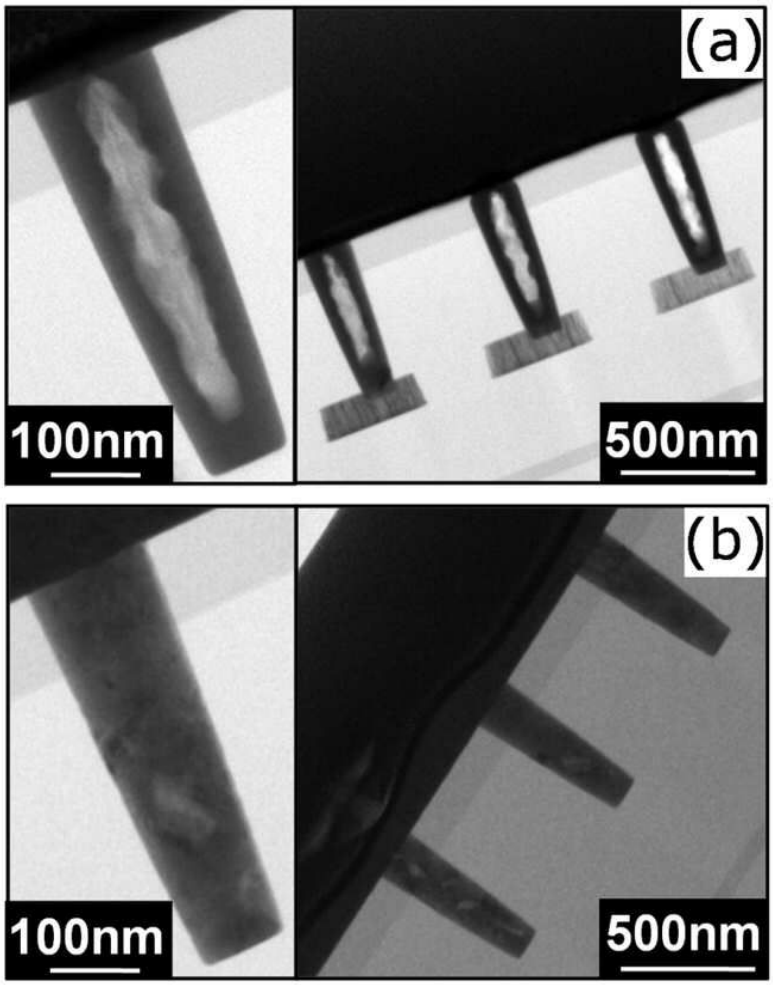
도면2


(a)
5μm
(b)
500nm
5μm
(c)
*In-Te
In-Sb-Te (200)
Si sub.
In-Sb-Te (220)
In-Sb-Te (222)
At 13x10² Pa
At 9.1x10² Pa
At 6.5x10² Pa
At 3.9x10² Pa
At 1.3x10² Pa
InSb
InSb
Intensity (arb. units)
25 30 35 40 45 50 55
2θ (degree)
(d)
In
Sb
Te
Composition (at. %)
0 20 40 60 80 100
1 3 5 7 9 11 13
Working pressure (x10² Pa)

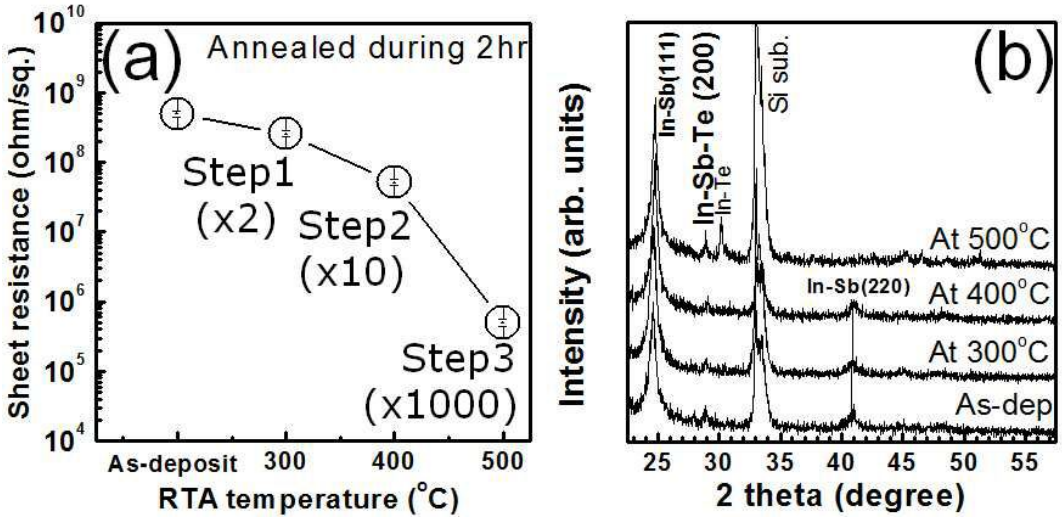
도면3


(a)
2μm
224nm (In-Sb-Te)
50nm (TiAlN)
Substrate
(b)
μg/cm² at %
In 17.53 3
Sb 1.46 0.85
Te 8.35 2.7
In Kα1
Sb Kα1
Te Kα1
In Kα2
Sb Kα2
Te Kα2
Intensity (arb. units)
360 390 420 450 480 510 540
Energy (keV)

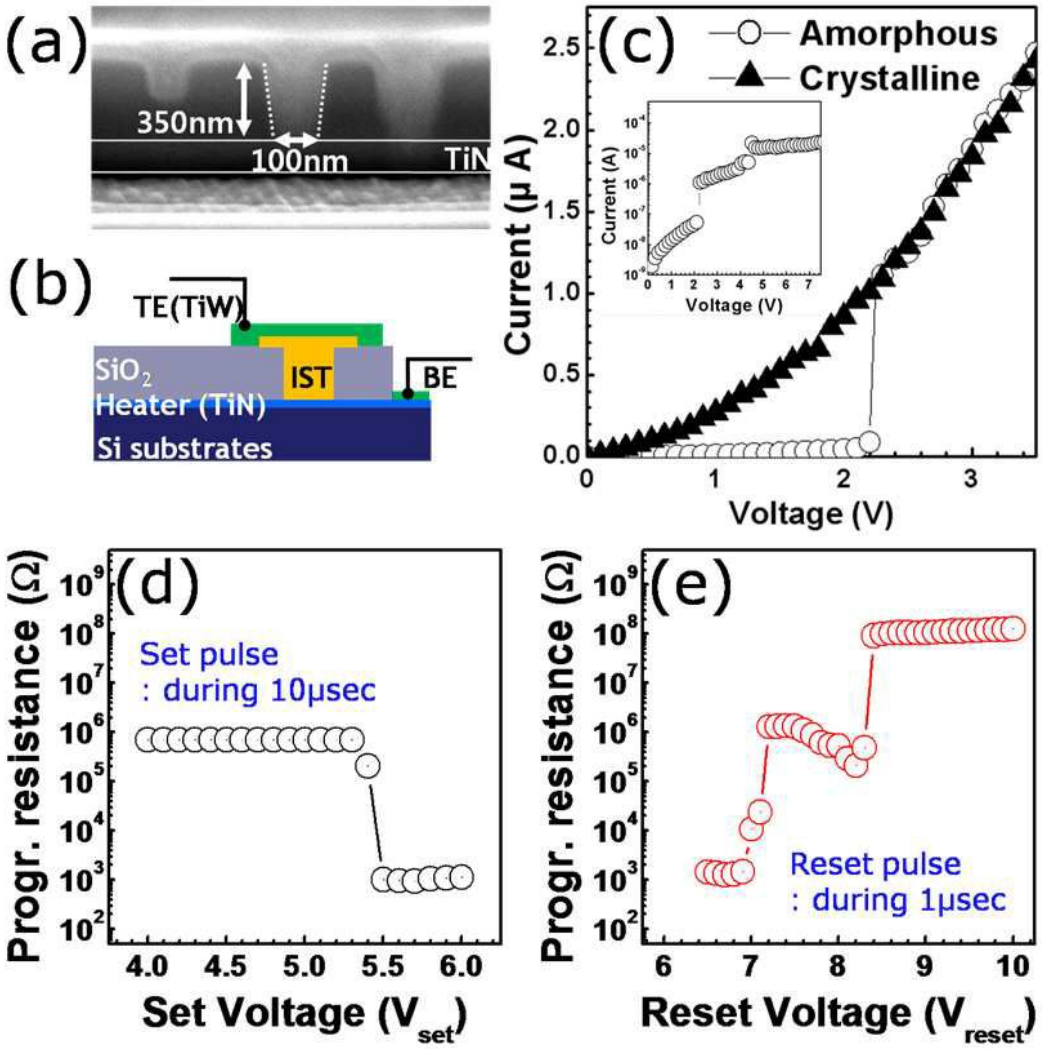
도면4


(a)
100nm
500nm
(b)
100nm
500nm

도면5


(a)
Annealed during 2hr
Step1
(x2)
Step2
(x10)
Step3
(x1000)
Sheet resistance (ohm/sq.)
As-deposit
300
400
500
RTA temperature (°C)
(b)
In-Sb(111)
In-Sb-Te (200)
In-Te
Si sub.
In-Sb(220)
At 500°C
At 400°C
At 300°C
As-dep
Intensity (arb. units)
25
30
35
40
45
50
55
2 theta (degree)

도면6


(a)
350nm
100nm
TiN
(b)
TE(TiW)
SiO2
IST
BE
Heater (TiN)
Si substrates
(c)
Amorphous
Crystalline
Current (μ A)
Voltage (V)
Current (A)
Voltage (V)
(d)
Set pulse
: during 10μsec
Progr. resistance (Ω)
Set Voltage (Vset)
(e)
Reset pulse
: during 1μsec
Progr. resistance (Ω)
Reset Voltage (Vreset)