(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H03K 6/00

(45) 공고일자 2003년11월20일
(11) 등록번호 10-0397773
(24) 등록일자 2003년08월29일

(21) 출원번호 10-1996-0047345
(22) 출원일자 1996년10월22일

(65) 공개번호 특1997-0024572
(43) 공개일자 1997년05월30일

(30) 우선권주장 08/547,830 1995년10월25일 미국(US)

(73) 특허권자 톰슨 콘슈머 일렉트로닉스, 인코포레이티드
미국 인디아나주 46290-1024 인디아나폴리스 노스 메리디안 스트리트 10330

(72) 발명자 마크 프란시스 럼레이치
미국, 인디아나, 인디아나폴리스, 인디안 레이크 불바드 사우스 10308

존 윌리암 규렉
미국, 인디아나, 인디아나폴리스, 노스 그래엄 애비뉴 757

(74) 대리인 나영환
이상섭

심사관 : 박재일

(54) 지연단을캐스케이드접속하여클록타이밍을재조정하는장치

요약

비디오 클록 입력 신호(MCK)는 지연 라인(30)에 인가되며, 이 지연 라인은 각각의 탭(T1 T15)에서 복수 개의의 지연 클록 신호를 공급하는 복수의 지연 요소(T1 내지 T9)의 캐스케이드 접속부를 구비한다. 선택 회로(8)는 이 회로에 공급되는 수평 동기 신호(HS)에 응답하며, 상기 탭 중 선택된 한 탭을 출력에 연결하여 동기 신호(HS)와 에지가 일치된 지연 출력 클록 신호(YCK)를 제공한다. 하나의 집적 회로에서 다른 집적 회로로 지연이 변동할 수 있는 지연 요소에 대해 최소한의 지연 단계 해상도와 소정의 최소 전체 지연을 제공하도록 요구되는 탭의 수를 감소시키기 위해, 복수 개의의 탭은 지연 요소의 제1 그룹(T1 내지 T13)에 대해 한 요소씩 간격을 두며, 지연 요소의 적어도 하나의(T13 내지 T16, T17 내지 T18, T19)제2 그룹에 대해서는 1 개의 요소 이상의 간격을 둔다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 클록 타이밍 재조정 장치를 나타낸 블록도.
도 2는 본 발명을 구현한 클록 타이밍 재조정 장치를 나타낸 블록도.
도 3A 내지 3C는 도 2의 클록 타이밍 재조정 장치의 동작을 나타낸 타이밍도.
도 4는 도 2의 실시예에서 지연 요소에 대한 정규화한 지연 분배의 비교를 나타낸 표.

도 5는 도 2 장치의 변경을 나타낸 블록도.
도 6은 도 2의 실시예에서 사용하기 적당한 탭 선택 회로를 나타낸 논리 회로도.
<도면의 주요 부분에 대한 부호의 설명>
2 : 주 클록 입력 신호
6 : D형 플립플롭 메모리
8 : 다중 선택 논리 회로
10 : 다중 스위치
14 : 수평 동기 입력 신호
16 : 위상 시프트된 클록 출력
30 : 지연 라인
200 : 클록 타이밍 재조정 장치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 지연 회로에 관한 것으로서, 특히 캐스케이드 접속된 지연단과 클록 신호의 타이밍을 재조정하는 선택 회로를 구비한 지연 회로에 관한 것이다.
지연 회로는 캐스케이드 접속된 지연단과 동기 신호로 클록 신호의 타이밍을 재조정하는 선택 회로를 사용한다는 것은 잘 알려져 있으며, 예컨대 비디오 신호 동기 회로에 광범위하게 사용되고 있다. 한 가지 예는 1991년 2월 12일에 윌리스(Willis) 등에게 특허 허여된 '복수 개의 화상 표시와 관련된 타이밍 오차를 보정하는 방법 및 그 장치'라는 명칭의 미국 특허 제4,992,874호에 개시되어 있다. 윌리스 등은 픽처 인 픽처(picture in picture: PIP) 처리를 행하는 텔레비전 수상기용 스큐(skew) 보정 시스템에 대하여 설명하고 있다. 윌리스 등의 PIP 수상기 실시예의 구성 요소는 클록 위상 시프트 회로를 포함하는데, 이 클록 위상 시프트 회로는 화상 디스플레이 처리 회로에서 생성된 수평 동기 신호로, 주(主) 화상 신호의 버스트(burst)에 락된(locked) 샘플링 클록의 타이밍을 재조정한다.
본 발명은 윌리스 등이 설명한 일반형의 클록 타이밍 재조정 회로를 개선하여, 표준적인 반도체 처리 기술을 사용하는 집적 회로에서 상기 타이밍 재조정 회 로의 구성을 용이하게 하는 것을 목적으로 하고 있다. 본 발명에 의해 해결될 종래 기술의 문제점들을 이해하기 위해서, 윌리스 등의 클록 타이밍 재조정 회로의 실시예를 좀 더 상세하게 고찰할 필요가 있다. 이를 위해, 윌리스 등의 특허에 기초하여 도 1에 도시된 종래 기술의 회로 구성을 참조하고자 한다.
도 1의 클록 타이밍 재조정 장치(100)는 입력 단자(102)를 포함하는데, 이 입력 단자는 주(主) 클록 입력 신호 MCK를 수신하여, 이 신호의 클록 타이밍을 재조정하거나 수평 동기 신호 HS로 '에지부를 조정'한다. 주 클록 입력 신호 MCK는 도선(104)을 통해 15개의 지연 요소 △1 △15로 이루어진 탭 장착 지연 라인(130)의 입력에 결합된다. 지연 라인의 탭 T1 T15와 지연되지 않은 마스터 클록 입력 신호 MCK는 버스(112) 및 도선(104)을 통해 15개의 'D' 형 플립플롭이 구비되어 있는 메모리(106)에 각각 인가된다. 메모리(106) 내에 있는 모든 플립플롭은 입력 단자(114)에 인가된 수평 동기 신호 HS의 전단 에지부에 의해 동시에 클록 제어된다. 그 결과, 메모리(106)에 있는 15개의 플립플롭은 수평 동기 펄스가 도달할 때에 모든 지연 라인의 탭 값 중 '스냅샷(snap-shot)' 또는 '화상'으로 고려될 수 있는 것을 저장한다. 최소한 5 나노초(ns)씩, 15개의 지연 요소가 있기 때문에, 저장된 탭 값은 수평 동기 신호가 도달한 순간에 클록 신호 MCK의 완전한 한 사이클(예컨대, NTSC라고 가정했을 때, 70 나노초)의 샘플을 나타내고 있다.
메모리(106)에 저장된 모든 15개의 탭 값을 비교함으로써, 어떤 탭 출력 신호가 수평 동기 신호 HS의 전단 에지부에 가장 근접한 에지를 가졌는지를 판정할 수 있다. 이러한 식별은 다중 선택 논리 회로(108)에 의해 수행되는데, 이 다중 선 택 논리 회로는 15개의 저장된 탭 값을 15개의 도선 버스(118)를 통해 메모리(106)로부터 수신한다. 15개의 입력 탭 지연으로부터, 다중 선택 논리 회로(108)는 16개의 도선 버스(120)에 출력 신호를 제공하며, 탭 T1 T15에 대한 15개의 지연된 신호 또는 수평 동기 신호 HS의 에지부에 가장 근접한 에지나 천이를 갖는 입력 신호(지연되지 않음)인지를 식별한다. 다중 선택 논리 회로(108)에 의한 식별이 수행된 후, 가장 근접한 탭 신호가 16개의 도선 버스(120)를 통해 다중 선택 스위치(110)에 공급된다. 이어서, 다중 선택 스위치는 15개의 탭 신호(지연됨) 또는 입력 신호(지연되지 않음) 중 하나를 출력 신호 YCK로서 선택하여, 이 신호를 수평 라인의 나머지 기간 동안 출력 단자(116)에 공급한다.
전술한 바와 같이, 입력 마스터 클록 신호 MCK는 다중 선택 논리 회로(108)에서 식별된 탭에 의해 지연되는데, 이 탭은 수평 동기 신호의 전단 에지부에 가장 근접한 것이며, 후속하는 모든 마스터 클록 신호를 이 수평 라인의 나머지 기간 동안 지연시키는 데 사용된다. 다음의 수평 라인이 개시되면, 수평 동기 신호의 에지는 모든 탭 지연 데이타를 메모리(106)에 다시 래치하여, 사이클이 반복된다. 따라서, 마스터 클록 신호 MCK는 선택된 탭 지연에 의해 위상 시프트되어, 위상 시프트된 출력 클록 YCK가 생성되고, 이 YCK는 수평 동기 신호 HS와 에지가 일치된다.
본 발명은 전술한 형태의 클록 타이밍 재조정 장치에서 하나의 집적 회로로부터 다른 집적 회로까지 변동하는 지연 요소의 전달 지연 및 다중 선택 논리 회로(108) 내에서 게이트 천이의 전달 지연에 관한 것을 목적으로 한다. 전달 지연의 변동이 중요하며, 이 전달 지연의 변동이 중요한 이유는 타이밍 재조정 파라미 터의 수(예컨대, 지연 요소 및 탭

의 수와, 주문 또는 표준 셀 제조 기술의 선택)에 영향을 줄 수 있고, 또 완성된 회로의 수율과 비용에 영향을 줄 수 있기 때문이다.
다시 말해서, 전술한 공지의 클록 타이밍 재조정 회로에는 모두 15개의 탭이 있고, 마스터 클록 주기가 70 나노초로 이루어진다. 이러한 주기값은 NTSC 방식의 표준 신호가 색 부반송파의 4배 주파수(4Fsc)로 샘플링된다는 가정에 기초한다. 마스터 클록 펄스 MCK에 대해 완전한 지연 사이클(70 나노초)을 제공하려면, 지연 라인은 적어도 70 나노초를 초과하는 지연을 생기게 하여야 한다. 탭의 수가 15개이고, 지연 요소당 5 나노초씩 지연되면, 전체 지연 시간은 적어도 75 나노초로 되고, 지연 라인에서 요구되는 최소의 전체 지연 시간이 제공될 것이다.
탭 지연의 선택에 영향을 미치는 다른 요인으로서는 인간의 시력에 대한 시각 해상도가 있다. 10 나노초 또는 더 미세한 지연 해상도를 갖게 하여 수직 라인의 에지 변동을 눈으로 감지할 수 없도록 하는 것이 필요하다고 판명되고 있다. 이러한 관점에서 5 나노초의 지연은 매우 적당하다. 시각적 감지에 기초하여 최대 10 나노초 지연되고, 15개의 지연 요소의 1 요소당 최소 5 나노초 지연되어, 마스터 클록 주기에 기초한 최소의 전체 지연을 제공하도록 하면, 지연값의 최대 '확장 범위(spread)'는 2 대 1(2:1)의 비율이 된다.
클록 타이밍 재조정 회로는 배치마다 지연 요소의 전달 지연 변동을 2 대 1의 비율로 하는 반도체 프로세스를 사용하여 구성되고 있다. 그러나, 이러한 2 대 1 비율은 표준 셀 지연 장치를 갖는 프로세스에 대해서 상대적으로 엄격한 허용 오차이다. 전술한 모든 기준에 부합하기 위해, 주문 설계된 지연 '셀'(요소)을 이용 하여 2 대 1 비율을 초과하지 않는 지연 변동 또는 '확장 범위'를 얻도록 하는 것이 필요하였다. 반도체 프로세스에서 지연 요소를 주문 설계함으로써, 각 칩간의 지연 변동을 약 2 대 1로 감소시킬 수 있다. 한편, 표준 셀 지연 요소를 이용하면 각 칩간의 지연 '확장범위'가 더 넓어질 수 있지만(예컨대, 집적 회로의 배치간 예상되는 최대 지연과 최소 지연의 비율은 4 대 1임), 비용에 있어서 큰 이점을 갖게 된다.
이미 알려진 타이밍 재조정 회로를 구체화하는 데 필요한 다른 문제점은 다중 선택 논리 회로(108)에서 게이트의 전달 지연에 관한 것이다. 이 다중 선택 논리 회로(108)는 어느 탭 신호가 동기 신호 에지에 가장 인접한지가 식별되어야 함을 상기하라. 만일, 지연의 확장범위를 4 대 1로 선택하게 되면, 각각의 탭에 대한 최대 지연 시간은 10 나노초(감지의 임계치)가 될 것이며, 최소 지연 시간은 2.5 나노초가 될 것이다. 지연 요소가 2.5 나노초 지연된다면, 최소한의 전체 지연값이 클록 주기(70 나노초 이상)보다 크도록 하기 위해서는 30개의 지연 요소가 필요할 것이다. 그러나, 만일 30개의 지연 요소가 있게 된다면, 다중 선택 논리 회로(108)에 대해 30개의 입력이 있어야 하고, 이 논리 회로는 직렬 또는 '리플(ripple)' 캐리 처리를 이용하여야 한다. 문제가 되는 것은 다중 선택 논리 회로(108)에서 30개의 단을 통한 전체 게이트 전달 지연 시간이 마스터 클록의 주기 70 나노초를 초과하게 되면, 다중 선택 논리 회로(108)는 가장 인접한 MCK 클록의 에지를 식별하지 못하여, 한 클록 사이클 내에서 30개의 탭 신호의 전체 처리를 완료하지 못할 수도 있다는 것이다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 비교적 폭넓은 전달 지연 변동(예컨대, 4 대 1)을 수행할 수 있는 지연 요소를 갖는 집적 회로를 구성하는 데 적합한 클록 타이밍 재조정 장치의 필요성에 부합하는 것이다.

발명의 구성 및 작용

본 발명에서 채택한 지연 장치는 캐스케이드 접속된 복수 개의의 지연 요소가 집적 회로 내에서 형성되고, 클록 입력 신호에 응답하여 각각의 탭에 지연된 클록 신호를 공급한다. 선택 회로는 이 회로에 공급된 동기 신호에 응답하여, 복수개의 탭 중 선택된 한 탭을 출력에 연결시키고, 동기 신호 및 에지가 일치하는 지연된 클록 출력 신호를 발생한다. 선택된 탭간의 지연 요소의 수는 변동할 수 있다.
본 발명을 구현한 도 2의 클록 타이밍 재조정 장치(200)는 종래의 '표준 셀'을 갖는 집적 회로 형태로 구성되도록 설계되어 있다. 이 표준 셀은 지연 라인이 29개의 지연 요소들 각각에 대해 탭을 부착한 경우에 필요로 하는 만큼의 탭이 없어도 4 대 1의 비율로 배치간(batch-to-batch) 지연 변동을 나타낼 수 있다. 이러한 접근 방법은 부속 요소 지연이 실질적으로 시각적 인식의 상한인 10 나노초 이하일 때, 가장 오른쪽(즉, 마지막)에 있는 탭을 선택할 수 있는 시간이라는 사실을 이용하고 있다. 이러한 원리로 인해, 각각의 탭당 정규의 지연은 지연 라인을 따라 기하학적으로 증가할 수 있지만, 최악의 경우에는, 탭당 지연을 10 나노초 이하로 보장한다. 실제로, 후술하는 바와 같이, 탭당 지연 요소의 분배는 단순히 기하학적이 아니고, 선형 지연 영역과 점진적인 지연 영역을 포함한다. 이 지연 분배를 어 떻게 하는지에 대해서는 도 4를 참조하여 상세히 설명하겠다.
탭의 수를 감소시키는 중요한 이점은 탭 다중 선택 논리 회로(8)에 대한 입력수를 감소시킬 수 있음을 상기하라. 이 경우, 선형 지연 라인에 대해서는 28개의 탭이 있지만, 점진적인 지연 라인에 대해서는 19개의 탭으로 감소된다. 탭 선택 논리 회로는 리플형 구조(도 5에 도시)이므로, 입력의 수에 비례하는 전파 시간을 갖는다. 이것은 마스터 클록 MCK의 한 주기(70 나노초) 내에서 설정되어야 하며, 본 발명에 따른 누진적 또는 점진적 탭의 분배 방법은 이러한 요구 사항에 부합하는 효과적인 방법이다.
더욱 상세히 설명하면, 도 2의 클록 타이밍 재조정 장치(200)는 주 클록 입력 신호 MCK를 수신하여 입력 단자(14)에 인가된 수평 동기 신호 HS에 대해 클록 재조정하는 입력 단자(2)를 구비하고 있다. 주 클록 입력 신호 MCK는 도선(4)을 통해 29개의 지연 요소 △1 △29로 구성된 탭형 지연 라인(30)에 결합된다. 이러한 지연 요소는 19개의 지점에서 탭이 부착되어 후술될 특정 지연 분배를 갖는 지연된 탭 신호(T1 내지 T19)를 제공한다.

지연되지 않은 마스터 클록 입력 신호 MCK와 지연된 탭 신호는 버스(12)와 도선(4)을 각각 통해 9개의 'D' 또는 '데이타'형 플립플롭으로 구성된 메모리(6)에 인가된다. 메모리(6)에 있는 모든 플립플롭은 입력 단자(14)에서 수평 입력 신호 HS의 전단 에지부에 의해 동시에 클록 제어된다. 그 결과, 메모리(6)에 있는 19개의 플립플롭은 동기 신호 HS가 도달하는 순간에 취해지는, 지연 라인(30)에서 완전한 한 사이클의 마스터 클록 신호 MCK 파형의 '스탭-샷', '화상' 또는 '프로파일' 이라고 생각될 수 있는 것을 저장한다.

마스터 클록 신호의 '스냅샷'은 도 3A에서 파형 T0 내지 T6으로 도시되어 있다. 파형 T0는 지연 라인(30)의 입력에 인가된 마스터 클록 MCK이다. 다른 파형도 탭 T1 내지 T6에서의 신호에 각각 대응한다. 물론, 19개의 탭 파형이 있지만, 도면의 도시를 간략하게 하기 위해 6개의 탭 파형만을 도시하였다.

도 3A 및 도 3B에 도시된 수직 점선은 수평 동기 신호의 천이와 일치하며, 수평 동기 신호의 천이(300) 순간에 메모리(6)에 저장된 모든 탭의 값(예컨대, 이진수 1 또는 이진수 0)을 식별한다. 메모리(6)에 저장된 19개의 모든 탭의 값을 비교하여, 어떤 탭이 수평 동기 HS의 전단 에지부에 가장 근접한가를 판정할 수 있다. 이러한 식별은 메모리(6)로부터 버스(18)를 통해 19개의 저장된 탭의 값을 수신하는 탭 선택 논리 회로(8)에 의해 수행된다. 도 3에 있는 가장 근접한 탭(볼트체)은 3개의 지연 요소에 의해 지연된 마스터 클록 MCK의 신호에 대응한다.

일단 가장 근접한 탭이 식별되면, 탭 선택 논리 회로(8)는 버스(21)의 도선중 하나에 신호를 실어 다중 스위치(10)로 보낸다. 그러면, 다중 스위치(10)는 탭 T3를 출력 단자(116)에 접속한다. 이것은 도 3C에 도시된 신호 YCK 파형으로 도시되어 있고, 이 파형은 타이밍이 재조정된 클록 신호 YCK의 전단 에지부가 수평 동기 신호 HS의 전단 에지부와 일치하며, YCK 신호 자체는 3개의 지연 요소에 의해 지연된 마스터 클록 신호 MCK와 일치한다. 수평 동기 천이 이전의 영역은 사선을 그어 신호 YCK의 이전 위상은 관련이 없음을 나타낸다. 이것은 현재 라인의 지연을 판정할 때, 이전의 라인으로부터의 데이터는 필요로 하지 않기 때문이다. 다시 말 해서, 지연은 라인별로 새로이 결정되므로, 이전 라인의 지연은 현재 라인의 지연을 판정하는 데 중요하지 않다.

이 점을 요약하면, 입력 마스터 클록 신호 MCK는 메모리(106)에 저장된 탭 데이타로부터 선택 논리 회로(8)에 의해 선택된 지연 라인(30)의 탭에 의해 지연되고, 이 탭은 다중 스위치(10)에 의해 출력 단자(116)에 접속되므로, 수평 라인에 대해 후속하는 모든 마스터 클록 신호를 지연시킨다. 다음 수평 라인이 시작되면, 수평 동기의 에지는 메모리(106)에 있는 모든 탭 지연 데이타를 다시 래치하고, 이 사이클이 반복된다. 따라서, 마스터 클록 신호 MCK는 선택된 탭 지연에 의해 위상이 시프트되고, 수평 동기 신호 HS와 에지가 일치하는 위상 시프트된 출력 클록 YCK(304)를 제공할 수 있다. 따라서, 수평 라인의 나머지 기간에 대해 후속하는 모든 클록 사이클은 수평 동기 신호 HS와 동기한다. 다음 수평 신호가 나타나면, 이 과정은 반복되어 출력 클록 YCK가 동기 신호 HS와 동기하므로, 타이밍을 재조정한 클록 신호 YCK는 수평 라인마다 갱신된다.

도 2에 있는 지연 라인은 배치간 4 대 1인 지연 변동(최소 2.5 나노초에서 최대 10 나노초)을 갖는 지연 요소를 이용해 제조될 수 있다. 배치간 변동이란 클록 타이밍 재조정 회로의 1회 생산에서 지연은 모두 2.5 나노초이며, 다른 회의 생산에서 지연은 모두 10 나노초가 될 수 있다는 것을 의미한다. 지연 라인(30)에 있어서, 지연 요소의 수가 29개로 증가되면, 모든 라인에 대한 최대 지연이 72.5 나노초이고, 최악의 경우에는 모든 지연 요소가 2.5 나노초가 된다. 이러한 72.5 나노초의 지연은 70 나노초(NTSC 방식의 신호를 가정하고, 클록 주파수를 색 부반송 파의 4배로 함)인 마스터 클록의 주기보다 크며, 마스터 클록 MCK와 수평 동기 신호 HS의 전단 에지부 사이의 위상 관계의 모든 범위에 해당하게 된다.

각각의 탭에 대한 지연 요소의 '지연 분배'는 도 2의 예에 도시되어 있으며, 본 명세서에서는 29개의 지연 요소와 단지 19개의 탭이 있으며, 탭 분배는 일정하지 않다. 예컨대, 처음 13개의 탭은 서로 1개의 지연 요소만큼 간격을 두고 있으며, 다음 3개의 탭은 2개의 지연 요소만큼 간격을 두고 있고, 다음 2개의 탭은 3개의 지연 요소만큼 간격을 두고 있고, 19개의 마지막 지연 탭은 18개의 이전 탭으로부터 4개의 지연 요소만큼 간격을 두고 있다. 이러한 분배는 4 대 1의 범위를 넘는 지연 요소 변동에 대한 적어도 10 마이크로초의 각각의 탭에 대한 해상도를 제공한다.

도 4는 도 2에 대한 지연 분배의 표 형식을 제공하고 다른 3가지 경우도 마찬가지이다. 도 4에 있어서, 제1 칼럼은 지연 라인(30)에 대한 탭의 수이다. '일정 지연 요소'라고 표시된 제2 칼럼은 선형 지연 라인에 대해 각각의 탭 사이에 1개의 지연 요소를 갖는다는 것을 의미하며, 요구되는 탭의 수는 70 나노초의 최소 지연을 제공하기 위해 28개가 될 것이다. '단일 지연 요소'라고 표시된 제3 칼럼은 도 2의 예에 대하여 각각의 탭에 대한 요소의 리스트이다. 도시된 바와 같이, 탭의 수는 19개로 감소되어 최소 전체 지연이 72.5 나노초가 된다. 이것은 선형 지연 라인에 요구되는 28개의 탭과 비교하여 커다란 감소이다. '1/2 단위 지연 요소'라고 표시된 제4 칼럼은 지연 분배의 예를 나타내는데, 이러한 분배는 1.25 마이크로초(2.5 마이크로초의 절반)의 지연 요소를 이용할 수 있는 경우에, 사용될 수 있다. 도시된 바와 같이, 2개의 탭을 추가로 감소시킬 수 있지만, 더 많은 지연 요소가 필요하다.

도 4에 있는 표에서 마지막 칼럼은 연속적으로 조절가능한 지연 요소를 포함하는 표준 셀 라이브러리를 포함하는 탭에 관한 요건을 나타낸다. 또한, 이 경우는 도시된 실시예의 전체 지연, 지연 해상도, 지연 확장범위의 특정 요구를 만족시키는 타이밍 재조정 회로에 대한 탭의 최소의 수를 나타낸다. 도시된 바와 같이, 연속적인 경우에는 단지 16개의 탭에서 4,000 단위의 최대 탭 지연에 근접한다. 이것은 1/2 지연 요소(semitary)의 예보다 1 탭만큼 우수하고, 단일 지연 요소의 예보다 3 탭만큼 우수하다. 그러나, 단일 지연 요소의 구성이나 1/2 지연 요소 예에서 부가적 지연에 대한 필요성을 고려할 때, 바람직한 것은 도 2의 단순한 단일 버젼이다.

각각의 탭에 대한 특정 지연의 계산은 간단하지 않지만, 지연 분배와 어떤 관련 예를 다룬 다음의 수학식을 고려함으로써 쉽게 이해될 것이다. 먼저, 연속적인 지연 경우에 대한 탭 지연의 계산을 고려해 보자. 후술하게 될 이산적인 지연 경우는 연속적 지연 경우의 정수배 확장이다.

연속적인 경우, 처음 7개의 탭은 하나의 '표준 지연 요소' 각각과 동일하여야 한다. 전술한 시각적 해상도 요건을 만족시키기 위해 최악의 지연 요소라도 10 나노초 이상이 될 수 없고, 또 전체 지연이 70 나노초와 동일하여야 하기 때문

에, 최소한 전체가 70 나노초와 10 나노초의 탭에 대한 균일한 지연 해상도를 생성하기 위해 10 나노초의 지연 요소가 적어도 7개가 필요하다. 따라서, 도 4에 있는 '연속 적인 지연' 칼럼에서, 처음 7개의 탭은 각각 1.00으로 기재되어 있다. 기재된 모든 값은 제조 과정에 좌우되는 2.5 내지 10 나노초 사이의 어떤 값이 될 수 있는 '표준 지연 요소'에 대해 정규화한다. 실제 지연은 '표준 지연 요소'에 정규화한 값을 승산함으로써 획득된다.
다음 탭(8번 탭) 및 후속하는 모든 탭은 4 대 1 확장범위, 10 나노초의 최대 탭 차 그리고 적어도 70 나노초 전체 지연(마스터 클록 MCK의 역수)에 대한 다음의 관계식에 의해 계산된다. 먼저, N번째 탭은 다음과 같다.
[수학식 1]
$$(\Sigma + Xn)\ T = 70\ ns$$
[수학식 2]
$$Xn\ T = 10\ ns$$
[수학식 3]
$$Xn = (1/6)(\Sigma\ ) = 0.16666\Sigma$$
상기 수학식 1 내지 3에서,
Σ 는 N번째 단에 앞서는 모든 단(예컨대, N에서 N-1까지의 단)의 정규화한 지연의 합이다.
T는 '표준 지연 요소' 1개당 지연이다.
Xn은 지연 요소가 연속적으로 변동되는 경우(도 4에서 가장 오른쪽 칼럼), 소정의 단 'n'에 대한 정규화한 지연 증분(예컨대, '표준 지연 요소' 1개당의 지연 으로 분할된 지연 증가량)이다.
10은 최소의 허용 가능한 해상도에 대응하는 10 나노초 상수이다.
70은 전체 라인에 대한 최소의 전체 지연에 대응하는 70 나노초 상수이다. 이것은 마스터 클록 신호 MCK의 역수와 동일하다.
수학식 1은 현재 지연과 모든 이전 지연의 합이 최소값인 70 나노초와 동일하여야 한다는 것을 나타낸다. 이 70 나노초는 마스터 클록 MCK의 주기이다. 수학식 2는 정규화한 지연 증분을 최소의 허용 가능한 해상도(예컨대, 10 나노초)로 나타내고 있다. 수학식 1과 수학식 2를 조합하여 Xn에 대해 풀면, 수학식 3이 얻어지며, 이 수학식 3은 누진적으로 웨이트가 할당된 지연 라인의 N번째 K에 대한 정규화한 지연 증분의 값을 제공한다.
수학식 3을 이용한 예에서와 같이, N 번째 단에 대한 정규화한 지연값의 증분은 이전의 모든 단(N-1)의 정규화한 지연의 합의 1/6을 구함으로써 결정된다. 전술한 어떤 지연 라인에 있어서, 값 1의 지연 요소가 적어도 7개이어야 하고, 각 지연은 10 나노초이므로, 이 지연 라인의 전체 지연과 같다. 따라서, 처음 7개의 단 각각은 정규화한 지연 증분이 '1' 이어야 한다. 단 8에 대해서는, 이전 단의 합이 7이면, 단 8에 대한 정규화한 지연 증분은 1.16666과 동일한 ('X') 0.16666(7)이 된다. 이것은 도 4의 '연속적인' 칼럼에서의 탭 8에 기재되어 있다. 탭 8에 대한 정규화한 지연 증분(1.1666)에 이전의 7개의 탭을 부가하면, 이전의 모든 정규화한 지연 증분의 합은 8.1666이 된다. 이 값(8.1666)을 6으로 나누게 되면, 9번째 탭에 대한 정규화한 증분값은 1.3611이 된다. 이러한 과정을 반복함으로써, 정규화한 지 연 증분은 도 4에 도시된 바와 같이 모든 탭에 계산될 수 있다.
정규화한 지연 증분의 이산적인 값의 계산은 어떤 단에 대한 정규화한 증분값이 정수가 아니라면 이전의 합에 부가되지 않는다는 점을 제외하고는 연속적인 값의 계산과 유사하다. 예컨대, 단 8에서 개시하여, 탭 8 내지 탭 12의 정규화한 증분값은 각각 1.1666, 1.250, 1.500, 1.1666 및 1.811이 된다. 이것들은 모두 정수가 아니다. 수학식 3을 적용함에 있어서 가산되는 것이 없으므로, 탭 1 내지 탭 12 모두의 정규화한 증분값은 1이며, 합 Σ은 12이다.
이 예에서 탭 13은 정규화한 증분값이 정수인 최초 탭이다. 특히, 탭 13에 대해 이전의 모든 정규화한 값의 합은 12이고, 12를 6으로 나누면 2가 된다. 따라서, 탭 13과 다음 탭 사이에는 2개의 지연 요소가 있게 되며, 정규화한 탭의 증분값은 '2'로 진행한다. 결국, 정규화한 증분값은 '3'으로 증가했다가, 마지막 단계에서는 '4'(2.5 나노초의 단이 4 단 필요하다는 것을 의미한다)가 된다.
도 5는 각각이 1.25 나노초인 '하프 지연' 요소를 사용함으로써 달성되는 지연 분배의 예이다. 이러한 하프 지연 요소는 도 4의 1/2 단위 칼럼에 대한 지연 분배를 실현한다. 도시된 바와 같이, 단지 17개의 탭(단일 지연 요소에 비해 2개 적다)이 필요하지만, 49개의 지연 요소가 사용되었다. 실질적으로, 2.5 와 1.25 나노초의 지연 시간이 집적 회로에 형성될 수 있다면, 더 적은 수의 지연 요소가 사용될 수 있다.
도 6은 도 2의 클록 타이밍 재조정 장치를 구현하는데 적당한 논리 회로이다. 플립플롭, 선택 회로 및 다중 스위치 회로는 각각의 탭에 대해 동일하므로, 도 면의 간략화를 위해 적은 수의 단만을 도시하였다. 첫번째 단과 마지막 단은 동기의 전단 에지부에 도달된 후, 선택 과정을 중단하기 위한 피드백을 제공한다. D형 플립플롭 메모리(6), 다중 선택 논리 회로(8) 및 다중 스위치(10)는 전술한 윌리스 등의 미국 특허 제4,992,874호에 도시되어 있으므로, 여기에서는 간단히 설명한다. 전체 회로 동작은 도 2의 예에서 설명된 것과 동일하며, 도 3및 도 4와도 관련된다.
마스터 클록 신호 MCK의 정방향 천이에 응답하여, 신호 MCK의 각각의 상이한 위상의 순간적인 샘플은 메모리(6)의 D형 플립플롭에 각각 저장된다. 지연 라인(30)에 의해 제공된 전체 지연은 마스터 클록 신호 MCK의 한 주기와 거의 같기 때문에, 플립플롭에 저장된 값은 서로 상이한 탭에서 동기 신호 HS의 천이에서 취한 클록 신호 MCK의 모든 위상의 '스냅샷'을 나타낸다.
만일 이러한 '스냅샷'이 마스터 클록 신호의 정방향의 천이를 포함한다면, 플립플롭 중 하나, 예컨대 620은 논리 1 출력 신호를 갖게 될 것이며, 다음의 플립플롭(630)은 논리 0 출력 신호를 갖게 될 것이다. 이 예에서, 탭 선택 논리 회로(8)의 AND 게이트(634)에 입력되는 모든 신호는 논리 1이 될 것이다. 이 예에서, AND 게이트(634)의 출력 신호는 탭(18)에 의해 제공된 클록 위상 신호를 클록 타이밍 재조정 장치의 출력 신호로서 AND 게이트(638)와 OR 게이트(660)[다중 스위치(10)에 있음]을 통과하도록 할 것이며, 탭(18)은 수평 라인이 계속되도록 다음 동기 펄스가 나타날

때까지 출력 단자(16)에 계속 연결된다.
메모리(6)에 저장된 탭 논리 레벨 또는 '스냅샷'이 하나 이상의 천이를 포함 한다면, 인버터(616, 636, 646 및 656)를 포함하는 금지 회로는 제1 천이에 대응하는 클록 신호 위상만이 지연된 클록 출력 신호 YCK로서 선택되도록 한다. '스냅샷'이 부방향의 천이만을 포함하거나, 플립플롭에 저장된 샘플 값이 모두 논리 1(캡처된 천이가 없다는 것을 나타낸다)이라면, 탭(19)에서 지연 요소(29)에 의해 제공된 클록 신호 위상은 위상이 정렬된 출력 신호 YCK로서 선택된다. 이러한 선택은 '의사단(擬似段; pseudo-stage)'(655)에서 달성된다. 결국, '스냅샷'이 어떤 천이를 포함하지 않고 다양한 플립플롭에 저장된 값이 모두 논리 0이면, 마스터 클록 MCK의 신호는 AND 게이트(614 및 618)와 인버터(616)의 동작에 의해 위상 정렬된 출력 신호 YCK로서 선택된다.

발명의 효과

본 발명은 한 집적 회로로부터 다른 집적 회로까지 다중 선택 논리 회로에서의 게이트 천이의 전달 지연과 지연 요소의 전달 지연에서의 변동에 관련하여 기술된 것으로서, 전달 지연 변동이 중요한 이유는 지연 요소나 탭의 수와 같은 다수의 클록 타이밍 재조정 파라미터에 영향을 줄 수 있고, 주문 또는 표준 셀 제조 기술의 선택은 완성된 회로의 수율과 비용에 영향을 줄 수 있기 때문이며, 탭의 수를 감소시키는 중요한 이점은 탭 선택 논리 회로(8)에 대한 입력의 수를 감소시킬 수 있기 때문이다. 또한, 일반적인 형태의 클록 타이밍 재조정 회로를 개선함으로써, 표준 반도체 처리 기술을 이용하여 집적 회로에 있는 클록 타이밍 재조정 회로의 구성을 용이하게 할 수 있다.

(57) 청구의 범위

청구항 1.
집적화한 클록 타이밍 재조정 장치로서,
집적 회로 내에 형성된 복수 개의 지연 요소에 대한 캐스케이드 접속부를 구비하고, 클록 입력 신호에 응답하여 각각의 탭에서 복수 개의 지연된 클록 신호를 공급하는 지연 라인과;
그 자신에 공급되는 동기 신호에 응답하여, 상기 복수 개의 탭 중 선택된 한 탭을 출력에 결합시키고, 상기 동기 신호와 에지가 일치하는 지연된 클록 출력 신호를 공급하는 선택 회로를 포함하고,
일부 탭들 사이에 있는 지연 요소의 수는 변경될 수 있고;
상기 지연 라인에서 각 지연 요소는 소정의 정규 지연이 있고;
상기 지연 요소는 상기 지연 라인에서 상기 지연 요소의 개수 이하의 탭이 있는 상기 지연 요소의 분배를 형성하도록 정렬되고,
상기 탭들 중에서 지연 요소의 상기 분배는 상기 지연 라인에 대해 소정의 최소 지연 해상도 및 소정의 최소 전체 지연을 제공하도록 요구된 탭의 수를 최소화하여 선택되며, 상기 최소 전체 지연은 상기 입력 클록 신호의 적어도 한 주기인 것인 집적화한 클록 타이밍 재조정 장치.

청구항 2.
제1항에 있어서, 상기 탭들 사이에 있는 지연 요소의 수는 상기 지연 라인의 제1 부분에 있는 탭의 제1 그룹에 대해 일정하며, 상기 지연 라인의 후속하는 제2 부분에 있는 탭의 제2 그룹에 대해 누적적인 것인 집적화한 클록 타이밍 재조정 장치.

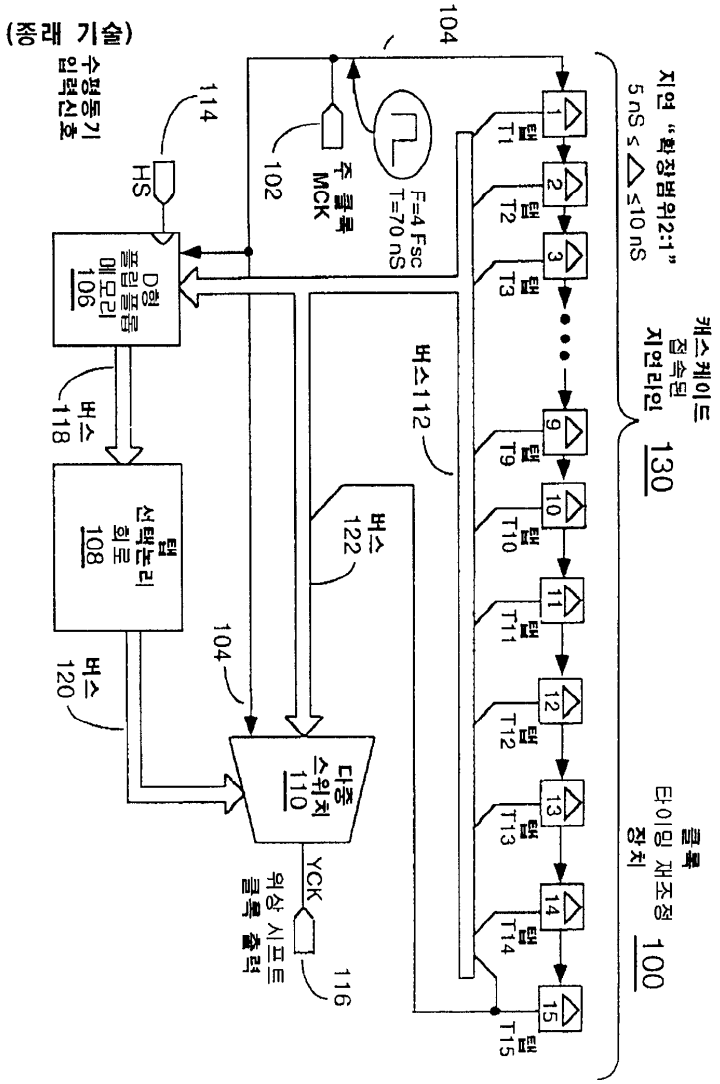
청구항 3.
제2항에 있어서,
상기 지연 라인의 제1 부분에 있는 상기 탭의 제1 그룹은 상기 캐스케이드 접속부에서 소정 개수의 지연 요소에 대해 1개의 지연 요소만큼 간격을 두고,
상기 지연 라인의 후속하는 제2 부분에 있는 상기 탭의 제2 그룹은 소정 개수의 탭에 대해 적어도 2개의 지연 요소만큼 간격을 두고 있는 것인 집적화한 클록 타이밍 재조정 장치.

청구항 4.
제1항에 있어서, 상기 최소 지연 해상도는 약 10마이크로초인 것인 집적화한 클록 타이밍 재조정 장치.

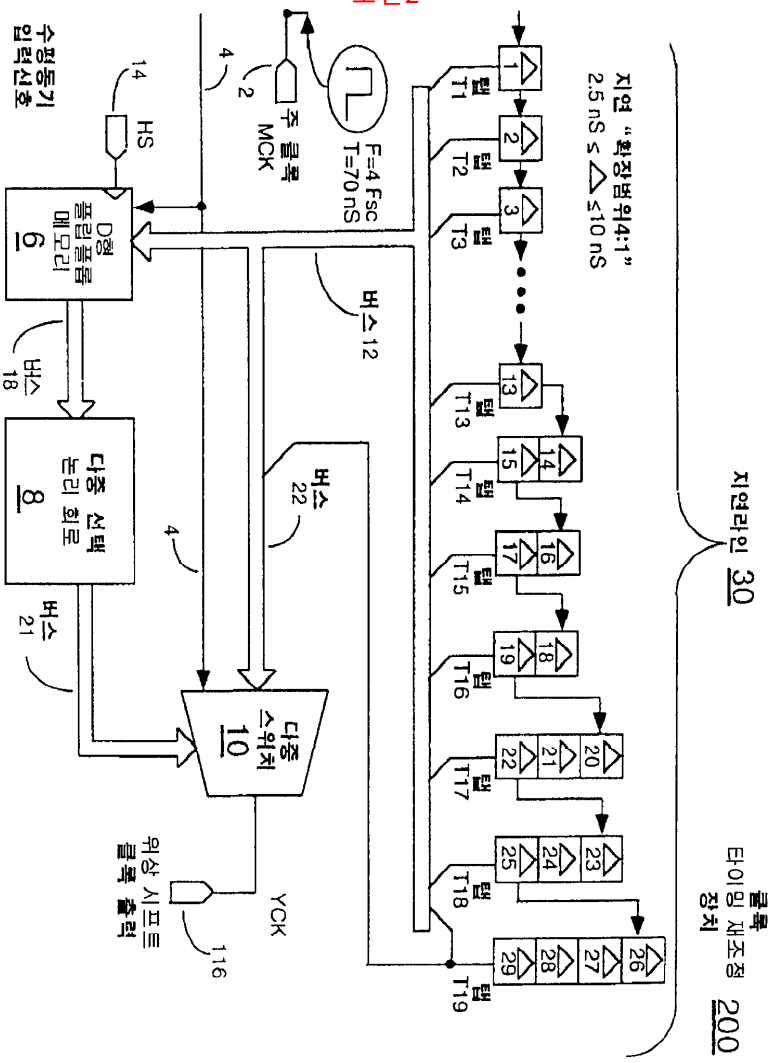
청구항 5.
제1항에 있어서,
소정의 집적 회로 내에서 상기 지연 요소는 상기 소정의 정규 지연이 있고, 상기 지연 라인은 선택된 형태의 소정 반도체 프로세스를 사용하여 형성되고, 하나의 집적 회로의 지연 요소에서의 상기 소정의 정규 지연은 다른 집적 회로의 지연 요소에서의 소정의 정규 지연과 2 대 1 이상의 비율만큼 다른 것인 집적화한 클록 타이밍 재조정 장치.

도면

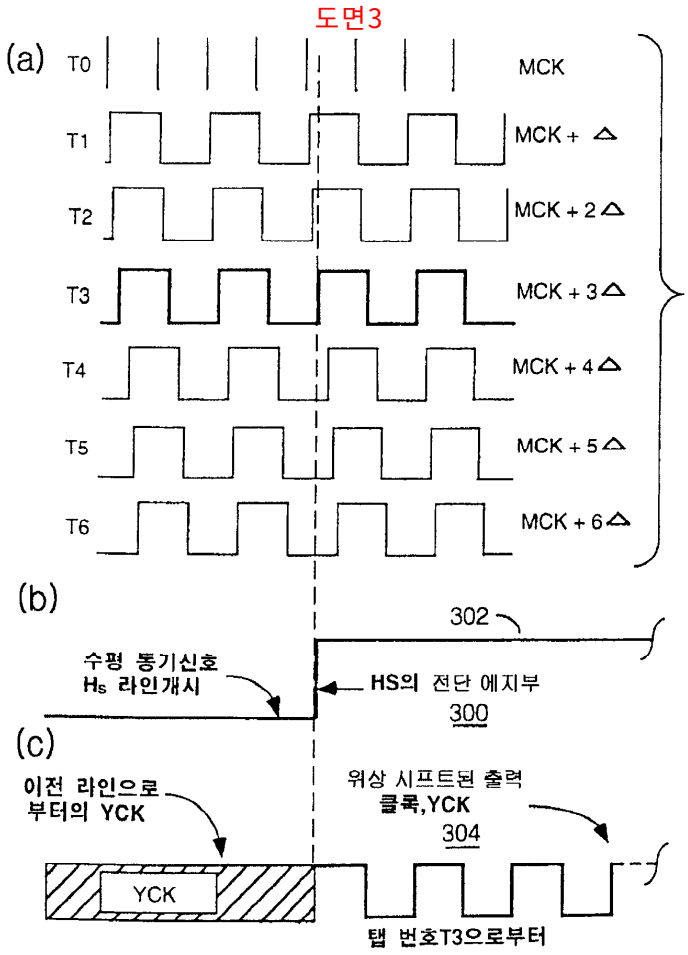
도면1


(종래 기술)
수평동기 입력신호
114
HS
104
주 클록 MCK
102
F=4 Fsc T=70 nS
지연 "확장범위2:1" 5 nS ≤ △ ≤10 nS
캐스케이드 접속된 지연라인 130
탭 T1
탭 T2
탭 T3
탭 T9
탭 T10
탭 T11
탭 T12
탭 T13
탭 T14
탭 T15
D형 플립플롭 메모리 106
버스 118
탭 선택논리 회로 108
버스 120
버스112
버스 122
다중 스위치 110
YCK
116
위상 시프트 클록 출력
클록 타이밍 재조정 장치 100

도면2


수평동기 입력신호
HS
14
4
2
주 클록 MCK
F=4 Fsc T=70 nS
D형 플립플롭 메모리 6
버스 18
버스 12
다중 선택 논리 회로 8
버스 21
버스 22
4
다중 스위치 10
YCK
위상 시프트 클록 출력
116
지연 "확장범위4:1" 2.5 nS ≤ △ ≤10 nS
탭 T1
탭 T2
탭 T3
탭 T13
탭 T14
탭 T15
탭 T16
탭 T17
탭 T18
탭 T19
지연라인 30
클록 타이밍 재조정 장치 200

도면3

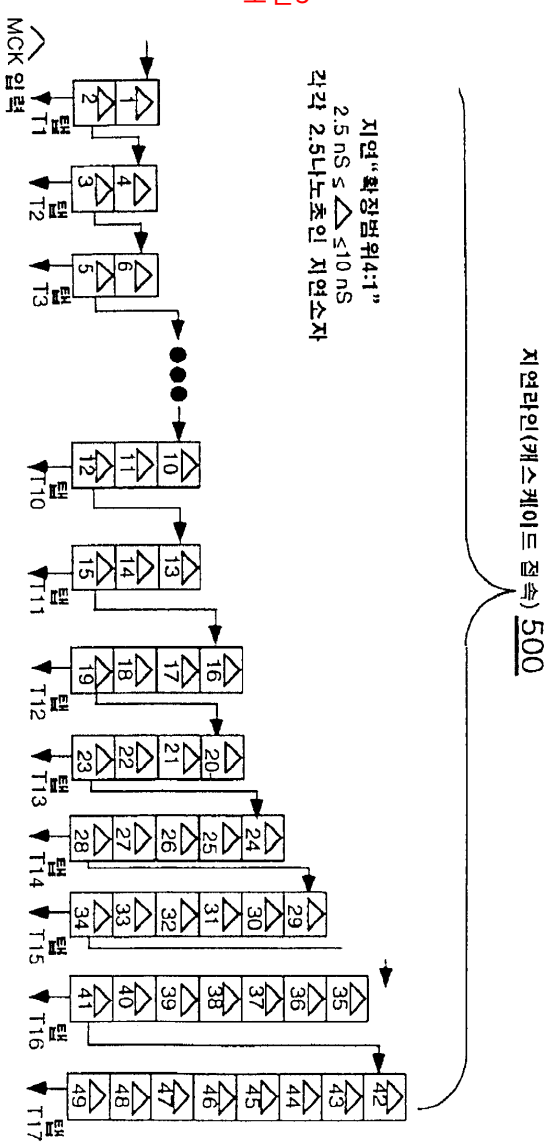

(a)
T0
MCK
T1
MCK + △
T2
MCK + 2△
T3
MCK + 3△
T4
MCK + 4△
T5
MCK + 5△
T6
MCK + 6△
(b)
302
수평 동기신호
Hs 라인개시
HS의 전단 에지부
300
(c)
이전 라인으로
부터의 YCK
위상 시프트된 출력
클록,YCK
304
YCK
탭 번호T3으로부터

도면4

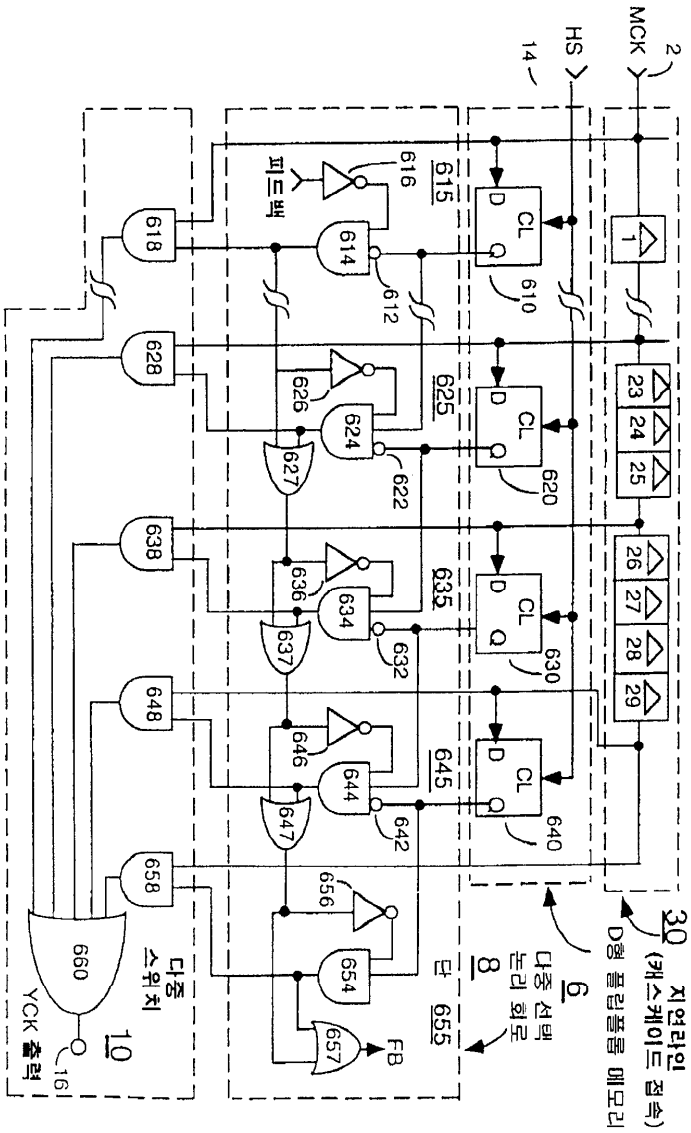
표준화된 지연 분배표

탭 번호	일정 지연 소자	단일 지연 소자	1/2 단위 지연 소자	연속적 지연 소자
1	1	1	1	1.00
2	1	1	1	1.00
3	1	1	1	1.00
4	1	1	1	1.00
5	1	1	1	1.00
6	1	1	1	1.00
7	1	1	1	1.00
8	1	1	1	1.16
9	1	1	1	1.36
10	1	1	1.5	1.59
11	1	1	1.5	1.85
12	1	1	2	2.15
13	1	1	2	2.51
14	1	2	2.5	2.93
15	1	2	3	3.42
16	1	2	3.5	3.99
17	1	3	4	
18	1	3		
19	1	4		
20	1			
21	1			
22	1			
23	1			
24	1			
25	1			
26	1			
27	1			
28	1			
탭의 총수 전체 지연	28 70	19 72.5	17 70	16 70

도면5


MCK 입력
T1 탭
T2 탭
T3 탭
T10 탭
T11 탭
T12 탭
T13 탭
T14 탭
T15 탭
T16 탭
T17 탭
지연"확장범위4:1"
2.5 nS ≤ △ ≤10 nS
각각 2.5나노초인 지연소자
지연라인(캐스케이드 접속) 500

도면6


MCK
HS
2
14
30
지연라인
(캐스케이드 접속)
D형 플립플롭 메모리
6
다중 선택
논리 회로
8
단
655
FB
657
654
656
658
660
다중
스위치
10
YCK 출력
16
615
625
635
645
616
614
612
610
618
628
626
624
622
620
627
638
636
634
632
630
637
648
646
644
642
640
647
1
23
24
25
26
27
28
29
CL
D
Q
피드백