

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4754825号
(P4754825)

(45) 発行日 平成23年8月24日 (2011. 8. 24)

(24) 登録日 平成23年6月3日 (2011. 6. 3)

(51) Int. Cl.	F I
H03L 7/197 (2006.01)	H03L 7/18 A
H03L 7/183 (2006.01)	H03L 7/18 B

請求項の数 27 (全 23 頁)

(21) 出願番号	特願2004-548450 (P2004-548450)	(73) 特許権者	503344218
(86) (22) 出願日	平成15年10月23日 (2003. 10. 23)		ジーシーティー セミコンダクター イン
(65) 公表番号	特表2006-504352 (P2006-504352A)		コーポレイテッド
(43) 公表日	平成18年2月2日 (2006. 2. 2)		アメリカ合衆国 9 5 1 3 1 カリフォル
(86) 国際出願番号	PCT/US2003/033709		ニア州 サン ノゼ リングウッド アベ
(87) 国際公開番号	W02004/040898		ニュー 2 1 2 1
(87) 国際公開日	平成16年5月13日 (2004. 5. 13)	(74) 代理人	100077481
審査請求日	平成18年10月23日 (2006. 10. 23)		弁理士 谷 義一
(31) 優先権主張番号	60/421, 060	(74) 代理人	100088915
(32) 優先日	平成14年10月25日 (2002. 10. 25)		弁理士 阿部 和夫
(33) 優先権主張国	米国 (US)	(74) 復代理人	100115624
(31) 優先権主張番号	10/689, 986		弁理士 濱中 淳宏
(32) 優先日	平成15年10月22日 (2003. 10. 22)	(74) 復代理人	100096552
(33) 優先権主張国	米国 (US)		弁理士 加藤 信之
前置審査			最終頁に続く

(54) 【発明の名称】 PLL回路のノイズを抑制するシステム及び方法

(57) 【特許請求の範囲】

【請求項 1】

レファレンス信号に基づいてPLLにより周波数信号を生成するステップと、
前記PLLのフィードバックループ内の分周器を、所定の次数のスプリアス信号を前記PLLのループ帯域幅外にシフトする値に設定することにより、前記周波数信号からノイズを除去するステップと

を含み、前記分周器を設定するステップは、

前記分周器内のスワロカウンタおよびプログラムカウンタのうちの少なくとも1つを、前記所定の次数の前記スプリアス信号を前記PLLの前記ループ帯域幅外にシフトする値に調節するステップ

を含み、

前記スワロカウンタおよび前記プログラムカウンタのうちの前記少なくとも1つは、シグマデルタ変調器により設定され、

前記PLLの前記ループ帯域幅に基づいて、前記シグマデルタ変調器の変調率を定義するパラメータを計算するステップと、

前記変調率を定義する前記パラメータに基づいて、前記スワロカウンタおよび前記プログラムカウンタのうちの前記少なくとも1つの前記値を設定するステップと
をさらに含むことを特徴とするノイズ抑制方法。

【請求項 2】

前記ループ帯域幅は、前記PLL内のループフィルタのカットオフ周波数によって画定

されることを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記ループ帯域幅は、前記 PLL により生成された周波数信号と、前記 PLL 内のループフィルタのカットオフ周波数との間に位置する周波数範囲に対応することを特徴とする請求項 1 に記載の方法。

【請求項 4】

前記ノイズは、

スワロカウンタおよびプログラムカウンタのうち少なくとも 1 つを、1 次スプリアス信号を前記 PLL の前記ループ帯域幅外にシフトする値に調節することにより除去されることを特徴とする請求項 1 に記載の方法。

10

【請求項 5】

前記スプリアス信号は、前記 PLL の位相・周波数検出器およびチャージポンプのうち少なくとも 1 つに関係するミスマッチにより生成されることを特徴とする請求項 1 に記載の方法。

【請求項 6】

前記スプリアス信号は、前記 PLL 内の、チャージポンプおよび位相・周波数検出器のうち少なくとも 1 つにおけるミスマッチから生成されることを特徴とする請求項 1 に記載の方法。

【請求項 7】

前記チャージポンプ内のミスマッチは、UP 電源と DOWN 電源との間のミスマッチを含むことを特徴とする請求項 6 に記載の方法。

20

【請求項 8】

前記レファレンス信号を、前記 PLL の位相・周波数検出器への入力のための分数値 (fractional fixed value) にシフトするステップであって、前記分数値は、前記所定の次数の前記スプリアス信号をさらにシフトするステップをさらに含むことを特徴とする請求項 1 に記載の方法。

【請求項 9】

前記スワロカウンタおよび前記プログラムカウンタは共に、前記所定の次数の前記スプリアス信号を、前記 PLL のループ帯域幅外にシフトするように調節されていることを特徴とする請求項 1 に記載の方法。

30

【請求項 10】

前記 PLL の周波数 (f_{VCO}) は、次式

【数 1】

$$f_{VCO} = \left(\frac{f_{ref}}{R} \right) \left((K \cdot P + S) + \left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right) \right)$$

に従って生成され、 f_{ref} は前記レファレンス信号であり、R はレファレンス分周器の値であり、P は前記プログラムカウンタの値であり、S は前記スワロカウンタの値であり、 $N_{\Sigma\Delta} / D_{\Sigma\Delta}$ は、前記シグマデルタ変調器の変調率であり、K は前記パルススワロ分周器内のプリスケアラの値であることを特徴とする請求項 1 に記載の方法。

40

【請求項 11】

前記 PLL への前記レファレンス信号入力を変調するステップをさらに含むことを特徴とする請求項 1 に記載の方法。

【請求項 12】

前記 PLL の周波数 (f_{VCO}) は、次式

【数 2】

$$f_{VCO} = \left(\frac{f_{ref}}{R} \right) \left(\frac{N_{mod}}{D_{mod}} \right) \left((K \cdot P + S) + \left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right) \right)$$

に従って生成され、 f_{ref} は前記レファレンス信号であり、R はレファレンス分周器の値

50

であり、 N_{mod} および D_{mod} は前記レファレンス信号の変調率を定義し、 P は前記プログラムカウンタの値であり、 S は前記スワロカウンタの値であり、 $N_{\Sigma \Delta} / D_{\Sigma \Delta}$ は、前記シグマデルタ変調器の変調率であり、 K は前記パルススワロ分周器内のプリスケアラの値であることを特徴とする請求項11に記載の方法。

【請求項13】

前記変調されたレファレンス信号を、前記変調されたレファレンス信号の調波(harmonics)と変調されてない参照信号の調波とが一致しない限り、前記PLLの比較信号として用いるステップをさらに含むことを特徴とする請求項11に記載の方法。

【請求項14】

レファレンス信号に基づいて周波数信号を生成するPLLと、

10

所定の次数のスプリアス信号を、前記PLLのループ帯域幅外にシフトするノイズサプレッサであって、前記PLLのフィードバックループ内の分周器と、前記所定の次数のスプリアス信号を前記PLLのループ帯域幅外にシフトする値に前記分周器を設定するコントローラとを備えるノイズサプレッサとを備え、

前記分周器は、スワロカウンタおよびプログラムカウンタを備え、前記スワロカウンタおよびプログラムカウンタの値は、シグマデルタ変調器の変調率を定義するパラメータに基づいて制御され、それにより前記所定の次数のスプリアス信号を前記PLLのループ帯域幅外にシフトする値が生成され、

前記PLLへの前記レファレンス信号入力を変調する変調器をさらに備え、

20

前記PLLは、次式に従って周波数信号を生成し、

【数3】

$$f_{VCO} = \left(\frac{f_{ref}}{R} \right) \left(\frac{N_{mod}}{D_{mod}} \right) \left((K \cdot P + S) + \left(\frac{N_{\Sigma \Delta}}{D_{\Sigma \Delta}} \right) \right)$$

f_{ref} は前記レファレンス信号であり、 R はレファレンス分周器の値であり、 N_{mod} および D_{mod} は前記レファレンス信号の変調率を定義し、 P は前記プログラムカウンタの値であり、 S は前記スワロカウンタの値であり、 $N_{\Sigma \Delta} / D_{\Sigma \Delta}$ は、前記シグマデルタ変調器の変調率であり、 K は前記パルススワロ分周器内のプリスケアラの値であることを特徴とする周波数ジェネレータ。

30

【請求項15】

前記PLLは、ループフィルタを備え、前記ループ帯域幅は、前記ループフィルタのカットオフ周波数により画定されることを特徴とする請求項14に記載の周波数ジェネレータ。

【請求項16】

前記PLLは、ループフィルタを備え、前記ループ帯域幅は、前記PLLにより生成される周波数信号と前記ループフィルタのカットオフ周波数との間に位置する周波数範囲に対応することを特徴とする請求項14に記載の周波数ジェネレータ。

【請求項17】

前記スワロカウンタおよび前記プログラムカウンタの値は、一次スプリアス信号を前記PLLのループ帯域幅外にシフトするように制御されていることを特徴とする請求項14に記載の周波数ジェネレータ。

40

【請求項18】

前記PLLは、次式に従って周波数信号(f_{VCO})を生成し、

【数4】

$$f_{VCO} = \left(\frac{f_{ref}}{R} \right) \left((K \cdot P + S) + \left(\frac{N_{\Sigma \Delta}}{D_{\Sigma \Delta}} \right) \right)$$

f_{ref} は前記レファレンス信号であり、 R はレファレンス分周器の値であり、 P は前記プログラムカウンタの値であり、 S は前記スワロカウンタの値であり、 $N_{\Sigma \Delta} / D_{\Sigma \Delta}$ は、

50

前記シグマデルタ変調器の変調率であり、Kは前記パルススワロ分周器内のプリスケアラの値であることを特徴とする請求項14に記載の周波数ジェネレータ。

【請求項19】

前記変調されたレファレンス信号を、前記変調されたレファレンス信号の調波(harmonics)と変調されてない参照信号の調波とが一致しない限り、前記PLLの比較信号として用いることを特徴とする請求項14に記載の周波数ジェネレータ。

【請求項20】

前記スプリアス信号は、前記PLLの位相・周波数検出器およびチャージポンプのうち少なくとも一方に関係するミスマッチにより生成されることを特徴とする請求項14に記載の周波数ジェネレータ。

【請求項21】

前記レファレンス信号を前記PLLの位相・周波数検出器への入力のための分数値にシフトする周波数シフタであって、前記分数値は、前記所定の次数の前記スプリアス信号をさらにシフトする周波数シフタ

をさらに備えることを特徴とする請求項14に記載の周波数ジェネレータ。

【請求項22】

PLLを制御するシステムであって、

前記PLLからの周波数信号出力を分周する分周器と、

所定の次数のスプリアスノイズ信号を前記PLLのループ帯域幅外にシフトする値に前記分周器を設定するコントローラであって、前記分周器はスワロカウンタおよびプログラムカウンタを備えるものであるコントローラと

を備え、
前記スワロカウンタおよび前記プログラムカウンタの値は、シグマデルタ変調器の変調率を定義するパラメータに基づいて制御され、それにより前記所定の次数の前記スプリアス信号を前記PLLの前記ループ帯域幅外にシフトする値が生成されることを特徴とするシステム。

【請求項23】

前記ループ帯域幅は、前記PLLのループフィルタのカットオフ周波数により画定されることを特徴とする請求項22に記載のシステム。

【請求項24】

前記ループ帯域幅は、前記周波数信号と、前記PLL内のループフィルタのカットオフ周波数との間に位置する周波数範囲に対応することを特徴とする請求項22に記載のシステム。

【請求項25】

前記スワロカウンタおよび前記プログラムカウンタの値は、前記PLLの前記ループ帯域幅外に一次スプリアス信号をシフトすることを特徴とする請求項22に記載のシステム。

【請求項26】

前記コントローラは、前記PLLを制御し、次式

【数5】

$$f_{VCO} = \left(\frac{f_{ref}}{R} \right) \left((K \cdot P + S) + \left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right) \right)$$

に従った出力周波数信号を生成し、 f_{ref} は前記レファレンス信号であり、Rはレファレンス分周器の値であり、Pは前記プログラムカウンタの値であり、Sは前記スワロカウンタの値であり、 $N_{\Sigma\Delta}/D_{\Sigma\Delta}$ は、前記シグマデルタ変調器の変調率であり、Kは前記パルススワロ分周器内のプリスケアラの値であることを特徴とする請求項22に記載のシステム。

【請求項27】

前記スプリアス信号は、前記PLLの位相・周波数検出器およびチャージポンプのうち

少なくとも1つに関係するミスマッチにより生成されることを特徴とする請求項22に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は信号処理システムでの周波数信号の生成に関する。

【背景技術】

【0002】

PLL (phase-locked loop) 回路は、多くのワイヤード及びワイヤレスの応用例で搬送波周波数及びタイミングレファレンス周波数信号を生成するために使用されている。

10

【0003】

図1aは通信トランシーバで普通使用されるPLL回路を示す。このPLL回路には、位相・周波数検出器1と、ループフィルタ2と、信号 f_{out} を所望の周波数で出力するVCO3と、が含まれている。発振器を位相・周波数検出器1の入力に接続するフィードバックループには、発振器の出力を $(N+1)/N$ 分周する分周器4が含まれている。モジュラス(modulus)制御回路はNの値を制御するための信号を分周器4に出力する。

【0004】

このようなPLL回路においては、ループの帯域幅とチャンネル間隔との間にトレードオフがあることは、よく知られている。さらに、チャンネル間隔が比較周波数と同じであることも知られている。このような関係においては、しばしば、このPLL回路のループ帯域幅を比較周波数の $1/10$ に設定することが望ましい。しかしながら、ループ帯域幅をこのように小さくした場合には、多くの欠点が生ずる。

20

【0005】

例えば、ループ帯域幅は、チャンネル間隔に影響を及ぼし、PLL回路内のロックタイムと位相ノイズの量にも影響を及ぼす。事実、ループ帯域幅はこれら2つの値に反比例する。そこで、ループ帯域幅を比較周波数の $1/10$ にすると、これに応じて、位相ノイズ及びロックタイムが増大するが、これは多くの応用例において望ましくないことである。

【0006】

30

上記PLL回路の別の欠点は、第2のタイプのノイズに関係するものである。例えば、このノイズは、チャージポンプと位相・周波数検出器1とのミスマッチによって発生されるスプリアス信号として現れる。具体的には、図1bに示すように、1つのミスマッチは、チャージポンプのUP電流とDOWN電流（すなわち、より正確には電源）との間で生じる。別のミスマッチは、位相・周波数検出器1内のUP信号とDOWN信号パスとの間で生じるが、ミスマッチが生じない方が理想的である。これらミスマッチによってスプリアス信号が生成されてホストシステム全体に伝搬され、性能が劣化するが、これは、位相ノイズと同様に、望ましくないと考えられている。

【0007】

図2はこれらスプリアス信号の生成を示す。同図において、 f_{out} はPLL回路の出力周波数であり、 f_{cutoff} はPLL回路ループフィルタのカットオフ周波数である。 f_{out} と f_{cutoff} との差がPLL回路のループ帯域幅を規定する。動作中、当該ループの信号パス上でのミスマッチによって、出力周波数 f_{out} にきわめて近い1つ以上のスプリアス信号 f_{sp} が発生する。実際、これらスプリアス信号は、出力周波数(Δf はきわめて小さい)に極めて近いので、このPLL回路のループ帯域幅内にあり、このため、これらスプリアス信号はこのループフィルタによって除去することができない。これらスプリアス信号が抑制されないと、信号の品質が劣化し、このホストシステムの性能が低下することになる。

40

【0008】

以上の点から、PLL回路においてノイズを効率的に抑制するシステム及び方法に対す

50

るニーズがあることは明らかであり、特に、低ノイズ及び小ロックタイムを要件とするホストシステムで使用されるループ回路に対するニーズがあることは明らかである。

【0009】

【非特許文献1】RF MICROELECTRONICS, Chapter 8, by Behzad Razavi.

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明の第1の目的は、PLL回路のノイズを効率的に抑制するシステム及び方法を提供することにある。

10

【0011】

本発明の第2の目的は、PLL回路内の少なくとも2つのタイプのノイズ、すなわちループ回路の信号パス上でのミスマッチにより発生する、位相ノイズとスプリアスノイズとを抑制するシステム及び方法を提供することにある。

【0012】

本発明の第3の目的は、PLL回路のループ帯域幅、動作周波数その他の機能パラメータに対して限定せずに、上記の目的のうちの1つ又は複数の目的を達成するシステム及び方法を提供することにある。

【0013】

本発明の第4の目的は、上記の目的のうちの1つ又は複数の目的を達成するが、同時にPLL回路のロックタイムを短縮するシステム及び方法を提供することにある。

20

【0014】

本発明の第5の目的は、PLL回路のループフィルタを使用して上記のタイプのノイズのうちの少なくとも1つのタイプのノイズを抑制することにある。

【0015】

本発明の第6の目的は、シグマデルタ変調器によって制御されるPLL回路のために上記の目的のうちの1つ又は複数の目的を達成することにある。

【0016】

本発明の第7の目的は、上記の目的のうちの1つ又は複数の目的を達成し、かつ、スプリアスノイズ抑制の分解能を微調整して、PLL回路のレファレンス信号を変調する制御システムを提供することにある。

30

【課題を解決するための手段】

【0017】

本発明の上記その他の目的及び利点は、PLL回路のような周波数ジェネレータの出力からのノイズを抑制するシステム及び方法を提供することによって、達成される。このノイズ抑制は、スプリアスノイズ信号を発生器のループ帯域幅外にシフトする変調方式を用いて行われる。このように、スプリアスノイズ信号が発生器のループ帯域幅外にシフトされると、例えば発生器の信号パス上の標準のフィルタを使用して、これらノイズ信号を完全に除去できるか、所望の程度まで除去できる。結局、この発生器のSNRが大幅に改善され、ループ帯域幅を大きくでき、ロックタイムがより速くなる。

40

【0018】

一実施形態において、本発明は、レファレンス信号に基づいてPLL回路により周波数信号を生成し、ついで、予め定めた次数のスプリアス信号をPLL回路のループ帯域幅外にシフトすることによって、周波数信号からノイズを除去するノイズ抑制方法を提供する。このループ帯域幅は、ループフィルタのカットオフ周波数によって規定することができ、あるいは、このループフィルタの出力周波数からカットオフ周波数までの周波数レンジによって、規定することができる。ノイズを完全に抑制するためには、1次スプリアス信号がループ帯域幅外にシフトされる。しかしながら、アプリケーションその他において必要であれば、より高次の信号のみを抑制することができる。

【0019】

50

これらスプリアスノイズ信号は、PLL回路のフィードバックパス上のパルススワロ分周器の値を制御することによってシフトされる。このパルススワロ分周器の値は、シグマデルタ変調器によって制御することができ、具体的にはこのPLL回路において設定される変調率によって制御することができる。抑制されているノイズには、位相ノイズか、又はPLL回路の位相・周波数検出器1及び／又はチャージポンプにおいて生ずるミスマッチによって発生されるノイズ、のうち少なくとも一方が含まれる。

【0020】

別の実施形態において、本発明は、レファレンス信号を変調し、この変調されたレファレンス信号に基づいてPLL回路により周波数信号を生成し、これによってノイズを抑制する方法を提供する。この変調は、少なくとも有効な周波数レンジにおいて、オリジナルのレファレンス信号と、変調されたレファレンス信号の調波とが一致しないようにするため、行われる。この変調されたレファレンス信号の調波が一致しない間においてのみPLL周波数信号を生成するため、この変調されたレファレンス信号が使用される、のが好ましい。この方法は、本明細書に記載のシグマデルタ変調器によって行われるスプリアスノイズ抑制を微調整するため、利用することができる。

10

【0021】

別の実施形態において、本発明は、レファレンス信号に基づいて周波数信号を生成するPLL回路と、予め定めた次数のスプリアス信号をPLL回路のループ帯域幅外へシフトするノイズサプレッサと、を含む周波数ジェネレータを、提供する。PLL回路にはループフィルタが含まれ、ループ帯域幅はループフィルタのカットオフ周波数によって規定され、あるいは、このループ帯域幅はPLL回路により生成された周波数信号とフィルタのカットオフ周波数との間の周波数レンジに対応する。このノイズサプレッサには、PLL回路のフィードバックループ内の分周器と、スプリアス信号をシフトさせる値を分周器に設定するコントローラとが、含まれるのが、好ましい。この分周器はパルススワロ分周器とすることができ、このコントローラにはシグマデルタ変調器を含めることができる。これらのフィーチャに加えて、このノイズサプレッサには、スプリアス信号の抑制を微調整するレファレンス信号変調器を含めることができる。

20

【0022】

別の実施形態において、本発明は、PLL回路を制御するシステムを提供し、このPLL回路は、このPLL回路からの周波数信号出力を分周する分周器と、予め定めた次数のスプリアスノイズ信号をこのPLL回路のループ帯域幅外へシフトする値をこの分周器に設定するコントローラと、を備える。このPLL回路のループ帯域幅は、ループフィルタのカットオフ周波数に基づいて規定することができ、この分周器の値は、任意の次数のスプリアスノイズ信号を仮想的に抑制するように制御することができる。このコントローラには、スプリアス信号の抑制を微調整するために変調されたレファレンス信号を生成する変調器も含めることができる。

30

【発明を実施するための最良の形態】

【0023】

本発明の実施形態には、PLL回路内のノイズを抑制するシステム及び方法の種々の実施形態が含まれる。一実施形態においては、このシステム及び方法によれば、チャージポンプ及び位相・周波数検出器に関係するミスマッチによって生じたノイズが、抑制される。このノイズの抑制は、スプリアスノイズをPLL回路の動作ループ帯域幅外にシフトするようにするため、PLL回路のフィードバックパス上の分周器を制御するシグマデルタ変調器を用いて、行われる。他の実施形態においては、ノイズは、位相・周波数検出器に入力されたレファレンス周波数信号を変調することによって抑制される。さらに別の実施形態においては、ノイズは、上記の技術の組み合わせることにより抑制される。これら実施形態によって、スプリアスノイズをループフィルタによって除去できるようにするため、スプリアスノイズはこのPLL回路の所望の出力周波数から大きくシフトされる。その結果、SNR及びループ帯域幅が実質的に向上し、これに比例して、相ノイズ及びロックタイムが小さくなる。

40

50

【0024】

図3を参照すると、本発明のシステム及び方法の一実施形態には、レファレンス変調器20と、PLL回路の出力周波数を制御するシグマデルタ変調器30と、が含まれる。このPLL回路は、位相・周波数検出器22と、ループフィルタ（例えば、ローパスフィルタまたはバンドパスフィルタ）23と、パルススワロ分周器24と、信号を所望の周波数 f_{vc} で出力するVCO25と、から構成される。パルススワロ分周器24には、このシグマデルタ変調器の制御によってPの値とSの値とをそれぞれとるプログラムカウンタ27とスワロカウンタ28とが含まれる。

【0025】

このシグマデルタ変調器は、所望の出力周波数 f_{vc} を生成するため、パラメータ $N_{\Sigma\Delta}$ 及び $D_{\Sigma\Delta}$ に基づいて、プログラムカウンタ27及びスワロカウンタ28の値を設定する。この所望の出力周波数 f_{vc} は、通信トランシーバにおいて信号を変調または復調させるため使用することができ、あるいは他の種々の目的の1つを達成するため使用することができる。P、S、 $N_{\Sigma\Delta}$ 、及び $D_{\Sigma\Delta}$ という値は、使用されている特定のプリスケラによって決定することができる。種々のプリスケラと、プログラムカウンタ27及びスワロカウンタ28の値を設定するために使用される方法とは、一般的に、当業者にとって周知のものである。これについては例えば非特許文献1を参照されたい。

【0026】

仮にVCOの出力周波数が修正されていない場合には、このVCO25の出力周波数には、位相・周波数検出器及びチャージポンプに関係するミスマッチによって生成されるスプリアス信号が含まれる種々のタイプのノイズが、含まれる。この例を図2に示す。図2においては、周波数分離 Δf は、小さすぎて、ループフィルタ23によってスプリアス信号を除去できない。本発明によれば、スプリアス信号をPLL回路の出力周波数 f_{vc} から大きくシフトすることができ、これにより、このタイプ及びその他のタイプのノイズ（位相ノイズを含む）が除去される。このノイズの除去はシグマデルタ変調器による調整により行われ、これら調整はPLL回路のレファレンス信号を変調することにより行われるのが好ましい。

【0027】

まず、このレファレンス変調器が、レファレンス信号 f_{ref} に

【0028】

【数1】

$$\frac{N_{mod}}{D_{mod}}$$

【0029】

という値を乗算して得られた値だけ、レファレンス信号 f_{ref} を変調する。そうすると、変調されたレファレンス信号 f_{mod} は、

【0030】

【数2】

$$f_{mod} = f_{ref} * \frac{N_{mod}}{D_{mod}}$$

【0031】

と表され、位相・周波数検出器に入力される。このように変調されるためには、 N_{mod} 及び D_{mod} の値としては、次のような点のうちの1つ又は複数の点に照らして、整数を選択するのが、好ましい。

【0032】

1) このシステムの周波数レンジ。仮に必須の周波数レンジが非常に狭く、かつ、当該周波数レンジに存在するチャンネルが少ない場合には、1つのレファレンス変調器のみを使用することができる。他方、仮にこの周波数レンジが広い場合には、1つのレファレ

10

20

30

40

50

ンス変調器のみでは、所望のスプリアス信号抑制を行うには充分ではない。この場合、最適な抑制を行うには、複数の変調器を含めることができ、選択的に選ぶことができる。表2及び表3（下記に詳述する）には、本発明のレファレンス信号変調を行うために使用できる N_{mod} 及び D_{mod} が含まれるが、これらに限定されるものではない。仮に必須の周波数レンジに、周波数 944.65 MHz または 1102.1 MHz が含まれない場合には、8/9 変調によって十分にノイズを抑制することができる。しかしながら、仮に上記いずれかの周波数が含まれている場合には、チャンネルを利用可能にするため、5/6 変調のような別の変調を使用することができる。この複数変調器の実施形態については、以下に詳細に説明する。

【0033】

2) このシステムにとって望ましいスプリアスレベル。

【0034】

3) ループフィルタ帯域幅。これについては次に説明する。このループフィルタのパラメータはレファレンス周波数に依存する。レファレンス変調がレファレンスクロックを変更したときは、このループフィルタのパラメータを変更した方がよい。オリジナルのレファレンスクロックと、変調されたレファレンスクロックとの差が、小さい場合には、システム仕様、例えば、位相ノイズと、スプリアス信号抑制と、ロックタイムとがその差を許容する限り、オリジナルのクロックと、変調されたクロックとの双方で、このループフィルタを共用することができる。仮に例えば1つのチャンネルについて8/9変調と2/3変調とによりスプリアス信号が同様に抑制される場合には、8/9変調の方が好ましい。というのは、8/9変調されたレファレンス信号は、2/3変調されたレファレンス信号よりも、オリジナルのレファレンス周波数に近いからである。

【0035】

4) このシステムのハードウェアの複雑さ。例えば、スプリアス信号を所望レベルに抑制するためには、複数の変調率（3/4、5/6、7/8、8/9など）を許容できるが、ハードウェアが使用されている場合には、全ての変調率選択することはできない。そこで、本発明に従って変調率を選択する場合には、ハードウェアを、考慮すべき1つのファクタとすることができる。

【0036】

レファレンス信号が変調されている間において、又はそれより所定時間前においては、シグマデルタ変調器の変調率を規定する値、すなわち、 $N_{\Sigma\Delta}$ 及び $D_{\Sigma\Delta}$ が、プログラムカウンタ27及びスワロカウンタ28の値に対応するP及びSと共に、計算される。それと共に、これらのパラメータとプリスケアラ29のパラメータKとにより、パルススワロ分周器がVCO25の出力周波数を分周するため用いる値が決定される。次に、パラメータ $N_{\Sigma\Delta}$ 、 $D_{\Sigma\Delta}$ 、P、及びSを計算できる方法を詳細に説明する。

【0037】

f_{vco} 、R、K、及び f_{ref} の値は、例えば所望の応用例の要件を満たすため、当該システムまたはアーキテクチャのレベルで決定される、のが好ましい。（Rの値をPLL回路の設計仕様（例えば $f_{ref} = 19.2$ MHzであれば、 $R = 1$ とする）に関連させることができ、また、Kの値をプリスケアラの設計に関連させることができる。）そうすると、未知の値は、P、S、 $N_{\Sigma\Delta}$ 、及び $D_{\Sigma\Delta}$ のみとなる。

【0038】

$D_{\Sigma\Delta}$ 。このパラメータは種々の方法で決定することができる。第1に、 $D_{\Sigma\Delta}$ を単純な2の累乗、例えば $2^{10} / 2^{12} / 2^{13} \dots$ として決定することができる。この場合、分母が大きくなるほど、ハードウェアの複雑さも増大し、このPLL回路の周波数分解能が増大する。そこで、精度とハードウェアの複雑さとの間にはトレードオフがある。第2に、仮に当該システムの周波数分解能（またはチャンネル間隔）が公知である場合には、 $D_{\Sigma\Delta}$ を次の式、すなわち、 $D_{\Sigma\Delta} = (f_{ref} / R) / f_{ch}$ から決定することができる。例えば韓国のCDMAシステムにおいては、 $f_{ref} = 19.2$ MHz、 $R = 1$ 、 $f_{ch} = 10$ kHzである。これらの値を上記式に代入すると、 $D_{\Sigma\Delta} = 1920$ となる

。

【0039】

P、S、及び $N_{\Sigma\Delta}$ 。これらのパラメータは、次の関係式、すなわち、 $f_{vco} = (f_{ref}/R) \times (KP + S + N_{\Sigma\Delta}/D_{\Sigma\Delta})$ を満足する整数である。仮にこの関係式において2つ以上の限定を加えると、一意的な解が得られる。第1の限定は、 $0 \leq S < K$ であり、第2の限定は、 $0 \leq N_{\Sigma\Delta} < D_{\Sigma\Delta}$ である。実際、これらの限定はアルゴリズム上の限定ではなく事実上の限定である。 $N_{\Sigma\Delta}$ の範囲は、多くの応用例において、 $D_{\Sigma\Delta}$ を超えるので、これに従って、シグマデルタ変調器のハードウェアの複雑さが増大する。例えば、 $f_{ref} = 19.2 \text{ MHz}$ 、 $R = 1$ 、 $f_{vco} = 1920.192 \text{ MHz}$ 、 $K = 8$ 、及び $D_{\Sigma\Delta} = 19200$ であるとの仮定の下に、項 $(KP + S + N_{\Sigma\Delta}/D_{\Sigma\Delta}) = 100.01$ となる。ここに、K、P、及びSは整数であるので、 $KP + S = 100$ であり、 $N_{\Sigma\Delta}/D_{\Sigma\Delta} = 0.01$ である。そうすると、 $P = 12$ 、 $S = 4$ ($S < K$ であることから、この整数の解は一意的になる)、 $N_{\Sigma\Delta} = 192$ である。

10

【0040】

第2に、パルススワロ分周器により、VCOの出力 f_{vco} が式(1)の値で分周されると、位相・周波数検出器に入力された比較周波数が、変調されたレファレンス周波数、すなわち、

【0041】

【数3】

$$f_{mod} = \frac{N_{mod}}{D_{mod}} f_{ref}$$

20

【0042】

に等しくなる。

【0043】

【数4】

$$(K \cdot P + S) + \left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right) \quad (1)$$

【0044】

この変調されたレファレンス周波数、すなわち f_{mod} は、変調されないレファレンス周波数、すなわち f_{ref} と異なるので、このパルススワロ分周器のパラメータは、フィードバックループからこの位相・周波数検出器へ入力された信号が、このレファレンス変調器から出力された変調されたレファレンス周波数と一致するようにするため、変更されなければならない。位相・周波数検出器に入力される前に、変調されたレファレンス周波数 f_{mod} を、オプションのレファレンス分周器31に対応する値Rで、分周することができる。

30

【0045】

式(1)からは、所望の出力周波数信号 f_{vco} 。(この信号は、例えば通信トランシーバのベースバンド信号リカバリ回路で使用される局部発振器信号とすることができる。)を得るため、フィードバックループにおいては、VCOの出力を、式(1)から得られた値で分周しなければならないことは、明らかである。仮にレファレンス分周器の値Rとプリスケラカウンタの値Kとが、所定の応用例において、公知である場合には、残りのパラメータ(P、S、N)を上述したようにして決定することができ、また、式(1)から、所定の入力周波数とVCO出力周波数とに対する値を決定することができる。

40

【0046】

このPLL回路の出力周波数は、次の式、すなわち、

【0047】

【数 5】

$$f_{vco} = \left(\frac{f_{ref}}{R} \right) \left(\frac{N_{mod}}{D_{mod}} \right) \left((K \cdot P + S) + \left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right) \right) \quad (2)$$

【0048】

で表すことができる。

【0049】

式(2)において、項

【0050】

【数 6】

10

$$\left(\frac{f_{ref}}{R} \right) \left(\frac{N_{mod}}{D_{mod}} \right) (K \cdot P + S)$$

【0051】

は、所望の周波数 f_{vco} の整数部であり、項

【0052】

【数 7】

$$\left(\frac{f_{ref}}{R} \right) \left(\frac{N_{mod}}{D_{mod}} \right) \left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right)$$

20

【0053】

は、この周波数の小数部である。このPLL回路においてミスマッチが生じると、この所望の周波数 f_{vco} の小数部と、この周波数の調波と一致する周波数のスプリアスノイズ信号が生成される。これらスプリアス信号の全部または一部をフィルタリングするために必要な分離を行うため、本発明は、上記の式の1つ又は複数のパラメータを制御する。

【0054】

最初に、所望の周波数分離を行うため、このシグマデルタ変調器の変調率が制御される。このことは、式(2)の小数部が所望の周波数 f_{vco} と1次スプリアス信号 f_{spl} との周波数オフセット (Δf) に対応しているから、経験的に理解することができる。(このオフセットは、これらスプリアス信号自体の隣接する次数間にも存在することができる。)

30

【0055】

このシグマデルタ変調器の変調率、すなわち、

【0056】

【数 8】

$$\left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right)$$

【0057】

が増大すると、周波数オフセット(又は、このスプリアス信号と所望の出力周波数との間の分離距離)は、大きくなる。そこで、項

40

【0058】

【数 9】

$$\left(\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} \right)$$

【0059】

を、式(2)の小数部に含めると、予め定めた次数のスプリアス信号 f_{spl} が所望の出力周波数 f_{vco} から十分に離れて生成されるので、信号パス上のループフィルタ23によって、このスプリアス信号 f_{spl} を確実に除去することができる。このスプリアス信号 f_{spl}

50

s_p の除去は、例えば、式（２）内の小数部、具体的には $N_{\Sigma\Delta}$ 及び $D_{\Sigma\Delta}$ を、比較的大きくすることによって、行うことができる。そうすると、 P と S の値が影響を受けて、結局、この PLL 回路のパルススワロ方式フィードバック分周器の値が調整されることになる。

【００６０】

ノイズを完全に抑制するには、式（２）の小数部には、１次スプリアス信号をループフィルタのカットオフ周波数未満に確実にシフトできる値を、設定しなければならない。しかし、必要であれば、この小数部には、より高次のスプリアス信号をフィルタリングするのに適正な他の値を、設定することができる。この場合、ノイズ抑制程度は小さくなるものの、他のシステム要件を満たすことができるから、本発明による解決方法を適正なものとする事ができる。

【００６１】

図４は、 $N_{\Sigma\Delta}$ 及び $D_{\Sigma\Delta}$ の値の調整することによりこの PLL 回路の出力におけるスプリアスノイズ信号が抑制される様を示す。この例においては、 f_{vc} はこの PLL 回路の所望の出力周波数に対応し、 f_{cutoff} はループフィルタのカットオフ周波数に対応し、ループ帯域幅は f_{vc} と f_{cutoff} との差に対応する。本発明によれば、上記の式（２）の小数部、特に $N_{\Sigma\Delta}$ と $D_{\Sigma\Delta}$ の比としては、スプリアスノイズ信号 f_{sp1} 、 f_{sep2} 、 $\dots$ 、 f_{spN} を、ループ帯域幅外、この場合、ループフィルタによって除去できるカットオフ周波数 f_{cutout} 未満に、シフトできる値が計算される。このシフトは、同図において、周波数オフセット Δf で示される。

【００６２】

レファレンス変調器 ２０の $N_{\Sigma\Delta}$ と $D_{\Sigma\Delta}$ との比を制御すれば、分離度をさらに調整することができる。具体的には、このレファレンス変調器は本発明のオプションのフィチャとみなされる（例えば、スプリアスノイズの抑制に必要な周波数分離は、 $N_{\Sigma\Delta}$ と $D_{\Sigma\Delta}$ との比である変調率を調整するだけで行うことができる。）が、他方で、スプリアス信号のシフトを微調整するには、式（２）の小数部で演算される N_{mod} と D_{mod} との比を制御することにより、行うことができる。 N_{mod} と D_{mod} の値は、レファレンス変調器の設計に基づいて決定される、のが好ましい。

【００６３】

表１に示す数値の例は、これら数値が式（２）に代入された場合に、スプリアスノイズ信号を PLL 回路のループ帯域幅外にシフトできる周波数分離 Δf が生成される数値の例である。これらの値は、本発明の優れた性能を示すため、図４にも反映されている。

【００６４】

【表１】

f_{ref}	f_{ref}	R	N_{mod}	D_{mod}	K	P	S	$N_{\Sigma\Delta}$	$D_{\Sigma\Delta}$
905.29MHz	19.68MHz	1	8	9	4	12	3	11817	15744

表１

【００６５】

表１では、 $N_{\Sigma\Delta}$ と $D_{\Sigma\Delta}$ との値として、それぞれ、１１８１７と１５７４４が設定され、このレファレンス信号変調器の変調率は $8/9$ である。これらの数値を式（２）に代入して計算すると、この PLL 回路の出力周波数 f_{vc} は 905.29MHz となる。この式（２）の小数部の値は、この例にあっては、

【００６６】

【数１０】

$$f_{ref} \cdot \frac{N_{mod}}{D_{mod}} \cdot \frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} = 19.68 \cdot \frac{8}{9} \cdot \frac{11817}{15744} = 13.13\text{MHz} \quad (3)$$

【００６７】

となるから、本発明が優れていることは明らである。

【0068】

式(3)からは、このPLL回路におけるミスマッチにより生成されるスプリアスノイズ信号は、式(2)の小数部、すなわち、計算により得られた13.13MHzと等しい周波数を有することになる。そこで、出力周波数と1次スプリアスノイズ信号 f_{sp1} との周波数分離 Δf は、6.55MHzとなる。(この数値は、変調された入力レファレンス信号の周波数 $(19.68 \times 8 / 9)$ から、13.13MHzを、減算することにより得られる。)これらの値を用いて、シグマデルタ変調器により1次スプリアスノイズ信号がこのPLL回路のループ帯域幅外にシフトされるから、このループフィルタのカットオフ周波数 f_{cutoff} により、これら及びこれらより高次のノイズ信号を出力周波数から除去することができる。この例においては、 $8/9$ という変調率が用いられ、分解能が微調整されるが、当然、他のレファレンス変調率を用いても、周波数分離 Δf をさらに大きくすることができる。

10

【0069】

上記の例においては、カットオフ周波数及び／又はループ帯域幅の決定は、位相ノイズ及びスプリアス信号を抑制するための要件を含む、当該システムの特定の応用例の要件に基づいて、行うことができる。図示のように、搬送波 f_{vc} からの周波数オフセット(Δf)が増大するほど、このループフィルタによるスプリアス信号 f_{sp} に対する抑制の程度が大きくなる。この周波数オフセットを増大させるために、このレファレンス変調を使用できることは、好都合である。

20

【0070】

上記の例においては、周波数分離は、少なくとも部分的ではあるが、シグマデルタ変調器に比較的大きい変調率を設定することによっても、行われた。これに対して、この変調率が小さい場合には、ノイズ抑制のために必要な分離を行うことができないことに、留意されたい。例えば、仮に

【0071】

【数11】

$$\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}} = 1/1968$$

30

【0072】

であり、かつPとSの値がそれぞれ11と2である場合には、得られる周波数分離は、変調前のレファレンス周波数を使用し、Kの値が同一で f_{ref} の値が同一である場合には、10KHzになる。この周波数分離は、ほとんどの応用例においては、充分、PLL回路のループ帯域幅内にあるから、このループフィルタによって抑制できないことになる。

【0073】

加えて、あるいはまた、シグマデルタ変調器の値の制御においては、分子の $N_{\Sigma\Delta}$ は、分母の $D_{\Sigma\Delta}$ の低調波から大きく離れるように、調整することができる。このことは、仮にこのシグマデルタ変調器の分子と分母の比、すなわち

【0074】

【数12】

$$\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}}$$

40

【0075】

が、 $D_{\Sigma\Delta}/2$ 、 $D_{\Sigma\Delta}/4$ 、及び $D_{\Sigma\Delta}/8$ に近い場合には、このレファレンス変調によってスプリアス信号を軽減させることができるか除去することができる、ことを意味する。

【0076】

よって、本発明によれば、SNRを実質的に向上させる方法で、PLL回路のような周

50

波数ジェネレータ内のノイズが抑制される。このことは、本発明と他の回路とを比較することにより明らかになる。例えば、図1aの関連技術のシステムでは、スプリアスノイズ信号とPLL回路の出力周波数との周波数分離は、10KHzに等しく、この10KHzは、図2を参照するに、このPLL回路のループ帯域幅内にある。このスプリアス信号がこのPLL回路のループ帯域幅内にあるので、図1aのループフィルタによっては、出力周波数からスプリアスノイズ信号を除去することはできないことになる。その結果、このPLL回路の出力は、SNRが、多くの応用例で必要とされるよりも低くなる。

【0077】

これに対して、本発明によれば、 $N_{\Sigma \Delta}$ 及び $D_{\Sigma \Delta}$ のパラメータのうちの少なくとも一方に、このPLL回路のループ帯域幅に基づいて、適正な値を設定し、ついで、オプションであるが、微調整を行うため、この入力レファレンス周波数を

【0078】

【数13】

$$\frac{N_{\text{mod}}}{D_{\text{mod}}}$$

【0079】

で変調すると、ループのミスマッチにより発生するスプリアスノイズがこのPLL回路の出力周波数から大きく離れるから、このループフィルタによりこのスプリアスノイズが抑制される。

【0080】

このようにスプリアスノイズを大幅に抑制することができるが、これに加えて、本発明に係るシステムによれば、これまで提案された他のシステムより広いループ帯域幅をとくに用いて、ロックタイムをより速くすることができる。PLL回路のロックタイムがループ帯域幅と反比例するのであるから、ロックタイムをより速くできることは当然のことである。そこで、本発明によれば、より広いループ帯域幅で動作する場合には、ロックタイムを他のPLL回路より短くすることができ、同時に、スプリアス信号を大幅に抑制することができる。これら全ての利点によってSNRが向上し通信トランシーバの品質が向上する。

【0081】

このレファレンス信号の変調は種々の方法で行うことができる。 f_{mod} がオリジナルのレファレンス信号 f_{ref} の調波に接近しないように、レファレンス周波数 f_{ref} が変調される、のが好ましい。このような変調をシグマデルタ変調器によって行うか否かに関わらず、このような変調を行うことは、PLL回路の出力にスプリアスノイズ信号が現れないようにするため望ましい。このことは、次の例からも理解することができる。

【0082】

図5(a)及び5(b)はオリジナルのレファレンス周波数と、本発明の一実施例によって生成される変調されたレファレンス周波数との調波と、をそれぞれ示したグラフである。図5(a)においては、オリジナルのレファレンス周波数の調波は、 $N \cdot f_{\text{ref}}$ 、 $(N+1) \cdot f_{\text{ref}}$ 、 $(N+2) \cdot f_{\text{ref}}$ 等として図示してある。図5(b)においては、変調されたレファレンス信号は

【0083】

【数14】

$$\frac{N_{\text{mod}}}{D_{\text{mod}}} = \frac{5}{6}$$

【0084】

という変調率に基づいて、生成される。そうすると、変調された入力レファレンス周波数の調波は、 $N \cdot (5/6) f_{\text{ref}}$ 、 $(N+1) \cdot (5/6) f_{\text{ref}}$ 、 $(N+2) \cdot (5/6) f_{\text{ref}}$ 等の周波数を有する。

【0085】

この例においては、 N は整数であり、6の倍数であるのが好ましい。変調されたレファレンス周波数の調波と、オリジナルのレファレンス信号の調波とが、一致するゾーンを、 X で示す。このゾーンにおいては、変調されたレファレンス信号によりこのPLL回路の出力内のスプリアス信号が抑制できないので、本発明は効果がない。これらの原理は、本発明に係るシグマデルタ変調器によって制御されるPLL回路の動作範囲を規定する基本原理とすることができる。具体的には、図5(a)及び図5(b)に示すように、変調されたレファレンス周波数の調波がオリジナルのレファレンス周波数の調波と等しくなるまで、変調されたレファレンス周波数を、オリジナルのレファレンス周波数に代えて、位相・周波数検出器に入力された比較周波数として用いることができる。

10

【0086】

チップ領域に制約がある場合には、所定の周波数チャネルに対して、 $N_{m.o.d}$ および $D_{m.o.d}$ について種々の値を用いることができる。例えば、あるチャネルのスプリアス信号を抑制するには、 $N_{m.o.d}/D_{m.o.d}$ が5/6であるのが望ましく、別のチャネルのスプリアス信号を抑制するには、 $N_{m.o.d}/D_{m.o.d}$ が8/9であるのが望ましい。任意のチャネルのスプリアス信号を抑制するために、これら両方の変調率を許容することもできる。 $N_{m.o.d}/D_{m.o.d}$ の値を変更すれば、スプリアス信号を抑制する目的で、種々の許容可能な周波数オフセットを行うことができる。このシステムと互換性のあるシステム（例えば所定のハードウェアの複雑さ）を選択することができる。

20

【0087】

図6は本発明に係るレファレンス変調器であって、上述のフレキシビリティを得ることができるレファレンス変調器の例を示す。このレファレンス変調器は、2つのレファレンス変調器51および52により構成され、このレファレンス変調器には、チャネルごとに適正な変調率 $N_{m.o.d}/D_{m.o.d}$ を選択するため、セレクトア53を含めることができる。レファレンス変調器51の変調率は5/6であり、レファレンス変調器52の変調率は8/9である。図6には、2つのレファレンス変調器を図示したが、本発明によれば、2つ以上のレファレンス変調器を含めることができ、例えば通信チャネルごと、又はチャネルグループごとに1つのレファレンス変調器を備えることもでき、このことは当業者にとって当然のことである。この場合、各レファレンス変調器によって、変調率を、特に当該チャネル又はチャネルグループごとに選択することができ、最適な変調率を選択するのが好ましい。スプリアストーンがないチャネルにあっては、レファレンス変調器を省略することができ、あるいは機能を制限することができ、レファレンスクロックを内部PLL回路ブロックに直接供給することができる。

30

【0088】

図7はこれらの結果を得るために構成された、本発明に係るレファレンス変調器の例を示す。このレファレンス変調器には、第1デューティサイクルコレクタ70と、周波数通倍器71と、第2デューティサイクルコレクタ72と、分数比分周器73と、第3デューティサイクルコレクタ74と、別の分数比分周器75とが、含まれる。これら分数比分周器は、入力信号を2/3倍にするように設定される。しかし、当業者にとって当然のことであるが、必要に応じて別の分数値を用いることができる。

40

【0089】

図8(a)～(g)は図7のレファレンス変調器の各部によって信号が処理される態様を示した図である。図8(a)はレファレンス変調器に入力されるオリジナルのレファレンス周波数 f_{ref} を示す。図8(b)は低調波成分を除去してクリーンな信号を生成するために第1デューティサイクルコレクタがオリジナルのレファレンス周波数を処理する例を示す。図8(c)は、周波数通倍器が、第1デューティサイクルコレクタから出力された信号の周波数を2倍にする例を示す。この結果、信号の周期は半分にカットされる。図8(d)は第2デューティサイクルコレクタが低調波を除去することによって周波数通倍器の出力をクリーンアップする例を示す。図8(e)は第2デューティサイクルコレクタから出力された信号が、この例においては2/3である所定の分数で乗算される例を示

50

す。

【0090】

図8(f)は第3デューティサイクルコレクタが低調波を除去することによって第1分数比分周器の出力をクリーンアップする例を示す。これによって、信号の周期が、第1分数比分周器による分周分だけ増大する。

【0091】

図8(g)は第3デューティサイクルコレクタからの出力された信号が、予め定めた分数、この例でも2/3、で乗算される例を示す。その結果、変調されたレファレンス周波数が生成される。調波を除去するために、ひとたびこの信号が処理されると、変調された最終的なレファレンス信号が生成され、その周期は第2分数比分周器による分周分だけ増大する。

10

【0092】

このレファレンス変調器の上記の例では、このPLL回路の動作範囲を増大させ、同時にスプリアス信号の再び生成されないようにするため、このレファレンス変調器の分子は1以外の数値とする必要がある。実際には、分子としては大きい値を用いるのが好ましい。分数比分周器と周波数通倍器にあっては、分子を大きくできるので好ましい。

【0093】

例えば、前述の例においては、

【0094】

【数15】

20

$$f_{\text{mod}} = \frac{N_{\text{mod}}}{D_{\text{mod}}} f_{\text{ref}} = \frac{8}{9} f_{\text{ref}}$$

【0095】

に等しい変調されたレファレンス信号を生成するため、1つの周波数通倍器と2つの分数比分周器とが使用された。変調されたレファレンス周波数を生成するため、1つの周波数通倍器と2つの分数比分周器とが使用され、これら2つの分数比分周器には、分数として2/3が用いられた。これらの値は好ましいものであるが、所望の分数、すなわち

【0096】

【数16】

30

$$\frac{N_{\text{mod}}}{D_{\text{mod}}}$$

【0097】

が得られる限り、任意の数の周波数通倍器及び分周器を使用することができ、このことは当業者にとって当然のことである。

【0098】

図9は本発明に係るレファレンス周波数変調器の別の構成例を示す。このレファレンス周波数変調器には、ミキサ81に接続された多くの分周器80が含まれている。これら分周器は、オリジナルのレファレンス周波数 f_{ref} を、ミキサに輸入され所望の分数比周波数を生成する値で、乗算する。例えば、これら分周器は

40

【0099】

【数17】

$$\frac{4}{9} f_{\text{ref}}$$

【0100】

に等しい信号を出力できる。このミキサは

【0101】

【数 1 8】

$$\frac{8}{9}f_{\text{ref}}$$

【0 1 0 2】

に等しい信号を出力することになる。ミキシング後、このミキサによって生成された不要な調波がバンドパスフィルタ 8 2 によってフィルタリングされる。そして、デジタルパルスの形式の変調されたレファレンス周波数を生成するため、リミタ 8 3 が使用される。

【実施例】

【0 1 0 3】

10

表 2 は本発明に従って使用できる数値の例を示す。スプリアスノイズを許容できる程度に軽減するため、

【0 1 0 4】

【数 1 9】

$$\frac{N_{\Sigma A}}{D_{\Sigma A}}$$

【0 1 0 5】

という比としては、スプリアス信号をカットオフ周波数外にシフトするできる値が選択される。このレファレンス周波数 f_{ref} は、

20

【0 1 0 6】

【数 2 0】

$$\frac{N_{\text{mod}}}{D_{\text{mod}}}$$

【0 1 0 7】

とい比だけ変調されるが、これにより、 f_{mod} の調波がオリジナルのレファレンス周波数 f_{ref} に近くなる。

【0 1 0 8】

【表 2】

30

Nearest N for Fvco/Fref	Fvco /Fref	Fvco /Fref	R	K	P	S	U	D	N/O	Fvco/Fvco /Fvco	Fvco/Fvco /Fvco	R	K	P	S	U	D	N/O	Fvco/Fvco /Fvco	Fvco/Fvco /Fvco	R	K	P	S	U	D	N/O	Fvco/Fvco /Fvco	Fvco/Fvco /Fvco		
46	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
47	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
48	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
49	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
50	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
51	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
52	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
53	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
54	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
55	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
56	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
57	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
58	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508
59	19.6	19.6	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508	0	0	17.49	52.87	1	4	12	3	1	196	0.000508

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco/Fref

Nearest N for Fvco

Worst Case Spur Example

New/Unw ratio is far from 0 or 1

40

表 2

【0 1 0 9】

表 2 においては、

【0 1 1 0】

50

【数 2 1】

$$\frac{N_{\text{mod}}}{D_{\text{mod}}} = 8/9$$

【0 1 1 1】

が用いられ、 N_{new} 及び D_{new} は、それぞれ、シグマデルタ変調器の値、すなわち、 $N_{\Sigma \Delta}$ および $D_{\Sigma \Delta}$ に対応する。ワーストケースにおいては、スプリアス信号は 905.29 MHz と 1161.13 MHz との間に存在する。（表 2 の N と D の列から得られる例えば $N/D = 1/1968$ という比が、ワーストケースのスプリアス信号に対応する N/D 比である。 $N/D = 1967/1968$ という比は、表 2 に示されている特性と同じ特性を有するので、含まれていない。）ワーストケースのスプリアス信号はレファレンスクロック周波数の倍数の周波数に近くなる。 $46 f_{\text{ref}}$ から $59 f_{\text{ref}}$ までの例をリストした。 $8/9$ レファレンス変調が例として用いられている。シグマデルタ変調率、すなわち

10

【0 1 1 2】

【数 2 2】

$$\frac{N_{\text{new}}}{D_{\text{new}}}$$

【0 1 1 3】

20

は、 f_{vco} 。または、図 5 に示すように、レファレンスクロックの倍数で循環し、例えば

【0 1 1 4】

【数 2 3】

$$\frac{N_{\text{new}}}{D_{\text{new}}} = 9/15744, 1977/15744, \dots, 11817/15744, 13785/15744$$

【0 1 1 5】

のように比が反復される。

【0 1 1 6】

表 2 の数値は全て最適であるとは限らない。例えば、 $f_{\text{vco}} = 944.65$ である場合は、シグマデルタ変調率は、

30

【0 1 1 7】

【数 2 4】

$$\frac{N_{\text{new}}}{D_{\text{new}}} = 9/15744$$

【0 1 1 8】

である。そうすると、レファレンス変調率

【0 1 1 9】

【数 2 5】

40

$$\frac{N_{\text{mod}}}{D_{\text{mod}}} = 8/9$$

【0 1 2 0】

が用いられる場合には、 10 KHz の周波数分離が生ずる。この 10 KHz の周波数分離は、場合によっては、スプリアス信号を抑制するには充分でない。その場合には、スプリアス信号を許容できる程度に抑制できる周波数分離が生ずるように、レファレンス信号変調率を変更することができる。この例においては、レファレンス信号変調率として、

【0 1 2 1】

【数 2 6】

$$\frac{N_{\text{mod}}}{D_{\text{mod}}} = 5/6$$

【 0 1 2 2 】

を設定することにより、スプリアス信号を許容できる程度に抑制できる周波数分離が生じる。これらの変調率について得られた結果の比較を表3に示す。

【 0 1 2 3 】

【表 3】

[illegible]

表 3

【 0 1 2 4 】

8/9に代えて5/6という変調率を用いると、次のような周波数オフセット、すなわち、 $f_{ref} \times (N_{mod}/D_{mod}) \times (N_{new}/D_{new}) = 19.68 \times (5/6) \times (5910/9840) = 9.85 \text{ MHz}$ が、得られる。このオフセットは、8/9という変調率を用いて得られた10 KHzのオフセットよりも著しく大きく、実際、このオフセットにより、スプリアスノイズをループフィルタのカットオフ周波数外にシフトできる、スプリアス信号を抑制することができる。この例からは、スプリアス信号を抑制して、通信トランシーバ内のSNRを向上させるため、

【 0 1 2 5 】

【数 2 7】

$$\frac{N_{\text{mod}}}{D_{\text{mod}}}$$

【 0 1 2 6 】

と

【 0 1 2 7 】

【数 2 8】

$$\frac{N_{\Sigma\Delta}}{D_{\Sigma\Delta}}$$

【 0 1 2 8 】

との少なくとも一方を制御できる（双方を制御できるのが好ましいが）ことは、明らかである。

【 0 1 2 9 】

以上の説明より、本発明の他の修正例及び変形例は、当業者にとって明らかである。したがって、本明細書においては特に本発明のある実施形態のみを記載したが、本発明の趣旨と範囲から逸脱しない限り、多くの修正を行うことができることは、当然のことである。

【図面の簡単な説明】

【 0 1 3 0 】

【図 1 a】 関連技術の PLL 回路を示す図である。

【図 1 b】 関連技術の PLL 回路の位相・周波数検出器及び／又はチャージポンプ内で生

じることがあり、システムの性能を劣化させるスプリアス信号の発生につながる異なる種類のミスマッチを示す図である。

【図2】図1 aの関連技術の回路内でのスプリアスノイズ信号の発生を示す図である。

【図3】本発明に係るPLL回路の一実施形態を示す図である。

【図4】スプリアスノイズ信号をPLL回路のループ帯域幅外にシフトして、これらスプリアスノイズ信号をループフィルタで除去する例を説明するための図である。

【図5】オリジナルのレファレンス周波数の調波と、変調されたレファレンス周波数の調波とを示す線図である。

【図6】本発明のレファレンス変調器の一実施形態を示す図である。

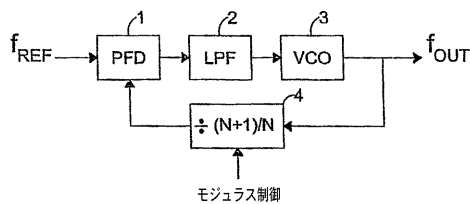
【図7】本発明のレファレンス変調器の別の実施形態を示す図である。

【図8】図7のレファレンス変調器の各部によって信号が処理される態様を示す図である。

【図9】本発明のレファレンス変調器の一実施形態を示す図である。

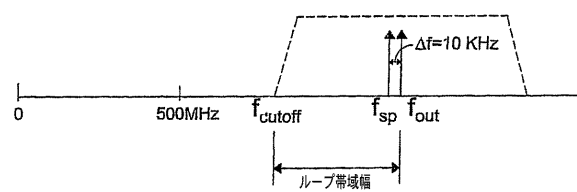
10

【図1 a】



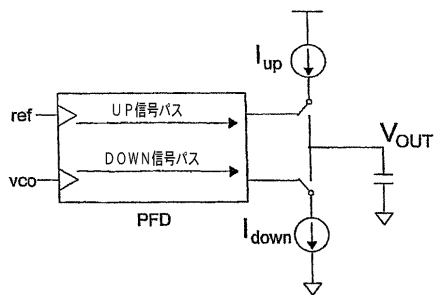
関連技術

【図2】



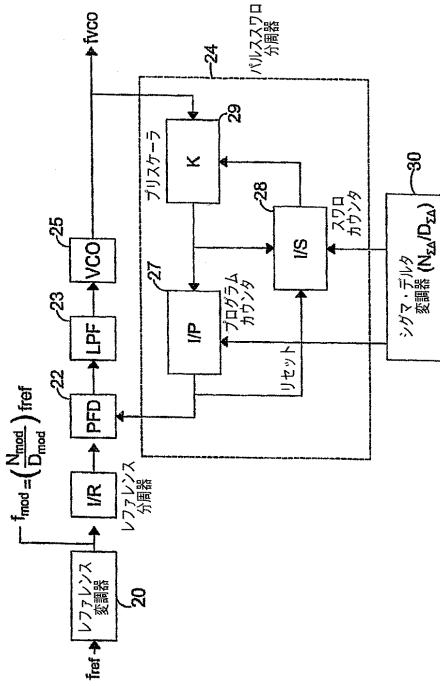
関連技術

【図1 b】

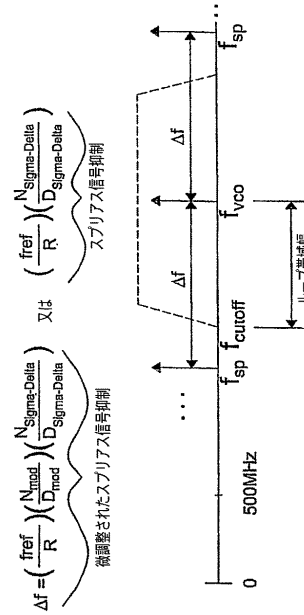


関連技術

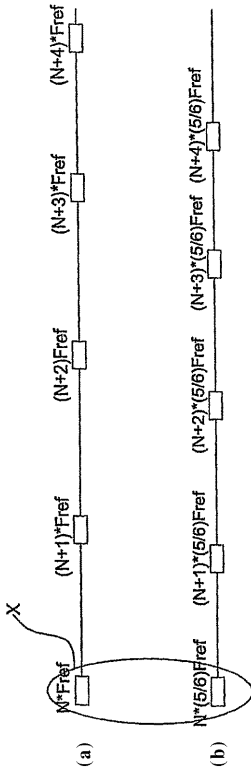
【図 3】



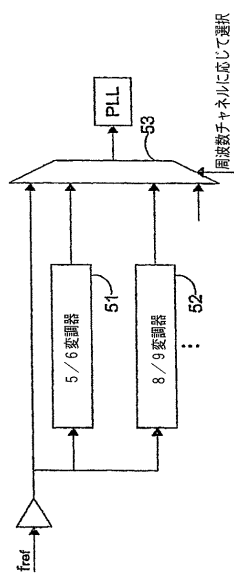
【図 4】



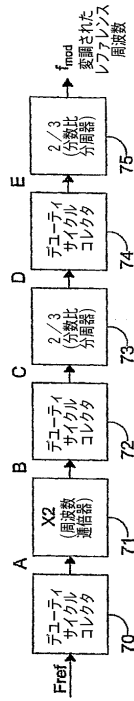
【図 5】



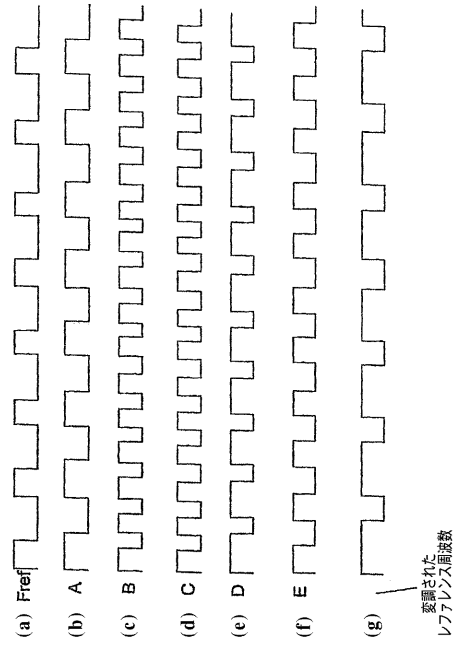
【図 6】



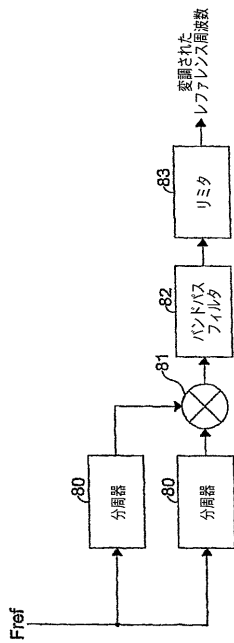
【図 7】



【図 8】



【図 9】



フロントページの続き

- (72)発明者 アン ユンホ
大韓民国 ソウル ヤンデウン ク シンチュン 5 ドン 934-15
- (72)発明者 ソン エンソク
大韓民国 ソウル ソチョ ク バンベードン 15-405 イムカン アpartment
- (72)発明者 クー イートー
大韓民国 ソウル ソチョ グ バンポ2 ドン 225-307 バンポ チョゴン アpartment
- (72)発明者 リー ジョンーウー
大韓民国 ソウル ユンデンポグ シンキルー7ドン 101-204 サンワン アpartment
- (72)発明者 パク ジョーンバエ
大韓民国 ソウル ソチョーグ ソチョードン 8-303 サンブーン アpartment
- (72)発明者 リー キョンゴ
大韓民国 ソウル クナック グ シンリム-10ドン 309-901 サムスーサン チョッコン アpartment

審査官 畑中 博幸

- (56)参考文献 特開平10-247851 (JP, A)
特開平10-285027 (JP, A)
特開平11-195986 (JP, A)
米国特許出願公開第2002/0145472 (US, A1)
特開2003-179490 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/197

H03L 7/183