



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I603461 B

(45)公告日：中華民國 106 (2017) 年 10 月 21 日

(21)申請案號：104105362 (22)申請日：中華民國 104 (2015) 年 02 月 16 日

(51)Int. Cl. : H01L27/118 (2006.01) H01L27/11 (2006.01)

H01L21/82 (2006.01) H01L29/772 (2006.01)

(30)優先權：2014/03/27 世界智慧財產權組織 PCT/US14/32022

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：皮拉瑞斯提 拉維 PILLARISSETTY, RAVI (US)；雷 凡 LE, VAN H. (US)；瑞奇曼第 威利 RACHMADY, WILLY (US)；寇利爾 羅沙 KOTLYAR, ROZA (US)；拉多撒福傑維克 馬可 RADOSAVLJEVIC, MARKO (US)；陳 漢威 THEN, HAN WUI (MY)；達斯古塔 山薩塔克 DASGUPTA, SANSAPTAK (IN)；狄威 吉伯特 DEWEY, GILBERT (US)；朱功 班傑明 CHU-KUNG, BENJAMIN (US)；卡瓦李耶羅 傑克 KAVALIEROS, JACK (US)

(74)代理人：林志剛

(56)參考文獻：

US 4885618 US 2011/0068407A1

US 2011/0084319A1 US 2012/0319211A1

US 2014/0027816A1

審查人員：陳聖

申請專利範圍項數：21 項 圖式數：6 共 56 頁

(54)名稱

鍺錫通道電晶體

GERMANIUM TIN CHANNEL TRANSISTORS

(57)摘要

說明關於具有鍺錫之電晶體及積體電路的技術、包含這些電晶體的系統、形成它們的方法。這些電晶體包含通道區，通道區包括鍺的鍺錫部以致於鍺包含配置於基底上的緩衝層及配置於緩衝層上的鍺錫部。

Techniques related to transistors and integrated circuits having germanium tin, systems incorporating such transistors, and methods for forming them are discussed. Such transistors include a channel region that comprises a germanium tin portion of a fin such that the fin includes a buffer layer disposed over a substrate and the germanium tin portion disposed over the buffer layer.

指定代表圖：

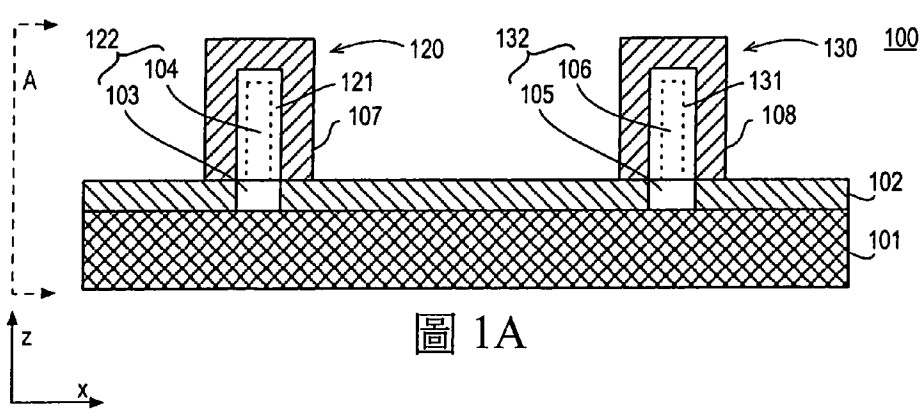


圖 1A

符號簡單說明：

- 100 . . . 積體電路
- 101 . . . 基底
- 102 . . . 介電層
- 103 . . . 緩衝層
- 104 . . . 鍍錫部
- 105 . . . 緩衝層
- 106 . . . 鍍錫部
- 107 . . . 閘極
- 108 . . . 閘極
- 120 . . . 電晶體
- 121 . . . 通道區
- 122 . . . 緒
- 130 . . . 電晶體
- 131 . . . 通道區
- 132 . . . 緒

發明摘要

※申請案號：104105362

※申請日：104年02月16日

※IPC分類：H01L 27/118 (2006.01)
H01L 27/11 (2006.01)
H01L 21/82 (2006.01)
H01L 29/772 (2006.01)

【發明名稱】(中文/英文)

鍺錫通道電晶體

Germanium tin channel transistors

【中文】

說明關於具有鍺錫之電晶體及積體電路的技術、包含這些電晶體的系統、形成它們的方法。這些電晶體包含通道區，通道區包括鰭的鍺錫部以致於鰭包含配置於基底上的緩衝層及配置於緩衝層上的鍺錫部。

【英文】

Techniques related to transistors and integrated circuits having germanium tin, systems incorporating such transistors, and methods for forming them are discussed. Such transistors include a channel region that comprises a germanium tin portion of a fin such that the fin includes a buffer layer disposed over a substrate and the germanium tin portion disposed over the buffer layer.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

100：積體電路

101：基底

102：介電層

103：緩衝層

104：鍺錫部

105：緩衝層

106：鍺錫部

107：閘極

108：閘極

120：電晶體

121：通道區

122：鰭

130：電晶體

131：通道區

132：鰭

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

鍺錫通道電晶體

Germanium tin channel transistors

【技術領域】

本發明的實施例大致上關於具有增強的通道遷移率及降低的漏電的半導體電晶體，特別關於鍺錫通道電晶體、裝置、及製造技術。

【先前技術】

在某些實施例中，例如金屬氧化物半導體場效電晶體(MOSFET)等電晶體可以是多閘極裝置(例如三閘極電晶體或鰭式場效電晶體)。相較於類似的平面電晶體結構，這些結構可以提供當裝置開啟時會有更多電流通且當裝置關閉時會有更少電流通之優點，並因而提供更大的性能及更少的功率使用。舉例而言，多閘極裝置包含耦合至源極、汲極、以及源極與汲極之間的閘極之矽鰭或柱等等。鰭或柱包含相鄰於閘的通道區。

此外，隨著裝置改良，不同材料可以實施用於多閘極裝置的各式各樣組件。特別地，鰭或柱可以由矽以外的材料製成，以增進裝置性能。舉例而言，這些材料可以提供增加的電子及/或電洞遷移率等等，以增加驅動電流。當

在鰭結構內設置新材料時，次鰭漏電問題是持續的問題。

如此，現有的技術無法提供具有增強的通道遷移率及例如次鰭漏電等最小或降低的漏電之電晶體結構。隨著在各種應用中需要具有增加的速度、強化的驅動電流、及低功耗消耗之裝置，這些問題成為關鍵。

【圖式簡單說明】

在附圖中，以舉例說明而非限定方式，顯示此處說明的內容。為了簡明起見，圖中所示的元件不一定依比例繪製。舉例而言，為了簡明起見，某些元件的尺寸相對於其它元件是放大的。此外，在被視為適當時，在不同圖中重複代號以表示對應的或類似的元件，在圖式中：

圖 1A 是包含電晶體實例的積體電路實例之側視圖；

圖 1B 是實例電晶體的第二側視圖；

圖 1C 是圖 1A 及 1B 的實例電晶體之平面視圖；

圖 2 是流程圖，顯示具有增強的通道遷移率及最小或降低的漏電之電晶體的形成方法；

圖 3A、3B、3C、3D、3E、3F、3G、3H 是當執行特定製造操作時之實例電晶體結構的側視圖；

圖 4 是實施具有增強的通道遷移率及最小或降低的漏電之一或更多電晶體的實例 SRAM 胞的視圖；

圖 5 顯示採用設有具有增強的通道遷移率及最小或降低的漏電之電晶體的積體電路之行動計算平台；以及

圖 6 是計算裝置的功能方塊圖，都是根據本揭示的至

少某些實施配置。

【發明內容及實施方式】

現在參考附圖，說明一或更多實施例或實施。雖然說明特定配置及安排，但是，應瞭解這僅以說明為目的而完成的。習於此技藝者將瞭解，在不悖離說明的精神及範圍之下，可以採用其它配置及安排。習於此技藝者將清楚知道此處所述的技術及/或配置也可用於此處所述之外的各式各樣其它系統及應用。

在下述詳細說明中，將參考附圖，附圖是詳細說明的一部份，其中，在所有附圖中，類似的代號表示類似構件以表示對應的或類似的元件。較佳的是，為了簡明起見，圖中所示的元件不一定依比例繪製。舉例而言，為了清楚起見，某些元件的尺寸相對於其它元件是被放大的。此外，須瞭解，在不悖離主張之標的的範圍之下，可以利用其它實施例以及改變結構及/或邏輯。也應注意，例如上、下、頂、底、在...之上、在...之下、等等方向及參考僅用於便於說明圖式及實例而非要限定主張之標的的應用。因此，不是以限定方式作出下述詳細說明，且主張之標的的範圍僅由後附的申請專利範圍及其均等範圍界定。

在下述詳細說明中，揭示眾多細節，但是，習於此技藝者將清楚，不用這些特定細節，仍然能實施本發明。在某些情形中，以方塊圖形式而非詳細地顯示習知的方法及裝置，以免模糊本發明。在本說明書中述及「實施例」、

「在一實施例中」係意指配合實施例所述的特定特點、結構、功能或特徵包含在本發明的至少一實施例中。因此，在本說明書的不同處出現之「在實施例中」的文句不一定都意指本發明的相同實施例。此外，在一或更多實施例中，特定的特點、結構、功能或特徵可以以任何適當的方式結合。舉例而言，在二實施例未被指明相互排斥的情形中，第一實施例可以與第二實施例相結合。

此處使用「連接」及「耦合」與它們的衍生詞以說明元件之間的結構關係。應瞭解，這些詞非並要成為彼此的同義詞。相反地，在特定實施例中，「連接」用以表示二或更多元件彼此直接實體或電接觸。「耦合」用以表示二或更多元件彼此直接或間接（有其它元件介於它們之間）實體或電接觸，以及/或，二或更多元件彼此協力或互動（例如，造成有效關係）。

「在...之上」、「在...之下」、「在...之間」、「在...上」及/或等詞，於此用以意指一材料層或組件相對於其它層或組件的相對位置。舉例而言，配置於另一層之上或之下的一層與其它層直接接觸或是具有一或更多介於其間的層。此外，配置在二層之間的一層與二層直接接觸或是具有一或更多中介層。相反地，「在第二層上」的第一層是與該第二層直接接觸。類似地，除非另外明確說明，否則，配置在二特點之間的一特點可以直接接觸相鄰特點或是具有一或更多中間特點。

在下述中，與具有增強的通道遷移率及最小或降低的

漏電之電晶體相關地，說明電晶體、積體電路、裝置、設備、計算平台、及方法。

如上所述，提供具有增強的通道遷移率及最小或降低的漏電之電晶體是有利的。這些電晶體可以提供增加的驅動電流及省電。在實施例中，電晶體包含通道區，通道區包括鰭的鍺錫（GeSn）部份。鰭包含配置於基底上之緩衝層以及配置於緩衝層上之鍺錫部份。鍺錫部份提供高通道遷移率材料。藉由提供相對於鰭的鍺錫部份之能帶偏移及價差，緩衝層提供降低的漏電（例如次鰭漏電）。能帶偏移提供用於圍堵之能量狀態障壁及價差提供動量狀態或選取圍堵，以致於都含有或侷限電力於鍺錫部份中以降低例如次鰭（例如經由鰭底部）漏電等漏電。在實施例中，緩衝層是例如鬆弛的磊晶鍺等鍺。如此處進一步說明般，此鍺層可以在通道中提供壓縮應變以及增進裝置性能。

在某些實施例中，NMOS（N型金屬氧化物半導體）及PMOS（P型金屬氧化物半導體）電晶體整合成CMOS（互補金屬氧化物半導體）電路裝置，以致於所述的裝置提供用於邏輯或記憶體裝置等等之CMOS平台。NMOS電晶體及PMOS電晶體在它們的通道之鍺錫部份中具有不同濃度的錫，以致於如此處進一步說明般可取得各電晶體之增進的性能。在某些實施例中，電晶體可以耦合至包含經過摻雜的鍺錫之源極和汲極（例如凸起的源極和汲極）。如同此處進一步說明般，NMOS電晶體及PMOS電晶體在它們的源極和汲極中具有不同的錫濃度以提供可變應力

(例如，在 NMOS 和 PMOS 電晶體中不同的應力) 以增進通道性能。

舉例而言，在實施例中，積體電路包括電晶體，電晶體包含通道區，通道區包括鰭的鍺錫部份，以致於鰭包含配置於基底上的緩衝層以及配置於緩衝層上的鍺錫部份、配置於通道區上的閘極、以及耦合至鰭的源極和汲極，以致於通道區在源極與汲極之間。參考圖式，於此進一步說明本實施例及其它實施例。

圖 1A 是包含實例電晶體 120、130 之實例積體電路 100 之側視圖，圖 1B 是實例電晶體 120、130 的第二側視圖，圖 1C 是根據本揭示之至少某些實施配置之實例電晶體 120、130 的平面視圖。如同所示，圖 1A 提供沿著平面 A 取得的側視圖，圖 1B 提供沿著如圖 1C 的平面視圖所示之平面 B 取得的側視圖。

如同所示，積體電路 100 包含基底 101 及介電層 102。在實施例中，基底 101 是矽 (例如 (100) 結晶矽)。如同所示，介電層 102 包含圖案，提供用於鰭之開口或溝槽。在實施例中，介電層 102 是氧化物 (例如氧化矽)。舉例而言，電晶體 120 包含鰭 122，鰭 122 包含緩衝層 103 及鍺錫部 104。電晶體 130 包含鰭 132，鰭 132 包含緩衝層 105 及鍺錫部 106。如同此處所使用般，鰭一詞包含緩衝層及鍺錫部 (或是不同材料的鰭部) 或是僅有鍺錫部 (或是不同材料的鰭部)。在實施例中，緩衝層 103 及/或緩衝層 105 包含鍺或是由鍺構成，例如磊晶生長

的、結晶的、或實質上單晶的銻層或部份。在實施例中，銻錫部 104 及/或銻錫部 106 包含磊晶生長的、結晶的、或實質上單晶的銻錫層或是由其構成。如同此處進一步說明般，緩衝層 103、105 及銻錫部 104、106 磊晶地生長於溝槽之內（例如窄或高型態比溝槽）。

也如同所示，電晶體 120 包含閘極 107 及相鄰的銻錫部 104 之通道區 121。電晶體 130 包含閘極 108 及相鄰的通道區 131。在電晶體 120、130 的操作期間，閘極 107、108 提供電荷（例如經由閘極接點，未顯示）給鰭 122、132，以在通道區 121、131 之內感應出通道。舉例而言，閘極 107、108 配置於銻錫部 104、106 的通道區 121、131 上。在圖 1C 的平面視圖中，通道區 121、131 可由閘極 107、108 遮掩。

如圖 1B 及 1C 中所示，電晶體 120 包含耦合至鰭 122（例如經由銻錫部 104）之源極 109 和汲極 110 以及電晶體 130 包含耦合至鰭 132（例如經由銻錫部 106）之源極 111 和汲極 112。在實施例中，源極 109、111 和汲極 110、112 包含銻錫或由銻錫構成。如同此處將進一步說明般，在某些實例中，可以經由凸起的源極和汲極磊晶生長或再生長製程，形成源極 109、111 以及汲極 110、112。

如此處所述，銻錫部 104、106 包含例如銻及錫（ $\text{Ge}_{(1-x)}\text{Sn}_x$ ）合金等包含銻及錫之磊晶材料或由此磊晶材料構成。在實施例中，相較於其它通道材料，銻錫部 104、

106 提供增強的或增加的電子及電洞遷移率以用於通道區 121、131。舉例而言，銻錫提供低有效質量以用於 NMOS 及 PMOS 電晶體，允許高遷移率及驅動電流。舉例而言，相較於銻，具有與銻平衡之約 15%的錫之銻錫部 104、106 可以提供約 50%增加的電子及電洞遷移率（舉例而言，接著相較於矽，具有增加的電子及電洞遷移率）。此增加的遷移率提供增強的或增加的驅動電流給電晶體 120、130。

銻錫部 104、106 包含例如與銻平衡之錫量。在實施例中，銻錫部 104、106 包含與銻平衡之小於 3%的錫（例如， x 不小於 0.03）。在某些實例中，銻錫部 104、106 包含與銻平衡之 3%至 5%的錫（例如在 3%至 5%範圍的錫濃度；例如， x 是在 0.03（含）與 0.05（含）之間）。在某些實例中，銻錫部 104、106 包含與銻平衡之 5%至 10%的錫（例如在 5%至 10%範圍的錫濃度；例如， x 是在 0.05（含）與 0.10（含）之間）。在一些例子中，銻錫部 104、106 可包括 5%至 20%錫（如，錫的濃度在 5%至 20%範圍中，如， x 係介於 0.05 及 0.20 間）以與銻平衡。

此外，銻 121、131 經由包含緩衝層 103、105、以及銻錫部 104、106 可以降低電晶體 120、130 中的漏電（例如次銻漏電）。舉例而言，緩衝層 103、105 包含銻。在這些實施例中，能帶偏移（例如，在銻與銻錫之間的異質界面之能帶的相對對齊之偏移）可以存在於銻緩衝層 103、105 與銻錫部 104、106 之間。此能帶偏移限制或捕

獲電子或電荷載子（電洞）以及降低、實質上降低、或消除電晶體 120、130 中的漏電。此外，價差存在於銻緩衝層 103、105 與銻錫部 104、106 之間。此價差或偏移也可限制或捕獲電子或電荷載子（電洞）以及降低、實質上降低、或消除電晶體 120、130 中的漏電。舉例而言，能帶偏移可以提供能量狀態障壁給漏電，價差或偏移可以提供動量狀態或「選擇」障壁給漏電。

如圖 1C 所示，經由與電晶體 120 相關連的箭頭 141 以及與電晶體 130 相關連的箭頭 142，緩衝層 103、105 提供壓縮應變（例如單向壓縮應變或應力）給銻錫部 104、106 並因而提供給通道區 121、131。在實施例中，緩衝層 103、105 包含例如鬆弛的磊晶銻層等銻或是由其構成。相較於銻錫部 104、106（例如磊晶銻錫），銻緩衝層 103、105 具有較小的原生晶格間隔並因而如同所示般經由箭頭 141、142 而將壓縮應變施加至通道區 121、131。

在某些實例中，電晶體 120 是 NMOS 電晶體及電晶體 130 是 PMOS 電晶體，以及，積體電路 100 是 CMOS 裝置。在實施例中，NMOS 電晶體 120 及 PMOS 電晶體 130 在銻錫部 104、106 中具有相同的錫濃度，例如上述列出的錫濃度。在這些實例中，如同經由箭頭 142 所示之對通道區 131 的壓縮應變可以增強電晶體 130 的性能（例如，壓縮應變可以在銻錫部 106 中提供較低的有效質量以及較佳的遷移率以及在銻錫部 106 與緩衝層 105 之間提供更高

的價偏移)。此外，增加鍺錫部 106 中的錫量可以增加壓縮應變及進一步增強電晶體 130 的性能。

在這些實施例中，NMOS 電晶體 120 的性能可以由鍺錫部 104 的某些態樣增強（例如增強的或增加的遷移率）但是與如同經由箭頭 141 所示的壓縮應變相抗衡（例如，過多的壓縮應變會因降低相對於鍺緩衝層 103 之降低的能帶偏移而阻礙 NMOS 電晶體的性能）。因此，在鍺錫部 104、106 中的錫濃度相同的實例中，會為了 NMOS 和 PMOS 電晶體的性能而達成平衡。舉例而言，用於 PMOS 和 NMOS 電晶體 120、130 之錫的百分比可以不小於 8% 且不大於 12%，而與鍺平衡，以約 10% 的錫之百分比特別有利。

在其它實例中，在鍺錫部 104、106 中的錫濃度及因而通道區 121、131 中的錫濃度可以不同。繼續電晶體 120 是 NMOS 及電晶體 130 是 PMOS 之實例，鍺錫部 106（及通道區 131）比鍺錫部 105（及通道區 121）具有更高的錫濃度。此實施例提供 NMOS 及 PMOS 電晶體的增強性能。舉例而言，NMOS 電晶體 120 的鍺錫部 104（及通道區 121）具有與鍺平衡之濃度在 5% 至 10% 範圍的錫，以及 PMOS 電晶體 130 的鍺錫部 106（及通道區 131）具有與鍺平衡之濃度在 5% 至 20% 範圍的錫。

此外，源極 109、111 和汲極 110、112 包含任何適當的材料。在某些實施例中，源極 109、111 和汲極 110、112 包含例如鍺錫或摻雜的鍺錫等磊晶生長。在某些實例

中，源極 109 和汲極 110 及/或源極 111 和汲極 112 包含不同於通道區 121、131 的材料或由其構成。在某些實例中，源極 109 和汲極 110 包含與源極 111 和汲極 112 相同的材料或由其構成。在其它實例中，源極 109 和汲極 110 包含與源極 111 和汲極 112 不同的材料或由其構成。舉例而言，源極 109、111 和汲極 110、112 包含被選取以提供應變工程給通道區 121、131 以增進性能的材料。

繼續電晶體 120 是 NMOS 及電晶體 130 是 PMOS 的實例，源極 111 和汲極 112 包含提供相對應於通道區 121 為增加的或增強的壓縮應變給通道區 131 之材料，或由其構成。舉例而言，源極 111 和汲極 112 包含具有相對高的錫濃度（例如 5% 或 20% 等等）之鍺錫或由其構成。此外，源極 111 和汲極 112 可以高度摻雜例如硼等 p 型摻雜物。源極 109 和汲極 110 包含提供縮減的壓縮應變（例如，反制經由箭頭 141 顯示的壓縮應變）之材料或由其構成。舉例而言，源極 109 和汲極 110 包含具有相對低的錫濃度（例如不大於 5% 的錫等等）之鍺錫或由其構成。在實施例中，源極 109 和汲極 110 包含鍺（例如沒有錫）或由其構成。此外，源極 109 和汲極 110 可以高度摻雜例如磷或砷等 n 型摻雜物。

如同所述，閘極 107、108 配置於通道區 121、131 上。閘極 107、108 包含用於在電晶體 120、130 的通道區 121、131 上提供電控制之任何適當的材料、多種材料或材料堆疊。在實施例中，閘極 107、108 包含相鄰於通道

區 121、131 的磊晶矽層、在磊晶矽層上的高 k 閘極介電質以及在高 k 閘極介電質上的金屬閘極部。在實施例中，閘極 107、108 包含相鄰於通道區 121、131 的高 k 閘極介電質、以及在高 k 閘極介電質上的金屬閘極部。此外，如圖 1A 所示，閘極 107 的底部以及/或閘極 108 的底部與緩衝層 103 及/或緩衝層 105 的頂表面實質上是平的或是齊平。舉例而言，閘極 107 的底部與緩衝層 103 的頂表面可以實質上是平的或是齊平，以致於閘極 107 的底部與緩衝層 103 的頂表面水平對齊（或實質上水平對齊）。此配置提供阻擋漏電（例如，使得銻錫部 104 與介電層 102 及/或基底 101 之間沒有直接路徑存在），以及最大化銻錫通道區 121 的尺寸（例如沒有不會形成通道區之緩衝層 103 相鄰於閘極 107）等優點給電晶體 120 及/或類似地提供給電晶體 130。

如同所述，具有銻錫通道區（具有相同或不同的成份）的 NMOS 及 PMOS 電晶體可以整合成 CMOS 電路或裝置。在某些實施例中，在裝置中可以使用僅設有具有銻錫通道區的 NMOS 電晶體之裝置或僅設有具有銻錫通道區的 PMOS 電晶體之裝置。此外，具有銻錫通道區（具有相同或不同的成份）的 NMOS 及/或 PMOS 電晶體可以與具有例如銻、矽銻、或矽等其它材料成份之通道區的 NMOS 及/或 PMOS 電晶體相集成。在實施例中，矽為基礎的通道區電晶體可以與具有銻錫通道區的 NMOS 電晶體相集成。在實施例中，矽為基礎的通道區電晶體可以與具有銻

錫通道區的 PMOS 電晶體相集成。在實施例中，矽為基礎的通道區電晶體可以與具有相同或類似成份的鍺錫通道區的 NMOS 電晶體及 PMOS 電晶體相集成。在實施例中，矽為基礎的通道區電晶體可以與具有不同成份的鍺錫通道區的 NMOS 電晶體及 PMOS 電晶體相集成。

於此，參考圖 3A-3H 及提供與積體電路 100 及電晶體 120、130 的形成有關之其它細節等相關說明，提供與所述的積體電路 100 及/或電晶體 120、130 之特點相關的其它細節。此外，如同此處將進一步說明般，積體電路 100 可以以例如邏輯裝置、SRAM（靜態隨機存取記憶體胞）、等等電子裝置結構來實施。

圖 2 是流程圖，顯示根據本揭示之至少某些實施配置之具有增強的通道遷移率及最小或降低的漏電之電晶體的形成處理 200。舉例而言，如同此處所述，可以實施處理 200 以製造電晶體 120 及/或電晶體 130。在顯示的實施中，處理 200 包含如操作 201-204 所示之一或更多操作。但是，此處的實施例包含提供之次序以外的其它操作、被省略的某些操作、或被執行的操作。

處理 200 始於操作 201。「在基底上形成具有緩衝層的鰭以及在緩衝層上形成鍺錫部」，其中，形成在基底上具有緩衝層的鰭以及在緩衝層上的鍺錫部。在實施例中，如同此處參考圖 3A-3E 及本文它處進一步說明般，鰭 122 及/或鰭 132 可以形成於基底 101 上。在實施例中，鰭 122、132 包含相同或實質上相同的材料，以及，鰭 122、

132 可以一起形成。在另一實施例中，如同此處進一步說明般，鰭 122、132 可以包含不同的材料（例如在它們的鍍錫部中不同濃度的錫）以及鰭 122、132 可分別地形成。在實施例中，經由磊晶生長技術而在溝槽中形成緩衝層及鍍錫部。

處理 200 在操作 202 繼續，「將閘極配置於鰭上」，其中，在鰭上形成閘極。在實施例中，如同此處參考圖 3F 及本文它處進一步說明般，閘極 107 及/或閘極 108 可以分別形成於鰭 122 及/或鰭 132 上。舉例而言，閘極 107 及/或閘極 108 包含相鄰於通道區 121、131 的磊晶矽層、在磊晶矽層上的高 k 閘極介電質以及在高 k 閘極介電質上的金屬閘極部，以及，如同此處所述般，閘極 107 及/或閘極 108 可以形成為相鄰於通道區 121 及/或通道區 131。舉例而言，經由磊晶生長技術及/或覆蓋沈積技術及圖型化技術，形成閘極。

處理 200 在操作 203 繼續，「將源極和汲極耦合至鰭」，其中，源極和汲極耦合至鰭。在實施例中，源極 109 和汲極 110 可以耦合至鰭 122 及/或源極 111 和汲極 112 可以耦合至鰭 132。如同所述，在某些實施例中，源極 109 和汲極 110 具有與源極 111 和汲極 112 相同的材料，在其它實施例中，它們具有不同的材料。舉例而言，經由遮罩及磊晶生長技術，形成源極和汲極。在源極 109 和汲極 110 具有與源極 111 和汲極 112 相同的材料之實施例中，在相同操作中形成源極和汲極。在源極 109 和汲極 110 具

有與源極 111 和汲極 112 不同的材料之實例中，形成源極 109 和汲極 110 並將積體電路的其它部份遮罩（包含與源極 111 和汲極 112 相關連的區域），移除遮罩，以及，形成源極 111 和汲極 112 並將積體電路的其它部份遮罩（包含與源極 109 和汲極 110 相關連的區域）。舉例而言，將鰭的源極和汲極耦合包含源極和汲極的磊晶生長。

如同所述，實施處理 300 以製造電晶體 120 及/或電晶體 130。於此，特別參考圖 3A-3H，說明與這些製造技術相關連的另外的細節。進行處理 300 的任一或更多操作（或是此處參考圖 3A-3H 所述的操作），以回應一或更多電腦程式產品提供的指令。這些程式產品包含提供指令之訊號載運媒體，當指令由例如處理器執行時，可以提供此處所述的功能。可以以任何電腦可讀取的媒體之形式，提供電體程式。因此，舉例而言，包含一或更多處理器核心的處理器進行一或更多所述的操作，以回應由電腦可讀取的媒體傳送給處理器之指令。

圖 3A-3H 是根據本揭示的至少某些實施安排之當執行特定製造操作時實例電晶體結構的側視圖。圖 3A 顯示沿著如圖 1C 的平面視圖所示的平面 A 取得之電晶體結構的側視圖。如圖 3A 所示，電晶體結構 301 包含基底 101。舉例而言，基底 101 可為沿著預定晶向（例如（100）、（111）、（110）等等）實質對齊的基底。在某些實例中，基底 101 包含例如單晶矽（Si）、鍺（Ge）、矽鍺（SiGe）、III-V 材料為基礎的材料（例如

砷化鎵 (GaAs))、碳化矽 (SiC)、藍寶石 (Al₂O₃)、或其任何結合的半導體材料。在實施例中，基底 101 包含具有 (100) 晶向之矽。在各式各樣的實例中，基底 101 包含用於積體電路或是例如電晶體、記憶體、電容器、電阻器、光電裝置、開關、或由任何其它主動或被動電子裝置之金屬化互連層，由例如層間介電質、溝槽絕緣層等等電絕緣層分開。

而且，如圖 3A 所示，犧牲鰭 303、304 及介電層 302 可以形成於基底 101 上。舉例而言，經由基底 101 的圖型化及蝕刻 (例如，犧牲鰭 303、304 包括結晶矽) 或是經由材料沈積或材料的圖型化 (例如多晶矽等等)，形成犧牲鰭 303、304。犧牲鰭 303、304 的尺寸及形狀界定了後續的開口，後續的開口接著界定鰭 122、132 的尺寸及形狀，鰭 122、132 會形成於當犧牲鰭 303、304 被移除時形成的溝槽中。如同所示，在實施例中，犧牲鰭 303、304 具實質垂直側壁。在實施例中，犧牲鰭 303、304 具有傾斜側壁，以致於犧牲鰭 303、304 的底部比犧牲鰭 303、304 的頂部還寬。在另一實施例中，犧牲鰭 303、304 的側壁均具有曲線形狀，以致於犧牲鰭 303、304 的底部比犧牲鰭 303、304 的頂部還寬，以及，以致於側壁具有凹陷曲線狀。於此，參考犧牲鰭 303、304 形成的溝槽，進一步說明與犧牲鰭 303、304 相關連的其它細節。

介電層 302 包含相對於犧牲鰭 303、304 會被選擇性地蝕刻以及允許從基底 101 選擇性磊晶生長 (例如，不從

介電層 302 磊晶生長) 之任何材料。以例如塊體沈積或熱生長及平坦化技術等等任何適當的方式，形成介電層 302。在實施例中，介電層 302 是氧化矽。在某些實施例中，介電層 302 包含氮化矽、氧氮化矽、氧化鋁、等等。舉例而言，使用例如化學汽相沈積 (CVD)、電漿增強化學汽相沈積 (PECVD)、物理汽相沈積 (PVD)、分子束磊晶 (MBE)、金屬有機化學汽相沈積 (MOCVD)、原子層沈積 (ALD)、等等覆蓋沈積技術，沈積介電層 302，以及，使用例如化學機械拋光技術等平坦化技術，以使犧牲層 303、304 曝露。

圖 3B 顯示在形成遮罩 306 及移除犧牲層 304 以形成溝槽 307 之後類似於電晶體結構 301 的電晶體結構 305。以任何適當的技術或是例如微影術等技術，形成遮罩 306。遮罩 306 包含硬遮罩材料 (例如，氧化矽、氮化矽、氧氮化矽、氧化鋁、等等)。遮罩 306 可為提供蝕刻選擇性以致於犧牲層 304 可以被移除而遮罩 306 保護犧牲層 303 之任何材料。使用例如蝕刻操作等任何適當的技術，移除犧牲層 304。如同所述，犧牲層 304 的尺寸及形狀可以界定溝槽 307 的尺寸及形狀。在各式各樣的實施例中，溝槽 307 具有實質垂直的側壁、斜側壁、或斜及凹側壁、等等。如同所示，溝槽 307 包含寬度 309 (例如，頂部寬度) 及高度 308。在某些實施例中，寬度 309 在 8 至 20 nm 的範圍中。在實施例中，寬度 309 約為 10 nm。在某些實施例中，高度 308 在 10 nm 至 100 nm 的範圍中。

在實施例中，高度 308 在 30 至 100 nm 的範圍中。此外，高度 308 對寬度 309 的比例可以界定溝槽 307 的型態比。在實施例中，溝槽 307 的型態比在 1.8 至 3.5 的範圍。在實施例中，溝槽 307 的型態比在 2 至 3 的範圍。在實施例中，溝槽 307 的型態比約 2.5。

如同此處所述般，在某些實施例中，鰭 122、132 的鍍錫部 104、106 可以具有不同的材料成份。如圖 3B 所示，為了形成這些裝置，形成遮罩 306 以致於犧牲鰭 304 被選擇性地移除而犧牲鰭 303 留下。在實施例中，可形成遮罩 306 以致於犧牲鰭 303 被選擇性地移除而犧牲鰭 304 留下。而且，如此處所述般，在某些實施例中，鰭 122、132 的鍍錫部 104、106 具有相同或實質上相同的材料成份。為了形成這些裝置，未實施遮罩 306 以致於例如犧牲鰭 303 及犧牲鰭 304 在相同操作中被移除以曝露溝槽 307 及與犧牲鰭 303 的移除相關連的溝槽（未顯示）。

圖 3C 顯示在形成緩衝層 105 及鍍錫生長 311 之後類似於電晶體結構 305 的電晶體結構 310。舉例而言，經由例如化學汽相沈積、金屬有機化學汽相沈積、原子層沈積、或任何其它磊晶生長技術之磊晶生長等任何適當的磊晶生長技術，形成緩衝層 105。緩衝層 105 包含任何適當的磊晶層，以致於緩衝層 105 橋接任何晶格失配鍍錫生長 311。在實施例中，緩衝層 105 包括鍍。在實施例中，緩衝層 105 包括例如鬆弛鍍等鬆弛緩衝物。

在某些實施例中，在緩衝層 105 磊晶生長之前，對基

底 101 執行表面製備。舉例而言，在溝槽 307 的底部，溝槽形成於基底 101 中。溝槽包含例如 V 形溝等溝槽形狀以及包含誤切割、及/或尺寸以便於緩衝層 105 的磊晶生長。

如此處所述，緩衝層 105 具有任何適當的厚度，以致於緩衝層 105 阻礙或防止漏電流（例如經由隨著鍺錫生長 311 之能帶偏移及/或價差）。在實施例中，緩衝層 105 在 3 至 30 nm 範圍中。在實施例中，緩衝層 105 可為例如鍺的單層。在實施例中，緩衝層 105 的厚度可為溝槽 307 的高度 308 的一部份，例如高度 308 的 10% 至 30%。在某些實例中，當磊晶生長緩衝層 105 及鍺錫生長 311 時，會形成缺陷。在實施例中，這些缺陷實質上侷限於緩衝層 105（例如，以致於後續鍺錫磊晶生長可以是乾淨的）。在實施例中，緩衝層 105 的厚度可以選擇成將缺陷侷限於其中。舉例而言，這些缺陷形成於磊晶生長期間且終止於緩衝層 105 之內及/或緩衝層 105 與介電層 302 之間的界面處。

使用任何適當的磊晶生長技術，形成鍺錫生長 311。舉例而言，可以經由化學汽相沈積、金屬有機化學汽相沈積、原子層沈積、或任何其它磊晶生長技術之磊晶生長，形成鍺錫生長 311。在實施例中，鍺錫生長 311 可以由 400-500°C 範圍內的磊晶生長形成。如同所示，在某些實施例中，凸塊 312 或圓化頂表面可以形成為鍺錫生長 311 的一部份。在某些實例中，經由後續的平坦化操作，移除

凸塊 312。在某些實例中，未形成凸塊 312 以及鍺錫生長 311 具有實質平坦的頂表面及/或任何凸塊或不規則性不會阻礙後續處理，以致於不需要平坦化操作。如同關於溝槽 307 的高度 308 有關之說明所述般，鍺錫生長 311 具有例如 10 nm 至 100 nm 等任何適當的厚度，小於緩衝層 105 的厚度（以及，在某些情形中，包含凸塊 312）等等。

如此處所述，在某些實施例中，鰭 122、132 的鍺錫部 104、106 具有不同的材料成份。在實施例中，鍺錫生長 311 可以與 PMOS 電晶體相關連，以及，鍺錫生長 311 包含相對大的錫濃度，例如 5%至 20%，或是任何此處所述的其它濃度。在另一實施例中，鍺錫生長 311 可以與 NMOS 電晶體相關連，以及，鍺錫生長 311 包含相對小的錫濃度，例如 5%至 10%，或是任何此處所述的其它濃度。舉例而言，在所述處理流程中，首先形成與 PMOS 或 NMOS 裝置相關連的鰭。

也如此處所述般，在某些實施例中，鰭 122、132 的鍺錫部 104、106 具有相同或實質上相同的材料成份。如同所述，為了形成這些裝置，不實施遮罩 306，以致於在相同操作中，形成例如緩衝層 105（請參考圖 1A）及鍺錫生長 311 和緩衝層 103（請參考圖 1A）以及與曝露的溝槽相關連的鍺錫生長（例如與移除的犧牲鰭 303 及鰭 122 之最終鍺錫部份 104 相關連）。

圖 3D 顯示在形成緩衝層 103 及鰭 122 的鍺錫部 104 以及鍺錫部 106（以與緩衝層 105、鰭 132 一起完成）之

後類似於電晶體結構 310 的電晶體結構 312。在實施例中，形成緩衝層 103、鍺錫部 104 及鍺錫部 106 包含（參考圖 3C）移除遮罩 306、移除犧牲鍺 303、磊晶生長緩衝層 103、磊晶生長鍺錫部 104、及平坦化操作。舉例而言，這些磊晶生長在鍺錫部 104 上設置凸塊，類似於凸塊 312，凸塊可由平坦化操作移除。此外，此磊晶生長又生長凸塊 312，以及，這些增加的材料可以類似地由平坦化操作移除。移除遮罩 306 包含蝕刻（例如乾蝕刻或濕蝕刻）技術等等。使用例如蝕刻操作等任何適當的技術，移除犧牲鍺 304。緩衝層 103 的磊晶生長及鍺錫部 104 的磊晶生長包含此處所述的任何磊晶生長技術，例如化學汽相沈積、金屬有機化學汽相沈積、原子層沈積、等等。平坦化操作包含化學機械拋光操作等等。此實施例可以提供減少操作之優點（例如，不需要第二遮罩）。

在另一實施例中，形成緩衝層 103、鍺錫部 104、及鍺錫部 106 包含（再參考圖 3C）移除遮罩 306、在鍺錫生長 311 上形成（第二）遮罩、移除犧牲鍺 303、磊晶生長緩衝層 103、磊晶生長鍺錫部 104、移除第二遮罩、及執行選加的平坦化操作。舉例而言，此實施例不用在凸塊 312 上額外生長。此外，此實施例不需要平坦化操作。但是，在某些實施例中，平坦化操作仍然有利用於提供更水平表面以用於後續處理。如同所述，移除遮罩 306 及移除第二遮罩包含蝕刻（例如乾蝕刻或濕蝕刻）技術等等。形成第二遮罩包含微影處理或沈積、微影術、及蝕刻處理等等。如

上所述，使用例如蝕刻操作等任何適當的技術，移除犧牲鰭 304。磊晶生長緩衝層 103 及磊晶生長鍺錫部 104 包含此處所述的任何磊晶生長技術，例如化學汽相沈積、金屬有機化學汽相沈積、原子層沈積、等等。選加的平坦化操作包含化學機械拋光操作等等。

如此處所述，在某些實施例中，鰭 122、132 的鍺錫部 104、106 具有不同的材料沈積。在實施例中，鍺錫部 104（及包含凸塊等等之任何鍺錫生長）可以與 NMOS 電晶體相關連，以及鍺錫部 104 包含相當小濃度的錫（相較於鍺錫部 106），例如 5%至 10%或如此處所述的任何其它濃度。在另一實施例中，鍺錫部 104 與 PMOS 電晶體相關連，以及，鍺錫部 104 包含相當高濃度的錫，例如 5%至 20%或如此處所述的任何其它濃度。舉例而言，在所述處理流程中第二次形成與 PMOS 或 NMOS 裝置相關連的鰭。

也如此處所述般，在某些實施例中，鰭 122、132 的鍺錫部 104、106 具有相同或實質上相同的材料成份。如同所述，為形成這些裝置，可以不實施例如遮罩 306 等遮罩，以及同時形成緩衝層 103、105，及同時形成鍺錫部 104、106。在這些實例中，處理包含移除犧牲鰭 303、304、磊晶生長緩衝層 103、105、磊晶生長與鍺錫部 104、106 相關連的鍺錫生長（例如鍺錫生長 311）、及最佳化平坦化步驟。在任一實施例中，形成如同參考電晶體結構 312 之結構，以及，處理如下所述地繼續。

圖 3E 顯示在使介電層 302 凹陷以形成介電層 102 之後類似於電晶體結構 312 之電晶體結構 313。如圖 3D 所示，在實施例中，介電層 302 可以凹陷，以致於緩衝層 103 的頂表面、緩衝層 105 的頂表面及介電層 102 的頂表面實質上是平的或是齊平的（例如，使得這些層的頂表面實質上橫向或是水平對齊）。使用例如蝕刻操作、計時蝕刻操作等任何適當的技術，使介電層 302 凹陷。

圖 3F 顯示在閘極 107 和閘極 108 形成之後類似於電晶體結構 313 之電晶體結構 314。閘極 107、108 包含任何適當的材料、多種材料或材料堆疊。在實施例中，閘極 107、108 包含相鄰於通道區 121、131 之磊晶矽層、在磊晶矽層上的高 k 閘極介電質、及在高 k 閘極介電質上的金屬閘極部。在實施例中，閘極 107、108 包含相鄰於通道區 121、131 之高 k 閘極介電質及在高 k 閘極介電質上的金屬閘極部。使用例如沈積技術（例如保形或整體沈積）及圖型化技術（例如微影術及蝕刻技術）等任何適當的技術，形成閘極 107、108。如同所示，形成閘極 107、108 以致於閘極 107 的底部及/或閘極 108 的底部與緩衝層 103 及/或緩衝層 105 的頂表面實質上是平的或是齊平。舉例而言，閘極 107 的底部與緩衝層 103 的頂表面實質上是平的或是齊平，以致於閘極 107 的底部與緩衝層 103 的頂表面水平對齊（或實質上水平地對齊）。

圖 3G 顯示在遮罩 315、源極 111、和汲極 112（未顯示於圖 3G 的側視圖中）之後類似於電晶體結構 314 之電

晶體結構 315。圖 3G 顯示沿著如圖 1C 的平面視圖中所示之平面 B 取得之電晶體結構的側視圖。舉例而言，源極 111 和汲極 112 耦合至鰭 106。如同所示，鰭 122 的鍺錫部 104 及電晶體結構 315 的其它部份可以由遮罩 315 遮罩，以致於可以選擇性地生長源極 111 和汲極 112。舉例而言，經由從鍺錫部 106 之磊晶生長（例如，源極 111 和汲極 112 的材料不從介電層 102 生長），選擇性地生長源極 111 和汲極 112。在實施例中，源極 111 和汲極 112 包含鍺錫或由其構成。如同所示，藉由發生在更曝露的區域或角落等等之更快速生長，源極 111 可以沿著鍺錫部 106 生長。遮罩 315 可由例如微影技術等任何適當的技術形成。遮罩 306 可包含硬遮罩材料（例如，氧化矽、氮化矽、氮氧化矽、氧化鋁、等等）。遮罩 315 可為提供磊晶生長選擇性的任何材料，以致於可以生長源極 111 和汲極 112 而保護其它部份（例如，鍺錫部 106 及/或鍺錫部 104）免於生長。

如此處所述，在某些實施例中，源極 111 和汲極 112 具有不同於源極 109 和汲極 110 的材料成份。為了形成這些裝置，可以形成遮罩 315，以致於可選擇性地形成源極 111 和汲極 112 並保護鍺錫部 104 免於生長。在這些實例中，遮罩 315 在源極 111 和汲極 112 的佈植摻雜中可以提供類似角色。舉例而言，源極 111 和汲極 112 可以是 PMOS 裝置的一部份。在此實施例中，源極 111 和汲極 112 包含具有相當高百分比的錫之鍺錫及/或例如硼等 p 型

摻雜物。

而且，如此處所述，在某些實施例中，源極 111 和汲極 112 以及源極 109 和汲極 110 可以具有相同或實質上相同的材料成份。為形成這些裝置，可以不實施遮罩 315，以及實施用於源極 111、汲極 112、源極 109、以及汲極 110 的形成之遮罩，以致於所有源極 111、汲極 112、源極 109、和汲極 110 都於相同操作中形成以及包含具有實質上相同的錫百分比之鍺錫。

圖 3H 顯示在移除遮罩 315 及源極 109 和汲極 110 形成之後（未顯示於圖 3H 的側視圖中）類似於電晶體結構 315 之電晶體結構 316。舉例而言，源極 109 和汲極 110 可以耦合至鱗 104。移除遮罩 315 包含蝕刻（例如乾蝕刻或濕蝕刻）技術等等。在實施例中，藉由設置遮蓋源極 111 和汲極 112 以及未形成源極 109 和汲極 110 之其它區的第二遮罩、磊晶地生長源極 109 和汲極 110、及移除第二遮罩，而形成源極 109 和汲極 110。舉例而言，經由從鍺錫部 104 磊晶生長（例如，源極 111 和汲極 112 的材料不從介電層 102 生長），選擇性地生長源極 109 和汲極 110。在實施例中，源極 109 和汲極 110 包含鍺錫或由其所構成。如同所示，以發生於更多曝露區或角度等等之更快速生長，源極 109 沿著鍺錫部 104 生長。

如同所述，藉由例如微影術等任何適當技術，形成第二遮罩，以致於第二遮罩包含硬遮罩材料。移除第二遮罩包含蝕刻技術等等。第二遮罩包含提供磊晶生長選擇性之

任何材料，以致於可以生長源極 109 和汲極 110 而保護其它部份（例如鍺錫部 106 及/或鍺錫部 104 的其它部份）免於生長。此外，第二遮罩在源極 109 和汲極 110 的佈植摻雜中提供類似角色。舉例而言，源極 109 和汲極 110 可以是 NMOS 裝置的一部份以及源極 109 和汲極 110 包含例如磷或砷等 n 型摻雜物。

如此處所述，在某些實施例中，源極 109 和汲極 110 具有不同於源極 111 和汲極 112 的材料部份。舉例而言，源極 109 和汲極 110 如同所述可為 NMOS 裝置的一部份以及源極 109 和汲極 110 包含具有相當低百分比的錫之鍺。而且，如同所述，在某些實施例中，源極 111、汲極 112、源極 109、和汲極 110 具有相同或實質上相同的材料成份、以及如上所述般可於相同的磊晶生長操作中形成。

如同此處所述，圖 3A-3H 顯示用於製造電晶體 120 及電晶體 130 之實例處理流程。在各式各樣的實例中，可以包含增加的操作或是省略某些操作。特別地，所示的處理提供設有具有不同材料成份的通道區以及具有不同材料成份的源極和汲極之電晶體。如同所述，某些操作可以省略及/或修改，以製造設有具有相同成份的通道區、或設有相同成份的源極和汲極、或二者之電晶體。

圖 4 是實例 SRAM 胞（靜態隨機存取記憶體胞）400 的視圖，SRAM 胞 400 實施根據本揭示之至少某些實施之一或更多具有增強的通道遷移率及最小或減少的漏電之電

晶體。圖 4 顯示舉例說明的 6 電晶體 (6T) SRAM 胞 400，包含接取電晶體 420、下拉電晶體 415、及上拉電晶體 425。在各式各樣的實例中，接取電晶體 420、下拉電晶體 415、及上拉電晶體 425 可實施成電晶體 120 及/或 130。藉由互連很多例如 SRAM 胞 400 等 SRAM 胞，形成完成的 SRAM 記憶體電路。

在實施例中，接取電晶體 420 及下拉電晶體 415 中之一或更多是 NMOS 電晶體以及包含此處關於 NMOS 電晶體所述的特點，以及，上拉電晶體 425 是 PMOS 電晶體及包含此處關於 NMOS 電晶體所述的特點。舉例而言，接取電晶體 420 及下拉電晶體 415 包含鰭 122 的銻錫部 104 之通道區 121 (包含配置於基底 101 上的緩衝層 103 以及配置於緩衝層 103 上的銻錫部 104)、配置於通道區 121 上的閘極 107、以及耦合至鰭 122 之源極 109 和汲極 110 而以通道區 121 設於源極 109 與汲極 110 之間。上拉電晶體 425 中之一或更多包含鰭 132 的銻錫部 106 的通道區 131 (包含配置於基底 101 上的緩衝層 104 及配置於緩衝層 104 上的銻錫部 106)、配置於通道區 131 上的閘極 108、以及耦合至鰭 132 之源極 111 和汲極 112，而以通道區 131 位於源極 111 和汲極 112 之間。

此外，接取電晶體 420 及下拉電晶體 415 中之一或更多 (例如 NMOS 電晶體) 具有源極和汲極，所述源極和汲極包含具有不同於上拉電晶體 425 (例如 PMOS 電晶體) 的銻錫源極和汲極之錫濃度。舉例而言，上拉電晶體 425

具有源極和汲極，所述源極和汲極比接取電晶體 420 及下拉電晶體 415 的源極和汲極具有更高的錫濃度。此外或替代地，一或更多接取電晶體 420 及下拉電晶體 415（例如 NMOS 電晶體）具有銻錫的通道區，所述銻錫的通道區具有的錫濃度不同於上拉電晶體 425（例如 PMOS 電晶體）的銻錫通道區。舉例而言，上拉電晶體 425 具有銻錫的通道區，所述銻錫的通道區比接取電晶體 420 及下拉電晶體 415 的銻錫的通道區具有更高的錫濃度。舉例而言，上拉電晶體 425 的通道區具有的錫濃度在 5%至 20%的範圍中，以及，接取電晶體 420 及下拉電晶體 415 的通道區具有的錫濃度在 5%至 10%的範圍中。

圖 5 顯示行動計算平台 500，其採用設有根據本揭示的至少某些實施配置之具有銻錫（GeSn）通道的電晶體之 IC。具有銻錫通道的一電晶體或多個電晶體可為如此處所述的任何電晶體，例如電晶體 120 或電晶體 130 等等。在某些實施例中，如此處所述的 NMOS 和 PMOS 電晶體可以一起實施成為 CMOS 電路。行動計算平台 500 可為任何配置成用於電子資料顯示、電子資料處理、及無線電子資料傳輸等等中各者之任何可攜式裝置。舉例而言，行動計算平台 500 可為平板電腦、智慧型電話、筆記型電腦、膝上型電腦、等等中任一者、以及包含舉例說明的實施例中為觸控螢幕（例如電容式、電感式、電阻式等等觸控螢幕）的顯示幕 505、晶片級（SoC）或封裝級的集成系統 510、及電池 515。

集成系統 510 又顯示於展開視圖 520 中。在舉例說明的實施例中，封裝裝置 550（在圖 6 中標示為「記憶體/處理器」）包含至少一記憶體晶片（例如 RAM）及/或至少一處理器晶片（例如，微處理器、多核心微處理器、或圖形處理器等等）。在實施例中，封裝裝置 550 是包含 SRAM 快取記憶體的微處理器。在實施例中，封裝裝置 550 包含電晶體 120 或電晶體 130 中之一或更多、或二者。舉例而言，採用的電晶體包含通道區、配置於通道區上的閘極、及源極和汲極，通道區包括鰭的鍍錫部以致於鰭包含配置於基底上的緩衝層以及配置於緩衝層上的鍍錫部，源極和汲極耦合至鰭以致於通道區在源極與汲極之間。封裝裝置 550 又與功率管理積體電路（PMIC）530、包含寬頻 RF（無線）發射器及/或接收器（TX/RX）（例如，包含數位基頻帶及類比前端模組，數位基頻帶及類比前端模組又包括在發射路徑上的功率放大器以及在接收路徑上的低雜訊放大器）的 RF（無線）積體電路（RFIC）525、及其控制器 535 中之一或更多，一起耦合至（例如通訊上耦合至）板、基底、或插入器 560。一般而言，封裝裝置 550 也耦合至（例如通訊上耦合至）顯示幕 505。

此外，PMIC 530 執行電池功率調節、DC 至 DC 轉換、等等，以及具有耦合至電池 515 的輸入端，以及，具有提供電流供應給其它功能模組之輸出端。在實施例中，PMIC 530 執行高電壓操作。又如同所述，在舉例說明實施例中，RFIC 525 具有耦合至天線（未顯示）的輸出

端，用以實施任何數目的無線標準或協定，包含但不限於 Wi-Fi (IEEE 802.11 系列)、WiMAX (IEEE 802.16 系列)、IEEE 802.20、長程演進 (LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍芽、相關衍生、以及任何被標示為 3G、4G、5G、及之外的任何其它無線協定。在替代實施中，這些主機板級模組中的各模組可以整合於耦合至封裝裝置 550 的封裝基底之分開的 IC 中、或是在耦合至封裝裝置 550 的封裝基底之單一 IC 內 (SoC)。

圖 6 是根據本揭示的至少某些實施配置之計算裝置 600 的功能方塊圖。舉例而言，在平台 500 內部可發現計算裝置 600，以及，計算裝置 600 又包含主機板 602，主機板 602 容納例如但不限於處理器 601 (例如應用處理器) 及一或更多通訊晶片 604、605 等多個組件。處理器 601 實體地及/或電地耦合至主機板 602。在某些實例中，處理器 601 包含封裝在處理器 601 內的積體電路晶粒。一般而言，「處理器」一詞意指處理來自暫存器及/或記憶體之電子資料以將電子資料轉換成可以儲存在暫存器及/或記憶體中的其它電子資料之任何裝置或裝置的一部份。

在各式各樣的實例中，一或更多通訊晶片 604、605 也實體地及/或電地耦合至主機板 602。在另外的實施中，通訊晶片 604 是處理器 601 的一部份。取決於其應用，計算裝置 600 包含可或不可實體地及電地耦合至主機板 602 之其它組件。如同所示，這些其它組件包含但不限於依電

性記憶體（例如 DRAM）607、608、非依電性記憶體（例如 ROM）610、圖形處理器 612、快閃記憶體、全球定位系統（GPS）裝置 613、羅盤 614、晶片組 606、天線 616、功率放大器 609、觸控螢幕控制器 611、觸控螢幕顯示器 617、揚音器 615、相機 603、及電池 618、以及例如數位訊號處理器、密碼處理器、音頻編解碼器、視頻編解碼器、加速度計、陀螺儀、及大量儲存裝置（例如硬碟機、固態驅動器（SSD）、光碟（CD）、數位多樣碟片（DVD）、等等）等其它組件。

通訊晶片 604、605 能夠無線通訊以對計算裝置 600 傳輸資料。「無線」一詞及其衍生詞句可以用以說明經由使用經過非固態介質之調變的電磁輻射而傳輸資料之電路、裝置、系統、方法、技術、通訊頻道、等等。此詞並非意指任何相關連的裝置未含有任何線，而是在某些實施例中它們可能未含有任何線。通訊晶片 604、605 可以實施眾多無線標準或協定中任何數目的標準或協定，包含但不限於本文中任何它處所述之標準或協定。如同所述，計算裝置 600 包含眾多通訊晶片 604、605。舉例而言，第一通訊晶片可以專用於例如 Wi-Fi 及藍芽等較短範圍的無線通訊，第二通訊晶片可以專用於例如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO、等等較長範圍的無線通訊。

如同此處所述的任何實施中所使用般，「模組」一詞意指配置成提供此處所述的功能之軟體、韌體及/或硬體

組件之任何組合。軟體可以具體實施成為套裝軟體、碼及/或指令集或指令，以及，此處所述的任何實施中使用的「硬體」包含例如單獨的或任何結合的硬體電路、可編程電路、狀態機電路、及/或儲存由可編程電路執行的指令之韌體。模組可以整體地或個別地具體實施成為形成例如積體電路（IC）、系統晶片（SoC）、等等較大系統的一部份之電路。

雖然參考各式各樣實施而說明此處揭示的某些特點，但是，不應以限定方式解釋本說明。因此，習於此技藝者清楚知道本揭示有關的此處所述實施的各式各樣修改、以及其它實施被視為在本揭示的精神及範圍內。

下述實例關於另外的實施例。

在一或更多第一實施例中，積體電路包括包含電晶體，電晶體包括通道區、配置於通道區上的閘極，該通道區包括鰭的鍍錫部，其中，該鰭包括配置於基底上的緩衝層以及配置於緩衝層上的鍍錫部，源極和汲極耦合至鰭，其中，通道區是在源極與汲極之間。

關於第一實施例，積體電路包括第二電晶體，第二電晶體包含第二通道區，第二通道區包括第二鰭的第二鍍錫部，其中，第二鰭包括配置於基底上的第二緩衝層以及配置於第二緩衝層上的第二鍍錫部，其中，通道區及第二通道區包括不同的錫濃度。

關於第一實施例，積體電路包括第二電晶體，第二電晶體包含第二通道區，第二通道區包括第二鰭的第二鍍錫

部，其中，第二鰭包括配置於基底上的第二緩衝層以及配置於第二緩衝層上的第二鍺錫部，其中，通道區及第二通道區包括不同的錫濃度，以及，其中，電晶體是 NMOS 電晶體及第二電晶體是 PMOS 電晶體，以及，其中，通道區具有範圍在 5%至 10%的錫濃度，以及第二通道區具有範圍在 5%至 20%的錫濃度。

關於第一實施例，積體電路包括第二電晶體，第二電晶體包含第二通道區，第二通道區包括第二鰭的第二鍺錫部，其中，第二鰭包括配置於基底上的第二緩衝層以及配置於第二緩衝層上的第二鍺錫部，其中，通道區及第二通道區包括不同的錫濃度，以及，其中，電晶體是 NMOS 電晶體及第二電晶體是 PMOS 電晶體，以及，其中，通道區具有範圍在 5%至 10%的錫濃度，以及第二通道區具有範圍在 5%至 20%的錫濃度，以及，其中，第二通道區包括比通道區更高的錫濃度。

關於第一實施例，積體電路包括第二電晶體，第二電晶體包含第二通道區，第二通道區包括第二鰭的第二鍺錫部，其中，第二鰭包括配置於基底上的第二緩衝層以及配置於第二緩衝層上的第二鍺錫部，其中，通道區及第二通道區包括不同的錫濃度，其中，電晶體是 NMOS 電晶體及第二電晶體是 PMOS 電晶體，以及/或，其中，通道區具有範圍在 5%至 10%的錫濃度以及第二通道區具有範圍在 5%至 20%的錫濃度，以及/或，其中，第二通道區包括比通道區更高的錫濃度。

關於第一實施例，積體電路包括第二電晶體，第二電晶體包含第二通道區、配置於第二通道區上的第二閘極，第二通道區包括第二鰭的第二銻錫部，其中，第二鰭包括配置於基底上的第二緩衝層以及配置於第二緩衝層上的第二銻錫部，第二源極和第二汲極耦合至第二鰭，其中，第二通道區在第二源極與第二汲極之間，其中，電晶體是 NMOS 電晶體及第二電晶體是 PMOS 電晶體，其中，源極、汲極、第二源極、及第二汲極都包括銻錫，以及，其中，源極和汲極包括不同於第二源極和第二汲極之錫濃度。

關於第一實施例，積體電路包括第二電晶體，第二電晶體包含第二通道區、配置於第二通道區上的第二閘極、及第二源極和第二汲極，第二通道區包括第二鰭的第二銻錫部，其中，第二鰭包括配置於基底上的第二緩衝層以及配置於第二緩衝層上的第二銻錫部，第二源極和第二汲極耦合至第二鰭，其中，第二通道區在第二源極與第二汲極之間，其中，電晶體是 NMOS 電晶體及第二電晶體是 PMOS 電晶體，其中，源極、汲極、第二源極、及第二汲極都包括銻錫，以及，其中，源極和汲極包括不同於第二源極和第二汲極之錫濃度，以及，其中，第二源極和第二汲極包括比源極和汲極更高的錫濃度。

關於第一實施例，緩衝層包括磊晶銻層。

關於第一實施例，閘極包括相鄰於通道區的磊晶矽層、高 k 閘極介電質、及金屬閘極部。

關於第一實施例，閘極的底部與緩衝層的頂表面實質上為同平面的。

關於第一實施例，緩衝層包括磊晶銻層及/或其中閘極包括相鄰於通道區的磊晶矽層、高 k 閘極介電質、及金屬閘極部、及/或其中閘極的底部與緩衝層的頂表面是實質同平面的。

關於第一實施例，積體電路又包括第二電晶體，第二電晶體包含第二通道區，第二通道區包括第二鰭的矽部。

關於第一實施例，積體電路又包括第二電晶體，第二電晶體包含第二通道區，第二通道區包括第二鰭的矽部，其中，電晶體包括 NMOS 電晶體及第二電晶體包括 PMOS 電晶體。

關於第一實施例，積體電路又包括第二電晶體，第二電晶體包含第二通道區，第二通道區包括第二鰭的矽部，其中，電晶體包括 NMOS 電晶體及第二電晶體包括 PMOS 電晶體，以及，積體電路又包括第三電晶體，第三電晶體包含第三通道區，第三通道區包括第三鰭的第二銻錫部，其中，第三鰭包括配置於基底上的第二緩衝層以及配置於第二緩衝層上的第二銻錫部，其中，第三電晶體包括 PMOS 電晶體。

關於第一實施例，積體電路又包括第二電晶體，第二電晶體包含第二通道區，第二通道區包括第二鰭的矽部，其中，電晶體包括 NMOS 電晶體及第二電晶體包括 PMOS 電晶體，以及，積體電路又包括第三電晶體，第三電晶體

包含第三通道區，第三通道區包括第三鰭的第二銻錫部，其中，第三鰭包括配置於基底上的第二緩衝層以及配置於第二緩衝層上的第二銻錫部，其中，第三電晶體包括 PMOS 電晶體，以及，其中，通道區及第三通道區包括不同的銻濃度。

在一或更多第二實施例中，SRAM 胞包括 NMOS 電晶體及 PMOS 電晶體，該 NMOS 電晶體包含第一通道區、配置於第一通道區上的第一閘極、及第一源極和第一汲極，第一通道區包括第一鰭的第一銻錫部，其中，第一鰭包括配置於基底上的第一緩衝層以及配置於第一緩衝層上的第一銻錫部，第一源極和第一汲極均包括耦合至第一鰭的銻錫，其中，第一通道區在第一源極與第一汲極之間，該 PMOS 電晶體包含第二通道區、配置於第二通道區上的第二閘極、及第二源極和第二汲極，第二通道區包括第二鰭的第二銻錫部，其中，第二鰭包括配置於基底上的第二緩衝層以及配置於第二緩衝層上的第二銻錫部，第二源極和第二汲極均包括耦合至第二鰭的銻錫，其中，第二通道區在第二源極與第二汲極之間，其中，第一源極和第一汲極包括的銻濃度不同於第二源極和第二汲極。

又關於第二實施例，第一通道區具有範圍在 5% 至 10% 的銻濃度，以及，第二通道區具有範圍在 5% 至 20% 的銻濃度。

又關於第二實施例，第一通道區具有範圍在 5% 至 10% 的銻濃度，以及，第二通道區具有範圍在 5% 至 20%

的錫濃度，以及，第二源極和第二汲極比第一源極和第一汲極包括更高濃度的錫。

又關於第二實施例，第一通道區具有範圍在 5%至 10%的錫濃度，以及，第二通道區具有範圍在 5%至 20%的錫濃度，以及，第二源極和第二汲極比第一源極和第一汲極包括更高濃度的錫，以及，第二通道區比第一通道區包括更高濃度的錫。

在一或更多第三實施例中，SRAM 胞包括 NMOS 電晶體及 PMOS 電晶體，該 NMOS 電晶體包含第一通道區、配置於第一通道區上的第一閘極，第一通道區包括第一鰭的第一鍺錫部，其中，第一鰭包括配置於基底上的第一緩衝層以及配置於第一緩衝層上的第一鍺錫部，第一源極和第一汲極耦合至第一鰭，其中，第一通道區在第一源極與第一汲極之間，該 PMOS 電晶體包含第二通道區、配置於第二通道區上的第二閘極、及第二源極和第二汲極，第二通道區包括第二鰭的第二鍺錫部，其中，第二鰭包括配置於基底上的第二緩衝層以及配置於第二緩衝層上的第二鍺錫部，第二源極和第二汲極耦合至第二鰭，其中，第二通道區在第二源極與第二汲極之間，其中，第一通道區包括不同於第二通道區的鍺濃度。

又關於第三實施例，第一通道區具有範圍在 5%至 10%的錫濃度，以及，第二通道區具有範圍在 5%至 20%的錫濃度。

又關於第三實施例，第一通道區具有範圍在 5%至

10%的錫濃度，以及，第二通道區具有範圍在 5%至 20%的錫濃度，以及，第二通道區比第一通道區包括更高濃度的錫。

又關於第三實施例，緩衝層包括磊晶銻層。

又關於第三實施例，第一閘極的底部與第一緩衝層的頂表面是實質齊平的。

又關於第三實施例，緩衝層包括磊晶銻層，以及，其中，第一閘極的底部與第一緩衝層的頂表面實質上為同平面的。

在一或更多第四實施例中，積體電路的製造方法包括形成具有配置於基底上的緩衝層及配置於緩衝層上的銻錫部之鰭、在鰭上配置閘極、以及將源極和汲極耦合至鰭，其中，閘極在源極與汲極之間。

關於第四實施例，形成鰭包括在圖型化的介電層中形成溝槽；磊晶生長緩衝層，其中，緩衝層包括銻；磊晶生長鰭的銻錫部；以及，使圖型化的介電層凹陷以致於圖型化介電層的頂表面與緩衝層的頂表面是實質上同平面的。

關於第四實施例，方法又包括形成具有配置於基底上的第二緩衝層及配置於第二緩衝層上的第二銻錫部之第二鰭，其中，該銻錫部及第二銻錫部包括不同的錫濃度。

關於第四實施例，形成具有配置於基底上的第二緩衝層及配置於第二緩衝層上的第二銻錫部之第二鰭，其中，該銻錫部及第二銻錫部包括不同的錫濃度，其中，形成第二鰭包括：形成第一犧牲鰭及第二犧牲鰭、將介電層配置

成相鄰於第一及第二犧牲鰭、遮罩第一犧牲鰭、移除第二犧牲鰭以在介電層中形成溝槽、在溝槽內磊晶生長第二緩衝層、及在溝槽內磊晶生長第二鍺錫部。

又關於第四實施例，方法又包括形成具有配置於基底上的第二緩衝層及配置於第二緩衝層上的第二鍺錫部之第二鰭、在第二鰭上配置第二閘極、及將第二源極和第二汲極耦合至第二鰭，其中，第二閘極在第二源極與第二汲極之間，其中，源極、汲極、第二源極和第二汲極都包括鍺錫，以及，其中，源極和汲極包括不同於第二源極和第二汲極的錫濃度。

又關於第四實施例，方法又包括形成具有配置於基底上的第二緩衝層及配置於第二緩衝層上的第二鍺錫部之第二鰭、在第二鰭上配置第二閘極、及將第二源極和第二汲極耦合至第二鰭，其中，第二閘極在第二源極與第二汲極之間，其中，源極、汲極、第二源極和第二汲極都包括鍺錫，以及，其中，源極和汲極包括不同於第二源極和第二汲極的錫濃度，其中，將第二源極和第二汲極耦合至第二鰭包括遮罩鰭、閘極、源極、和汲極以及磊晶地生長第二源極和第二汲極。

在一或更多第五實施例中，行動計算平台包括關於第一、第二、或第三實施例所述的任何實例結構。

將瞭解，本發明不侷限於所述的實施例，在不悖離後附的申請專利範圍之範圍下，可以以修改及替代來實施。舉例而言，上述實施例包含特點的特定結合。但是，上述

實施例不侷限於此，在各式各樣的實施中，上述實施例包含僅實施這些特徵的子集合、實施這些特徵的不同次序、實施這些特徵的不同組合、及/或實施明確列出的特徵以外的其它特徵。因此，應參考後附的申請專利範圍、以及這些請求項涵蓋的全均等範圍，以決定本發明的範圍。

【符號說明】

- 100：積體電路
- 101：基底
- 102：介電層
- 103：緩衝層
- 104：鍺錫部
- 105：緩衝層
- 106：鍺錫部
- 107：閘極
- 108：閘極
- 109：源極
- 110：汲極
- 111：源極
- 112：汲極
- 120：電晶體
- 121：通道區
- 122：鰭
- 130：電晶體

- 131 : 通道區
- 132 : 鱗
- 301 : 電晶體結構
- 302 : 介電層
- 303 : 犧牲鱗
- 304 : 犧牲鱗
- 305 : 電晶體結構
- 306 : 遮罩
- 307 : 溝槽
- 310 : 電晶體結構
- 311 : 鍍錫生長
- 312 : 凸塊
- 313 : 電晶體結構
- 314 : 電晶體結構
- 315 : 電晶體結構
- 316 : 電晶體結構
- 400 : 靜態隨機存取記憶體胞
- 415 : 下拉電晶體
- 420 : 接取電晶體
- 425 : 上拉電晶體
- 500 : 行動計算平台
- 600 : 計算裝置

申請專利範圍

1. 一種包含電晶體之積體電路，該電晶體包括：
 - 通道區，包含第一銻的銻錫部，其中，該第一銻包含配置於基底上的緩衝層以及配置於該緩衝層上的該第一銻錫部；
 - 配置於該通道區上的閘極；
 - 源極和汲極，耦合至該第一銻，其中，該通道區係介於該源極與該汲極之間；以及，
 - 第二電晶體，該第二電晶體包括：
 - 第二通道區，包含第二銻的第二銻錫部，其中，該第二銻包含配置於該基底上的第二緩衝層以及配置於該第二緩衝層上的該第二銻錫部，
 - 其中，該通道區及該第二通道區包含不同的錫濃度。
2. 如申請專利範圍第 1 項之積體電路，其中，該電晶體係為 NMOS 電晶體及該第二電晶體係為 PMOS 電晶體，以及，其中，該通道區具有範圍在 5% 至 10% 的錫濃度，以及該第二通道區具有範圍在 5% 至 20% 的錫濃度。
3. 如申請專利範圍第 2 項之積體電路，其中，該第二通道區包括比該通道區更高的錫濃度。
4. 如申請專利範圍第 1 項之積體電路，更包含第二電晶體，該第二電晶體包括：
 - 第二通道區，包含第二銻的第二銻錫部，其中，該第二銻包含配置於該基底上的第二緩衝層以及配置於該第二緩衝層上的該第二銻錫部；
 - 配置於該第二通道區上的第二閘極；以及，

第二源極和第二汲極，耦合至該第二鰭，其中，該第二通道區係介於該第二源極與該第二汲極之間，

其中，該電晶體為 NMOS 電晶體及該第二電晶體為 PMOS 電晶體，其中，該源極、該汲極、該第二源極、及該第二汲極都包括鍍錫，以及，其中，該源極和該汲極包括不同於該第二源極和該第二汲極之錫濃度。

5.如申請專利範圍第 4 項之積體電路，其中，該第二源極和該第二汲極包含高於該源極和該汲極之錫濃度。

6.如申請專利範圍第 1 項之積體電路，其中，該緩衝層包含磊晶鍍層。

7.如申請專利範圍第 1 項之積體電路，其中，該閘極包含相鄰於該通道區的磊晶矽層、高 k 閘極介電質、及金屬閘極部。

8.如申請專利範圍第 1 項之積體電路，其中，該閘極的底部與該緩衝層的頂表面實質上為同平面的。

9.如申請專利範圍第 1 項之積體電路，更包含第二電晶體，該第二電晶體包括：

第二通道區，包含第二鰭的矽部。

10.如申請專利範圍第 9 項之積體電路，其中，該電晶體包含 NMOS 電晶體且該第二電晶體包含 PMOS 電晶體。

11.如申請專利範圍第 10 項之積體電路，更包含第三電晶體，該第三電晶體包括：

第三通道區，包含第三鰭的第二鍍錫部，其中，該第

三鰭包含配置於該基底上的第二緩衝層以及配置於該第二緩衝層上的該第二銻錫部，

其中，該第三電晶體包含 PMOS 電晶體。

12.如申請專利範圍第 11 項之積體電路，其中，該通道區及該第三通道區包含不同的銻濃度。

13.一種靜態隨機存取記憶體胞，包含：

NMOS 電晶體，包括：

第一通道區，包含第一鰭的第一銻錫部，其中，該第一鰭包含配置於基底上的第一緩衝層以及配置於該第一緩衝層上的該第一銻錫部；

配置於該第一通道區上的第一閘極；以及，

第一源極和第一汲極，各包含銻錫，耦合至該第一鰭，其中，該第一通道區係介於該第一源極與該第一汲極之間；

PMOS 電晶體，包括：

第二通道區，包含第二鰭的第二銻錫部，其中，該第二鰭包含配置於該基底上的第二緩衝層以及配置於該第二緩衝層上的該第二銻錫部；

配置於該第二通道區上的第二閘極；以及，

第二源極和第二汲極，各包含銻錫，耦合至該第二鰭，其中，該第二通道區係介於該第二源極與該第二汲極之間，

其中，該第一源極和該第一汲極包含不同於該第二源極和該第二汲極的銻濃度。

14.如申請專利範圍第 13 項之靜態隨機存取記憶體胞，其中，該第一通道區具有範圍在 5%至 10%的錫濃度，以及，該第二通道區具有範圍在 5%至 20%的錫濃度。

15.如申請專利範圍第 14 項之靜態隨機存取記憶體胞，其中，該第二源極和該第二汲極包含比該第一源極和該第一汲極更高濃度的錫。

16.如申請專利範圍第 15 項之靜態隨機存取記憶體胞，其中，該第二通道區包含比該第一通道區更高濃度的錫。

17.一種積體電路的製造方法，包含：

形成具有配置於基底上的緩衝層及配置於該緩衝層上的鍺錫部之鰭；

配置閘極於該鰭上；

耦合源極和汲極至該鰭，其中，該閘極係介於該源極與該汲極之間；以及

形成具有配置於該基底上的第二緩衝層及配置於該第二緩衝層上的第二鍺錫部之第二鰭，其中，該鍺錫部及該第二鍺錫部包括不同的錫濃度。

18.如申請專利範圍第 17 項之方法，其中，形成該鰭包含：

形成溝槽於圖型化的介電層中；

磊晶地生長該緩衝層，其中，該緩衝層包含鍺；

磊晶地生長該鰭的該鍺錫部；以及

使該圖型化的介電層凹陷以致於該圖型化介電層的頂表面與該緩衝層的頂表面實質上為同平面的。

19.如申請專利範圍第 17 項之方法，其中，形成該第二鰭包含：

形成第一犧牲鰭及第二犧牲鰭；

將介電層配置成相鄰於該第一及第二犧牲鰭；

遮罩該第一犧牲鰭；

移除該第二犧牲鰭以在該介電層中形成溝槽；

在該溝槽內磊晶生長該第二緩衝層；以及

在該溝槽內磊晶生長該第二鍺錫部。

20.如申請專利範圍第 17 項之方法，更包含：

形成具有配置於該基底上的第二緩衝層及配置於該第二緩衝層上的第二鍺錫部之第二鰭；

在該第二鰭上配置第二閘極；以及

將第二源極和第二汲極耦合至該第二鰭，其中，該第二閘極在該第二源極與第二汲極之間，其中，該源極、該汲極、該第二源極和該第二汲極都包括鍺錫，以及，其中，該源極和該汲極包括不同於該第二源極和該第二汲極的錫濃度。

21.如申請專利範圍第 20 項之方法，其中，將該第二源極和該第二汲極耦合至該第二鰭包含：

遮罩該鰭、該閘極、該源極、和該汲極；以及

磊晶地生長該第二源極和該第二汲極。

圖式

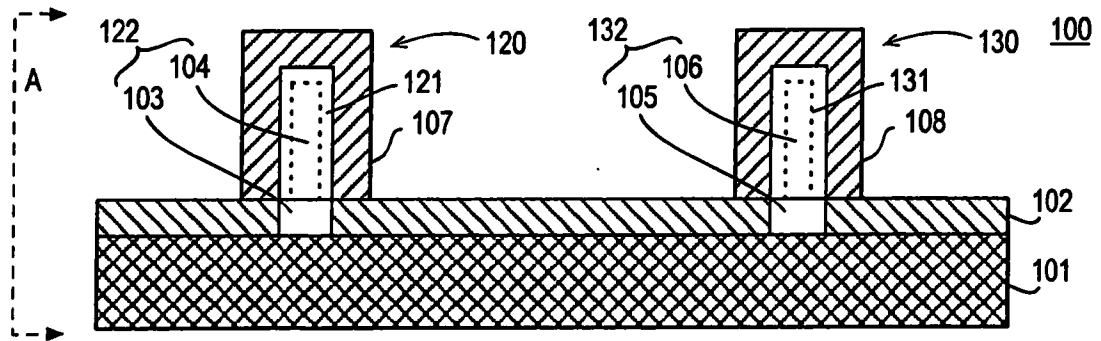


圖 1A

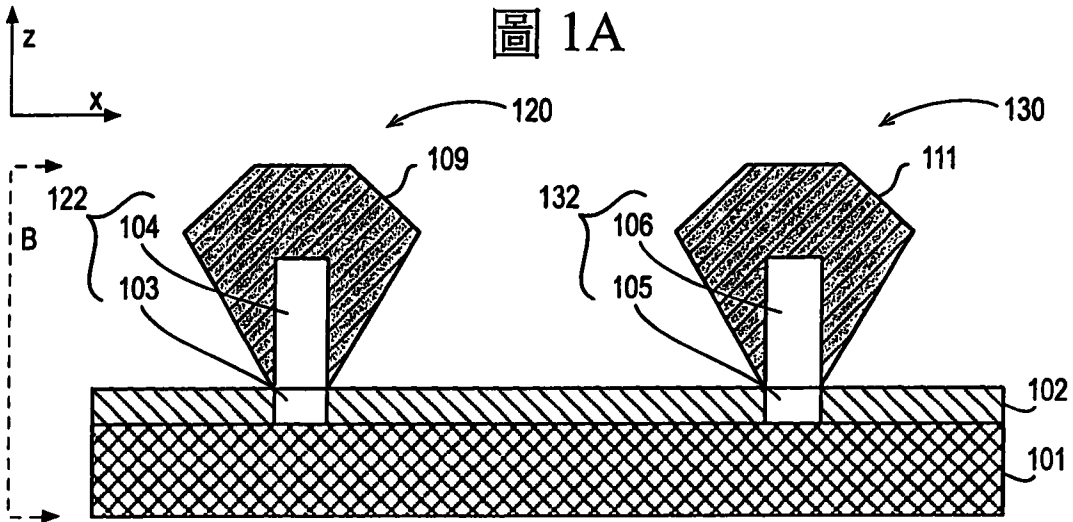


圖 1B

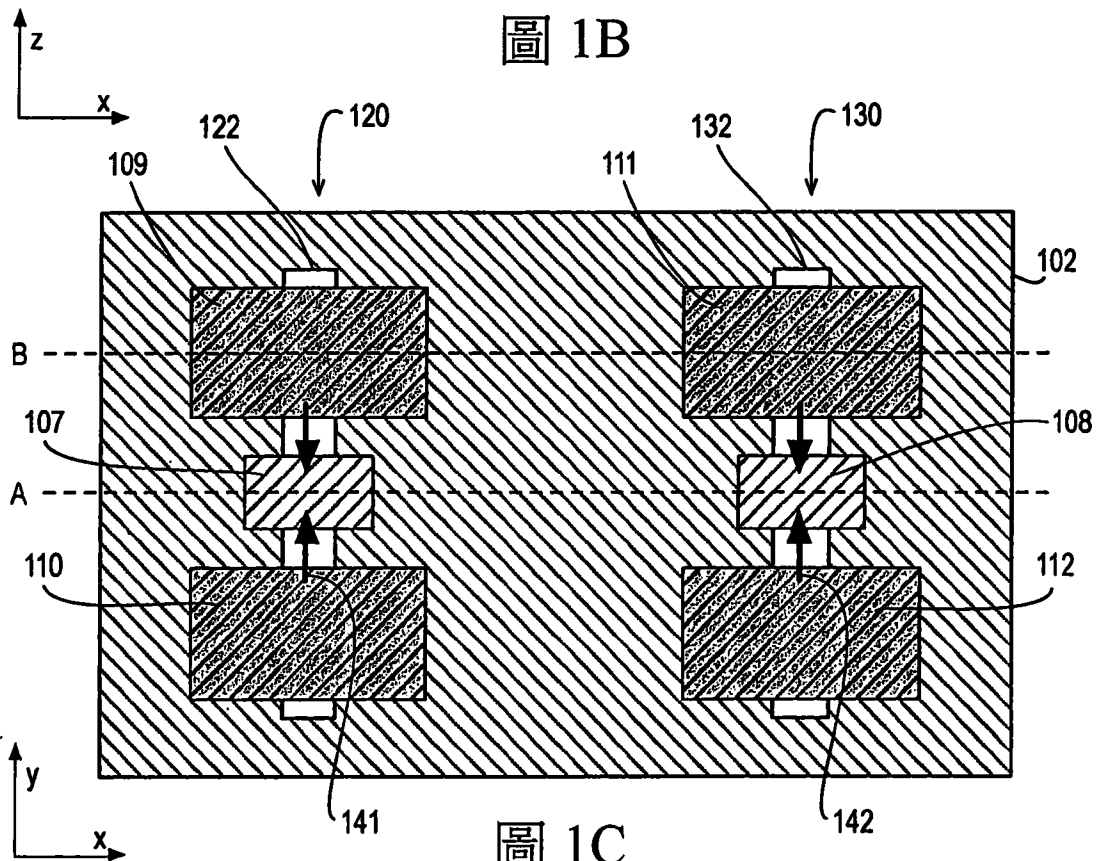


圖 1C

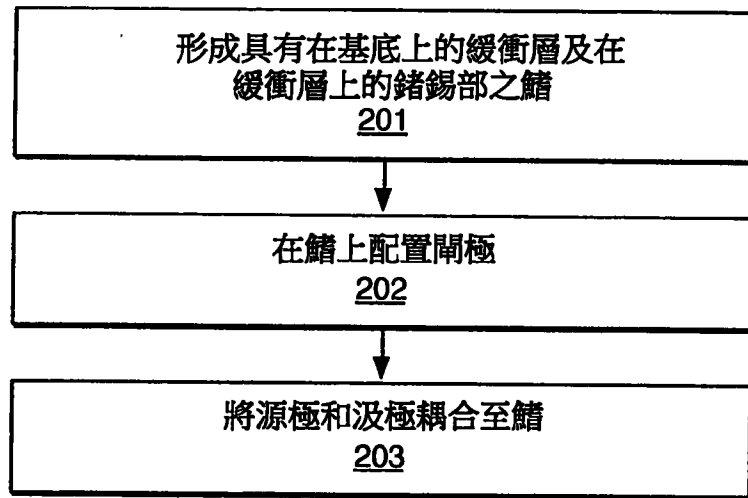


圖 2

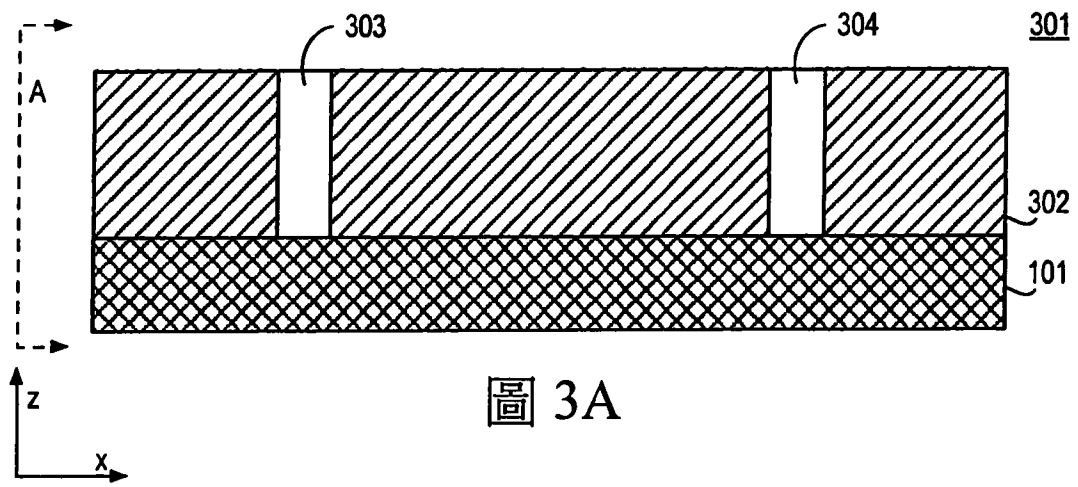


圖 3A

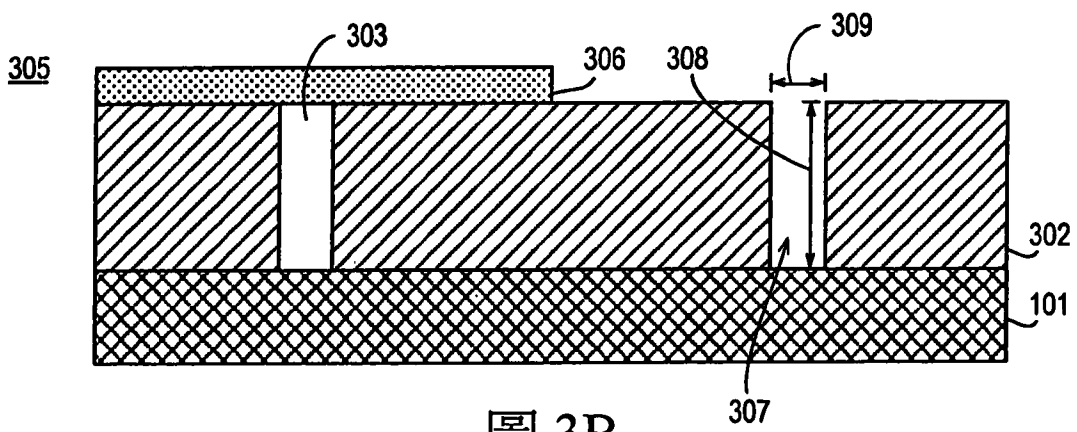


圖 3B

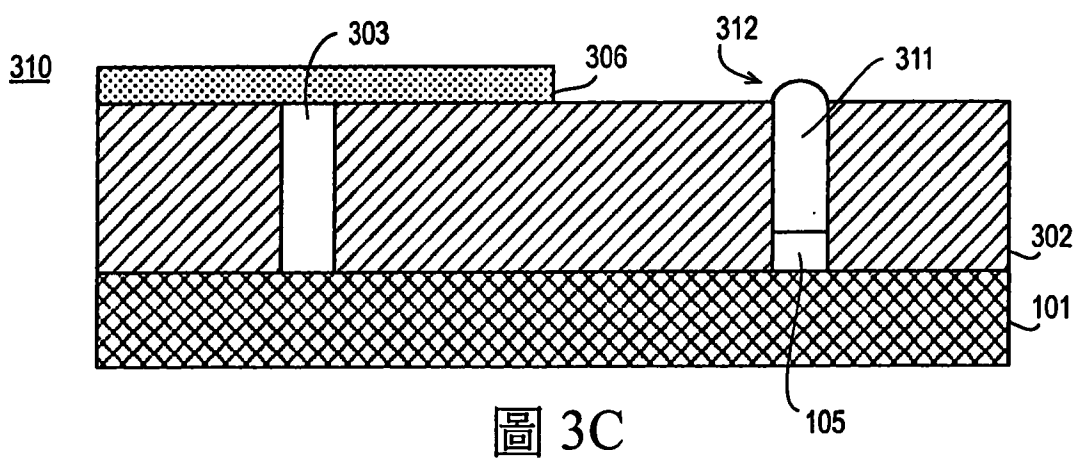


圖 3C

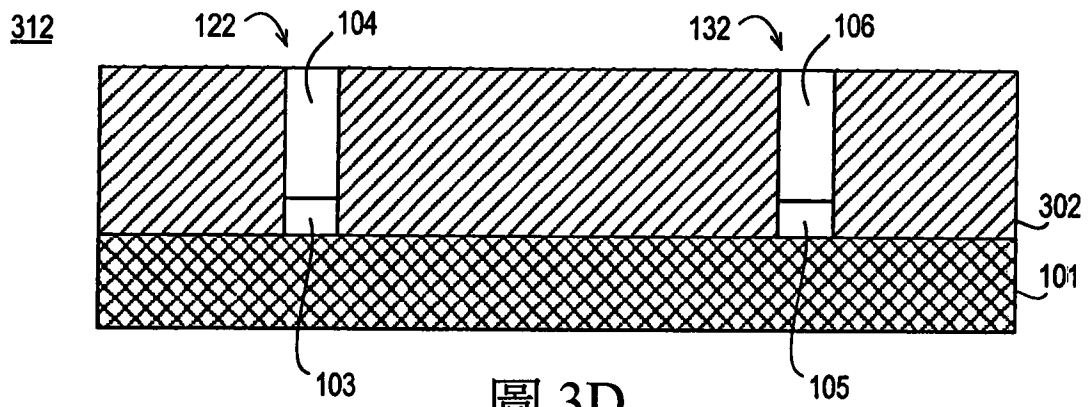


圖 3D

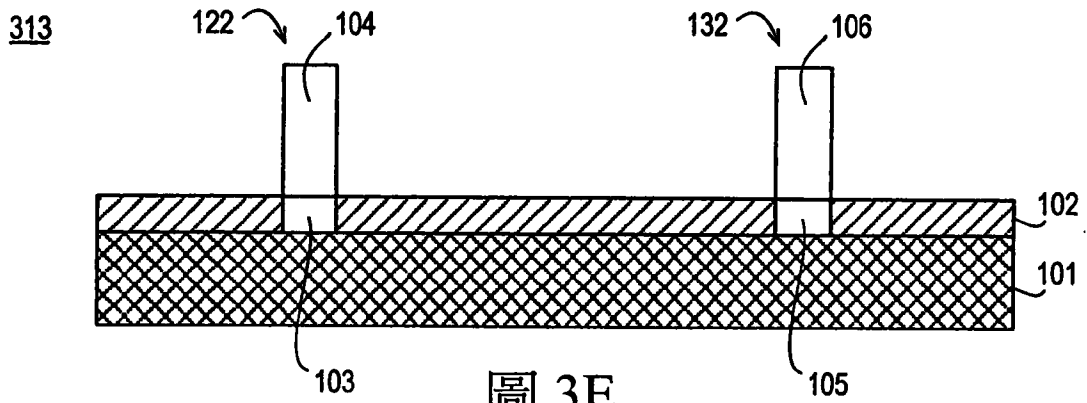


圖 3E

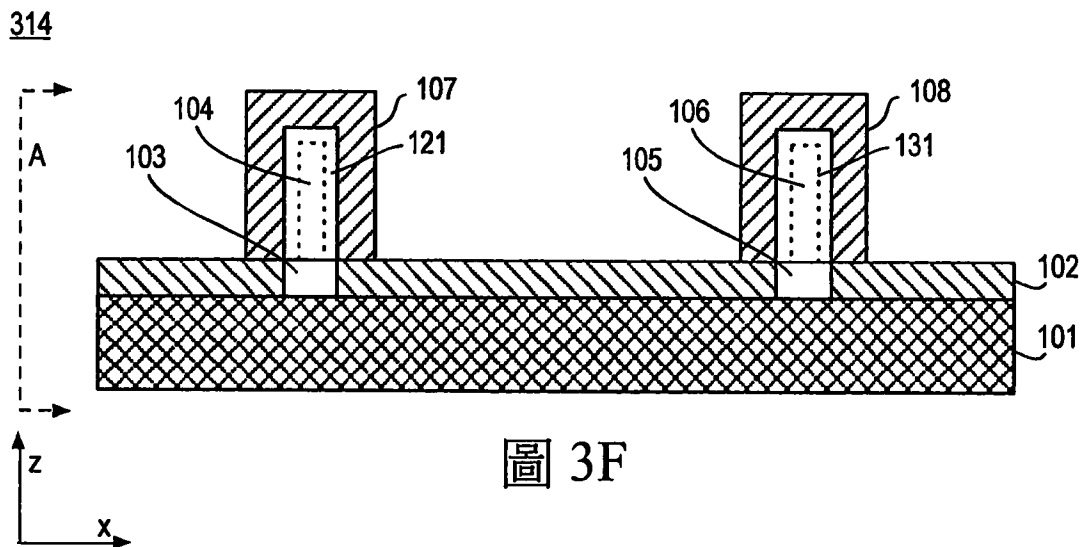
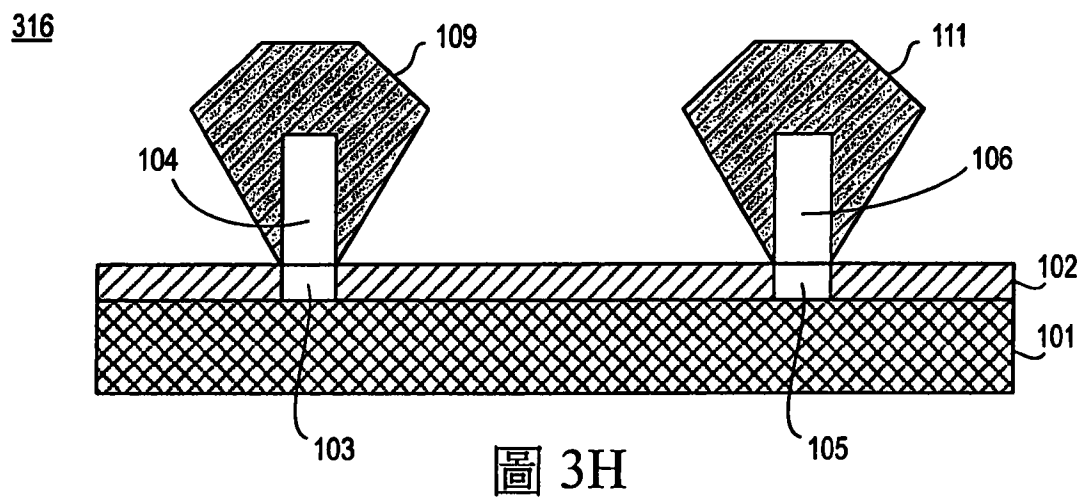
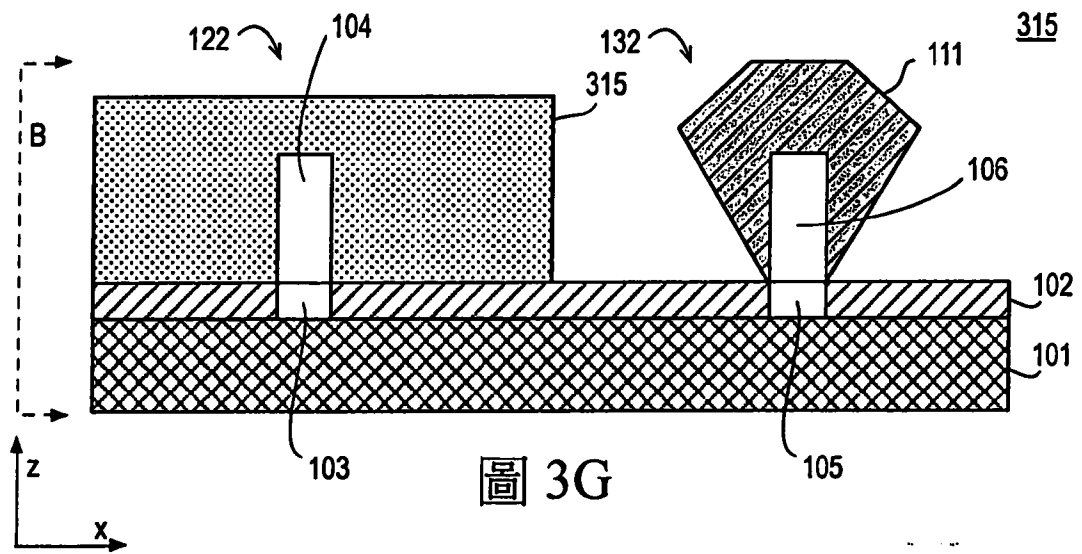


圖 3F



400

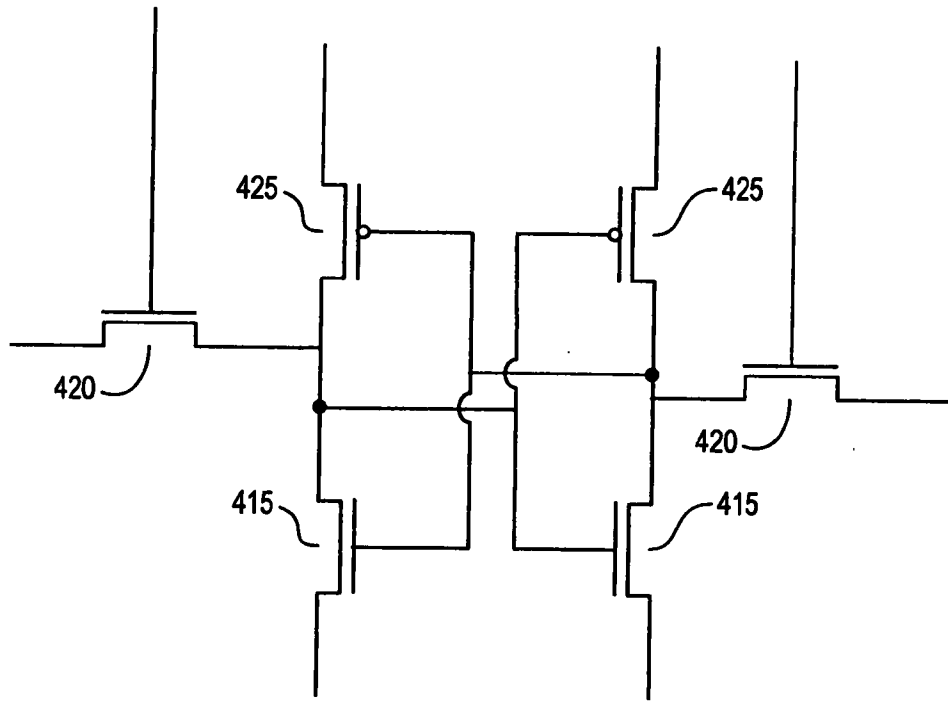


圖 4

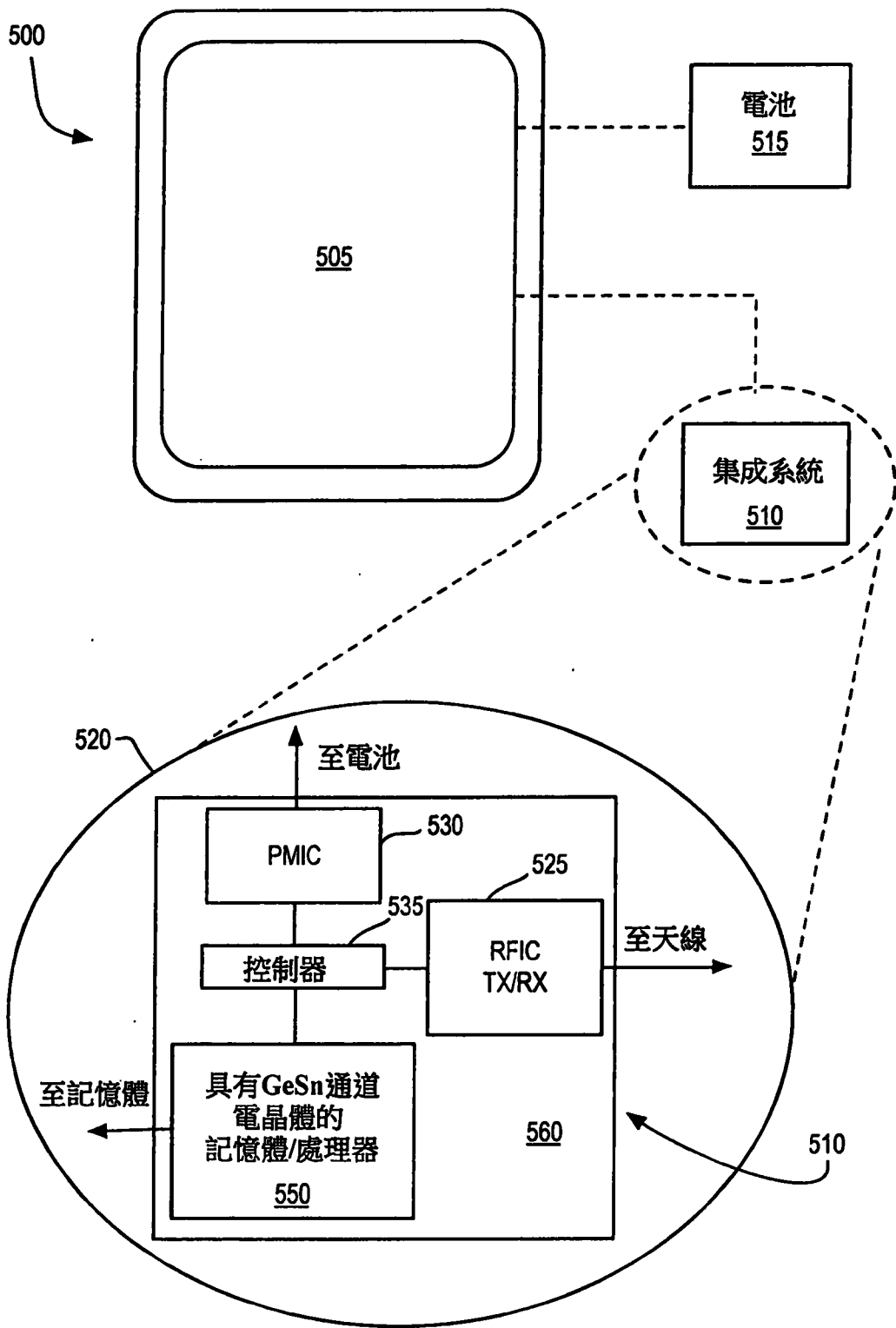


圖 5

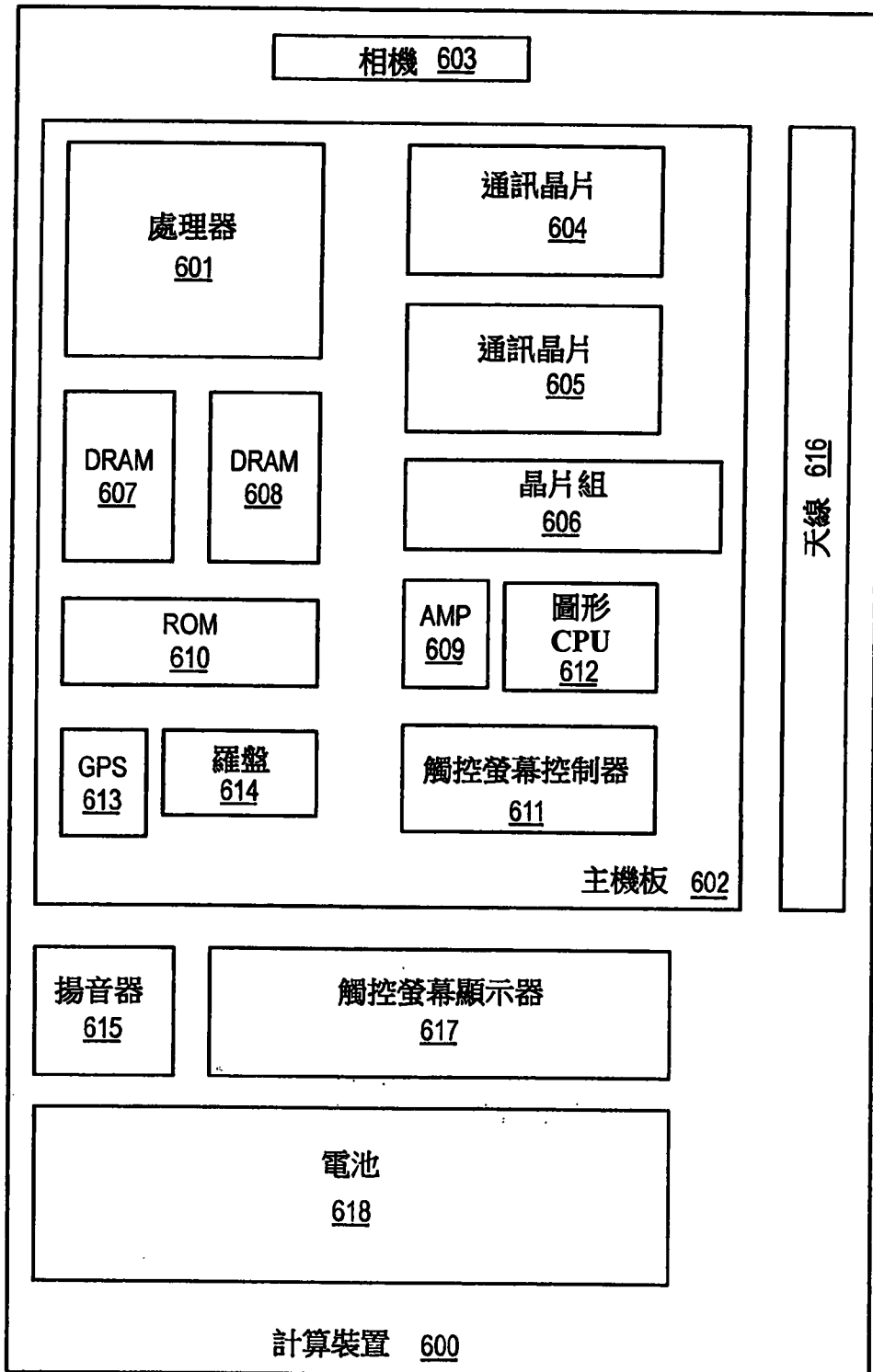


圖 6