

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-104401

(P2007-104401A)

(43) 公開日 平成19年4月19日(2007.4.19)

(51) Int. Cl.	F I	テーマコード (参考)
H03H 9/25 (2006.01)	H03H 9/25 A	4M109
H03H 9/02 (2006.01)	H03H 9/02 A	5J097
H03H 3/02 (2006.01)	H03H 3/02 B	5J108
H03H 3/08 (2006.01)	H03H 3/08	
B81B 3/00 (2006.01)	B81B 3/00	

審査請求 未請求 請求項の数 14 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2005-292416 (P2005-292416)
 (22) 出願日 平成17年10月5日 (2005.10.5)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 山形 修
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 Fターム(参考) 4M109 BA03 CA04 CA06 EE02
 5J097 AA29 FF07 JJ09 KK10
 5J108 BB03 BB07 BB08 CC11 EE03
 EE04 EE07 EE13 FF05 FF08
 GG05 GG20 GG21 KK01 KK07
 MM11

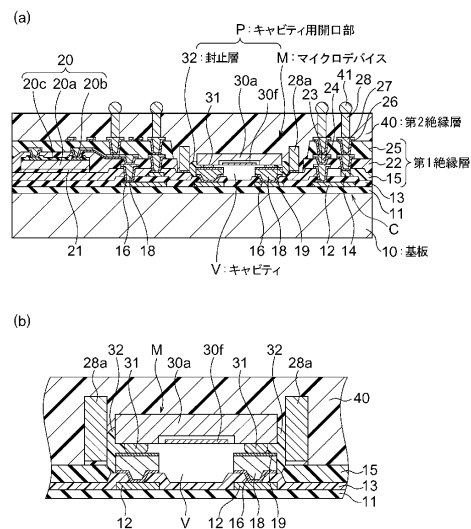
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】機能面に振動子などを持つ機能素子が組み込まれ、機能素子の気密封止が可能であり、小型化や薄型化に対応可能である半導体装置とその製造方法を提供する。

【解決手段】基板10に第1絶縁層(15, 22, 25)が形成されており、少なくとも第1絶縁層にキャビティ用開口部Pが形成されており、キャビティ用開口部内において機能面に可動部または振動子が形成された機能素子を有するマイクロデバイスMが、機能面がキャビティ用開口部内における他の部材から所定の距離をもって離間するようにしてマウントされ、少なくともマイクロデバイスMの側面及び/または機能面の外周端部と、キャビティ用開口部の内壁面とを封止して、機能面が封止されたキャビティの内面を構成するように封止層32が形成されており、マイクロデバイスの機能面を除く面を被覆して、マイクロデバイスと第1絶縁層の上層に第2絶縁層40が形成されている構成とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、

前記基板上に形成された第 1 絶縁層と、

機能面に可動部または振動子が形成された機能素子を有するマイクロデバイスであって、少なくとも前記第 1 絶縁層に形成されたキャビティ用開口部内において、前記機能面が前記キャビティ用開口部内における他の部材から所定の距離をもって離間するようにしてマウントされたマイクロデバイスと、

少なくとも前記マイクロデバイスの側面及び/または前記機能面の外周端部と、前記キャビティ用開口部の内壁面とを封止して、前記機能面が封止されたキャビティの内面を構成するように形成された封止層と、

前記マイクロデバイスの前記機能面を除く面を被覆して、前記マイクロデバイスと前記第 1 絶縁層の上層に形成された第 2 絶縁層と

を有する半導体装置。

10

【請求項 2】

前記キャビティ用開口部の側面を導電性ポストが構成している

請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 絶縁層及び前記第 2 絶縁層中に埋め込まれて配線が形成されている

請求項 1 に記載の半導体装置。

20

【請求項 4】

前記キャビティが、真空、減圧、還元雰囲気、あるいは不活性ガス雰囲気に保持されている

請求項 1 に記載の半導体装置。

【請求項 5】

前記マイクロデバイスの前記機能面にパンプが形成されており、

前記キャビティ用開口部内において前記基板に電極が形成されており、

前記キャビティ内において前記パンプと前記電極が接合している

請求項 1 に記載の半導体装置。

【請求項 6】

前記配線に接続するように、前記第 1 絶縁層及び前記第 2 絶縁層に半導体チップが埋め込まれている

請求項 1 に記載の半導体装置。

30

【請求項 7】

前記基板は、半導体素子が形成された半導体基板である

請求項 1 に記載の半導体装置。

【請求項 8】

基板に第 1 絶縁層を形成する工程と、

少なくとも前記第 1 絶縁層にキャビティ用開口部を形成する工程と、

機能面に可動部または振動子が形成された機能素子を有するマイクロデバイスを、前記キャビティ用開口部内において、前記機能面が前記キャビティ用開口部内における他の部材から所定の距離をもって離間するようにしてマウントする工程と、

少なくとも前記マイクロデバイスの側面及び/または前記機能面の外周端部と、前記キャビティ用開口部の内壁面とを封止して、前記機能面が封止されたキャビティの内面を構成するように封止層を形成する工程と、

前記マイクロデバイスの前記機能面を除く面を被覆して、前記マイクロデバイスと前記第 1 絶縁層の上層に第 2 絶縁層を形成する工程と

を有する半導体装置の製造方法。

40

【請求項 9】

前記マイクロデバイスをマウントする工程の前に、前記キャビティ用開口部の側面を構

50

成するように導電性ポストを形成する工程をさらに有する

請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記第 1 絶縁層を形成する工程及び前記第 2 絶縁層を形成する工程において、前記第 1 絶縁層及び前記第 2 絶縁層中に配線を埋め込んで形成する

請求項 8 に記載の半導体装置の製造方法。

【請求項 11】

前記機能面と前記キャビティ用開口部の内面とで構成される前記キャビティが、真空、減圧、還元雰囲気、あるいは不活性ガス雰囲気に保持されるように、前記マイクロデバイスをマウントする工程を真空、減圧、還元雰囲気、あるいは不活性ガス雰囲気下で行う

10

請求項 8 に記載の半導体装置の製造方法。

【請求項 12】

前記マイクロデバイスの前記機能面にバンプを形成する工程をさらに有し、

前記キャビティ用開口部内となる位置において前記基板に電極を形成する工程をさらに有し、

前記マイクロデバイスをマウントする工程において、前記機能面と前記キャビティ用開口部の内面とで形成するキャビティの領域内において前記バンプと前記電極を接合する

請求項 8 に記載の半導体装置の製造方法。

【請求項 13】

前記第 1 絶縁層を形成する工程及び / または前記第 2 絶縁層を形成する工程において、前記配線に接続するように、前記第 1 絶縁層及び前記第 2 絶縁層に半導体チップを埋め込む

20

請求項 8 に記載の半導体装置の製造方法。

【請求項 14】

前記基板として、半導体素子が形成された半導体基板を使用する

請求項 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、MEMS (Micro Electro Mechanical Systems)、SAW (Surface Acoustic Wave) 素子、あるいは F - BAR (Thin Film Bulk Acoustic Wave Resonators) などの機能面に可動部または振動子を持つ機能素子を有する半導体装置およびその製造方法に関する。

30

【背景技術】

【0002】

近年、携帯電話やパーソナルコンピュータに代表されるモバイル機器においては、小型軽量化や多機能および高機能化が進んでおり、これらの機器を構成する部品や基板も同様に小型、薄型、軽量化や高密度実装化が進んでいる。また、半導体等のデバイスの実装に関しても、実装面積の小型化や伝達信号の高速化に伴い、モールドやセラミックパッケージによる実装から、いわゆるフリップチップ実装技術によりデバイスのベアチップを直接基板に実装し、封止する試みがとられている。

40

【0003】

ところが、このフリップチップによるデバイスのダイレクト実装方法は、たとえば、MEMS (Micro Electro Mechanical Systems)、SAW (Surface Acoustic Wave) 素子あるいは F - BAR (Thin Film Bulk Acoustic Wave Resonators) などの機能面に可動部または振動子を持つマイクロデバイスの場合、機能面を封止材等で覆うことができないため、セラミックや金属、あるいはガラスなどの基板を用いて気密封止するパッケージ構造がとられている。

【0004】

図 13 は MEMS などのパッケージ構造の従来例を示す断面図である。

50

例えば、セラミック、金属、ガラスなどのパッケージ部材(100a, 100b, 100c)を積層して凹部100dが設けられたパッケージ100に、MEMSなどの機能面101aに可動部または振動子を持つマイクロデバイスが設けられた半導体チップ101が機能面101aを上面にして収容され、外部との電気的な接続のために凹部内に設けられた電極102にワイヤボンディング103で接続されている。

さらに、金属、セラミックあるいはガラスなどからなるリッド104で凹部100dが覆われて、封止剤105で封止され、凹部100dとリッド104から気密封止されたキャビティ106が構成される。キャビティ106は、真空、減圧、還元雰囲気、あるいは不活性ガス雰囲気に保持されている。

【0005】

また、特許文献1には、絶縁層と配線層とが積層された配線基板内のキャビティに、機能面に振動子または可動部を持つマイクロデバイスが設けられた半導体チップが実装されており、キャビティに露出する絶縁層の表面、及び中空部内面における絶縁層と配線層との境界を覆うようにしてキャビティ内面に疎水性材料の膜が形成され、キャビティの上面が金属膜で覆われて構成されている素子内装基板が開示されている。

【0006】

しかしながら、図13及び特許文献1に示された構造では、半導体チップをスムーズに収容するために、半導体チップの大きさよりもキャビティを相当大きくする必要のあることから、マイクロデバイスを組み込んだモジュールまたは半導体装置のサイズや厚みが大きくなってしまふという不利益があり、また、製造するとき、マイクロデバイスを気密封止するためのセラミック基板や樹脂基板などのキャビティを構成するための基板が予め必要であることから、製造工程が多いという不利益がある。

【特許文献1】特開2004-179573号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の目的は、MEMS、SAW素子あるいはF-BARなどの機能面に振動子または可動部を持つ機能素子を有するマイクロデバイスが気密封止して組み込まれてなり、小型化や薄型化が可能でキャビティを構成するための基板が不要となる半導体装置と、その製造方法を提供することである。

【課題を解決するための手段】

【0008】

上記の課題を解決するため、本発明の半導体装置は、基板と、前記基板上に形成された第1絶縁層と、機能面に可動部または振動子が形成された機能素子を有するマイクロデバイスであって、少なくとも前記第1絶縁層に形成されたキャビティ用開口部内において、前記機能面が前記キャビティ用開口部内における他の部材から所定の距離をもって離間するようにしてマウントされたマイクロデバイスと、少なくとも前記マイクロデバイスの側面及び/または前記機能面の外周端部と、前記キャビティ用開口部の内壁面とを封止して、前記機能面が封止されたキャビティの内面を構成するように形成された封止層と、前記マイクロデバイスの前記機能面を除く面を被覆して、前記マイクロデバイスと前記第1絶縁層の上層に形成された第2絶縁層とを有する。

【0009】

上記の本発明の半導体装置は、基板に第1絶縁層が形成されており、また、少なくとも第1絶縁層にキャビティ用開口部が形成されている。このキャビティ用開口部内において、機能面に可動部または振動子が形成された機能素子を有するマイクロデバイスが、機能面がキャビティ用開口部内における他の部材から所定の距離をもって離間するようにしてマウントされている。さらに、少なくともマイクロデバイスの側面及び/または機能面の外周端部と、キャビティ用開口部の内壁面とを封止して、機能面が封止されたキャビティの内面を構成するように封止層が形成されており、マイクロデバイスの機能面を除く面を被覆して、マイクロデバイスと第1絶縁層の上層に第2絶縁層が形成されている。

10

20

30

40

50

【0010】

また、上記の課題を解決するため、本発明の半導体装置の製造方法は、基板に第1絶縁層を形成する工程と、少なくとも前記第1絶縁層にキャビティ用開口部を形成する工程と、機能面に可動部または振動子が形成された機能素子を有するマイクロデバイスを、前記キャビティ用開口部内において、前記機能面が前記キャビティ用開口部内における他の部材から所定の距離をもって離間するようにしてマウントする工程と、少なくとも前記マイクロデバイスの側面及び/または前記機能面の外周端部と、前記キャビティ用開口部の内壁面とを封止して、前記機能面が封止されたキャビティの内面を構成するように封止層を形成する工程と、前記マイクロデバイスの前記機能面を除く面を被覆して、前記マイクロデバイスと前記第1絶縁層の上層に第2絶縁層を形成する工程とを有する。

10

【0011】

上記の本発明の半導体装置の製造方法は、基板に第1絶縁層を形成し、少なくとも第1絶縁層にキャビティ用開口部を形成する。

次に、機能面に可動部または振動子が形成された機能素子を有するマイクロデバイスを、キャビティ用開口部内において、機能面がキャビティ用開口部内における他の部材から所定の距離をもって離間するようにしてマウントする。

次に、少なくともマイクロデバイスの側面及び/または機能面の外周端部と、キャビティ用開口部の内壁面とを封止して、機能面が封止されたキャビティの内面を構成するように封止層を形成する。

次に、マイクロデバイスの機能面を除く面を被覆して、マイクロデバイスと第1絶縁層の上層に第2絶縁層を形成する。

20

【発明の効果】

【0012】

本発明の半導体装置は、MEMS、SAW素子あるいはF-BARなどの機能面に振動子または可動部を持つ機能素子を有するマイクロデバイスが気密封止して組み込まれてなり、キャビティが従来より小さくなって小型化や薄型化が可能であり、第1絶縁層などに形成されたキャビティ用開口部とマイクロデバイスの機能面と封止層とでキャビティが構成されているのでキャビティを構成するための基板を予め用意する必要がない。

【0013】

また、本発明の半導体装置の製造方法は、MEMS、SAW素子あるいはF-BARなどの機能面に振動子または可動部を持つ機能素子を有するマイクロデバイスを気密封止して組み込んで製造する際に、キャビティを従来より小さくでき、小型化や薄型化して製造することが可能であり、第1絶縁層などに形成されたキャビティ用開口部とマイクロデバイスの機能面と封止層とでキャビティを構成するので、製造するときキャビティを構成するための基板を予め用意する必要がない。

30

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施形態に係る半導体装置およびその製造方法について図面を参照して説明する。

【0015】

第1実施形態

本実施形態に係る半導体装置はMEMS、SAW素子あるいはF-BARなどの可動部または振動子を持つ機能素子を備えたマイクロデバイスを内蔵してパッケージ化した半導体装置であり、図1(a)はその模式断面図であり、図1(b)は要部拡大図である。

40

【0016】

例えば、シリコン基板10上に酸化シリコンからなる下地絶縁膜11が形成されており、その上層に、下部電極12、絶縁膜13、上部電極14が積層しており、絶縁膜13が容量絶縁膜である静電容量素子Cが構成されている。

【0017】

上記の静電容量素子Cを被覆して全面に、第1樹脂層15、第2樹脂層22、第3樹脂

50

層 2 5 が積層されて、これらからなる第 1 絶縁層が構成されている。

また、シード層 1 6 及び銅層 1 8 からなる第 1 配線、シード層 2 3 及び銅層 2 4 からなる第 2 配線、シード層 2 6 及び銅層 2 7 からなる第 3 配線を含む配線が、静電容量素子 C を構成する下部電極 1 2 及び上部電極 1 4 に接続して、及び / または互いに接続して、第 1 絶縁層中及びその表面に形成されている。

【 0 0 1 8 】

また、第 1 樹脂層 1 5 と第 2 樹脂層 2 2 の界面には、能動素子を含む電子回路を有する半導体チップ 2 0 がダイアタッチフィルム 2 1 で固定されてマウントされている。半導体チップ 2 0 は、電子回路が形成された半導体本体 2 0 a の表面にパッド電極 2 0 b が形成されており、パッド電極 2 0 b を露出するように保護絶縁膜 2 0 c が形成されており、構成されてお

10

【 0 0 1 9 】

また、第 3 配線 (2 6 , 2 7) の上部に銅からなる導電性ポスト 2 8 が形成されており、導電性ポスト 2 8 の外周部において第 3 樹脂層 2 5 の上層に、半導体装置が実装基板に実装されたときに発生する応力を緩和するバッファ層 (第 2 絶縁層) 4 0 が形成されている。

さらにバッファ層 4 0 の表面から突出するように導電性ポスト 2 8 に接続してバンプ (突起電極) 4 1 が形成されている。

【 0 0 2 0 】

上記の構成において、第 1 樹脂層 1 5 、第 2 樹脂層 2 2 、第 3 樹脂層 2 5 からなる第 1 絶縁層は、マイクロデバイス搭載領域において除去されており、キャビティ用開口部 P が形成されている。

20

上記のキャビティ用開口部 P 内には、マイクロデバイス搭載用の第 1 配線 (1 6 , 1 8) が形成されており、その表面には Ni / Au 層 1 9 が形成されている。

また、キャビティ用開口部 P の側面を構成するように導電性ポスト 2 8 a が形成されている。

【 0 0 2 1 】

上記のように、第 1 樹脂層 1 5 、第 2 樹脂層 2 2 、第 3 樹脂層 2 5 からなる第 1 絶縁層と、導電性ポスト 2 8 a に形成されたキャビティ用開口部 P において、MEMS、SAW 素子あるいは F - BAR などの機能面に可動部または振動子が形成された機能素子を有するマイクロデバイス M がマウントされている。

30

【 0 0 2 2 】

ここで、マイクロデバイス M は、デバイス本体 3 0 a の機能面に可動部または振動子が形成された機能素子 3 0 f を有し、さらに機能面にはバンプ 3 1 が形成されており、バンプ 3 1 が、表面に Ni / Au メッキ層 1 9 が形成された第 1 配線 (1 6 , 1 8) に接合するようにフリップチップで、また、機能面がキャビティ用開口部 P 内における他の部材から所定の距離をもって離間するようにして、マウントされている。

【 0 0 2 3 】

また、少なくともマイクロデバイス M の側面及び / または機能面の外周端部と、キャビティ用開口部 P の内壁面とを封止して、機能面 3 0 f が封止されたキャビティ V の内面を構成するように、樹脂からなる封止層 3 2 が形成されている。

40

【 0 0 2 4 】

さらに、上記のバッファ層 (第 2 絶縁層) 4 0 が、マイクロデバイス M の機能面 3 0 f を除く面を被覆して形成されている。

【 0 0 2 5 】

上記の構成の半導体装置は、MEMS、SAW 素子あるいは F - BAR などの機能面に振動子または可動部を持つ機能素子が、キャビティ用開口部 P 内の他の部材に接することなく気密封止して組み込まれてなり、キャビティが従来より小さくなって小型化や薄型化が可能であり、絶縁層、マイクロデバイスの機能面及び導電性ポストの表面及び封止層な

50

どでキャビティが構成されているのでキャビティを構成するための基板を予め用意する必要がない。

【0026】

上記の本実施形態に係る半導体装置の製造方法について説明する。

まず、図2(a)に示すように、例えば、200mm径のウェハ状態の基板10に、CVD(化学気相成長)法などにより酸化シリコンを300nmの膜厚で成膜して下地絶縁膜11を形成し、その上層に物理蒸着などによりアルミニウムなどを成膜し、所定のパターンに加工して下部電極12を形成し、続いてプラズマCVD法によりSiNを300nmの膜厚で形成して絶縁膜13とする。このSiNは静電容量素子の容量絶縁膜の機能および配線保護のパッシベーション膜の両方の機能を有するものである。さらに物理蒸着などによりTiNを成膜し、所定のパターンに加工して上部電極14とする。上部電極14の面積は静電容量素子の容量により決定される。Ti膜は再配線工程でのシードスパッタリングの前処理においてSiNの膜減り防止の効果がある。

10

以上のようにして、フィルターなどを構成する静電容量素子Cを形成する。ここで、上記の絶縁膜13は全面に形成しているが、下部電極12へのコンタクト領域を開口しておく。

【0027】

次に、図2(b)に示すように、例えば、スピコートにより感光性ポリイミドを10 μ mの膜厚で塗布して第1樹脂層15を形成し、露光及び現像により、上部電極14及び下部電極12に達する開口部を形成するようにパターン加工する。ここで、ポリイミドが吸湿性を有するため、キャビティ用開口部Pにおいても第1樹脂層15を除去するようにパターン加工し、これによりキャビティ用開口部Pにおいては吸湿率の低いSiN膜が残る。また、マイクロデバイスMとの接続部としてはSiN膜を除去して下部電極12を露出させる。

20

感光性ポリイミドをスピコートで形成する場合、例えば、(1000rpm, 30秒) + (2000rpm, 40秒) + (1000rpm, 10秒) + (1500rpm, 10秒)の塗布条件で行い、露光は125mJ/cm²の露光量で行い、また、硬化処理は(300, 1時間)の熱処理とする。

【0028】

次に、例えば、スパッタリング法により、第1樹脂層15に形成された開口部及びキャビティ用開口部の内壁面を被覆して、例えばTiを160nm、続いてCuを600nmの膜厚でそれぞれ堆積させ、次工程における電解メッキ処理のシード層16を形成する。

30

【0029】

次に、図2(c)に示すように、例えばフォトリソグラフィ工程により、第1樹脂層15に形成された開口部などの第1配線形成領域を開口するパターンのレジスト膜17をパターン形成する。

【0030】

次に、図3(a)に示すように、例えば、シード層16を一方の電極とする電解メッキ処理により、レジスト膜17の形成領域を除く領域に銅を成膜し、所定の配線回路パターンの銅層18を形成する。銅メッキ工程では、後工程である能動素子を有する半導体チップを搭載する工程用のアライメントマークも同時形成する。

40

また、キャビティ用開口部Pにおける第1配線の表面には、キャビティ用開口部Pにおける第1配線の表面以外をレジストにて保護した後、無電解めっき法によりNi/Au層19を形成する。これは、シード層の剥離工程においてマイクロデバイスの接続端子となる第1配線(16, 18)を保護するためである。ここで、例えばNi膜の厚さは3 μ m、Au膜の厚さは0.5 μ mとする。

【0031】

次に、図3(b)に示すように、例えば、溶剤処理などによりレジスト膜17を除去し、さらに、図3(c)に示すように、銅層18をマスクとしてウェットエッチングなどを行い、各銅層18間におけるシード層16を除去する。

50

これにより、シード層 16 及び銅層 18 からなる第 1 配線が形成され、キャビティ用開口部 P における第 1 配線の表面には、上記のように Ni / Au 層 19 が形成されている構成となる。

【0032】

次に、図 4 (a) に示すように、能動素子を有する半導体チップ 20 をダイアタッチフィルム 21 により固着する。

半導体チップ 20 は、半導体本体 20 a の表面にパッド電極 20 b が形成されており、パッド電極 20 b を露出するように保護絶縁膜 20 c が形成された構成であり、例えば、能動素子を有する電子回路を形成した半導体ウェハを、ウェハ状態で 50 μm まで研削を行い、裏面にダイアタッチフィルムをラミネートし、ダイシングにより個片化を行って形成する。

例えば、研削条件は、砥石 # 2000、スピンドル回転数 2000 rpm とする。また、ラミネート条件は、圧力が 10 N / cm^2 、温度が 65、スピードが 1 m / 分とする。ダイシング条件は、ブレード # 4000 を用いて、回転数が 40000 rpm、送り速度が 10 mm / 秒とする。また、搭載は荷重が 1.6 N、温度が 160、時間が 2.0 秒とする。

【0033】

次に、静電容量素子 C と搭載した半導体チップの電氣的接続のための再配線を行う。

まず、図 4 (b) に示すように、例えば、スピンコートにより感光性ポリイミドを 10 μm の膜厚で塗布して第 2 樹脂層 22 を形成し、露光及び現像により、第 1 配線、上部電極 14、パッド電極 20 b に達する開口部を形成するようにパターン加工する。また、キャビティ用開口部 P においても第 2 樹脂層 22 を除去する。

露光、現像処理の後で、(300 , 1 時間) の硬化処理を行う。

【0034】

次に、上記と同様の工程を繰り返して、図 4 (c) に示すように、シード層 23 及び銅層 24 からなる第 2 配線を積層させる。

ここでは、例えば、全面に Ti と Cu を堆積してシード層 23 を形成し、第 2 配線形成領域を開口するレジスト膜をパターン形成し、シード層 23 を一方の電極とする電解メッキ処理により銅層 24 を形成し、レジスト膜を除去し、さらに銅層 24 をマスクとしてウエットエッチングを行い、銅層 24 間のシード層 23 を除去する。

【0035】

次に、図 5 (a) に示すように、例えば、スピンコートにより感光性ポリイミドを 10 μm の膜厚で塗布して第 3 樹脂層 25 を形成し、露光及び現像により、第 2 配線に達する開口部を形成するようにパターン加工する。また、キャビティ用開口部 P においても第 3 樹脂層 25 を除去する。露光、現像処理の後で、(300 , 1 時間) の硬化処理を行う。

【0036】

次に、上記と同様の工程を繰り返して、図 5 (b) に示すように、シード層 26 及び銅層 27 からなる第 3 配線を積層させる。

ここでは、例えば、全面に Ti と Cu を堆積してシード層 26 を形成し、第 3 配線形成領域を開口するレジスト膜をパターン形成し、シード層 26 を一方の電極とする電解メッキ処理により銅層 27 を形成し、レジスト膜を除去する。シード層 26 は、次工程で導電性ポストを形成する電解メッキ処理工程においても用いるので、エッチングせずにおく。

【0037】

次に、図 5 (c) に示すように、例えば、フォトリソグラフィ工程により導電性ポストの形成領域を開口するパターンでレジスト膜をパターン形成し、さらにシード層 26 を一方の電極とする電解メッキ処理により、第 3 配線に接続するように、銅からなる導電性ポスト 28 を形成する。

この工程においては、キャビティ用開口部 P の側面を構成するような導電性ポスト 28 a も同時に形成する。これは、マイクロデバイスが搭載される領域を囲んでリング状に形

10

20

30

40

50

成する。

【0038】

次に、キャビティ用開口部 P に搭載するマイクロデバイスの形成方法について説明する。

まず、図 6 (a) に示すように、半導体ウェハ 3 0 に、MEMS、SAW 素子、F - B A R などの機能面に振動子または可動部を持つ機能素子 3 0 f を形成する。また、機能素子 3 0 f などに接続して、印刷法又はディスペンス法で機能面に銀ペーストを印刷してパンプ 3 1 を形成する。

【0039】

次に、図 6 (b) に示すように、機能面を被覆してダイシング保護テープ S 1 をラミネートし、図 6 (c) に示すように、ダイシングラインにおいてダイシング保護テープ S 1 側から途中の深さまでーフダイシング H D する。

【0040】

次に、図 7 (a) に示すように、バックグラインド保護テープ S 2 を保護テープ S 2 をダイシング保護テープ S 1 上に重ねてラミネートし、図 7 (b) に示すように半導体ウェハ 3 0 の裏面から研削する。このとき、ーフダイシング H D した位置より深く研削する。

次に、例えば表面から UV 照射と 1 0 0 のオープン加熱することで、ダイシング保護テープからの剥離を行い、以上の工程により、図 7 (c) に示すように、ダイシングラインにおいて個々の半導体チップ 3 0 a に分割しながら、薄型化が実現されたマイクロデバイス M が形成できる。

【0041】

次に、図 8 (a) に示すように、上記のマイクロデバイス M を、キャビティ用開口部 P 内において、機能面がキャビティ用開口部 P と対向するようにマウントする。

このとき、マイクロデバイスのパンプ 3 1 の外周部において、B ステージのエポキシ樹脂をディスペンス又は印刷法で塗布し、封止層 3 2 a を予め形成しておく。

【0042】

次に、図 8 (b) に示すように、キャビティ用開口部 P 内において、マイクロデバイス M のパンプ 3 1 が第 1 配線 (1 6 , 1 8) の表面の Ni / Au 層 1 9 に接続するように熱圧着させる。

このとき、封止層 3 2 a を適度な供給量としておくことで、機能面と第 1 電極の間隙からはみだし、マイクロデバイス M の側面及び / または機能面の外周端部と、キャビティ用開口部 P を構成する導電性ポスト 2 8 a の内壁面とを封止する状態となる。この状態で硬化させることにより、封止層 3 2 が形成できる。封止層 3 2 により、マイクロデバイス M の機能面が封止されたキャビティの内面を構成することになる。

この工程において、導電性ポスト 2 8 a は樹脂を塞ぎ止める役目と有する。

【0043】

上記の封止の工程を、真空、減圧、還元雰囲気、あるいは不活性ガス雰囲気で行うことにより、キャビティ V 内を、真空、減圧、還元雰囲気、あるいは不活性ガス雰囲気にそれぞれ保持することができる。

【0044】

次に、図 9 (a) に示すように、例えば、導電性ポスト 2 8 の外周部において第 1 絶縁層の上面及び、マイクロデバイス M の機能面を除く面を被覆して、マイクロデバイス M と第 1 絶縁層の上層に、半導体装置が実装基板に実装されたときに発生する応力を緩和する絶縁性のバッファ層 (第 2 絶縁層) 4 0 を形成する。

【0045】

次に、図 9 (b) に示すように、例えば、バッファ層 4 0 の上面から研削を行い、導電性ポスト 2 8 の頂部を露出させる。条件は、例えば # 6 0 0 のホイールを用いて 3 5 0 0 r p m , 0 . 5 m m / 秒とする。

【0046】

10

20

30

40

50

次に、図9(c)に示すように、例えば、露出した導電性ポスト28上にはんだボールまたははんだペーストにてパンプ(突起電極)41を形成する。

【0047】

次に、ダイシングラインにおいてダイシングを行うことで、図1に示すような構成の半導体装置を製造することができる。

【0048】

上記の本実施形態に係る半導体装置の製造方法によれば、MEMS、SAW素子あるいはF-BARなどの機能面に振動子または可動部を持つ機能素子が、キャビティ用開口部P内の他の部材に接することなく気密封止して組み込み、キャビティを従来より小さくできるので小型化や薄型化して製造することが可能であり、積層する絶縁層、マイクロデバイス及び導電性ポストの表面及び封止層などでキャビティを構成するので、製造するときにはキャビティを構成するための基板を予め用意する必要がなく、製造コストや製造時間を削減できる。

10

【0049】

また、薄型個片化した半導体素子埋め込み型で、中空構造を有するウェーハレベルSiP形態の半導体装置の製造方法において、MEMS素子の薄型化が実現し、能動素子を有する半導体チップ同様に埋め込み可能となる。

【0050】

第2実施形態

本実施形態は、第1実施形態の半導体装置の製造方法において、封止層の形成方法を変更した形態である。

20

即ち、第1実施形態においてはマイクロデバイスの機能面に封止層を形成した状態でキャビティ用開口部内にマウントしたが、本実施形態においては、まず、図10(a)に示すように、マイクロデバイスMの機能面に封止層を形成しない状態でキャビティ用開口部P内にマウントし、次に、図10(b)に示すように、マイクロデバイスMの外周縁部を被覆するように、ディスペンサDSにより封止樹脂を供給して封止層32を形成する。

このとき、封止樹脂として紫外線硬化タイプの樹脂を使用し、供給しながら紫外線を照射することで、樹脂が機能素子に達する前に固化させて、機能素子がキャビティ用開口部P内の他の部材に接することなく封止することが可能となる。

【0051】

30

上記の本実施形態に係る半導体装置は、第1実施形態の半導体装置と同様に、MEMS、SAW素子あるいはF-BARなどの機能面に振動子または可動部を持つ機能素子を有するマイクロデバイスが気密封止して組み込まれてなり、キャビティが従来より小さくなって小型化や薄型化が可能であり、積層する樹脂層とマイクロデバイスの表面でキャビティが構成されているのでキャビティを構成するための基板を予め用意する必要がなく、製造コストや製造時間を削減できる。

【0052】

第3実施形態

上記の実施形態では、図面上、機能面に振動子または可動部を持つ機能素子を有するマイクロデバイスとして特に構造を明示していなかったが、例えば、図11に示す構造のMEMS、図12に示す構造のF-BARや、SAW素子などを備えたマイクロデバイスを内蔵するようにしてもよい。

40

【0053】

図11は、MEMSの一例の構成を示す模式断面図である。

例えば、デバイス基板50に、可動部を有する部材51が形成された構成となっている。

【0054】

図12は、F-BARの一例の構成を示す模式断面図である。

例えば、デバイス基板50に、下部電極52、圧電膜53および上部電極54の積層体からなる弾性共振膜が形成され、共振膜と基板の間に所定の共振領域を構成する空隙55

50

が形成されている。

下部電極52および上部電極54は、例えばAl、Pt、Au、Cu、W、Mo、Tiなどの導電性材料からなり、例えば0.1~0.5μmの膜厚で形成されている。

また、圧電膜53は窒化アルミニウムや酸化亜鉛などの圧電材料からなり、c軸に高配向した緻密な膜となっており、優れた圧電特性と弾性特性を備えた圧電膜であり、例えば1.5μm以下の膜厚で形成されている。

空隙55は、下部電極52の端部に屈曲して形成された足部により支えられており、空隙55の高さは例えば数μm程度である。

下部電極52、上部電極54および圧電膜53の膜厚や空隙55の高さなどは、共振周波数に合わせて適宜調整することができる。

【0055】

本発明は上記の実施形態に限定されない。

例えば、MEMSの他、SAW素子やF-BARなどの機能素子を有するマイクロデバイスを内蔵した半導体装置とすることも可能である。

樹脂層や配線を積層させる層数は実施形態に限らず、何層であってもよい。

静電容量素子やインダクタンス、電気抵抗素子などの受像素子を適宜組み込むことが可能である。さらに、トランジスタなどの能動素子が形成された半導体チップを適宜組み込むことが可能である。

SiPを構成する能動素子としては、内蔵する半導体チップに形成されていても、半導体装置全体の基板に形成されていてもよい。

基板に形成された第1配線とMEMSの接合は、Ag/Au熱圧着方式だけでなく、US接合、C4、SBBなど、多様な構造でも適用でき、ウェーハレベルSiPの構造を変える必要がない。どのような接合方法にも対応可能である。

その他、本発明の観点を逸脱しない範囲で、種々の変更が可能である。

【産業上の利用可能性】

【0056】

本発明の半導体装置は、MEMS、SAW素子あるいはF-BARなどの機能面に可動部または振動子を持つ半導体素子を有する半導体装置に適用できる。

本発明の半導体装置の製造方法は、MEMS、SAW素子あるいはF-BARなどの機能面に可動部または振動子を持つ半導体素子を有する半導体装置を製造するのに適用できる。

【図面の簡単な説明】

【0057】

【図1】図1(a)及び図1(b)は本発明の第1実施形態に係る半導体装置の模式断面図である。

【図2】図2(a)~(c)は本発明の第1実施形態に係る半導体装置の製造工程を示す模式断面図である。

【図3】図3(a)~(c)は本発明の第1実施形態に係る半導体装置の製造工程を示す模式断面図である。

【図4】図4(a)~(c)は本発明の第1実施形態に係る半導体装置の製造工程を示す模式断面図である。

【図5】図5(a)~(c)は本発明の第1実施形態に係る半導体装置の製造工程を示す模式断面図である。

【図6】図6(a)~(c)は本発明の第1実施形態に係る半導体装置の製造工程を示す模式断面図である。

【図7】図7(a)~(c)は本発明の第1実施形態に係る半導体装置の製造工程を示す模式断面図である。

【図8】図8(a)及び図8(b)は本発明の第1実施形態に係る半導体装置の製造工程を示す模式断面図である。

【図9】図9(a)~(c)は本発明の第1実施形態に係る半導体装置の製造工程を示す

10

20

30

40

50

模式断面図である。

【図10】図10(a)及び図10(b)は本発明の第2実施形態に係る半導体装置の製造工程を示す模式断面図である。

【図11】図11は本発明の第3実施形態に係る半導体装置のマイクロデバイスが有するMEMSの模式断面図である。

【図12】図12は本発明の第3実施形態に係る半導体装置のマイクロデバイスが有するF-BARの模式断面図である。

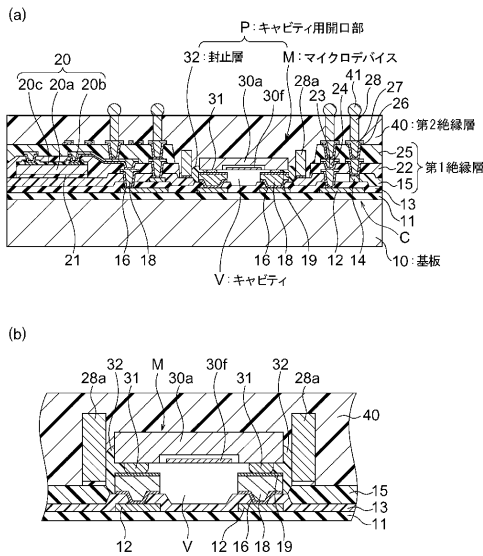
【図13】図13は従来例に係る半導体装置の模式断面図である。

【符号の説明】

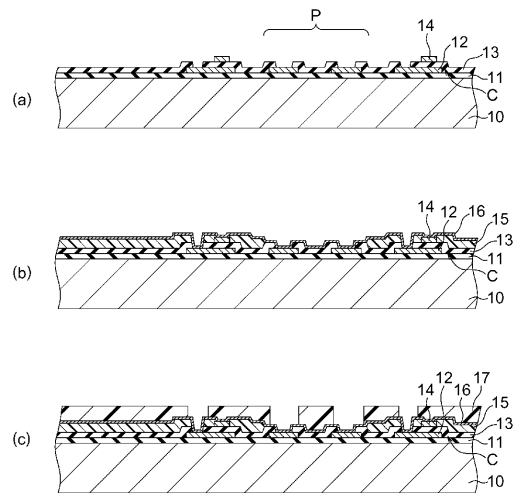
【0058】

10...基板、11...下地絶縁膜、12...下部電極、13...絶縁膜、14...上部電極、15...第1樹脂層、16...シード層、17...レジスト膜、18...銅層、19...Ni/Au層、20...半導体チップ、20a...半導体本体、20b...パッド電極、20c...保護絶縁膜、21...ダイアタッチフィルム、22...第2樹脂層、23...シード層、24...銅層、25...第3樹脂層、26...シード層、27...銅層、28, 28a...導電性ポスト、30...基板、30f...機能素子、31...パンプ、32...封止層、40...パuffers層(第2絶縁膜)、41...パンプ、50...デバイス基板、51...部材、52...下部電極、53...圧電膜、54...上部電極、55...空隙、S1...ダイシング保護テープ、S2...グラインド保護テープ、HD...ーフダイシング、M...マイクロデバイス、DS...ディスペンサ

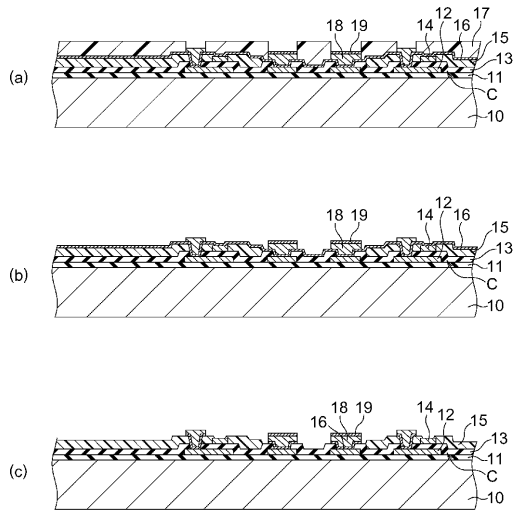
【図1】



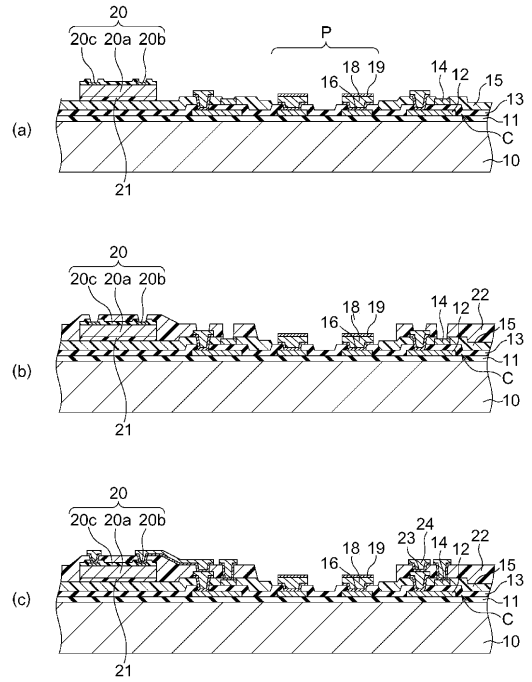
【図2】



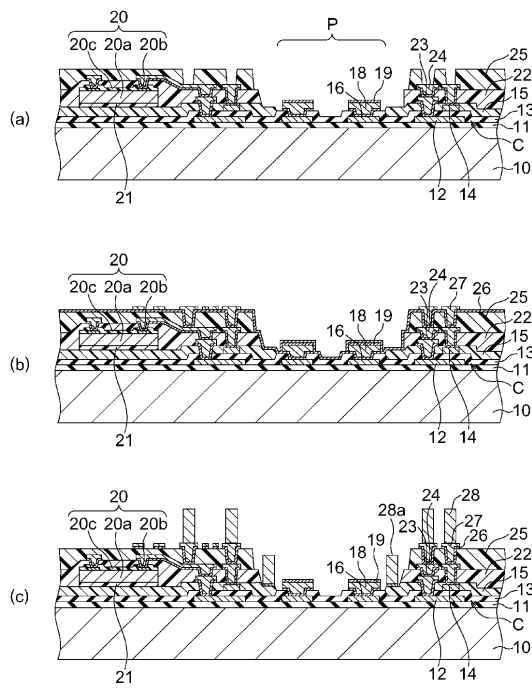
【 図 3 】



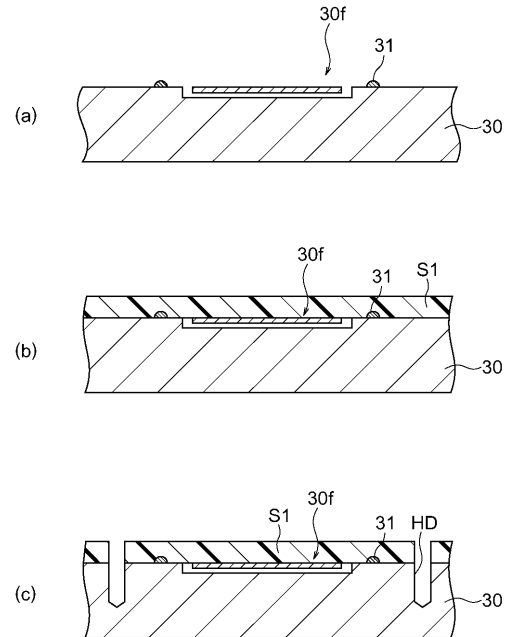
【 図 4 】



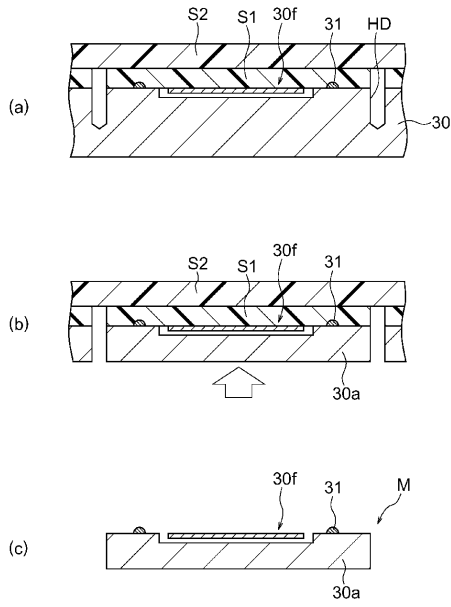
【 図 5 】



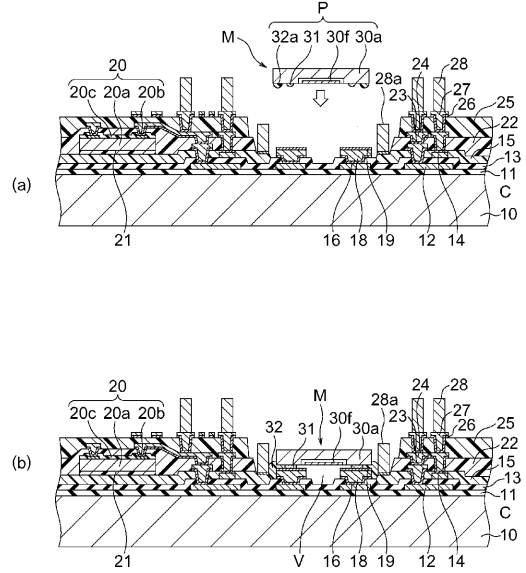
【 図 6 】



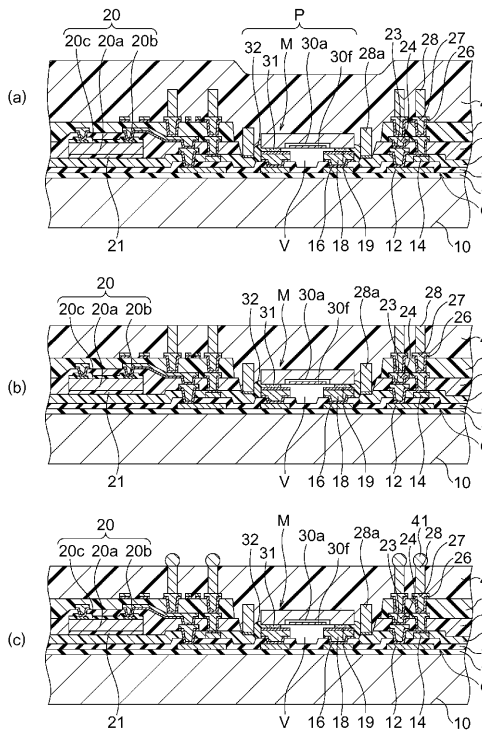
【 図 7 】



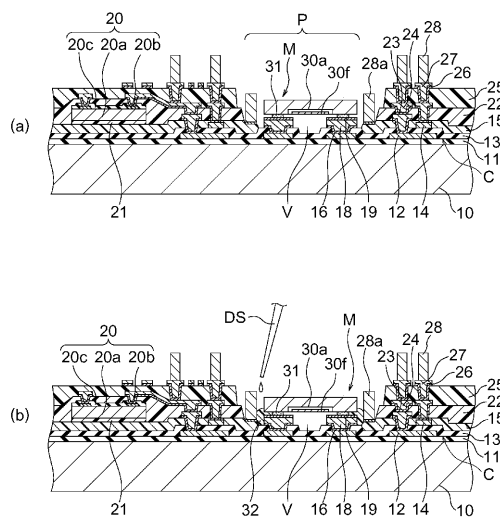
【 図 8 】



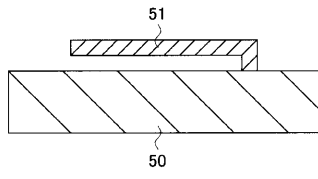
【 図 9 】



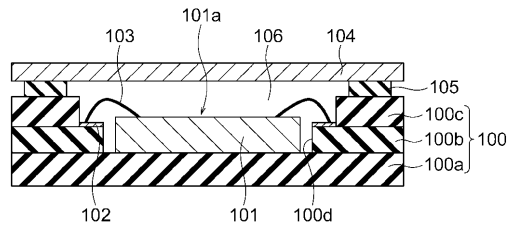
【 図 10 】



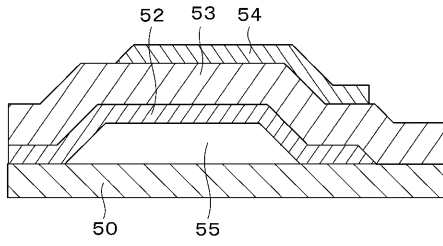
【 図 1 1 】



【 図 1 3 】



【 図 1 2 】



フロントページの続き

(51) Int.Cl.			F I			テーマコード(参考)
B 8 1 C	1/00	(2006.01)		B 8 1 C	1/00	
H 0 1 L	23/28	(2006.01)		H 0 1 L	23/28	C