



MINISTERO DELLO SVILUPPO ECONOMICO  
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE  
UFFICIO ITALIANO BREVETTI E MARCHI

# UIBM

<b>DOMANDA NUMERO</b>	<b>101990900152376</b>
<b>Data Deposito</b>	<b>27/11/1990</b>
<b>Data Pubblicazione</b>	<b>27/05/1992</b>

<b>Priorità</b>	8904120-6
<b>Nazione Priorità</b>	SE
<b>Data Deposito Priorità</b>	

<b>Sezione</b>	<b>Classe</b>	<b>Sottoclasse</b>	<b>Gruppo</b>	<b>Sottogruppo</b>
H	01	L		

Titolo

<b>CIRCUITO INTEGRATO AD ALTA TENSIONE.</b>
---

Descrizione dell'invenzione avente per titolo:

"CIRCUITO INTEGRATO AD ALTA TENSIONE"

A nome: TELEFONAKTIEBOLAGET LM ERICSSON a Stoccolma (Svezia)

Inventore: Imre Keri

Depositata il: 27 NOV. 1990

**22201A/90**

\* \* \* \* \*

La presente invenzione si riferisce ad un circuito integrato ad alta tensione atto ad impedire la formazione di transistor MOS (semiconduttori metallo-ossido) parassiti.

I circuiti integrati comprendono normalmente uno strato di passivazione, ad esempio di ossido di silicio drogato con fosforo. La resistività superficiale dello strato di passivazione dipende dalla quantità e qualità di ioni ed acqua che sono assorbiti sulla superficie. Questo strato altamente resistivo ma ancora conduttore può comportarsi in certi casi come un elettrodo PORTA ("porta ad acqua" se comprende acqua adsorbita) per transistor MOS parassiti che sono formati tra regioni non protette, ad esempio regioni P. Il caricamento dell'elettrodo PORTA viene eseguito dalle superfici di collegamento e dalla linea di tracciamento se tali elementi giacciono sul potenziale inferiore o potenziale negativo.

Normalmente i circuiti integrati sono protetti da uno strato contiguo di passivazione, detto anche passivazione, ad esempio di ossido di silicio, nitruro di silicio o poliimmide. Si realizzano aperture per le aree di saldatura e la linea di tracciamento. Questa tecnica è un procedimento industriale standard per circuiti

industriali in plastica e incapsulati ermeticamente.

In metodi convenzionali l'inversione del silicio tra elettrodi parassiti SORGENTE e PORTA viene impedita in uno dei modi seguenti:

- 1) anelli di protezione o di guardia di tipo n o p;
- 2) uno schermo metallico connesso allo stesso potenziale del silicio che è protetto dallo schermo metallico o ad un potenziale prossimo a detto potenziale;
- 3) uno schermo di polisilicio è connesso allo stesso potenziale del silicio che è protetto dallo schermo di polisilicio o ad un potenziale prossimo a detto potenziale.

Tuttavia, tutti i metodi suddetti hanno il difetto di essere piuttosto complicati e di richiedere aree addizionali di circuiti e/o fasi di lavorazione per quanto riguarda la fabbricazione.

Uno scopo della presente invenzione è di fornire in modo semplice una protezione contro transistor MOS parassiti in circuiti integrati ad alta tensione.

Si ottiene lo scopo di cui sopra relativamente ad un circuito integrato ad alta tensione con conduttori metallici di connessione collegati a massa o ad un potenziale prossimo a quello di massa e coperti con uno strato di passivazione interrompendo parzialmente lo strato di passivazione sopra ai conduttori metallici per impedire attivazione di transistor MOS parassiti.

Secondo una forma di realizzazione preferita lo strato di passivazione presenta una fessura sopra ai conduttori metallici.

Secondo un'altra forma di realizzazione le fessure sono contigue.

Secondo un'altra forma di realizzazione preferita le fessure hanno una larghezza di alcuni  $\mu\text{m}$ .

Secondo una forma di realizzazione particolarmente preferita, il disegno interrotto sui conduttori metallici è formato nella stessa fase di lavorazione e nella stessa maschera delle aree di saldatura e delle linee di tracciamento.

L'invenzione verrà descritta qui di seguito in dettaglio con riferimento ai disegni allegati, nei quali:

fig. 1 illustra i fondamenti del problema che l'invenzione intende risolvere;

figg. 2-4 illustrano metodi noti per impedire la formazione di transistor MOS parassiti;

fig. 5 mostra una vista in sezione di un circuito integrato secondo la presente invenzione; e

fig. 6 mostra una vista dall'alto di un circuito integrato secondo la presente invenzione.

Nella seguente descrizione gli stessi numeri di riferimento saranno usati per gli stessi elementi o elementi con funzioni simili.

I fondamenti dell'invenzione saranno descritti in dettaglio con riferimento alla fig. 1.

Un substrato 10 destinato ad essere connesso ad un potenziale negativo, ad esempio nell'ordine di -70 volt, è coperto da

uno strato epitassiale 12 di tipo n. Lo strato epitassiale 12 comprende due regioni drogate p<sup>+</sup>, 14, 16. Sopra allo strato epitassiale 12 vi è una passivazione 18. Questa può comprendere, ad esempio, silicio drogato con fosforo, nitruro di silicio o poliimmide. Alla superficie superiore della passivazione, che è connessa a potenziale negativo, è formato uno strato superficiale 20 per assorbimento di ioni ed acqua. Per effetto dell'assorbimento, la resistività superficiale dello strato di passivazione può deteriorarsi così che lo strato superficiale 20 formi un elettrodo GATE. Essendo lo strato superficiale 20 connesso a potenziale negativo, gli elettroni tra le regioni drogate p<sup>+</sup> 14, 16 nello strato epitassiale 12 respingeranno, così che si forma un canale p tra le regioni 14, 16. Si forma così un cosiddetto transistor MOS parassita.

Le figg. 2-4 illustrano tre diversi metodi noti per impedire la formazione di transistor MOS parassiti.

Nella configurazione nota secondo la fig. 2 è stata inserita una regione drogata n<sup>+</sup> 22 tra le due regioni drogate p 14, 16. Si forma così un eccesso di portatori di carica negativa che compensa l'effetto sopra citato. Similmente si ha una regione drogata p<sup>+</sup> tra le regioni drogate n 14, 16 se si usano portatori di cariche di polarità opposta. Il difetto con questo metodo è che è complicato, in quanto deve essere drogata nello strato epitassiale una regione di protezione in più.

Nella configurazione nota secondo la fig. 3 è previsto uno

schermo metallico 24 sopra alla passivazione 18. Questo schermo metallico 24 è connesso a conduttori metallici convenzionali 26, che sono connessi allo stesso potenziale dello strato epitassiale. Questo metodo ha il difetto che è richiesto un conduttore metallico addizionale 24 sulla passivazione 18 e che si devono stabilire connessioni addizionali col conduttore metallico 26.

Nella configurazione nota secondo la fig. 4 uno schermo 28 di polisilicio, che è connesso allo stesso potenziale dello strato epitassiale, è incluso nella passivazione 18 nella regione critica. Il difetto di questo metodo è che è richiesta area superficiale addizionale per includere lo schermo di polisilicio nella passivazione.

Una forma di realizzazione preferita dell'invenzione verrà ora descritta in dettaglio con riferimento alle figg. 5 e 6.

Normalmente la topologia del circuito integrato è formata in modo tale che un conduttore metallico 30 collegato a massa circonda quasi l'intero chip e in diverse posizioni si estende verso l'interno dalla sua circonferenza. Aprendo la passivazione 18 sui conduttori metallici 30, 32 che sono connessi a massa o a un potenziale prossimo a quello di massa in confronto alla tensione applicata, può essere impedito o ritardato il caricamento della superficie di passivazione. In questo modo la linea di tracciamento, che normalmente si trova ad un potenziale con la massima distanza da massa, ed alcune aree di saldatura saranno posti al di fuori dell'anello metallico qui parzialmente non passivato. Il

metallo parzialmente non passivato che si estende dalla circonferenza del chip forma una specie di canale/trappola per portatori di cariche che sono trasportati sulla superficie di passivazione. Questi portatori di cariche che sono trasportati dalla linea di tracciamento e dalle aree di saldatura connesse ad un potenziale molto lontano da massa saranno catturati dal conduttore metallico non passivato.

La fig. 6 illustra le parti aperte di conduttori metallici 30, 32 sotto forma di fessure 34, 36. Tuttavia, si comprende che le aperture non devono essere contigue ma possono avere altre forme. Ad esempio possono aversi aperture non contigue sui conduttori.

Le aperture 34, 36 mostrate in fig. 6 hanno preferibilmente una larghezza di alcuni  $\mu\text{m}$ . Preferibilmente queste aperture sono formate nella stessa fase di mascheratura delle aree di saldatura, che sono necessariamente dappertutto. Così non è richiesta alcuna area superficiale addizionale per formare queste aperture. La sola cosa che è richiesta è aumentare la maschera per le aree di saldatura.

#### RIVENDICAZIONI

1) Circuito integrato ad alta tensione con conduttori metallici di connessione (30, 32) collegati a massa o ad un potenziale prossimo a quello di massa e coperti con uno strato (18) di passivazione, caratterizzato da ciò che detto strato (18) di passivazione è parzialmente interrotto (34, 36) sopra a detti con-

metallo parzialmente non passivato che si estende dalla circonferenza del chip forma una specie di canale/trappola per portatori di cariche che sono trasportati sulla superficie di passivazione. Questi portatori di cariche che sono trasportati dalla linea di tracciamento e dalle aree di saldatura connesse ad un potenziale molto lontano da massa saranno catturati dal conduttore metallico non passivato.

La fig. 6 illustra le parti aperte di conduttori metallici 30, 32 sotto forma di fessure 34, 36. Tuttavia, si comprende che le aperture non devono essere contigue ma possono avere altre forme. Ad esempio possono aversi aperture non contigue sui conduttori.

Le aperture 34, 36 mostrate in fig. 6 hanno preferibilmente una larghezza di alcuni  $\mu\text{m}$ . Preferibilmente queste aperture sono formate nella stessa fase di mascheratura delle aree di saldatura, che sono necessariamente dappertutto. Così non è richiesta alcuna area superficiale addizionale per formare queste aperture. La sola cosa che è richiesta è aumentare la maschera per le aree di saldatura.

#### RIVENDICAZIONI

1) Circuito integrato ad alta tensione con conduttori metallici di connessione (30, 32) collegati a massa o ad un potenziale prossimo a quello di massa e coperti con uno strato (18) di passivazione, caratterizzato da ciò che detto strato (18) di passivazione è parzialmente interrotto (34, 36) sopra a detti con-

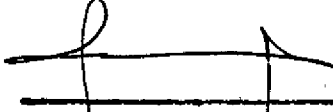
duttori metallici (30, 32) per impedire attivazione di transistor MOS parassiti.

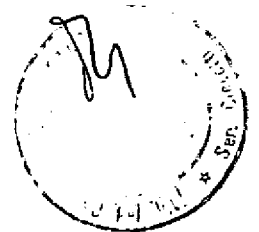
2) Circuito come nella rivendicazione 1), caratterizzato da ciò che detto strato (18) di passivazione è fessurato sopra a detti conduttori metallici (30, 32).

3) Circuito come nella rivendicazione 2), caratterizzato da ciò che dette fessure sono contigue.

4) Circuito come nella rivendicazione 2) o 3), caratterizzato da ciò che dette fessure (34, 36) hanno una larghezza di alcuni  $\mu\text{m}$ .

5) Circuito come in una qualunque delle rivendicazioni precedenti, caratterizzato da ciò che il disegno interrotto su detti conduttori metallici è formato nella stessa fase di lavorazione e nella stessa maschera delle aree di saldatura e delle linee di tracciamento.

  
Ing. Paolo Venti della  
FUMERO - STUDIO CONSULENZA BREVETTI  
iscritto all'Albo con il n. 34



1/2

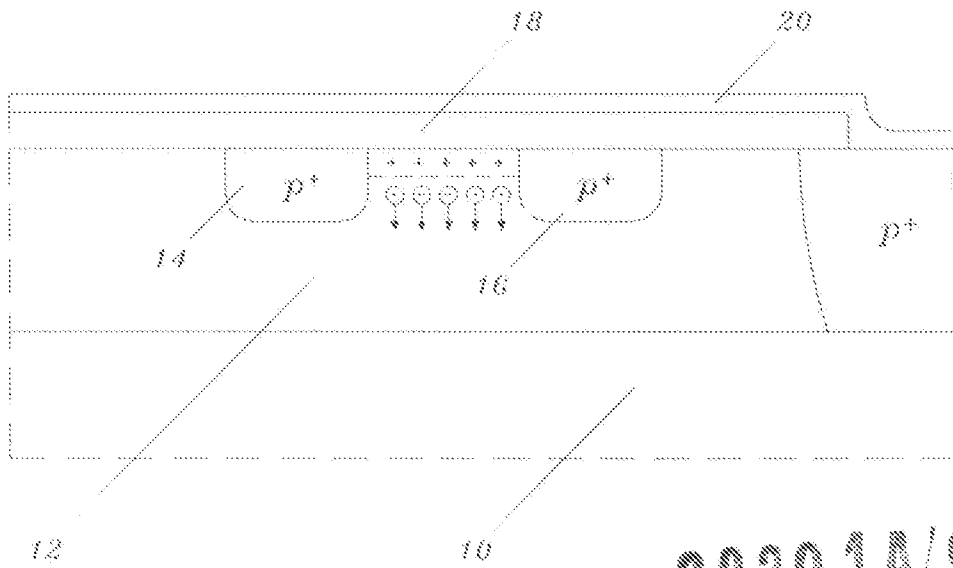


Fig. 1

2220 1A/90

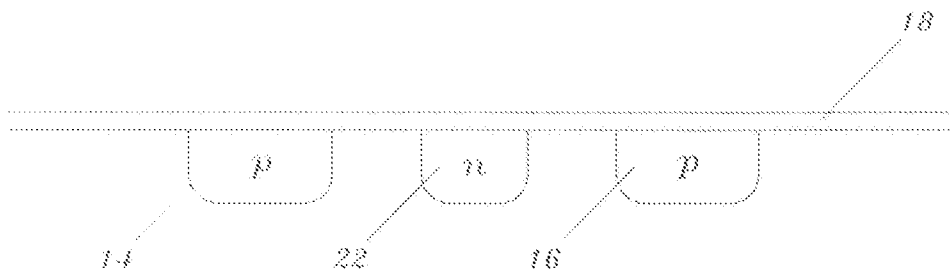


Fig. 2

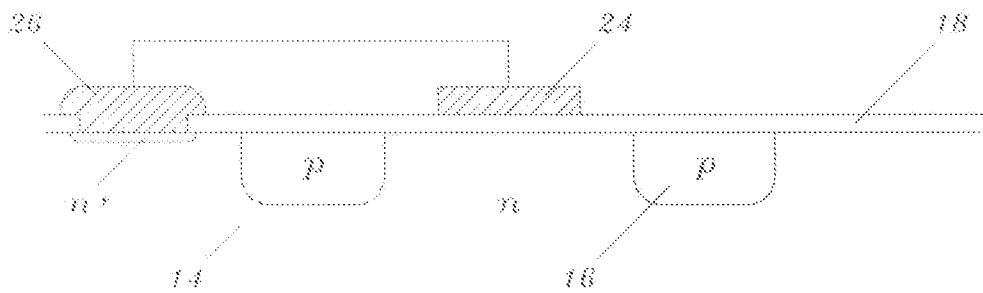


Fig. 3

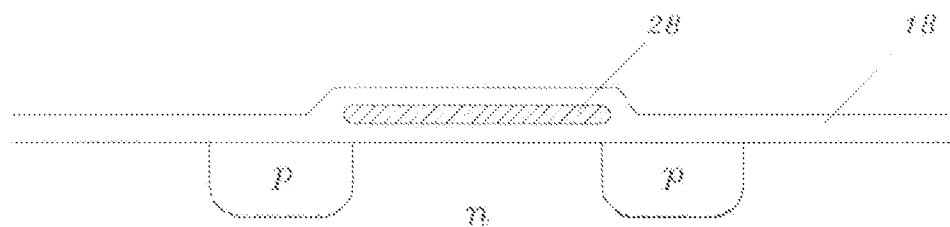
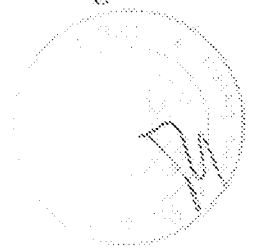
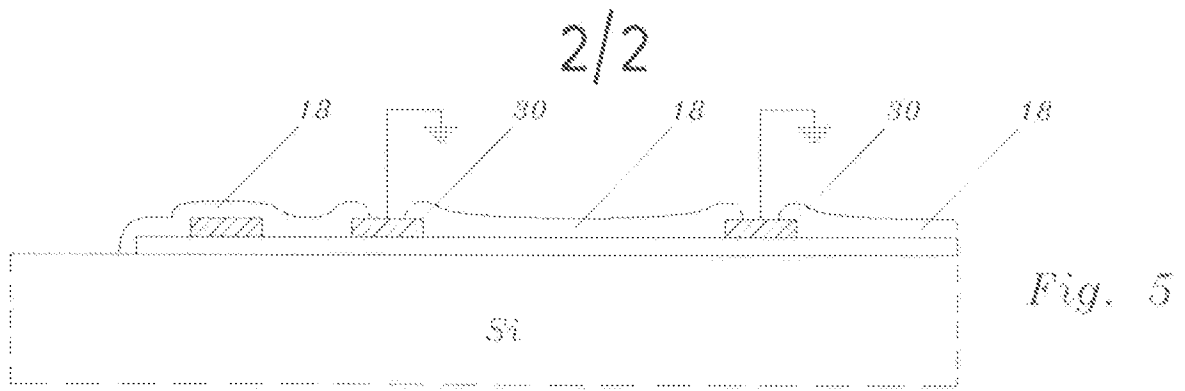


Fig. 4



*[Handwritten signature]*

Ing. Paolo Venti d.d.l.  
FUMERO - STUDIO CONSULENZA BREVETTI  
iscritto all'Aibo con il n. 34



**2220 1A/90**

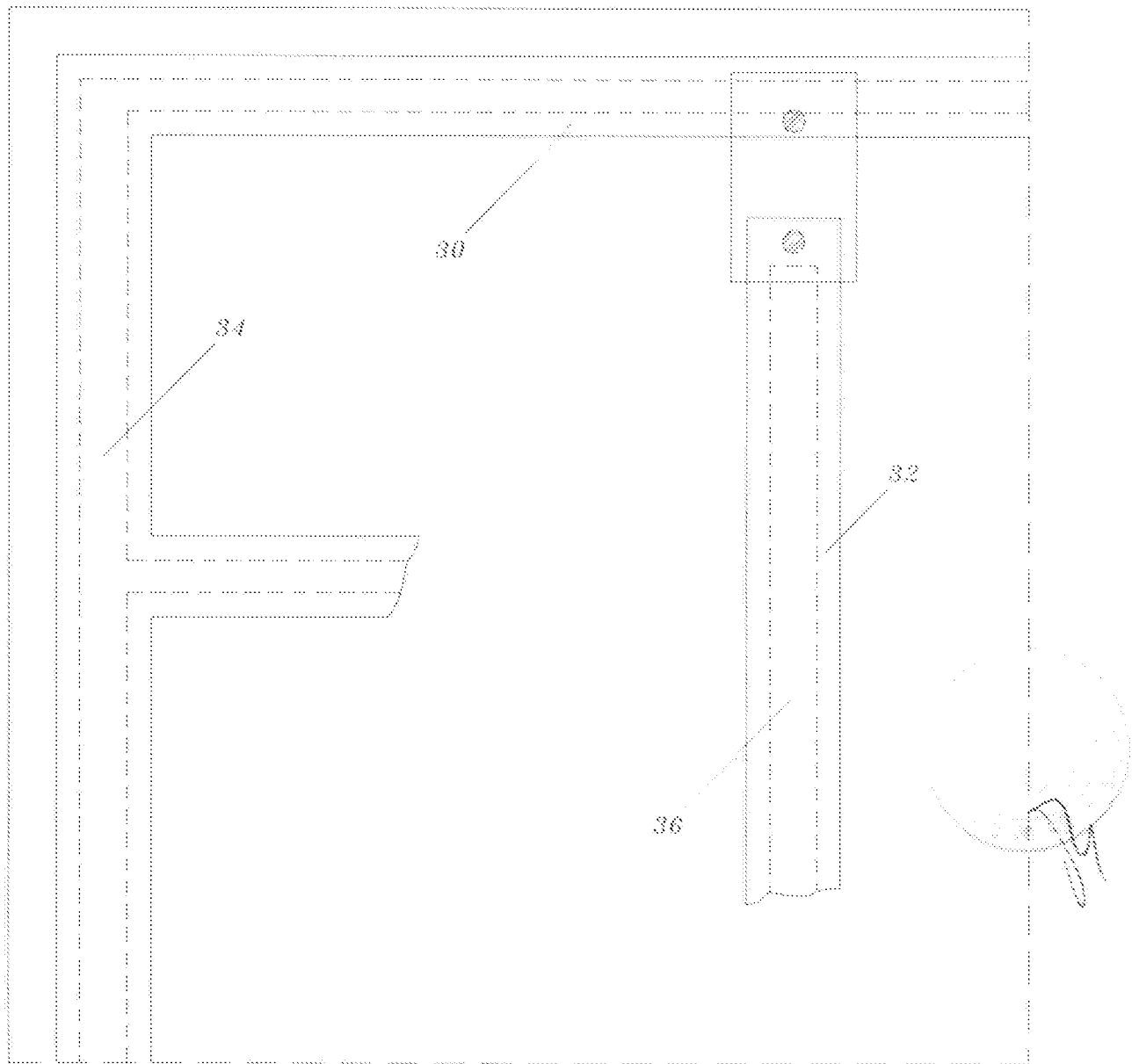



Fig. 6

  
 Ing. Paolo Viani del  
 NUMERO - 2220 1A/90 CON CONCORDIA BREVETTI  
 iscritto all'Albo con il n. 34