

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4851532号
(P4851532)

(45) 発行日 平成24年1月11日(2012.1.11)

(24) 登録日 平成23年10月28日(2011.10.28)

| | | | | | |
|--------------|-------------|------------------|------|------|---|
| (51) Int.Cl. | | F I | | | |
| H03B | 5/32 | (2006.01) | H03B | 5/32 | D |
| H03L | 7/00 | (2006.01) | H03B | 5/32 | C |
| | | | H03L | 7/00 | A |

請求項の数 4 (全 9 頁)

| | | | |
|---------------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2008-537794 (P2008-537794) | (73) 特許権者 | 504199127 |
| (86) (22) 出願日 | 平成18年10月18日(2006.10.18) | | フリースケール セミコンダクター イン |
| (65) 公表番号 | 特表2009-514357 (P2009-514357A) | | コーポレイテッド |
| (43) 公表日 | 平成21年4月2日(2009.4.2) | | アメリカ合衆国 78729 テキサス州 |
| (86) 国際出願番号 | PCT/US2006/040872 | | オースティン ダブリュー パーマー |
| (87) 国際公開番号 | W02007/070166 | | レーン 7700 |
| (87) 国際公開日 | 平成19年6月21日(2007.6.21) | (74) 代理人 | 100140109 |
| 審査請求日 | 平成21年10月8日(2009.10.8) | | 弁理士 小野 新次郎 |
| (31) 優先権主張番号 | 11/261,978 | (74) 代理人 | 100089705 |
| (32) 優先日 | 平成17年10月28日(2005.10.28) | | 弁理士 社本 一夫 |
| (33) 優先権主張国 | 米国 (US) | (74) 代理人 | 100075270 |
| | | | 弁理士 小林 泰 |
| | | (74) 代理人 | 100080137 |
| | | | 弁理士 千葉 昭男 |

最終頁に続く

(54) 【発明の名称】 高速始動付き低雑音基準発振器

(57) 【特許請求の範囲】

【請求項 1】

振幅制御可能な発振器と、
前記発振器に接続されたハイブリッド自動利得制御 (AGC) ループと、
を備える周波数源であって、
前記ハイブリッドAGCループが、アナログAGCループ及びデジタルAGCループを
備え、
前記アナログAGCループは、前記発振器が始動するとき前記発振器に接続され、
前記デジタルAGCループは、前記発振器が定常状態の動作に達した後に前記発振器に
接続される、
周波数源。

【請求項 2】

振幅制御可能な発振器と、
前記発振器に接続されたハイブリッド自動利得制御 (AGC) ループと、
を備える周波数源であって、
前記ハイブリッドAGCループが、アナログAGCループ及びデジタルAGCループを
備え、
前記ハイブリッドAGCループが、所定の時間量後に前記発振器を前記アナログAGC
ループから前記デジタルAGCループへ駆動するよう動作可能である、
周波数源。

【請求項 3】

アナログ自動利得制御 (AGC) ループと、
デジタル AGC ループと、
前記アナログ AGC ループの出力と前記デジタル AGC ループの出力との間で選択する
よう動作可能であるマルチプレクサと、
前記マルチプレクサへの入力を提供するために結合された誤差積分器と、
前記アナログ AGC ループの出力及び前記デジタル AGC ループの出力に接続された第
2の比較器(118)であって、フィードバック信号を前記デジタル AGC ループの入力に与
えることにより前記アナログ AGC ループの出力の振幅と前記デジタル AGC ループの出
力の振幅とが、誤差積分器からの入力とおよそ同じとなるように動作可能であることによ
って、前記マルチプレクサが、前記アナログ AGC ループから前記デジタル AGC ループ
に切り替えるときに、発振器が、その駆動信号において大きな変化を受けない、第2の比
較器(118)と、
を備える制御回路。

10

【請求項 4】

水晶発振器を制御する方法であって、
発振器が始動するときアナログ自動利得制御 (AGC) ループの出力を前記発振器に与
えることと、前記発振器が定常状態の動作に達した後でデジタル AGC ループの出力を前
記発振器に与えることとの間で切り替えるステップを備える方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

[技術分野]

本発明は、発振器に関する。詳細には、本発明は、低減した始動時間と定常状態の動作
での低雑音とを有する発振器に関する。

【0002】

[背景]

通信に用いられる電子回路のような多くの最近の電子回路は、高耐性で低雑音基準周波
数源を用いる。これらの基準周波数源は、典型的には、水晶発振器回路を含む。利得を有
する能動デバイスを用いて、水晶発振器を励振し、それは、始動から定常状態の動作に達
すまで或る有限量の時間を要する。水晶発振器の最適な低雑音性能は、能動デバイスの利
得に依存する。この利得は、発振器の雑音に寄与している。所望の発振振幅に達成するた
めの利得は、水晶発振器の水晶抵抗に依存している。

30

【0003】

しかしながら、水晶抵抗は、一定ではなく、通常、定常状態で発振しているときより始
動時は高い。水晶抵抗は、発振器のQ係数と関連しており、そのQ係数は、発振器が同じ
振幅で発振するのを維持するために水晶に印加される電力量を決定する。抵抗が低減する
につれ、消費される電力量も低減する。水晶抵抗の変化は、定常状態の動作での最良の雑
音性能を達成するために希望される電力より多い電力を始動時に用いるようにさせる。し
かしながら、最適な雑音性能を定常状態で達成するように電力を低減することは、水晶発
振器が始動から定常状態に達するまでの時間量を増大させる。逆に、多くの応用において
、水晶発振器が安定な定常状態周波数に最小量の時間で達成することが望ましい。従って
、早い始動時間及び定常状態の動作での低雑音の両方を有する基準発振器を提供するこ
とが望ましい。

40

【0004】

その上、水晶自体の物理的变化により、水晶発振器の振幅が変わる。従って、1パッチ
の水晶の中の水晶は、異なる定常状態発振周波数を特定の振幅範囲にわたって有する。同
様に、発振器回路の周囲温度の変化により、特定の水晶の定常状態発振振幅は、回路の利
得の変化に起因して変動する。従って、更に、水晶毎の変化及び単一の水晶の温度変化の
両方を補償する構成を提供することが望ましい。

50

【 0 0 0 5 】

本発明は、例示としてのみ説明され、そして添付図面に限定されるものではなく、その添付図面においては、類似の参照番号は、類似の構成要素を示す。

【 0 0 0 6 】

当業者は、図面の中の構成要素が簡単及び明瞭になるよう示され、そして必ずしも尺度通り描かれているわけではないことを認める筈である。

【 発明を実施するための最良の形態 】

【 0 0 0 7 】

周波数源用のハイブリッド自動利得制御 (A G C) ループが、提供される。ハイブリッド A G C ループは、アナログ A G C ループとデジタル A G C ループとの両方を含む。 A G C は、周波数源の水晶発振器の振幅をモニタリングする。アナログ A G C ループは、始動時に水晶発振器の励振を制御し、そしてデジタル A G C ループは、定常状態の動作が達成された後の水晶発振器の励振を制御する。 A G C フィードバック・ループは、発振器の利得を調整して、振幅を実質的に一定に保つ。これは、 A G C ループを可能にし、その A G C ループは、発振器を変調することができる雑音を導入して、より速い始動アナログ・モードを最初に有し、次いでデジタル・モードに切り替わる。デジタル・モードでは、発振器出力変化は、デジタル制御器がよりゆっくりした割合で更新されるので、アナログ・モードと比較して比較的ゆっくり起こる。しかしながら、デジタル・モードは、アナログ・モードより低い雑音を生成する。ハイブリッド A G C ループは、通信装置用のチューナ集積回路のような、低雑音発振器が希望されるいずれの製品に用いられることができる。

【 0 0 0 8 】

図 1 は、ハイブリッド A G C の一実施形態を示す。ハイブリッド A G C 1 0 0 は、振幅制御可能な発振器 1 0 2、ピーク検出器 1 0 4、誤差積分器 1 0 6、マルチプレクサ (M U X) 1 0 8、第 1 の比較器 1 1 0、カウンタ (タイマ) 及びデジタル制御論理ブロック 1 1 2、デジタル / アナログ変換器 (D A C) 1 1 4、ロー・パス・フィルタ 1 1 6、及び第 2 の比較器 1 1 8 を含む。説明が以下に与えられるが、当業者は、比較器、 M U X、アナログ積分器、ロー・パス・フィルタ及びピーク検出器のような様々な個々の構成要素に精通しているであろう。

【 0 0 0 9 】

一実施形態において、発振器 1 0 2 は、水晶発振器であり、その水晶発振器は、水晶を含む。水晶は、電源により励振されて、励振電力に依存する振幅の正弦波発振を引き起こす。

【 0 0 1 0 】

発振器 1 0 2 の出力は、ピーク検出器 1 0 4 の入力に接続される。ピーク検出器 1 0 4 は、発振器 1 0 2 のピーク振幅を検出するアナログ回路である。ピーク検出器 1 0 4 の出力は、誤差積分器 1 0 6 の入力及び第 1 の比較器 1 1 0 の入力に供給される。

【 0 0 1 1 】

アナログ・モードであるときのハイブリッド A G C ループ 1 0 0 の図が、図 2 に示される。図 2 は、始動中に、発振器 1 0 2 の振幅を制御するためのフィードバック経路がピーク検出器 1 0 4、誤差積分器 1 0 6 及び M U X 1 0 8 を含むことを示す。

【 0 0 1 2 】

また、誤差積分器 1 0 6 には基準電圧が供給される。基準電圧は、一実施形態においては、電源と接地との間に接続されている電圧ドライバにより与えられる。そしてまた、電源は、調整された電圧源 (例えば、バッテリー) であってもよい。電圧ドライバは、固定又は調整可能な抵抗を含み得る。従って、誤差積分器 1 0 6 に供給される基準電圧は、いずれの所望の値に設定されることができる。

【 0 0 1 3 】

誤差積分器 1 0 6 は、ピーク検出器 1 0 4 により検出されたピーク値を基準電圧と比較し、そしてピーク検出器 1 0 4 の出力と基準電圧との差を積分する。誤差積分器 1 0 6 は、アナログ回路により実現されることができる。一実施形態において、誤差積分器 1 0 6

10

20

30

40

50

は、ピーク検出器 104 からの信号が抵抗を介して供給される反転入力、及び基準電圧が供給される非反転入力を有する演算増幅器 (OP アンプ) と、その演算増幅器 (OP アンプ) の出力と反転入力との間に接続されたキャパシタとを含む。

【0014】

誤差積分器 106 の出力は、MUX 108 の 1 つの入力に供給される。MUX 108 のセレクトは、カウンタ及び論理回路 112 に接続され、そのカウンタ及び論理回路 112 は、選択信号を MUX 108 に供給する。MUX 108 は、ハイブリッド AGC 100 が始動中のようなアナログ・モードにあるとき誤差積分器 106 の出力を選択する。MUX 108 の出力は、発振器 102 に供給されて、発振器の水晶を駆動する。

【0015】

他方、図 3 は、デジタル・モードにあるときの AGC ループ 100 の図を示す。図 3 は、定常状態の動作中に、発振器 102 の振幅を制御するためのフィードバック経路がピーク検出器 104、第 1 の比較器 110、カウンタ及びデジタル論理ブロック 112、出デジタル/アナログ変換器 (DAC) 114、ロー・パス・フィルタ 116、及び MUX 108 を含むことを示す。

【0016】

ピーク検出器 104 の出力は、第 1 の比較器 110 の入力に供給される。第 1 の比較器 110 はまた、少なくとも 2 つの基準電圧を供給される。これらの基準電圧は、互いに異なり、そして誤差積分器 106 に供給される基準電圧の電圧ドライバ又は他の回路と似た要領で電圧ドライバ又は他の回路により供給され得る。第 1 の比較器 110 に供給される基準電圧は、発振器 102 への電力が調整されることになる前に発振器 102 により供給される許容可能な振幅電圧の範囲を表す。

【0017】

詳細には、第 1 の比較器 110 の出力は、カウンタ及びデジタル論理ブロック 112 を介して DAC 114 に供給される。第 1 の比較器 110 に供給される基準電圧は、DAC 114 の出力が調整される前に発振器 102 の振幅の低電圧及び高電圧である。例えば、発振器 102 が公称 1 V ピーク・ツー・ピークを有する場合、低電圧及び高電圧は、それぞれ、0.95 V 及び 1.05 V である。

【0018】

カウンタ及び論理回路ブロック 112 は、第 1 のカウンタ (アップ/ダウン・カウンタ) 及び第 2 のカウンタ (リップル・カウンタ) を含む。第 1 の比較器 110 とカウンタ及び論理ブロック 112 のアップ/ダウン・カウンタとは、デジタル誤差積分器を構成する。第 1 の比較器 110 の出力は、アップ/ダウン・カウンタがカウントアップすべきか、又はカウントダウンすべきか、或いはその現在値を維持すべきかのいずれかを指示するトリステート (3 状態) 信号である。ピーク検出器 104 の出力が第 1 の比較器 110 の基準電圧窓の外側にあるとき、第 1 の比較器 110 の出力は、アップ/ダウン・カウンタがカウントアップ又はカウントダウンのいずれかを行うことを可能にする。一方、ピーク検出器 104 が基準電圧窓内にあるとき、アップ/ダウン・カウンタは、その値を維持するであろう。アップ/ダウン・カウンタの出力は、デジタル・ワード (例えば、二進数) である。或る実施形態においては、このワードは、アナログ・ループにおける誤差積分器 106 のアナログ出力に相当するデジタル出力である。デジタル・ワードは、DAC 114 に供給され、そこにおいて、それは、アナログ誤差積分器 106 の出力に相当するアナログ電圧に変換される。第 2 のバイナリ・カウンタ (リップル・カウンタ) は、タイマとして働き、そしてそれを用いて、MUX 108 の出力がアナログ出力からデジタル出力へ切り替えられることになる時を決定する。このリップル・カウンタはまた、DAC 114 へのアップ/ダウン・カウンタ出力を更新するときを決定する動作を実行する。アップ/ダウン・カウンタ出力は、所定の間隔で更新される。LPF 116 を用いて、更新レートを制御し且つ DAC 114 の出力をロー・パス・フィルタリングすることにより、デジタル・ループ動作と関連した雑音が低減される。

【0019】

D A C 1 1 4 の出力は、L P F 1 1 6 を介して発振器 1 0 2 に供給される。L P F 1 1 6 は、D A C 1 1 4 がステップアップ又はステップダウンして発振器 1 0 2 の利得を調整するとき、D A C 1 1 4 の切り替え中に D A C 1 1 4 により発生されたより高い周波数雑音を低減する。L P F 1 1 6 は、いずれの数の回路により実現され得る。L P F 1 1 6 は、D C から或る設定値までの範囲の周波数を通す。一実施形態においては、単極 R C フィルタのコーナー周波数（折点周波数）は、約 1 0 0 K H z である。

【 0 0 2 0 】

A G C ループ 1 0 0 は、図 4 の例により示されるように動作する。始動前には、その上側のグラフで X t a l 1 として示されている発振器 1 0 2 からの信号と、中間のグラフとして示されている発振器 1 0 2 への調整された電圧は、低い。始動時には、図 4 の下側のグラフに示されているパワーダウン信号は、（例えば、約 0 . 9 ミリ秒で）低へ遷移する。ピーク検出器 1 0 4 は、発振器 1 0 2 から与えられた低電圧を検出し、そして誤差積分器 1 0 6 は、最大電圧を与え、その最大電圧を、M U X 1 0 8 は、発振器 1 0 2 に通す。従って、発振器 1 0 2 に供給される電圧は、迅速に最大まで増大し、一例として示すように約 0 . 1 ミリ秒かかる。

【 0 0 2 1 】

最終的に、発振器 1 0 2 は、1 . 5 ミリ秒あたりに示されるように発振し始める。ひとたび発振器 1 0 2 からの発振信号の振幅が所定の量に達すると、その信号は、A G C ループ 1 0 0 中のデジタル回路のためのクロック信号として用いられる。これは、カウンタ及びデジタル論理ブロック 1 1 2 中のリップル・カウンタを開始させる。次いで、リップル・カウンタは、アップ/ダウン・カウンタをトリガして、D A C 1 1 4 を更新する。

【 0 0 2 2 】

D A C 1 1 4 が、第 2 の比較器 1 1 8 により誤差積分器 1 0 6 からの出力と比較される出力を与える。第 2 の比較器 1 1 8 からの結果が、カウンタ及び論理ブロック 1 1 2 中のデジタル論理回路にフィードバックされ、その結果が、D A C 1 1 4 に供給される。D A C 1 1 4 の入力が、カウントアップ又はカウントダウンし、そしてその出力を調整し、それによりその出力は、最終的に誤差積分器 1 0 6 のそれに達するか又は実質的に等しくなる。従って、D A C 1 1 4 の出力が、定まり、そして誤差積分器 1 0 6 の出力に達し、それにより、A G C ループ 1 0 0 がアナログ A G C ループからデジタル A G C ループへ切り替わるとき、発振器 1 0 2 は、駆動信号の大きい変化に遭遇しない。

【 0 0 2 3 】

発振の指定されたサイクル数後に、発振器 1 0 2 は、定常状態に達する。リップル・カウンタは、所定のサイクル数が生じたときを決定し、次いで、誤差積分器 1 0 6 を発振器 1 0 4 からの接続を切り離し、そして M U X 1 0 8 を用いて、ロー・パス・フィルタリングされた D A C 1 1 4 出力に接続する。これは、図 4 において、1 . 7 ミリ秒と 1 . 8 ミリ秒との間で起こる。次いで、第 1 の比較器 1 1 0 は、ピーク検出器 1 0 4 の出力を高基準電圧及び低基準電圧と比較する。ピーク検出器 1 0 4 の出力が基準電圧窓の外側へドリフトする場合、第 1 の比較器 1 1 0 は、カウンタ及び論理ブロック 1 1 2 中のアップ/ダウン・カウンタが適切な方向にカウンタすることを可能にする。アップ/ダウン・カウンタの出力は、D A C 1 1 4 によりアナログ制御電圧に変換され、そしてそのアナログ制御電圧は、雑音を最小にするため L P F 1 1 6 によりロー・パス・フィルタリングされる。次いで、フィルタリングされた制御電圧は、発振器 1 0 2 にフィードバックされて、その振幅を制御する。

【 0 0 2 4 】

説明したように、A G C ループ 1 0 0 は、所定の時間量後に、アナログ・ループからデジタル・ループに切り替えられる（即ち、定常状態の動作が生じたと見なされる。）。一実施形態において、カウンタ及び論理ブロック 1 1 2 中のリップル・カウンタは、発振器 1 0 2 からの出力に接続され、そしてタイマとして用いられる。この場合、リップル・カウンタの 1 つの出力が、アナログからデジタルへの切り替えをトリガするため用いられる一方で、別のダウンストリームの出力が、定常状態における発振の振幅をチェックする

10

20

30

40

50

ためカウンタ及び論理ブロック 1 1 2 の中の論理回路をトリガするため用いられる。代替として、既に定常状態にある第 2 の発振器が、時間を決定するため用いられ得る。

【 0 0 2 5 】

この時間は、多数の発振器を用いて応答を測定し且つ最悪のシナリオを考慮した後に、経験的に設定され得る。この場合、経験的結果は、比較の目的のため論理回路内又はどこか他の場所に格納される。その時間はまた、水晶の周波数に依存する。例えば、それは、図 4 に示されるように、2 0 M H z で動作する水晶の場合 1 ミリ秒かかり、又は 4 M H z で動作する水晶の場合 5 ミリ秒かかる。それに対応して、2 0 M H z で動作する水晶の場合、リップル・カウンタは、論理ブロック 1 1 2 が発振振幅を定常状態で 1 0 ミリ秒毎にチェックするようにする。

10

【 0 0 2 6 】

代替として、電力が最初に発振器 1 0 2 に供給されたときからの所定の時間量を用いるよりむしろ、発振器 1 0 2 の発振振幅をモニタリングし、それを用いて、アナログ・ループとデジタル・ループとの間を切り替える。発振器 1 0 2 が始動し、そしてそれが定常状態に達する前（例えば、デジタル・ループに切り替わる前に）、幾らかのオーバーシュート及びリングングが、起こり得る。オーバーシュート及びリングングは、ループ安定性に依存する。従って、ループは、発振器 1 0 2 が安定化され、そして指定の期間にわたり指定の窓内に入っているとき切り替えられる。

【 0 0 2 7 】

電源が調整されているが、しかし、無調整型の電源を用いてもよく、又は調整された電源が、ドリフトしてもよい。上記の実施形態はまた、電源の振幅を補償することを可能にする。

20

【 0 0 2 8 】

図 5 は、デジタル・モードにあるときの図 1 に示される A G C ループについての位相雑音対発振器出力のグラフである。グラフは、デジタル・ループの性能を示し、それは、対応するアナログ・ループの雑音性能より相当に良好である。分かることができるように、搬送波周波数から 1 K H z、1 0 K H z 及び 1 0 0 K H z のオフセットで、雑音は、それぞれ、搬送波振幅より下で、- 1 2 5 d B、- 1 5 0 d B 及び - 1 7 1 d B である。

【 0 0 2 9 】

従って、アナログ A G C ループとデジタル制御ループとの両方の構成要素を組み合わせることにより、最小にされた始動時間を有する低雑音基準発振器が、提供される。始動時間は、アナログ A G C ループを有する発振器の振幅を最初に初期化することにより最小にされる。発振器の振幅が所定の時間量にわたり安定であった後に、A G C ループは、始動モード中のアナログ制御から定常状態モード中のデジタル制御に切り替えられて、より低い雑音の制御を与える。従って、速い始動時間及び定常状態動作での低雑音の両方を有する周波数源が、提供される。その上、この周波数源は、水晶毎のばらつき、及び単一的水晶の温度変化の両方を補償することができる。また、上記の構造又は実施形態を用いて、よりゆっくりした始動時間、又は定常状態動作でのより高い雑音を与えることもできる。

30

【 0 0 3 0 】

アナログ A G C ループを始動時に用い且つデジタル A G C ループを定常状態動作で用いるハイブリッド A G C が説明されたが、希望される場合、ハイブリッド A G C 1 0 0 は、希望に応じてアナログ A G C ループとデジタル A G C ループとの間を切り替えることができる。従って、例えば、アナログ A G C ループを定常状態モードで用いることもできる。更に、希望されるいずれの判定基準を用いて、アナログ A G C ループとデジタル A G C ループとの間を切り替えることもできる。

40

【 0 0 3 1 】

本明細書及び図面は、制限する意図よりむしろ例示である考えるべきであり、そしてそのような全ての変更は、本発明の範囲内に含まれることを意図していることに注目されたい。本明細書で用いられているように、用語「備える」、「含む」、又はそれらのいずれの他の変形は、非排他的包含をカバーすることを意図しており、それにより、リストされ

50

た構成要素を備えるプロセス、方法、物品、又は装置は、それらの構成要素のみを含むのではなく、明示的にはリストされていない他の構成要素、又はそのようなプロセス、方法、物品又は装置に固有の構成要素を含み得る。

【0032】

従って、前述の詳細な説明は限定よりむしろ例示と考えることを意図し、そして添付の特許請求の範囲（全ての均等物を含む）は、本発明の趣旨及び範囲を定義することを意図していると理解されるべきである。前述の説明のいずれも、特許請求の範囲に記載された本発明の範囲又はその均等物を否定することを意図しているものではない。

【図面の簡単な説明】

【0033】

【図1】図1は、一実施形態に従ったAGCループを示す。

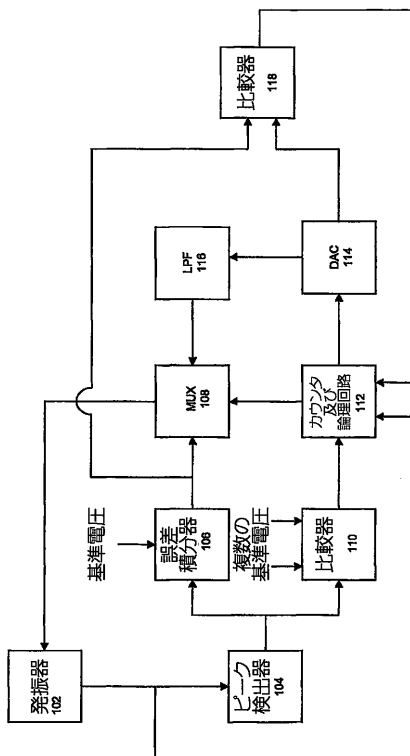
【図2】図2は、アナログ・モードにあるときの図1のAGCループを示す。

【図3】図3は、デジタル・モードにあるときの図1のAGCループを示す。

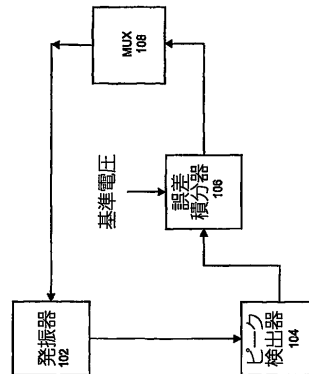
【図4】図4は、AGCループの一実施形態についての時間に対する発振器、基準及び始動の信号のグラフを示す。

【図5】図5は、デジタル・モードにあるときの図1に示されるAGCループについての位相雑音対発振器出力を示すグラフである。

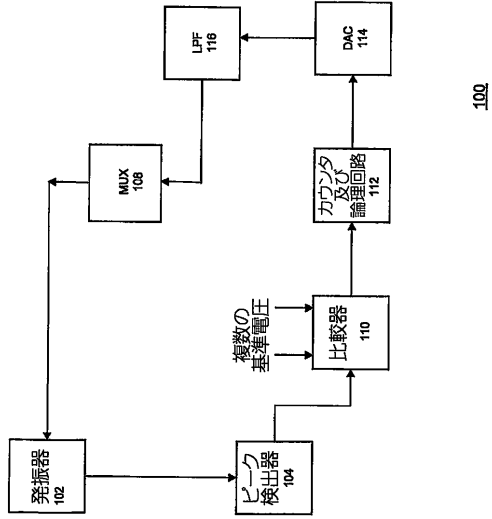
【図1】



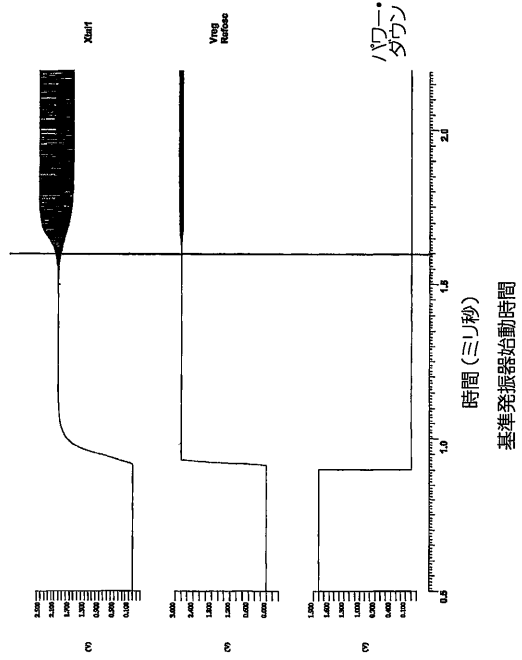
【図2】



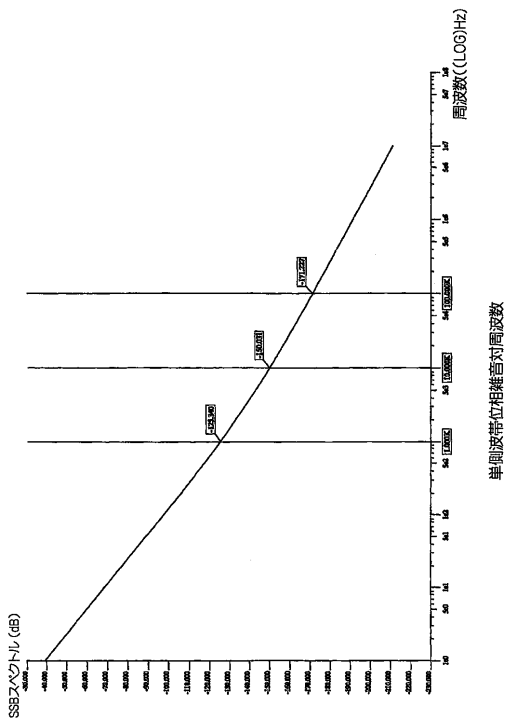
【図3】



【図4】



【図5】



フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(72)発明者 コネル, ローレンス・イー

アメリカ合衆国イリノイ州60565, ネーパービル, リオ・グランデ・サークル 2464

(72)発明者 マッカーシー, ダニエル・ピー

アメリカ合衆国イリノイ州60007, エルク・グローブ・ビレッジ, ハンプシャー・ドライブ
1706

(72)発明者 ブッシュマン, マイケル・エル

アメリカ合衆国イリノイ州60133, ハノーバー・パーク, クレセント・ウェイ 764

審査官 橋本 和志

(56)参考文献 特開平10-065524(JP, A)

特開平10-325886(JP, A)

特開平10-075119(JP, A)

特開平11-308103(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03B5/30-5/42

H03L7/00