

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和3年5月13日(2021.5.13)

【公開番号】特開2018-190401(P2018-190401A)

【公開日】平成30年11月29日(2018.11.29)

【年通号数】公開・登録公報2018-046

【出願番号】特願2018-78994(P2018-78994)

【国際特許分類】

G 06 F 12/00 (2006.01)

G 11 C 7/10 (2006.01)

G 06 F 13/16 (2006.01)

G 11 C 5/04 (2006.01)

【F I】

G 06 F 12/00 550K

G 11 C 7/10 400

G 06 F 13/16 510A

G 11 C 7/10 500

G 11 C 5/04 210

G 11 C 5/04 220

【手続補正書】

【提出日】令和3年4月1日(2021.4.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

不揮発性メモリ・モジュール(NVDIMM)であって、

不揮発性メモリ(NVM)装置と、

前記NVDIMMの内部データ経路を介して前記NVMに結合されたダイナミック・ランダム・アクセス・メモリ(DRAM)装置と、

データ・バスと前記内部データ経路との間に結合されたデータ・バッファであって、前記内部データ経路に結合された内部オン・ダイ・ターミネーション(ODT)回路を有するデータ・バッファと、

前記NVDIMMが前記DRAM装置と前記NVM装置との間でデータ通信を実行する内部動作モードを制御するように構成されたコントローラと
を備えるNVDIMM。

【請求項2】

前記コントローラは前記DRAM装置を前記NVM装置のキャッシュ・メモリとして使用するように構成されている、請求項1に記載のNVDIMM。

【請求項3】

前記データ・バッファは、前記DRAM装置と前記NVM装置との間で内部データが移動する場合に、前記内部データ経路でデータ(DQ)ターミネーションを提供する、請求項1に記載のNVDIMM。

【請求項4】

前記NVM装置、前記コントローラ、及び前記データ・バッファはシングル・チップとして実現されるように構成されている、請求項1に記載のNVDIMM。

【請求項 5】

前記コントローラは、第1チップ選択信号に基づいて前記NVM装置を選択し、第2チップ選択信号に基づいて前記DRAM装置を選択するように構成されている、請求項1に記載のNVDIMM。

【請求項 6】

前記データ・バッファは、前記内部データ経路に接続された第1オン・ダイ・ターミネーション(ODT)回路であって、前記内部動作モードの間に前記内部データ経路で内部データ(DQ)ターミネーションを提供するように構成された第1ODT回路と、前記データ・バスに接続された第2オン・ダイ・ターミネーション(ODT)回路であって、前記データ・バスでデータ(DQ)ターミネーションを提供するように構成された第2ODT回路とを含む、請求項1に記載のNVDIMM。

【請求項 7】

前記コントローラは、第1ODT制御信号に応答して前記内部DQターミネーションを実行するように前記第1ODT回路を制御し、第2ODT制御信号に応答して前記DQターミネーションを実行するように前記第2ODT回路を制御するように構成されている、請求項6に記載のNVDIMM。

【請求項 8】

前記第2ODT回路は、前記内部動作モードの間に前記データ・バスで前記DQターミネーションを実行する、請求項6に記載のNVDIMM。

【請求項 9】

前記データ・バッファは、前記内部動作モードの間に前記データ・バスと前記内部データ経路とを分離する、請求項6に記載のNVDIMM。

【請求項 10】

前記NVM装置は相変化ランダム・アクセス・メモリである、請求項1に記載のNVDIMM。

【請求項 11】

前記コントローラは、フラッシュ変換階層(FTL)及びマッピング・テーブルを含む、請求項1に記載のNVDIMM。

【請求項 12】

前記NVDIMMはデータ・センタに含まれている、請求項1に記載のNVDIMM。

【請求項 13】

不揮発性メモリ(NVM)装置とダイナミック・ランダム・アクセス・メモリ(DRAM)装置とを踏む不揮発性メモリ・モジュール(NVDIMM)における動作方法であって、

前記NVDIMMが、前記NVDIMMの内部データ経路を介して、前記DRAM装置と前記NVM装置との間でデータ通信を実行する内部動作モードを実行するステップと、

前記内部動作モードの間に前記内部データ経路で内部データ(DQ)ターミネーションを実行するステップと

を含む方法。

【請求項 14】

前記内部動作モードを実行する前記ステップは、前記NVDIMMが非ターゲット・メモリ・モジュールである場合に、前記内部動作モードを実行するステップを含む、請求項13に記載の方法。

【請求項 15】

前記内部動作モードを実行する前記ステップは、更に、

前記NVDIMMの外部のホストにリクエストを送信するステップと、

前記ホストにより前記リクエストを受諾するステップと、

内部動作モード開始命令を前記ホストから受信して、前記内部動作モードに入るステップと、

内部動作モード終了命令を前記ホストから受信して、前記内部動作モードを終了するス

テップと

を含む、請求項 1 3 に記載の方法。

【請求項 1 6】

前記データ通信は、前記DRAM装置に対する第1及び第2読み取り命令に応答して実行され、

前記内部DQターミネーションを実行する前記ステップは、前記DRAM装置の第1及び第2読み取りデータがそれぞれ前記第1及び第2読み取り命令に対応する前記データ経路で送信される場合は常に、前記内部DQターミネーションを実行するステップを含む、請求項15に記載の方法。

【請求項 1 7】

前記データ通信は、前記NVM装置に対する第1及び第2読み取り命令に応答して実行され、

前記内部DQターミネーションを実行する前記ステップは、前記NVM装置の第1及び第2読み取りデータがそれぞれ前記第1及び第2読み取り命令に対応する前記データ経路で送信される場合は常に、前記内部DQターミネーションを実行するステップを含む、請求項15に記載の方法。

【請求項 1 8】

データ・バスに結合された第1の不揮発性メモリ・モジュール(NVDIMM)と、前記データ・バスに結合された第2のNVDIMMとを含むメモリ・システムであって、

前記第1のNVDIMMは前記メモリ・システムを制御するホストによりアクセス可能なターゲット・メモリ・モジュールであり、

前記第2のNVDIMMは前記ホストによってアクセスされない非ターゲット・メモリ・モジュールであり、

前記第1のNVDIMMは、前記データ・バスを介して前記ホストとのデータ通信を実行するように構成されており、

前記第2のNVDIMMは、前記第2のNVDIMMの内部データ経路を介して内部動作モードを実行し、前記内部動作モードの間に前記内部データ経路で内部データ(DQ)ターミネーションを実行するように構成されており、

前記第1のNVDIMMの前記データ通信と前記第2のNVDIMMの前記内部動作モードとは同時に選択的に実行される、メモリ・システム。

【請求項 1 9】

前記第2のNVDIMMは前記内部動作モードの間に前記データ・バスでデータ(DQ)ターミネーションを実行する、請求項18に記載のメモリ・システム。

【請求項 2 0】

前記ホストからの内部動作モード開始命令に応答して、前記内部動作モードに入り、前記ホストからの内部動作モード終了命令に応答して、前記内部動作モードを終了する、請求項18に記載のメモリ・システム。