

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 3 年 5 月 13 日 (2021.5.13)

【公開番号】特開 2018-190401 (P2018-190401A)

【公開日】平成 30 年 11 月 29 日 (2018.11.29)

【年通号数】公開・登録公報 2018-046

【出願番号】特願 2018-78994 (P2018-78994)

【国際特許分類】

G 0 6 F 12/00 (2006.01)

G 1 1 C 7/10 (2006.01)

G 0 6 F 13/16 (2006.01)

G 1 1 C 5/04 (2006.01)

【F I】

G 0 6 F 12/00 5 5 0 K

G 1 1 C 7/10 4 0 0

G 0 6 F 13/16 5 1 0 A

G 1 1 C 7/10 5 0 0

G 1 1 C 5/04 2 1 0

G 1 1 C 5/04 2 2 0

【手続補正書】

【提出日】令和 3 年 4 月 1 日 (2021.4.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

不揮発性メモリ・モジュール (N V D I M M) であって、

不揮発性メモリ (N V M) 装置と、

前記 N V D I M M の内部データ経路を介して前記 N V M に結合されたダイナミック・ランダム・アクセス・メモリ (D R A M) 装置と、

データ・バスと前記内部データ経路との間に結合されたデータ・バッファであって、前記内部データ経路に結合された内部オン・ダイ・ターミネーション (O D T) 回路を有するデータ・バッファと、

前記 N V D I M M が前記 D R A M 装置と前記 N V M 装置との間でデータ通信を実行する内部動作モードを制御するように構成されたコントローラと

を備える N V D I M M。

【請求項 2】

前記コントローラは前記 D R A M 装置を前記 N V M 装置のキャッシュ・メモリとして使用するように構成されている、請求項 1 に記載の N V D I M M。

【請求項 3】

前記データ・バッファは、前記 D R A M 装置と前記 N V M 装置との間で内部データが移動する場合に、前記内部データ経路でデータ (D Q) ターミネーションを提供する、請求項 1 に記載の N V D I M M。

【請求項 4】

前記 N V M 装置、前記コントローラ、及び前記データ・バッファはシングル・チップとして実現されるように構成されている、請求項 1 に記載の N V D I M M。

【請求項 5】

前記コントローラは、第 1 チップ選択信号に基づいて前記 N V M 装置を選択し、第 2 チップ選択信号に基づいて前記 D R A M 装置を選択するように構成されている、請求項 1 に記載の N V D I M M。

【請求項 6】

前記データ・バッファは、前記内部データ経路に接続された第 1 オン・ダイ・ターミネーション (O D T) 回路であって、前記内部動作モードの間に前記内部データ経路で内部データ (D Q) ターミネーションを提供するように構成された第 1 O D T 回路と、前記データ・バスに接続された第 2 オン・ダイ・ターミネーション (O D T) 回路であって、前記データ・バスでデータ (D Q) ターミネーションを提供するように構成された第 2 O D T 回路とを含む、請求項 1 に記載の N V D I M M。

【請求項 7】

前記コントローラは、第 1 O D T 制御信号に応答して前記内部 D Q ターミネーションを実行するように前記第 1 O D T 回路を制御し、第 2 O D T 制御信号に応答して前記 D Q ターミネーションを実行するように前記第 2 O D T 回路を制御するように構成されている、請求項 6 に記載の N V D I M M。

【請求項 8】

前記第 2 O D T 回路は、前記内部動作モードの間に前記データ・バスで前記 D Q ターミネーションを実行する、請求項 6 に記載の N V D I M M。

【請求項 9】

前記データ・バッファは、前記内部動作モードの間に前記データ・バスと前記内部データ経路とを分離する、請求項 6 に記載の N V D I M M。

【請求項 10】

前記 N V M 装置は相変化ランダム・アクセス・メモリである、請求項 1 に記載の N V D I M M。

【請求項 11】

前記コントローラは、フラッシュ変換階層 (F T L) 及びマッピング・テーブルを含む、請求項 1 に記載の N V D I M M。

【請求項 12】

前記 N V D I M M はデータ・センタに含まれている、請求項 1 に記載の N V D I M M。

【請求項 13】

不揮発性メモリ (N V M) 装置とダイナミック・ランダム・アクセス・メモリ (D R A M) 装置とを踏む不揮発性メモリ・モジュール (N V D I M M) における動作方法であって、

前記 N V D I M M が、前記 N V D I M M の内部データ経路を介して、前記 D R A M 装置と前記 N V M 装置との間でデータ通信を実行する内部動作モードを実行するステップと、
前記内部動作モードの間に前記内部データ経路で内部データ (D Q) ターミネーションを実行するステップと

を含む方法。

【請求項 14】

前記内部動作モードを実行する前記ステップは、前記 N V D I M M が非ターゲット・メモリ・モジュールである場合に、前記内部動作モードを実行するステップを含む、請求項 13 に記載の方法。

【請求項 15】

前記内部動作モードを実行する前記ステップは、更に、
前記 N V D I M M の外部のホストにリクエストを送信するステップと、
前記ホストにより前記リクエストを受諾するステップと、
内部動作モード開始命令を前記ホストから受信して、前記内部動作モードに入るステップと、
内部動作モード終了命令を前記ホストから受信して、前記内部動作モードを終了するス

テップと

を含む、請求項 13 に記載の方法。

【請求項 16】

前記データ通信は、前記 D R A M 装置に対する第 1 及び第 2 読み取り命令に応答して実行され、

前記内部 D Q ターミネーションを実行する前記ステップは、前記 D R A M 装置の第 1 及び第 2 読み取りデータがそれぞれ前記第 1 及び第 2 読み取り命令に対応する前記データ経路で送信される場合は常に、前記内部 D Q ターミネーションを実行するステップを含む、請求項 15 に記載の方法。

【請求項 17】

前記データ通信は、前記 N V M 装置に対する第 1 及び第 2 読み取り命令に応答して実行され、

前記内部 D Q ターミネーションを実行する前記ステップは、前記 N V M 装置の第 1 及び第 2 読み取りデータがそれぞれ前記第 1 及び第 2 読み取り命令に対応する前記データ経路で送信される場合は常に、前記内部 D Q ターミネーションを実行するステップを含む、請求項 15 に記載の方法。

【請求項 18】

データ・バスに結合された第 1 の不揮発性メモリ・モジュール (N V D I M M) と、前記データ・バスに結合された第 2 の N V D I M M とを含むメモリ・システムであって、

前記第 1 の N V D I M M は前記メモリ・システムお w 制御するホストによりアクセス可能なターゲット・メモリ・モジュールであり、

前記第 2 の N V D I M M は前記ホストによってアクセスされない非ターゲット・メモリ・モジュールであり、

前記第 1 の N V D I M M は、前記データ・バスを介して前記ホストとのデータ通信を実行するように構成されており、

前記第 2 の N V D I M M は、前記第 2 の N V D I M M の内部データ経路を介して内部動作モードを実行し、前記内部動作モードの間に前記内部データ経路で内部データ (D Q) ターミネーションを実行するように構成されており、

前記第 1 の N V D I M M の前記データ通信と前記第 2 の N V D I M M の前記内部動作モードとは同時に選択的に実行される、メモリ・システム。

【請求項 19】

前記第 2 の N V D I M M は前記内部動作モードの間に前記データ・バスでデータ (D Q) ターミネーションを実行する、請求項 18 に記載のメモリ・システム。

【請求項 20】

前記ホストからの内部動作モード開始命令に応答して、前記内部動作モードに入り、前記ホストからの内部動作モード終了命令に応答して、前記内部動作モードを終了する、請求項 18 に記載のメモリ・システム。