

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5717612号
(P5717612)

(45) 発行日 平成27年5月13日(2015.5.13)

(24) 登録日 平成27年3月27日(2015.3.27)

(51) Int.Cl.	F 1
HO1L 27/146 (2006.01)	HO1L 27/14 F
HO1L 31/10 (2006.01)	HO1L 31/10 G
HO4N 5/33 (2006.01)	HO4N 5/33
HO4N 5/355 (2011.01)	HO4N 5/335 550
HO1L 27/144 (2006.01)	HO1L 27/14 K

請求項の数 14 (全 12 頁)

(21) 出願番号	特願2011-254773 (P2011-254773)
(22) 出願日	平成23年11月22日(2011.11.22)
(65) 公開番号	特開2012-114439 (P2012-114439A)
(43) 公開日	平成24年6月14日(2012.6.14)
審査請求日	平成25年12月2日(2013.12.2)
(31) 優先権主張番号	12/952, 282
(32) 優先日	平成22年11月23日(2010.11.23)
(33) 優先権主張国	米国(US)

(73) 特許権者	503455363 レイセオン カンパニー
	アメリカ合衆国 マサチューセッツ州 O
	2451 ウォルサム ウィンター スト
	リート 870
(74) 代理人	100070150 弁理士 伊東 忠彦
(74) 代理人	100091214 弁理士 大貫 進介
(74) 代理人	100107766 弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】処理装置及び処理方法

(57) 【特許請求の範囲】

【請求項 1】

複数の第1単位セルを有する第1の読み出し集積回路(ROIC)と、
前記第1のROIC上に備えられ、複数の第2単位セルを有する第2のROICと、
前記第2のROICを貫通し且つ前記第1のROICの少なくとも一部に入るよう備
えられる複数の導電性ピアと、
前記第2のROIC上に備えられ、複数の検出器画素を有する検出器アレイであって、
前記複数の検出器画素の各々は、光を受光したことに応答して電流を生成し、前記複数の
導電性ピアのうち対応する導電性ピアに前記電流を送る、検出器アレイと、
を有し、前記複数の第1単位セルの各々は、前記電流を処理する第1回路と、前記第1
回路を、前記複数の導電性ピアのうち対応する導電性ピアに、第1の時間期間の間電気的
に接続する第1スイッチとを有し、
前記複数の第2単位セルの各々は、前記電流を処理する第2回路と、前記第2回路を、
前記複数の導電性ピアのうち対応する導電性ピアに、第1の時間期間に続く第2の時間
期間の間電気的に接続する第2スイッチとを有し、
前記検出器アレイは、単位面積及び単位時間当たりのフォトン数が所定値より高い高フ
ラックス光及び前記所定値より低い低フラックス光のうち一方を、前記第1の時間期間の
間に受光し、前記高フラックス光及び低フラックス光のうち他方を、前記第2の時間期間
の間に受光する、装置。

【請求項 2】

複数の第 1 単位セルを有する第 1 の読み出し集積回路（R O I C）と、
前記第 1 の R O I C 上に備えられ、複数の第 2 単位セルを有する第 2 の R O I C と、
前記第 2 の R O I C を貫通し且つ前記第 1 の R O I C の少なくとも一部に入るよう備えられる複数の導電性ビアと、

前記第 2 の R O I C 上に備えられ、複数の検出器画素を有する検出器アレイであって、
前記複数の検出器画素の各々は、光を受光したことに応答して電流を生成し、前記複数の導電性ビアのうち対応する導電性ビアに前記電流を送る、検出器アレイと、

を有し、前記複数の第 1 単位セルの各々は、前記電流を処理する第 1 回路と、前記第 1 回路を、前記複数の導電性ビアのうち対応する導電性ビアに、第 1 の時間期間の間電気的に接続する第 1 スイッチとを有し、

前記複数の第 2 単位セルの各々は、前記電流を処理する第 2 回路と、前記第 2 回路を、
前記複数の導電性ビアのうち対応する導電性ビアに、第 1 の時間期間に続く第 2 の時間期間の間電気的に接続する第 2 スイッチとを有し、

前記検出器アレイは、第 1 の波長帯域に属する第 1 波長光及び前記第 1 の波長帯域とは異なる第 2 の波長帯域に属する第 2 波長光のうち一方を、前記第 1 の時間期間の間に受光し、前記第 1 波長光及び第 2 波長光のうち他方を、前記第 2 の時間期間の間に受光する、装置。

【請求項 3】

前記第 2 の時間期間は前記第 1 の時間期間より長い、請求項 1 又は 2 に記載の装置。

【請求項 4】

前記第 1 及び第 2 の時間期間は交互に到来する、請求項 1 又は 2 に記載の装置。

【請求項 5】

前記第 1 の R O I C に結合され、前記第 1 の R O I C からの出力を増幅するように形成される 1 つ以上の第 1 列アンプと、

前記第 2 の R O I C に結合され、前記第 2 の R O I C からの出力を増幅するように形成される 1 つ以上の第 2 列アンプと、

を更に有する、請求項 1 又は 2 に記載の装置。

【請求項 6】

前記第 1 の R O I C に結合され、前記第 1 の R O I C からの出力をバッファリングするように形成される 1 つ以上の第 1 バッファと、

前記第 2 の R O I C に結合され、前記第 2 の R O I C からの出力をバッファリングするように形成される 1 つ以上の第 2 バッファと、

を更に有する、請求項 1 又は 2 に記載の装置。

【請求項 7】

前記第 1 の R O I C により生成されるデータの 1 つ以上の第 1 フレームを出力し、及び前記第 2 の R O I C により生成されるデータの 1 つ以上の第 2 フレームを出力するように形成される、請求項 1 又は 2 に記載の装置。

【請求項 8】

複数の第 1 単位セルを有する第 1 の読み出し集積回路（R O I C）と、

前記第 1 の R O I C 上に備えられ、複数の第 2 単位セルを有する第 2 の R O I C と、

前記第 2 の R O I C を貫通し且つ前記第 1 の R O I C の少なくとも一部に入るよう備えられる複数の導電性ビアと、

前記第 2 の R O I C 上に備えられ、複数の検出器画素を有する検出器アレイと、

を有する装置が実行する方法であって、

第 1 の時間期間の間に、前記複数の検出器画素の各々が、単位面積及び単位時間当たりのフォトン数が所定値より高い高フラックス光及び前記所定値より低い低フラックス光のうち一方を受光したことに応答して電流を生成し、前記複数の導電性ビアのうち対応する導電性ビアに該電流を送り、前記複数の第 1 単位セルの各々が、前記第 1 の時間期間の間では導通状態である第 1 スイッチを介して該電流を受け、第 1 回路により該電流を処理するステップと、

前記第1の時間期間に続く第2の時間期間の間に、前記複数の検出器画素の各々が、前記高フラックス光及び低フラックス光のうち他方を受光したことに応答して電流を生成し、前記複数の導電性ピアのうち対応する導電性ピアに該電流を送り、前記複数の第2単位セルの各々が、前記第2の時間期間の間では導通状態である第2スイッチを介して該電流を受け、第2回路により前記電流を処理するステップと、

を有する方法。

【請求項9】

複数の第1単位セルを有する第1の読み出し集積回路(ROIC)と、

前記第1のROIC上に備えられ、複数の第2単位セルを有する第2のROICと、

前記第2のROICを貫通し且つ前記第1のROICの少なくとも一部に入るように備えられる複数の導電性ピアと、

前記第2のROIC上に備えられ、複数の検出器画素を有する検出器アレイと、

を有する装置が実行する方法であって、

第1の時間期間の間に、前記複数の検出器画素の各々が、第1の波長帯域に属する第1波長光及び前記第1の波長帯域とは異なる第2の波長帯域に属する第2波長光のうち一方を受光したことに応答して電流を生成し、前記複数の導電性ピアのうち対応する導電性ピアに該電流を送り、前記複数の第1単位セルの各々が、前記第1の時間期間の間では導通状態である第1スイッチを介して該電流を受け、第1回路により該電流を処理するステップと、

前記第1の時間期間に続く第2の時間期間の間に、前記複数の検出器画素の各々が、前記第1波長光及び第2波長光のうち他方を受光したことに応答して電流を生成し、前記複数の導電性ピアのうち対応する導電性ピアに該電流を送り、前記複数の第2単位セルの各々が、前記第2の時間期間の間では導通状態である第2スイッチを介して該電流を受け、第2回路により該電流を処理するステップと、

を有する方法。

【請求項10】

前記第2の時間期間は前記第1の時間期間より長い、請求項8又は9に記載の方法。

【請求項11】

前記第1及び第2の時間期間は交互に到来する、請求項8又は9に記載の方法。

【請求項12】

前記第1のROICに結合される1つ以上の第1列アンプにより、前記第1のROICからの出力を増幅するステップと、

前記第2のROICに結合される1つ以上の第2列アンプにより、前記第2のROICからの出力を増幅するステップと、

を更に有する、請求項8又は9に記載の方法。

【請求項13】

前記第1のROICに結合される1つ以上の第1バッファにより、前記第1のROICからの出力をバッファリングするステップと、

前記第2のROICに結合される1つ以上の第2バッファにより、前記第2のROICからの出力をバッファリングするステップと

を更に有する、請求項8又は9に記載の方法。

【請求項14】

前記第1のROICにより生成されるデータの1つ以上の第1フレームを出力するステップと、

前記第2のROICにより生成されるデータの1つ以上の第2フレームを出力するステップと、

を更に有する、請求項8又は9に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に、検出器アレイの分野に関し、特に、積層された読み出し集積回路を用いる検出器アレイの信号の処理に関する。

【背景技術】

【0002】

検出器システムは、検出器アレイと、読み出し集積回路（ROIC）とを有することが可能である。検出器アレイは、光を検出し、光の検出に応答して電流を生成する検出器画素を有することが可能である。ROICは、検出器画素により生成される電流を処理する単位セルを有することが可能である。

【発明の概要】

【課題を解決するための手段】

10

【0003】

本発明に従って、検出器電流を処理する従来技術に関連する短所及び課題を低減する又は排除することが可能である。

【0004】

特定の実施形態に従って、装置は、第1読み出し集積回路（ROIC）と、第2ROICと、デュアルバンド検出器アレイとを有する。第1ROICは第1単位セルを有する。第2ROICは、第1ROICの外側に備えられ、第2単位セルを有する。導電性ピアが、第2ROICを通じて且つ少なくとも第1ROICの中に備えられる。検出器アレイは、第2ROICの外側に備えられる。検出器アレイは、高ダイナミックレンジ赤外光を検出し、複数の検出器画素を有する。各々の検出器画素は、光の検出に応答して電流を発生させて、ピアにその電流を流す。ピアは、第2単位セル及び第1単位セルに信号を送信する。

20

【0005】

特定の実施形態に従って、方法は、検出器アレイの検出器画素により、光の検出に応答して電流を生成するステップを有する。検出器アレイは検出器画素を有し、第2読み出し集積回路（ROIC）の外側に備えられる。電流が、第2ROICを通じて且つ少なくとも第1ROICの中に備えられた複数の導電性ピアの1つのピアに検出器画素により流される。信号が、第2ROICの第2単位セルに且つ第1ROICの第1単位セルにピアにより送信される。第1ROICは複数の第1単位セルを有し、第2ROICは、第1ROICの外側に備えられ、複数の第2単位セルを有する。

30

【0006】

特定の実施形態に従って、装置は、第1読み出し集積回路（ROIC）、第2ROIC、検出器アレイ及びスイッチを有する。第1ROICは複数の第1単位セルを有し、高フラックス検出光（a higher flux detected light）を捕捉するように電流を処理する高フラックスROIC（a high flux ROIC）として動作する。第2ROICは、第1ROICの外側に備えられ、第2単位セルを有する。第2ROICは、低フラックス検出光（a low flux detected light）を捕捉するように電流を処理する。複数の導電性ピアが、第2ROICを通じて且つ少なくとも第1ROICの中に備えられる。検出器アレイは第2ROICの外側に備えられ、複数の検出器画素を有する。各々の検出器画素は、光の検出に応答して電流を発生させて、ピアに電流を流す。ピアは、第2単位セル及び第1単位セルに信号を送信する。スイッチは検出器アレイに結合され、第1時間期間の間、高フラックスROICとして動作する第1ROICに電流を流し、第2時間期間の間、低フラックスROICとして動作する第2ROICに電流を流す。第2時間期間は第1時間期間より長い。

40

【0007】

特定の本発明の実施形態は1つ又はそれ以上の有利点を提供する。一実施形態の技術的有利点は、検出器システムが2つ又はそれ以上のROICを有することが可能であることがある。異なるROICは異なる動作を実行することが可能である。実施例としては、一つのROICはより高いフラックス（flux）の光を捕捉するように電流を処理することが可能であり、他のROICは、より低いフラックスの光を捕捉するように電流を処理す

50

るよう用いられることが可能である。他の実施例としては、一の R O I C は一の波長帯域の光に関連する電流を処理するように用いられることが可能であり、他の R O I C は、異なる波長帯域の光に関連する電流を処理するように用いられることが可能である。一実施形態の他の技術的有利点は、2つの R O I C が互いの上部に実質的に積層されることが可能であることである。R O I C を積層することにより、基板領域のより有効な使用を可能にする。

【 0 0 0 8 】

本発明の特定の実施形態は、上記の技術的有利点を有さない、上記の技術的有利点の一部を有する、又は全てを有することが可能である。1つ又はそれ以上の他の技術的有利点について、図、明細書及び同時提出の特許請求の範囲から当業者は容易に理解することが可能である。10

【 0 0 0 9 】

本発明、本発明の特徴及び有利点についての十分な理解のために、以下の詳細説明を、添付図と共に参照する。

【 図面の簡単な説明 】

【 0 0 1 0 】

【図1】検出器信号を処理する重ねられたR O I C を有する装置の実施例を示す図である。20

【図2】単位システムの実施例を示す図である。

【図3】単位システムの実施例を示す図である。

【発明を実施するための形態】

【 0 0 1 1 】

本発明の実施形態及び本発明の有利点は、図1乃至3を参考することにより十分に理解することができ、同様の参照番号は種々の図における同様に対応する部分について用いられている。

【 0 0 1 2 】

図1は、検出器信号を処理する積層された複数のR O I C を有する装置の実施例を示している。特定の実施形態においては、複数のR O I C は異なる動作を実行することが可能である。特定の実施形態においては、複数のR O I C を積層することにより、基板領域のより有効な使用が可能になる。30

【 0 0 1 3 】

例示されている実施例においては、装置10は、図示しているように結合された、第1読み出し集積回路(R O I C)20と、第2R O I C 22と、検出器アレイ24と、画像処理システム36とを有する。R O I C 40及び42は、1つ又はそれ以上の列増幅器46及び48並びにバッファ30及び32をそれぞれ有する。ボンドパッド50及び52は、R O I C 20及び22のそれぞれからの出力を提供する。

【 0 0 1 4 】

例示としての実施例においては、第1R O I C は第1単位セル40を有する。第2R O I C 22は、第1R O I C 20の外側に備えられ、第2単位セル42を有する。導電性鉛直方向相互接続アクセス(ピア)50が、第2R O I C 22を通って、且つ第1R O I C 20の中に、恐らくそれを通って備えられる。検出器アレイ24は第2R O I C 22の外側に備えられ、検出器画素38を有する。各々の検出器画素38は、光を検出することに応答して電流を発生し、ピア50にその電流を流し、そのピアは、第1単位セル40及び第2単位セル42にその信号を送信する。列アンプ46及び48は単位セル40及び42のそれぞれの出力を増幅する。ボンドパッド50及び52は、列アンプ46及び48のそれぞれからの増幅された出力を供給する。バッファ30及び32は、R O I C 20及び22のそれぞれからの出力をバッファリングする。画像処理システム36は、バッファ30及び32から出力を受けて、画像の表示を開始するように用いられることが可能である出力から画像データを生成する。

【 0 0 1 5 】

10

20

30

40

50

特定の実施形態においては、検出器画素38、単位セル40及び42の各々は、相補型金属酸化膜半導体(CMOS)回路が形成される異なる基板に対応する異なる機能回路を表し得る。装置10の断面図は、検出器画素38の1つの行並びに単位セル40及び42のみを示している。しかしながら、検出器アレイ24及びROIC20及び22は、検出器画素38並びに単位セル40及び42のそれぞれの行及び列の何れかの適切な数を有することが可能である。

【0016】

特定の実施形態においては、検出器アレイ24は検出器画素38のアレイを有する。その実施形態においては、検出器画素38は、単位セル40及び1又は42により操作されることが可能であるアナログ電気信号を検知し、そのアナログ電気信号に放射光を変換する光検出器を有する。検出器画素38は、何れかの適切な放射フラックスの光を検出することが可能である。例えば、検出器画素38は、より高いフラックス(例えば、 10^{15} フォトン/ $\text{cm}^2 \cdot \text{sec}$)の光及び1又はより低いフラックスの光(例えば、 10^{15} フォトン/ $\text{cm}^2 \cdot \text{sec}$)を検出することが可能である。

10

【0017】

検出器画素38は何れかの適切な波長帯域の光を検出することが可能である。波長帯域の例には、短波長の赤外線(IR)(SWIR)(約1000乃至3000nm)、中波長IR(MWIR)(約3000乃至8000nm)、長波長IR(LWIR)(約7000乃至14,000nm)及び超長波長IR(VLWIR)(約12,000乃至30,000nm)並びにIR帯域の長波長側又は短波長側の帯域がある。

20

【0018】

検出器画素38は、共通波長帯域に対して感應することが可能である、又は、1つの波長帯域に対して感應する画素の集合と、1つ又はそれ以上の他の波長帯域に対して感應する1つ又はそれ以上の画素の他の集合とを有することが可能である。第1波長帯域及び第2波長帯域は何れかの適切な波長帯域であることが可能である。例えば、第1波長帯域はSWIRであり、第2波長帯域はMWIRであることが可能である。

【0019】

検出器アレイ24は何れかの適切な輝度の光を検出することが可能である。特定の実施形態においては、検出器アレイ24は、輝度が広ダイナミックレンジである光(例えば、赤外線)を検出することが可能である。例えば、検出器アレイ24は、値xを有するダイナミックレンジを有することが可能であり、ここでは、xは60乃至90dB、90乃至120dB又は120dB以上の値である。

30

【0020】

特定の実施形態においては、ROIC20又は22は、検出器アレイ24と連結する電子回路マルチプレクサであり、アナログダイナミックレンジ管理回路として機能する。ROIC20又は22は、各々が検出器画素38にバイアスを掛ける単位セル40又は42のアレイを有する。単位セル40又は42は、検出器画素38から受けた電荷をコンデンサに充電する。第1ROIC20は第1単位セル40を有し、第2ROIC22は第2単位セル42を有する。単位セルの例については、図2を参照して説明する。

40

【0021】

特定の実施形態においては、ROIC20又は22は、シリコンに基づく基板により構成されることが可能である。CMOS回路は、材料の層のエッティング、成長及び処理により基板の外側に形成されることが可能である。検出器画素38のアレイは、ROIC20又は22に対してハイブリダイゼーションさせることが可能である。ROIC20又は22の特定の回路は検出器画素38と一体的に形成されることが可能である、又は検出器画素38と別個に形成されることが可能である。

【0022】

特定の実施形態においては、一のROIC(第1又は第2ROIC)は高フラックス検知ROIC(又は高フラックス検知低消費電力ROIC)として機能することが可能であり、他のROIC(第2又は第1ROIC)は低フラックス検知ROIC(又は低フラッ

50

クス検知高消費電力 R O I C) として機能することが可能である。例えば、第 1 R O I C 2 0 は高フラックス検知 R O I C として機能し、第 2 R O I C 2 2 は低フラックス検知 R O I C として機能することが可能である。

【 0 0 2 3 】

高フラックス R O I C は、より高いフラックスの光を捕捉するように電流を処理することが可能である。特定の実施形態においては、高フラックス R O I C は、低フラックス R O I C より消費電力が低い R O I C であることが可能である。実施例は、直接注入 (D I) 単位セルを有する。特定の実施形態においては、サブフレーム平均化 (S F A) が、より大きい容量性のバケットサイズをもたらすより長い全集積時間を可能にするために、複数の短いサブフレーム集積を平均化するように用いられることが可能である。 10

【 0 0 2 4 】

低フラックス R O I C は、より低いフラックスの光により生成される光電流を処理することが可能である。特定の実施形態においては、低フラックス R O I C は、高フラックス R O I C より消費電力が高い R O I C であることが可能である。実施例においては、容量性トランスインピーダンスアンプ (C T I A) と、バッファード直接注入 (B D I) 単位セルとを有する。特定の実施形態においては、マルチフレーム平均化 (M F A) 処理が、減少された入射フラックスを補償することが可能である複数のフレーム時間に亘って全集積時間を延長するように用いられることが可能である。

【 0 0 2 5 】

特定の実施形態においては、第 1 R O I C 2 0 は、第 1 波長帯域の光と関連する電流を処理することが可能であり、第 2 R O I C 2 2 は、第 1 波長帯域と同じ又はそれとは異なることが可能である第 2 波長帯域の光と関連する電流を処理することが可能である。 R O I C 2 0 及び 2 2 は、何れかの適切な波長帯域、例えば、上記の波長帯域を処理することが可能である。 20

【 0 0 2 6 】

特定の実施形態においては、検出器アレイ 2 4 は、 R O I C 2 0 及び 2 2 間で交替させることにより R O I C 2 0 及び 2 2 に電流を流すことが可能である。例えば、検出器アレイ 2 4 は、第 1 時間期間の間、高フラックス R O I C として機能する一の R O I C に、続いて、第 2 時間期間の間、低フラックス R O I C として機能する他の R O I C に電流を流すことが可能である。第 2 時間期間は、第 1 時間期間より長い、短い、又はそれと等しいことが可能である。例えば、第 2 時間期間 (低フラックス R O I C) は第 1 時間期間 (高フラックス R O I C のため) より長いことが可能である。 30

【 0 0 2 7 】

特定の実施例においては、異なる波長帯域のフレーム間で時間的位置合わせを達成することが可能であるスケジュールに従って、電流が R O I C 2 0 及び 2 2 に流されることが可能である。その実施例においては、電流は、第 1 波長帯域 (例えば、 L W I R 帯域) を積分する第 1 R O I C 2 0 に、及び第 2 波長帯域 (例えば、 M W I R 帯域) を積分する第 2 R O I C 2 2 に流されることが可能である。電流が第 2 R O I C 2 2 に流される第 2 時間期間の前に及び後に存在する第 1 時間期間の間、電流が第 1 R O I C 2 0 に流されることが可能である。第 1 時間期間及び第 2 時間期間は何れかの適切な持続時間を持つことが可能であり、第 1 時間期間は第 2 時間期間より長い、短い又はそれと同じであることが可能である。例えば、第 1 時間期間は約 1 m s e c であることが可能であり、第 2 時間期間は約 2 乃至 5 m s e c であることが可能である。 40

【 0 0 2 8 】

特定の実施形態においては、 R O I C 2 0 及び 2 2 は、並列に処理して、完全なデータのアレイを出力することが可能である。完全なデータのアレイは、少なくとも殆どの又は全ての R O I C の単位セルからの出力を有するデータを参照することが可能である。完全なデータのアレイは、画像のフレームを生成するように用いられることが可能である。特定の実施形態においては、装置 1 0 は、第 1 R O I C 2 0 により生成されたデータの 1 つ又はそれ以上の第 1 フレームを出力し、続いて、第 2 R O I C 2 2 により生成されたデータ 50

タの 1 つ又はそれ以上の第 2 フレームを出力することが可能である。

【 0 0 2 9 】

特定の実施形態においては、1 つ又はそれ以上の第 1 列アンプ 4 6 は第 1 R O I C 2 0 からの出力を増幅することが可能であり、1 つ又はそれ以上の第 2 列アンプ 4 8 は第 2 R O I C 2 2 からの出力を増幅することが可能である。列アンプの実施例は、列当たりシングルエンド型 C T I A 又は差動型 C T I A を、若しくは列アンプ当たり電圧モードアンプを有する。

【 0 0 3 0 】

特定の実施形態においては、1 つ又はそれ以上の第 1 バッファ 3 0 は、第 1 R O I C 2 0 からの出力をバッファリングすることが可能であり、1 つ又はそれ以上の第 2 バッファ 3 2 は、第 2 R O I C 2 2 からの出力をバッファリングすることが可能である。10 バッファの例には、ポルテージフォロア、シングルエンド型アンプ又は差動型アンプ等の電圧モードアンプがある。

【 0 0 3 1 】

特定の実施形態においては、画像処理システム 3 6 は、第 1 R O I C 2 0 により生成されたデータの 1 つ又はそれ以上の第 1 フレームと、第 2 R O I C 2 2 により生成されたデータの 1 つ又はそれ以上の第 2 フレームとを受けることが可能である。20 画像処理システム 3 6 は、何れかの適切な方法で画像を生成するようにデータの第 1 フレーム及び第 2 フレームを解析することが可能である。例えば、画像処理システムは、合成フレームデータを生成するように第 1 フレームデータ及び第 2 フレームデータを融合させて、その合成フレームデータから画像のフレームを生成することが可能である。

【 0 0 3 2 】

図 2 は、単位システム 6 0 の実施例を示している。その実施例においては、単位システム 6 0 は、単位セル 4 0 と、単位セル 4 2 と、検出器画素 3 8 とを有する。ビア 5 0 は、検出器画素 3 8 を単位セル 4 0 及び / 又は単位セル 4 2 に電気的に結合させ、検出器画素 3 8 から単位セル 4 0 及び / 又は単位セル 4 2 に電流を流すことが可能である。

【 0 0 3 3 】

特定の実施形態においては、ビア 5 0 は、孔内に備えられた導電性材料を有する孔（開口又はアーチャ等）であることが可能である。何れかの適切な導電性材料、例えば、絶縁性酸化物材料が用いられることが可能である。ビア 5 0 は、スルーシリコンビア（ T S V ）等の適切なビアである。ビア 5 0 は何れかの適切な形状を有することが可能である。例えば、ビア 5 0 は、基板の反対面における開口を有する、1 つの基板のみにおいて開口を有する、又は何れの面にも開口を有さないことが可能である。30

【 0 0 3 4 】

図 3 は、単位システム 6 0 をより詳細に示している。図示している実施例においては、単位システム 6 0 は、検出器画素 3 8 と、単位セル 4 0 及び 4 2 と、図示されたように結合されたビア 5 0 とを有する。各々の単位セル 4 0 及び 4 2 は、スイッチ 7 0 と、回路 8 0 と、コンデンサ 8 4 と、ストレージアレイ 7 2 とを有する。ストレージアレイ 7 2 は、R O I C 2 0 又は 2 2 の単位セル 4 0 又は 4 2 からの出力を蓄えるストレージ要素 9 0 を有する。動作の実施例においては、検出器画素 3 8 は、光を検出し、光の検出に応答して電流を出力する。40 スイッチ 7 0 は、電流を単位セル 4 0 の方に及び / 又はビア 5 0 を介して電流を方向付ける。単位セル 4 0 及び 4 2 は、ストレージ要素 9 0 に蓄えられる出力を生成するように、その電流を処理する。

【 0 0 3 5 】

特定の実施形態においては、単位セル 4 0 又は 4 2 は、ランプ回路及びアナログ / ディジタル変換器（ A / D ）を有することが可能である回路 8 0 及びコンデンサ 8 4 を有することができる。コンデンサ 8 4 は、第 1 プレートと、反対側の第 2 プレートとを有することができる。ランプ回路は、コンデンサの第 1 プレートに電圧ランプを供給することができる。コンデンサの第 2 プレートは、検出器画素 3 8 から電流を受けることができる。A / D は、コンデンサの第 2 プレートからアナログ出力を受け、ストレー50

ジ要素 90 にデジタル出力を供給する。カウンタが、単位セルのアレイの出力に対して並列に結合されることが可能であり、全体的な計数において各々のデジタルインバータからのデジタル出力を蓄積することが可能である。

【 0 0 3 6 】

スイッチ 70 は、少なくとも一部の単位セルに備えられ、ビア 50 に対する制御された接続を提供することが可能である。特定の実施形態においては、スイッチ 70 は、R O I C 20 及び 22 間で交替させることにより R O I C 20 及び 22 に電流を流すことが可能である。例えば、スイッチ 70 は、第 1 時間期間の間、高フラックス R O I C として機能する一の R O I C に、続いて、第 2 時間期間の間、低フラックス R O I C として機能する他の R O I C に電流を流すことが可能である。第 2 時間期間は、第 1 時間期間より長い、短い、又はそれと同じであることが可能である。例えば、第 2 時間期間（低フラックス R O I C のための）は第 1 時間期間（高フラックス R O I C のための）より長いことが可能である。10

【 0 0 3 7 】

特定の実施形態においては、スイッチ 70 は、第 1 時間期間の間、第 1 波長帯域のために用いられる一の R O I C に電流を流し、第 2 時間期間の間、第 2 波長帯域のために用いられる他の R O I C に電流を流すことが可能であり、第 2 波長帯域はより広い波長を有する。第 2 時間期間は、第 1 時間期間より長い、短い、又はそれと同じであることが可能である。例えば、第 2 時間期間（広波長のための）は第 1 時間期間（狭波長のための）より長いことが可能である。例えば、第 1 時間期間は 1 乃至 1 0 0 μ sec の範囲内の値であることが可能であり、第 2 時間期間は 1 0 0 0 乃至 2 0 0 0 0 μ sec の範囲内の値であることが可能である。20

【 0 0 3 8 】

単位セル 40 又は 42 は何れかの適切な大きさ、例えば、 $20 \mu m \times 20 \mu m$ の正方形より小さいことが可能である。単位セル 40 又は 42 は、何れかの適切なフレームレート、例えば、30 Hz、60 Hz 又はそれより大きいフレームレートで動作することが可能である。

【 0 0 3 9 】

修正、付加又は削除が、本発明の範囲から逸脱することなく、本明細書で開示されたシステム及び装置で行われることが可能である。それらのシステム及び装置の構成要素は、一体化される又は別個にされることが可能である。更に、システム及び装置の動作は、より多い、より少ない又は他の構成要素により実行されることが可能である。例えば、R O I C 20 又は 22 の動作は、2つ以上の構成要素により実行されることが可能である。更に、システム及び装置の動作は、ソフトウェア、ハードウェア及び / 又は他のロジックを有する何れかの適切なロジックを用いて実行されることが可能である。本明細書で用いているように、表現“各々”においては、集合の各々のメンバー又は集合の副集合の各々のメンバーを引き合いに出す。30

【 0 0 4 0 】

修正、付加又は削除は、本発明の範囲から逸脱せずに、本明細書で開示されている方法に対して行われ得る。その方法は、より多い、少ないステップを、又は他のステップを有することが可能である。更に、ステップは、何れかの適切な順序で実行されることが可能である。40

【 0 0 4 1 】

本明細書において開示されているシステム及び装置の構成要素は、インターフェース、ロジック、メモリ及び / 又は他の適切な要素を有することが可能である。インターフェースは入力を受信し、出力を送信し、その入力及び / 又は出力を処理し、並びに / 若しくは他の適切な動作を実行する。インターフェースはハードウェア及び / 又はソフトウェアを有することが可能である。

【 0 0 4 2 】

ロジックは、構成要素の動作を実行する、例えば、入力から出力を生成する命令を実行50

する。ロジックは、ハードウェア、ソフトウェア及び／又は他のロジックを有することが可能である。ロジックは、1つ又はそれ以上の有体媒体において符号化されることが可能である。プロセッサのような特定のロジックが構成要素の動作を管理することが可能である。プロセッサの例としては、1つ又はそれ以上のコンピュータ、1つ又はそれ以上のマイクロプロセッサ、1つ又はそれ以上のアプリケーション及び／又は他のロジックを有する。

【0043】

特定の実施形態においては、実施形態の動作は、コンピュータプログラム、ソフトウェア、コンピュータ実行可能命令及び／又はコンピュータにより実行されることが可能である命令により実行されることが可能である。特定の実施形態においては、実施形態の動作は、記憶される、コンピュータプログラムにより具現される及び／又は符号化される、並びに／若しくは記憶された及び／若しくは符号化されたコンピュータプログラムを有する、1つ又はそれ以上のコンピュータ読み出し可能媒体により実行されることが可能である。

10

【0044】

メモリは命令を記憶する。メモリは、1つ又はそれ以上の非一時的媒体、有体記憶媒体、コンピュータ読み出し可能記憶媒体及び／又はコンピュータ実行可能記憶媒体記憶を有することが可能である。メモリの例としては、コンピュータメモリ（例えば、ランダムアクセスメモリ（RAM）又は読み出し専用メモリ（ROM））、大容量媒体（例えば、ハードディスク）、取り外し可能記憶媒体（例えば、コンパクトディスク（CD）又はデジタルビデオディスク（DVD））、データベース及び／又はネットワークストレージ（例えば、サーバ）並びに／若しくは他のコンピュータ読み出し可能媒体を有することが可能である。

20

【0045】

システム及び装置の構成要素は何れかの適切な通信ネットワークにより結合されることが可能である。通信ネットワークは、公衆交換電話網（PSTN）、公衆又は個人データネットワーク、ローカルエリアネットワーク（LAN）、メトロポリタンエリアネットワーク（MAN）、ワイドエリアネットワーク（WAN）、ローカル、域内又はグローバル通信、又はインターネットのようなコンピュータネットワーク、有線又は無線ネットワーク、企業インターネット、他の適切な通信リンク、若しくは上記の何れかの組み合わせ、の1つ又はそれ以上の全て又は一部を有することが可能である。

30

【0046】

本明細書においては、特定の実施形態について詳述しているが、それらの実施形態の代替及び置き換えが可能であることが当業者には理解できる。従って、上記の実施形態の詳述は本発明を制限するものではない。他の変形、置き換え及び修正が、本発明の趣旨及び範囲から逸脱することなく、可能であり、同時提出の特許請求の範囲によって規定されるものである。

【符号の説明】

【0047】

3 6 画像処理システム

40

3 8 検出器アレイ

4 0 単位セル

4 2 単位セル

5 0 ボンドパッド（ピア）

5 2 ボンドパッド

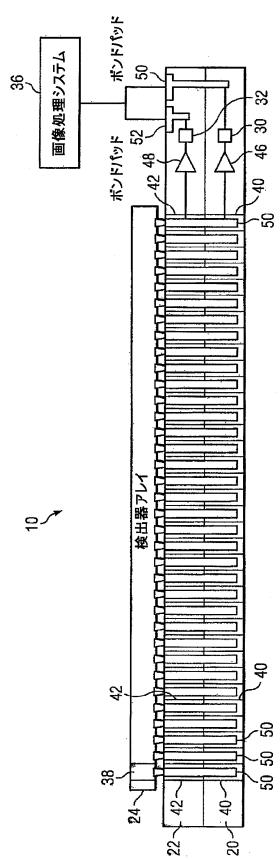
6 0 単位システム

7 2 ストレージアレイ

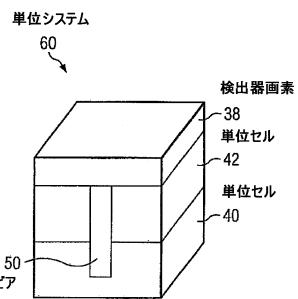
8 0 回路

9 0 ストレージ要素

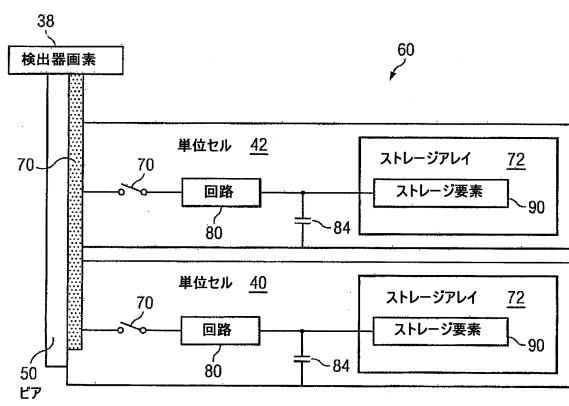
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 ロジャー ダブリュ グラハム

アメリカ合衆国 カリフォルニア州 93101 サンタ・バーバラ ロス・アグアジェス・アヴ
エニュー 231 シャープ・エイ

審査官 安田 雅彦

(56)参考文献 米国特許出願公開第2009/0173883(US, A1)

特表2009-505577(JP, A)

特開2007-333464(JP, A)

特開2001-339057(JP, A)

Raymond Balcerak et al., Progress in the development of vertically integrated sensor arrays, Proc.of SPIE 5783, 2005年, Vol.5783, p.384-391

(58)調査した分野(Int.Cl., DB名)

H01L 27/14-148

H01L 31/08-119

H04N 5/33-378