

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3962441号
(P3962441)

(45) 発行日 平成19年8月22日(2007.8.22)

(24) 登録日 平成19年5月25日(2007.5.25)

(51) Int.C1.

F 1

HO1L 21/82	(2006.01)	HO1L 21/82	P
HO1L 21/28	(2006.01)	HO1L 21/28	Z
HO1L 21/3205	(2006.01)	HO1L 21/88	A
HO1L 23/52	(2006.01)	HO1L 27/04	H
HO1L 21/822	(2006.01)	HO1L 27/04	D

請求項の数 8 (全 12 頁) 最終頁に続く

(21) 出願番号

特願平8-251765

(22) 出願日

平成8年9月24日(1996.9.24)

(65) 公開番号

特開平10-98108

(43) 公開日

平成10年4月14日(1998.4.14)

審査請求日

平成15年6月30日(2003.6.30)

(73) 特許権者 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100068755

弁理士 恩田 博宣

(72) 発明者 渡邊 正寿

愛知県春日井市高蔵寺町二丁目1844番
2 富士通ヴィエルエスアイ株式会社内

審査官 大嶋 洋一

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

半導体チップの外周に沿って配置された複数のパッドと、
前記複数のパッドに対応し、前記半導体チップの周方向に並ぶように配置された複数の
入出力セル領域と、

を備えた半導体装置において、

前記複数の入出力セル領域の各々は、前記半導体チップの周方向と直交する方向に並ぶ
ように配置された複数のトランジスタを含み、

前記複数のトランジスタの各々に電源を供給するための電源配線を前記半導体チップの
周方向に沿って第1の配線層に設け、

前記複数のトランジスタを該複数のトランジスタを含む前記入出力セル領域に対応する
前記パッドに接続するための金属配線を前記第1の配線層の上方に積層された第2の配線
層に設けた、

ことを特徴とする半導体装置。

【請求項 2】

前記複数のトランジスタは、nMOSトランジスタとpMOSトランジスタとを含む、
ことを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記金属配線は、前記nMOSトランジスタ及び前記pMOSトランジスタの各々のド
レインに接続される、

ことを特徴とする請求項2に記載の半導体装置。

【請求項 4】

前記複数のトランジスタは、n p nトランジスタとp n pトランジスタとを含む、
ことを特徴とする請求項1に記載の半導体装置。

【請求項 5】

前記金属配線は、前記n p nトランジスタ及び前記p n pトランジスタの各々のコレクタに接続される、

ことを特徴とする請求項4に記載の半導体装置。

【請求項 6】

前記複数のトランジスタの各々は3つの電極を備えており、
前記3つの電極は、ソース、ドレイン及びゲートである、
ことを特徴とする請求項1に記載の半導体装置。

10

【請求項 7】

前記複数のトランジスタの各々は3つの電極を備えており、
前記3つの電極は、ベース、エミッタ及びコレクタである、
ことを特徴とする請求項1に記載の半導体装置。

【請求項 8】

前記半導体チップは、各々前記半導体チップの周方向に沿って配置され、かつ互いに積層された第1の配線層と第2の配線層とを含み、
前記n M O Sトランジスタのソースに接続されている電源配線及び前記p M O Sトランジスタのソースに接続されている電源配線が前記第1の配線層に形成されており、
前記n M O Sトランジスタのドレインと前記p M O Sトランジスタのドレインに共通に接続されている金属配線が前記第2の配線層に形成されている、
ことを特徴とする請求項2に記載の半導体装置。

20

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置（I C）に係り、より詳しくは入出力セル領域に関する。

近年の半導体装置は、製造プロセス技術の進歩により高集積化が進み、半導体チップに構成できる回路の増加に応じて外部ピンの増加が要求されている。半導体装置の多ピン化を図るためにには、半導体チップの周縁に沿うように配置される入出力用の外部パッドの配置ピッチを短縮することが必要である。これと同時に、外部パッドの内側において半導体チップの周縁に沿うように配置される入出力回路を構成するための入出力セル領域の幅、すなわち、入出力セル領域の配置方向における長さを短縮することが必要である。

30

【0 0 0 2】

【従来の技術】

I Cの1つの形態としてゲートアレイがある。図8は従来のCMOSゲートアレイの入出力セル領域100を使用して構成された出力回路101を示す。入出力セル領域100は4個のn M O Sトランジスタ102及び4個のp M O Sトランジスタ103を備えている。M O Sトランジスタのゲートがn M O Sトランジスタ102及びp M O Sトランジスタ103として示されている。

40

【0 0 0 3】

4つのn M O Sトランジスタ102の3つの電極であるゲート、ソース及びドレインは入出力セル領域100の幅方向、すなわち、複数の入出力セル領域100の配置方向に並ぶように配置され、4個のp M O Sトランジスタ103の3つの電極であるゲート、ソース及びドレインも入出力セル領域100の幅方向に並ぶように配置されている。4個のn M O Sトランジスタ102及び4個のp M O Sトランジスタ103は入出力セル領域100の高さ方向、すなわち、入出力セル領域100の配置方向と直交する方向に配置されており、4個のn M O Sトランジスタ102及び4個のp M O Sトランジスタ103はそれぞれ対応している。

50

【0004】

各nMOSトランジスタ102のソース上には入出力セル領域100の配置方向と直交する方向に金属配線層第1層のアルミニウム配線104が設けられている。アルミニウム配線104は、入出力セル領域100の配置方向に延びかつ低電位電源(V_{SS})を供給するための金属配線層第2層のアルミニウム電源配線106に接続されている。各pMOSトランジスタ103のソース上には入出力セル領域100の配置方向と直交する方向に金属配線層第1層のアルミニウム配線105が設けられている。アルミニウム配線105は入出力セル領域100の配置方向に延びかつ高電位電源(V_{DD})を供給するための金属配線層第2層のアルミニウム電源配線107に接続されている。それぞれ対応するnMOSトランジスタ102及びpMOSトランジスタ103のドレインは、入出力セル領域100の配置方向と直交する方向に延びる金属配線層第1層のアルミニウム配線108を介して図示しない外部パッドに接続されている。10

【0005】

【発明が解決しようとする課題】

ところが、上記の入出力セル領域100では、nMOSトランジスタ102のソースに低電位電源を供給するアルミニウム配線104、pMOSトランジスタ103のソースに高電位電源を供給するアルミニウム配線105、対応するnMOSトランジスタ102及びpMOSトランジスタ103のドレインを外部パッドに接続するためのアルミニウム配線108は、金属配線層第1層に設けられている。そのため、金属配線層第1層は、アルミニウム配線104, 105, 108や、ゲートコンタクト用の配線で混雑する。20

【0006】

また、対応するnMOSトランジスタ102及びpMOSトランジスタ103のドレインを外部パッドに接続するためのアルミニウム配線108はソース上のアルミニウム配線に接触しないように避けて設ける必要があるとともに、エレクトロマイグレーション耐性を向上するためにアルミニウム配線108の幅W0を太くする必要がある。そのため、入出力セル領域100の幅CW0は、第1層のアルミニウム配線104, 105, 108の配線領域を確保するために大きくなっていた。20

【0007】

その結果、1つの入出力セル領域100当たりの配置ピッチを短縮することができず、この配置ピッチはパッドピッチに対して大きくなり、多ピン化の妨げとなっていた。30

【0008】

本発明は上記問題点を解決するためになされたものであって、その目的は、金属配線層第1層の配線領域の面積を縮小し、入出力セル領域の配置ピッチを縮小して、多ピン化を図ることができる半導体装置を提供することにある。

【0009】

【課題を解決するための手段】

上記の目的を達成するため、請求項1の発明では、半導体チップの外周に沿って配置された複数のパッドと、前記複数のパッドに対応し、前記半導体チップの周方向に並ぶように配置された複数の入出力セル領域と、を備えた半導体装置において、前記複数の入出力セル領域の各々は、前記半導体チップの周方向と直交する方向に並ぶように配置された複数のトランジスタを含み、前記複数のトランジスタの各々に電源を供給するための電源配線を前記半導体チップの周方向に沿って第1の配線層に設け、前記複数のトランジスタを該複数のトランジスタを含む前記入出力セル領域に対応する前記パッドに接続するための金属配線を前記第1の配線層の上方に積層された第2の配線層に設けた。40

【0010】

請求項2の発明では、前記複数のトランジスタは、nMOSトランジスタとpMOSトランジスタとを含む。

請求項3の発明では、前記金属配線は、前記nMOSトランジスタ及び前記pMOSトランジスタの各々のドレインに接続される。

【0011】

請求項 4 の発明では、前記複数のトランジスタは、n p n トランジスタとp n p トランジスタとを含む。

請求項 5 の発明では、前記金属配線は、前記n p n トランジスタ及び前記p n p トランジスタの各々のコレクタに接続される。

請求項 6 の発明では、前記複数のトランジスタの各々は 3 つの電極を備えており、前記 3 つの電極は、ソース、ドレイン及びゲートである。

請求項 7 の発明では、前記複数のトランジスタの各々は 3 つの電極を備えており、前記 3 つの電極は、ベース、エミッタ及びコレクタである。

請求項 8 の発明では、前記半導体チップは、各々前記半導体チップの周方向に沿って配置され、かつ互いに積層された第 1 の配線層と第 2 の配線層とを含み、前記n M O S トランジスタのソースに接続されている電源配線及び前記p M O S トランジスタのソースに接続されている電源配線が前記第 1 の配線層に形成されており、前記n M O S トランジスタのドレインと前記p M O S トランジスタのドレインに共通に接続されている金属配線が前記第 2 の配線層に形成されている。

【 0 0 1 2 】

(作用)

請求項 1 ~ 8 の発明によれば、各入出力セル領域の複数のトランジスタに電源を供給するための電源配線を第 1 の配線層に設け、各入出力セル領域と対応するパッドとを接続するための金属配線を第 1 の配線層の上方に積層された第 2 の配線層に設けることにより、第 1 の配線層における配線幅を縮小することができる。これにより、半導体チップの周方向に沿った入出力セル領域の幅を小さくすることができ、入出力セル領域の配置ピッチを縮小して多ピン化を図ることが可能になる。

【 0 0 1 3 】

【発明の実施の形態】

[第 1 の実施の形態]

以下、本発明の第 1 の実施の形態を図 1 ~ 図 3 に従って説明する。

【 0 0 1 4 】

図 1 は本形態の半導体装置としてのゲートアレイ 1 0 を示す。ゲートアレイ 1 0 の半導体チップ 1 1 の中央部には内部セル領域 1 2 が形成され、この内部セル領域 1 2 には p M O S トランジスタ及びn M O S トランジスタよりなる公知の基本セルが多数形成されており、一又は複数の基本セルを使用して種々の論理回路が構成される。

【 0 0 1 5 】

半導体チップ 1 1 の周縁寄りには複数の外部パッド 1 4 がチップ 1 1 の周方向に並ぶように所定のピッチをもって配置され、これらの外部パッド 1 4 は図示しないポンディングワイヤ又はバンプによってパッケージの複数の入出力ピンと接続される。なお、パッドピッチはポンディング装置またはプローブ試験を行う試験装置の能力に基づいて決められる最小の値である。

【 0 0 1 6 】

複数の入出力セル領域 1 3 は、複数の外部パッド 1 4 と内部セル領域 1 2 との間において半導体チップ 1 1 の周縁に沿うように形成されている。入出力セル領域 1 3 を使用して出力回路 1 5 が構成される。これらの入出力セル領域 1 3 の上方には低電位電源 (V_{SS}) を供給するための環状の電源配線 3 1 , 3 2 , 3 3 と、高電位電源 (V_{DD}) を供給するための環状の複数の電源配線 3 4 , 3 5 , 3 6 が設けられている。電源配線 3 1 , 3 2 , 3 3 及び電源配線 3 4 , 3 5 , 3 6 は金属配線層第 1 層に設けられている。

【 0 0 1 7 】

図 2 に示すように、入出力セル領域 1 3 は入出力回路を構成するための複数のトランジスタとしてのn M O S トランジスタ 1 6 及びp M O S トランジスタ 1 7 を備えている。本実施の形態ではn M O S トランジスタ 1 6 及びp M O S トランジスタ 1 7 はそれぞれ 4 個ずつ設けられている。

【 0 0 1 8 】

10

20

50

30

40

50

それぞれ4個のnMOSトランジスタ16及びpMOSトランジスタ17は、半導体チップ11の周方向と直交する方向に並ぶように配置されている。各nMOSトランジスタ16はゲート16a、ソース16b及びドレイン16cの3つの電極を備え、これらゲート16a、ソース16b及びドレイン16cは半導体チップ11の周方向と直交する方向に並ぶように設けられている。各pMOSトランジスタ17はゲート17a、ソース17b及びドレイン17cの3つの電極を備え、これらゲート17a、ソース17b及びドレイン17cは半導体チップ11の周方向と直交する方向に並ぶように設けられている。

【0019】

各nMOSトランジスタ16のソース16b上を通過するように前記電源配線31, 32, 33が設けられている。nMOSトランジスタ16のソース16bは図示しない複数のコンタクトによって電源配線31, 32, 33に接続される。nMOSトランジスタ16のドレイン16c上には金属配線層第1層にアルミニウムよりなるドレイン配線20が設けられている。ドレイン配線20は複数のコンタクト21によってドレイン16cに接続されている。

10

【0020】

また、各pMOSトランジスタ17のソース17b上を通過するように前記電源配線34, 35, 36が設けられている。pMOSトランジスタ17のソース17bは図示しない複数のコンタクトによって電源配線34, 35, 36に接続される。pMOSトランジスタ17のドレイン17c上には金属配線層第1層にアルミニウムよりなるドレイン配線23が設けられている。ドレイン配線23は複数のコンタクト24によってドレイン17cに接続されている。

20

【0021】

入出力セル領域13上の金属配線層第2層には、入出力セル領域13の配置方向と直交するように延びるアルミニウム配線26が設けられている。アルミニウム配線26は図示しないコンタクトによって前記外部パッド14に接続される。アルミニウム配線26はコンタクト22によって前記ドレイン配線20に接続されるとともに、コンタクト25によって前記ドレイン配線23に接続されている。従って、各nMOSトランジスタ16及びpMOSトランジスタ17のドレインは、アルミニウム配線26を介して外部パッド14に接続される。

【0022】

30

図3は図2のA-A断面図であり、チップ基板41には1つのp型ウェル42及び1つのn型ウェル43が形成されている。p型ウェル42内にn⁺型のドレイン16b及びソース16cが交互に形成されている。チップ基板41上には絶縁層43が設けられ、ドレイン16b及びソース16c間の上方にはポリシリコンよりなるゲート16aが設けられている。n型ウェル43内にp⁺型のドレイン17b及びソース17cが交互に形成されている。絶縁層43には、ドレイン17b及びソース17c間の上方にポリシリコンよりなるゲート17aが設けられている。さらに、金属配線層第1層には前記電源配線31~33, 34~36が設けられるとともに、ドレイン配線20, 23が設けられている。金属配線層第2層には前記アルミニウム配線26が設けられている。

【0023】

40

本形態はこのように構成されているので、以下の効果がある。

(1) 本形態の入出力セル領域13は、複数のnMOSトランジスタ16及びpMOSトランジスタ17を半導体チップ11の周方向と直交する方向に並ぶように配置するとともに、nMOSトランジスタ16及びpMOSトランジスタ17の3つの電極としてのゲート、ソース及びドレインを半導体チップ11の周方向と直交する方向に並ぶように設けた。そして、nMOSトランジスタ16に低電位電源を供給するための電源配線31~33を金属配線層第1層に設けるとともに、pMOSトランジスタ17に高電位電源を供給するための電源配線34~36を第1層の金属配線層に設け、入出力回路15の出力を外部パッド14に伝達するためのアルミニウム配線26を金属配線層第2層に設けた。そのため、各入出力セル領域13の上方における金属配線層第1層の配線領域の幅を縮小するこ

50

とができ、入出力セル領域 1 3 の配置ピッチを縮小することができる。よって、半導体チップ 1 1 の周方向に配置される入出力セル領域 1 3 の数が増加し、ゲートアレイ 1 0 の多ピン化を図ることができる。

【 0 0 2 4 】

[第 2 の実施の形態]

次に、本発明の第 2 の実施の形態を図 4 , 5 に従って説明する。

図 4 に示すように、入出力セル領域 5 0 は入出力回路を構成するための複数の n M O S トランジスタ 5 1 及び複数の p M O S トランジスタ 5 2 を備えている。本実施の形態では n M O S トランジスタ 5 1 及び p M O S トランジスタ 5 2 は入出力セル領域 5 0 の配置方向 (図 4 において左右方向) 、すなわち、半導体チップの周方向においてそれぞれ 2 列設けられ、入出力セル領域 5 0 の高さ方向 (図 4 において上下方向) にそれぞれ 6 個ずつ設けられている。なお、図 4 において、 M O S トランジスタのゲートが M O S トランジスタとして示されている。

【 0 0 2 5 】

各 n M O S トランジスタ 5 1 はゲート、ソース及びドレインの 3 つの電極を備え、これらゲート、ソース及びドレインは入出力セル領域 5 0 の高さ方向に並ぶように設けられている。各 p M O S トランジスタ 5 2 はゲート、ソース及びドレインの 3 つの電極を備え、これらゲート、ソース及びドレインは入出力セル領域 5 0 の高さ方向に並ぶように設けられている。

【 0 0 2 6 】

各 n M O S トランジスタ 5 1 のソース上を通過するように金属配線層第 1 層に低電位電源 (V_{SS}) を供給するための電源配線 5 3 が設けられている。5 個の n M O S トランジスタ 5 1 のドレイン上には金属配線層第 1 層にアルミニウムよりなるドレイン配線 5 4 が設けられている。ドレイン配線 5 4 は複数のコンタクト (実線で示す) によって対応する n M O S トランジスタ 5 1 のドレインに接続されている。また、上記 5 個の n M O S トランジスタ 5 1 のゲートは金属配線層第 1 層に設けられた信号線 5 7 に接続され、同信号線 5 7 には第 1 の信号線 5 8 を介して第 1 の信号 I N 1 が入力される。第 1 の信号線 5 8 は金属配線層第 2 層に設けられたアルミニウム配線 5 9 , 6 0 と、金属配線層第 1 層に設けられたアルミニウム配線 6 1 とからなる。

【 0 0 2 7 】

各 p M O S トランジスタ 5 2 のソース上を通過するように金属配線層第 1 層に高電位電源 (V_{DD}) を供給するための電源配線 5 5 が設けられている。10 個の p M O S トランジスタ 5 2 のドレイン上には金属配線層第 1 層にアルミニウムよりなるドレイン配線 5 6 が設けられている。ドレイン配線 5 6 は複数のコンタクト (実線で示す) によって対応する p M O S トランジスタ 5 2 のドレインに接続されている。また、上記 10 個の p M O S トランジスタ 5 2 のゲートは金属配線層第 1 層に設けられた信号線 6 2 に接続され、同信号線 6 2 には第 2 の信号線 6 3 を介して第 2 の信号 I N 2 が入力される。第 2 の信号線 6 3 は金属配線層第 2 層に設けられたアルミニウム配線からなる。

【 0 0 2 8 】

入出力セル領域 5 0 において、各列上の金属配線層第 2 層には、入出力セル領域 5 0 の高さ方向に延びるアルミニウム配線 6 4 が設けられている。アルミニウム配線 6 4 は破線で示すコンタクトによって図示しない外部パッドに接続される。アルミニウム配線 6 4 はコンタクト (破線で示す) によって前記ドレイン配線 5 4 , 5 6 に接続されている。従って、各 n M O S トランジスタ 5 1 及び p M O S トランジスタ 5 2 のドレインは、アルミニウム配線 6 4 を介して外部パッドに接続される。

【 0 0 2 9 】

図 5 は図 4 に示す入出力セル領域 5 0 に構成された出力回路の等価回路を示す。なお、5 個の n M O S トランジスタ 5 1 は並列に接続されているため、図 5 においては 5 個の n M O S トランジスタ 5 1 は 1 個にまとめて図示されている。同様に、10 個の p M O S トランジスタ 5 2 は並列に接続されているため、図 5 においては 10 個の p M O S トランジス

10

20

30

40

50

タ 5 2 も 1 個にまとめて図示されている。

【 0 0 3 0 】

本形態においても、前記第 1 の形態と同様の効果があるとともに、入出力セル領域 5 0 内の第 1 及び第 2 の信号線 5 8 , 6 3 はその大部分が金属配線層第 2 層に設けられており、電源配線 5 3 , 5 5 の影響を受けない。

【 0 0 3 1 】

[第 3 の実施の形態]

次に、本発明の第 3 の実施の形態を図 6 , 7 に従って説明する。

図 6 に示すように、入出力セル領域 7 0 は入出力回路を構成するための複数のトランジスタとしての n p n トランジスタ 7 1 及び p n p トランジスタ 7 2 を備えている。 10

【 0 0 3 2 】

n p n トランジスタ 7 1 及び p n p トランジスタ 7 2 は、入出力セル領域 7 0 の高さ方向 (図 6 において上下方向) 、すなわち、半導体チップの周方向と直交する方向に並ぶように配置されている。 n p n トランジスタ 7 1 はベースコンタクト 7 1 a 、エミッタ 7 1 b 及びコレクタコンタクト 7 1 c の 3 つの電極を備える。本形態において、ベースコンタクト 7 1 a は 3 つ、エミッタ 7 1 b は 2 つ、コレクタコンタクト 7 1 c は 2 つ設けられている。ベースコンタクト 7 1 a 、エミッタ 7 1 b 及びコレクタコンタクト 7 1 c は入出力セル領域 7 0 の高さ方向、すなわち、半導体チップの周方向と直交する方向に並ぶように配置されている。

【 0 0 3 3 】

p n p トランジスタ 7 2 はベースコンタクト 7 2 a 、エミッタコンタクト 7 2 b 及びコレクタ 7 2 c の 3 つの電極を備える。本形態において、ベースコンタクト 7 2 a は 3 つ、エミッタコンタクト 7 2 b は 2 つ、コレクタ 7 2 c は 2 つ設けられている。ベースコンタクト 7 2 a 、エミッタコンタクト 7 2 b 及びコレクタ 7 2 c は入出力セル領域 7 0 の高さ方向、すなわち、半導体チップの周方向と直交する方向に並ぶように配置されている。 20

【 0 0 3 4 】

n p n トランジスタ 7 1 のエミッタ 7 1 b 上を通過するように金属配線層第 1 層に低電位電源 (V_{SS}) を供給するための電源配線 7 5 が設けられている。 n p n トランジスタ 7 1 のエミッタ 7 1 b は図示しない複数のコンタクトによって電源配線 7 5 に接続される。 2 つのコレクタコンタクト 7 1 c の上方には金属配線層第 1 層にアルミニウムよりなるコレクタ配線 7 6 が設けられている。コレクタ配線 7 6 は複数のコンタクト 7 8 によってコレクタコンタクト 7 1 c に接続されている。 3 つのベースコンタクト 7 1 a の上方には金属配線層第 1 層にアルミニウムよりなるベース配線 7 7 が設けられている。 n p n トランジスタ 7 1 のベースコンタクト 7 1 a は図示しない複数のコンタクトによってベース配線 7 7 に接続される。 30

【 0 0 3 5 】

p n p トランジスタ 7 2 のエミッタコンタクト 7 2 b 上を通過するように金属配線層第 1 層に高電位電源 (V_{DD}) を供給するための電源配線 8 0 が設けられている。 p n p トランジスタ 7 2 のエミッタコンタクト 7 2 b は図示しない複数のコンタクトによって電源配線 8 0 に接続される。 2 つのコレクタ 7 2 c の上方には金属配線層第 1 層にアルミニウムよりなるコレクタ配線 8 1 が設けられている。コレクタ配線 8 1 は複数のコンタクト 8 3 によってコレクタ 7 2 c に接続されている。 3 つのベースコンタクト 7 2 a の上方には金属配線層第 1 層にアルミニウムよりなるベース配線 8 2 が設けられている。 p n p トランジスタ 7 2 のベースコンタクト 7 2 a は図示しない複数のコンタクトによってベース配線 8 2 に接続される。 40

【 0 0 3 6 】

入出力セル領域 7 0 上の金属配線層第 2 層には、入出力セル領域 7 0 の配置方向と直交するように延びるアルミニウム配線 8 5 が設けられている。アルミニウム配線 8 5 は図示しないコンタクトによって外部パッド 8 6 に接続される。アルミニウム配線 8 5 はコンタクト 7 9 によって前記コレクタ配線 7 6 に接続されるとともに、コンタクト 8 4 によって前

記コレクタ配線 8 1 に接続されている。従って、n p n トランジスタ 7 1 のコレクタ及び p n p トランジスタ 7 2 のコレクタは、アルミニウム配線 8 5 を介して外部パッド 8 6 に接続される。

【0037】

図 7 は図 6 の B - B 断面図であり、チップ基板 9 1 には n 型のコレクタ領域 9 2 内に p 型のベース領域 9 3 が形成されている。コレクタ領域 9 2 には n⁺ 型の 2 つのコレクタコンタクト 7 1 c が形成されている。ベース領域 9 3 内に p⁺ 型の 3 つのベースコンタクト 7 1 a と n⁺ 型のエミッタ 7 1 b とが交互に形成されている。また、チップ基板 9 1 には p 型のエミッタ領域 9 4 内に n 型のベース領域 9 5 が形成されている。エミッタ領域 9 4 には p⁺ 型の 2 つのエミッタコンタクト 7 2 b が形成されている。ベース領域 9 5 内に n⁺ 型の 3 つのベースコンタクト 7 2 a と p⁺ 型のコレクタ 7 2 c とが交互に形成されている。

10

【0038】

チップ基板 9 1 上には絶縁層 9 6 が設けられている。絶縁層 9 6 には、金属配線層第 1 層には前記電源配線 7 5 、コレクタ配線 7 6 、ベース配線 7 7 、電源配線 8 0 、コレクタ配線 8 1 及びベース配線 8 2 が設けられている。金属配線層第 2 層には前記アルミニウム配線 8 5 が設けられている。

【0039】

本形態はこのように構成されているので、以下の効果がある。

(1) 本形態の入出力セル領域 7 3 は、n p n トランジスタ 7 1 及び p n p トランジスタ 7 2 を半導体チップの周方向と直交する方向に並ぶように配置するとともに、n p n トランジスタ 7 1 及び p n p トランジスタ 7 2 の 3 つの電極としてのベース、エミッタ及びコレクタを半導体チップの周方向と直交する方向に並ぶように設けた。そして、n p n トランジスタ 7 1 に低電位電源を供給するための電源配線 7 5 を金属配線層第 1 層に設けるとともに、p n p トランジスタ 7 2 に高電位電源を供給するための電源配線 8 0 を第 1 層の金属配線層に設け、入出力回路の出力を外部パッド 8 6 に伝達するためのアルミニウム配線 8 5 を金属配線層第 2 層に設けた。そのため、入出力セル領域 7 0 の上方における金属配線層第 1 層の配線領域の幅を縮小することができ、入出力セル領域 7 0 の配置ピッチを縮小することができる。よって、半導体チップの周方向に配置される入出力セル領域 7 0 の数が増加し、ゲートアレイの多ピン化を図ることができる。

20

【0040】

なお、本発明は次のように任意に変更して具体化することも可能である。

(1) p MOS トランジスタ又は n MOS トランジスタのみを備えた MOS トランジスタ構成の入出力セル領域を備えた半導体装置に具体化してもよい。この場合にも、上記各実施の形態と同様の効果がある。

【0041】

(2) p n p トランジスタ又は n p n トランジスタのみを備えたバイポーラトランジスタ構成の入出力セル領域を備えた半導体装置に具体化してもよい。この場合にも、上記各実施の形態と同様の効果がある。

【0042】

(3) 上記各形態では半導体装置としてのゲートアレイ 1 0 に具体化したが、複数の入出力セル領域が半導体チップの周縁に沿うように配置される形態の他のすべての半導体装置に具体化してもよい。

30

【0043】

【発明の効果】

以上詳述したように、本発明は、金属配線層第 1 層の配線領域の面積を縮小し、入出力セル領域の配置ピッチを縮小して、多ピン化を図ることができる。

【図面の簡単な説明】

【図 1】第 1 の実施の形態の半導体装置を示すレイアウト図

【図 2】第 1 の実施の形態の入出力セル領域の一例を示す平面図

50

【図3】図2のA-A線における断面図

【図4】第2の実施の形態の入出力セル領域の平面図

【図5】図4の出力回路の回路図

【図6】第3の実施の形態の入出力セル領域を示す平面図

【図7】図6のB-B線における断面図

【図8】従来の入出力セル領域を示す平面図

【符号の説明】

13, 50, 70 入出力セル領域

15 入出力回路

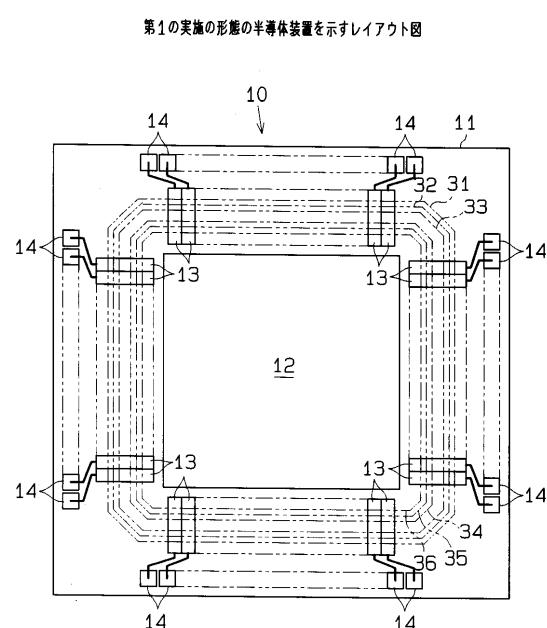
16, 51 nMOSトランジスタ 10

17, 52 pMOSトランジスタ

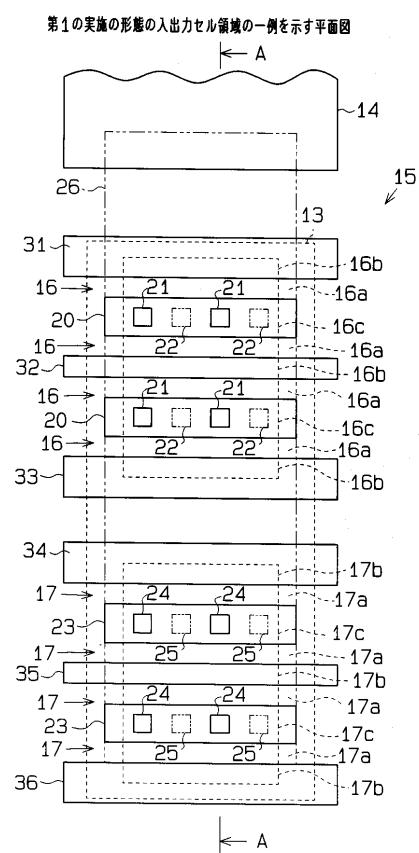
71 n p nトランジスタ

72 p n pトランジスタ

【図1】



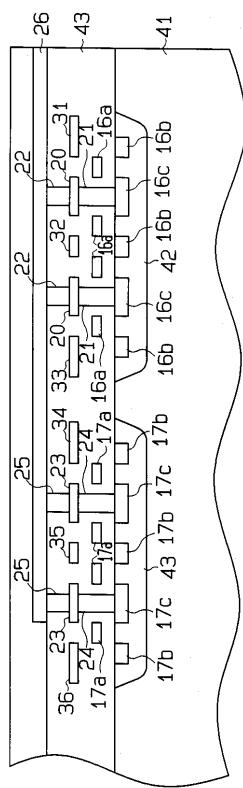
【図2】



【 図 3 】

【 図 4 】

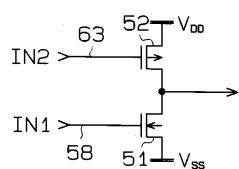
図2のA-A'線における断面図



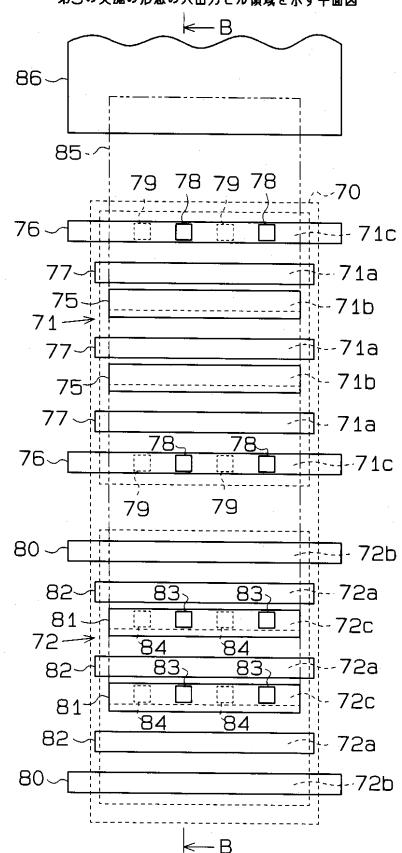
〔 5 〕

〔 6 〕

図4の出力回路の回路図



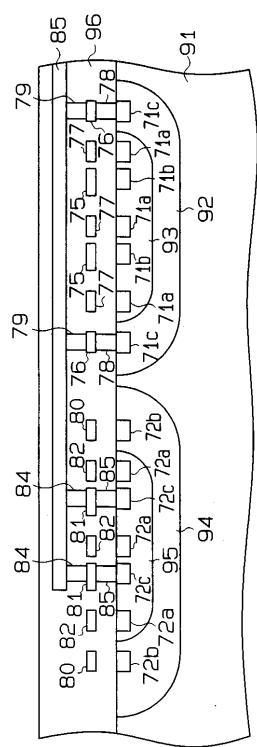
第3の実施の形態の入出力セル領域を示す平面図



【 図 7 】

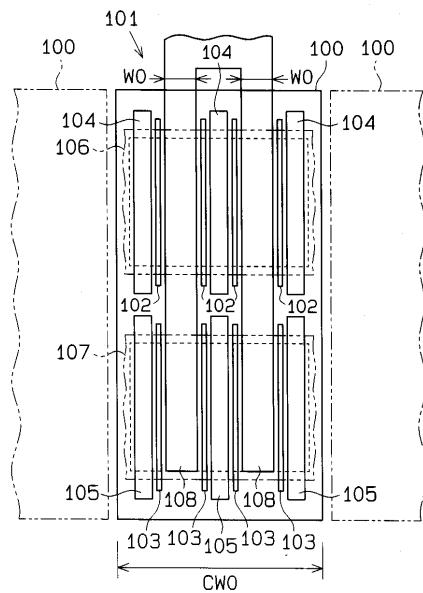
【 四 8 】

図6のB-B線における断面図



【 四 8 】

従来の入出力セル領域を示す平面図



フロントページの続き

(51)Int.Cl. F I
H01L 27/04 (2006.01)

(56)参考文献 特開平01-293647 (JP, A)
特開平05-259392 (JP, A)
特開昭63-086477 (JP, A)
特開昭62-094958 (JP, A)
特開平04-102370 (JP, A)
特開平02-047851 (JP, A)
特開平02-010854 (JP, A)
特開平08-213471 (JP, A)
特開平07-130863 (JP, A)
特開平06-163693 (JP, A)
特開平02-113549 (JP, A)
特開平07-099293 (JP, A)
特開平03-069141 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82
H01L 21/28
H01L 21/3205
H01L 21/822
H01L 23/52
H01L 27/04