

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3962441号  
(P3962441)

(45) 発行日 平成19年8月22日(2007.8.22)

(24) 登録日 平成19年5月25日(2007.5.25)

(51) Int. Cl.	F I	
HO 1 L 21/82 (2006.01)	HO 1 L 21/82	P
HO 1 L 21/28 (2006.01)	HO 1 L 21/28	Z
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88	A
HO 1 L 23/52 (2006.01)	HO 1 L 27/04	H
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	D
請求項の数 8 (全 12 頁) 最終頁に続く		

(21) 出願番号	特願平8-251765	(73) 特許権者	000005223
(22) 出願日	平成8年9月24日(1996.9.24)		富士通株式会社
(65) 公開番号	特開平10-98108		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成10年4月14日(1998.4.14)	(74) 代理人	100068755
審査請求日	平成15年6月30日(2003.6.30)		弁理士 恩田 博宣
		(72) 発明者	渡邊 正寿
			愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
		審査官	大嶋 洋一
		最終頁に続く	

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体チップの外周に沿って配置された複数のパッドと、  
 前記複数のパッドに対応し、前記半導体チップの周方向に並ぶように配置された複数の入出力セル領域と、  
 を備えた半導体装置において、  
 前記複数の入出力セル領域の各々は、前記半導体チップの周方向と直交する方向に並ぶように配置された複数のトランジスタを含み、  
 前記複数のトランジスタの各々に電源を供給するための電源配線を前記半導体チップの周方向に沿って第1の配線層に設け、  
 前記複数のトランジスタを該複数のトランジスタを含む前記入出力セル領域に対応する前記パッドに接続するための金属配線を前記第1の配線層の上方に積層された第2の配線層に設けた、  
 ことを特徴とする半導体装置。

【請求項2】

前記複数のトランジスタは、n MOS トランジスタと p MOS トランジスタとを含む、  
 ことを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記金属配線は、前記 n MOS トランジスタ及び前記 p MOS トランジスタの各々のドレインに接続される、

ことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記複数のトランジスタは、n p n トランジスタと p n p トランジスタとを含む、  
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記金属配線は、前記 n p n トランジスタ及び前記 p n p トランジスタの各々のコレクタに接続される、

ことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記複数のトランジスタの各々は 3 つの電極を備えており、  
前記 3 つの電極は、ソース、ドレイン及びゲートである、  
ことを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 7】

前記複数のトランジスタの各々は 3 つの電極を備えており、  
前記 3 つの電極は、ベース、エミッタ及びコレクタである、  
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記半導体チップは、各々前記半導体チップの周方向に沿って配置され、かつ互いに積層された第 1 の配線層と第 2 の配線層とを含み、

前記 n M O S トランジスタのソースに接続されている電源配線及び前記 p M O S トランジスタのソースに接続されている電源配線が前記第 1 の配線層に形成されており、

20

前記 n M O S トランジスタのドレインと前記 p M O S トランジスタのドレインに共通に接続されている金属配線が前記第 2 の配線層に形成されている、

ことを特徴とする請求項 2 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置（ＩＣ）に係り、より詳しくは入出力セル領域に関する。

近年の半導体装置は、製造プロセス技術の進歩により高集積化が進み、半導体チップに構成できる回路の増加に応じて外部ピンの増加が要求されている。半導体装置の多ピン化を図るためには、半導体チップの周縁に沿うように配置される入出力用の外部パッドの配置ピッチを短縮することが必要である。これと同時に、外部パッドの内側において半導体チップの周縁に沿うように配置される入出力回路を構成するための入出力セル領域の幅、すなわち、入出力セル領域の配置方向における長さを短縮することが必要である。

30

【0002】

【従来の技術】

ＩＣの 1 つの形態としてゲートアレイがある。図 8 は従来の C M O S ゲートアレイの入出力セル領域 100 を使用して構成された出力回路 101 を示す。入出力セル領域 100 は 4 個の n M O S トランジスタ 102 及び 4 個の p M O S トランジスタ 103 を備えている。M O S トランジスタのゲートが n M O S トランジスタ 102 及び p M O S トランジスタ 103 として示されている。

40

【0003】

4 つの n M O S トランジスタ 102 の 3 つの電極であるゲート、ソース及びドレインは入出力セル領域 100 の幅方向、すなわち、複数の入出力セル領域 100 の配置方向に並ぶように配置され、4 個の p M O S トランジスタ 103 の 3 つの電極であるゲート、ソース及びドレインも入出力セル領域 100 の幅方向に並ぶように配置されている。4 個の n M O S トランジスタ 102 及び 4 個の p M O S トランジスタ 103 は入出力セル領域 100 の高さ方向、すなわち、入出力セル領域 100 の配置方向と直交する方向に配置されており、4 個の n M O S トランジスタ 102 及び 4 個の p M O S トランジスタ 103 はそれぞれ対応している。

50

## 【 0 0 0 4 】

各 n M O S トランジスタ 1 0 2 のソース上には入出力セル領域 1 0 0 の配置方向と直交する方向に金属配線層第 1 層のアルミニウム配線 1 0 4 が設けられている。アルミニウム配線 1 0 4 は、入出力セル領域 1 0 0 の配置方向に延びかつ低電位電源 ( $V_{SS}$ ) を供給するための金属配線層第 2 層のアルミニウム電源配線 1 0 6 に接続されている。各 p M O S トランジスタ 1 0 3 のソース上には入出力セル領域 1 0 0 の配置方向と直交する方向に金属配線層第 1 層のアルミニウム配線 1 0 5 が設けられている。アルミニウム配線 1 0 5 は入出力セル領域 1 0 0 の配置方向に延びかつ高電位電源 ( $V_{DD}$ ) を供給するための金属配線層第 2 層のアルミニウム電源配線 1 0 7 に接続されている。それぞれ対応する n M O S トランジスタ 1 0 2 及び p M O S トランジスタ 1 0 3 のドレインは、入出力セル領域 1 0 0 の配置方向と直交する方向に延びる金属配線層第 1 層のアルミニウム配線 1 0 8 を介して図示しない外部パッドに接続されている。

10

## 【 0 0 0 5 】

## 【 発明が解決しようとする課題 】

ところが、上記の入出力セル領域 1 0 0 では、n M O S トランジスタ 1 0 2 のソースに低電位電源を供給するアルミニウム配線 1 0 4、p M O S トランジスタ 1 0 3 のソースに高電位電源を供給するアルミニウム配線 1 0 5、対応する n M O S トランジスタ 1 0 2 及び p M O S トランジスタ 1 0 3 のドレインを外部パッドに接続するためのアルミニウム配線 1 0 8 は、金属配線層第 1 層に設けられている。そのため、金属配線層第 1 層は、アルミニウム配線 1 0 4、1 0 5、1 0 8 や、ゲートコンタクト用の配線で混雑する。

20

## 【 0 0 0 6 】

また、対応する n M O S トランジスタ 1 0 2 及び p M O S トランジスタ 1 0 3 のドレインを外部パッドに接続するためのアルミニウム配線 1 0 8 はソース上のアルミニウム配線に接触しないように避けて設ける必要があるとともに、エレクトロマイグレーション耐性を向上するためにアルミニウム配線 1 0 8 の幅  $W_0$  を太くする必要がある。そのため、入出力セル領域 1 0 0 の幅  $CW_0$  は、第 1 層のアルミニウム配線 1 0 4、1 0 5、1 0 8 の配線領域を確保するために大きくなっていった。

## 【 0 0 0 7 】

その結果、1 つの入出力セル領域 1 0 0 当たりの配置ピッチを短縮することができず、この配置ピッチはパッドピッチに対して大きくなり、多ピン化の妨げとなっていた。

30

## 【 0 0 0 8 】

本発明は上記問題点を解決するためになされたものであって、その目的は、金属配線層第 1 層の配線領域の面積を縮小し、入出力セル領域の配置ピッチを縮小して、多ピン化を図ることができる半導体装置を提供することにある。

## 【 0 0 0 9 】

## 【 課題を解決するための手段 】

上記の目的を達成するため、請求項 1 の発明では、半導体チップの外周に沿って配置された複数のパッドと、前記複数のパッドに対応し、前記半導体チップの周方向に並ぶように配置された複数の入出力セル領域と、を備えた半導体装置において、前記複数の入出力セル領域の各々は、前記半導体チップの周方向と直交する方向に並ぶように配置された複数のトランジスタを含み、前記複数のトランジスタの各々に電源を供給するための電源配線を前記半導体チップの周方向に沿って第 1 の配線層に設け、前記複数のトランジスタを該複数のトランジスタを含む前記入出力セル領域に対応する前記パッドに接続するための金属配線を前記第 1 の配線層の上方に積層された第 2 の配線層に設けた。

40

## 【 0 0 1 0 】

請求項 2 の発明では、前記複数のトランジスタは、n M O S トランジスタと p M O S トランジスタとを含む。

請求項 3 の発明では、前記金属配線は、前記 n M O S トランジスタ及び前記 p M O S トランジスタの各々のドレインに接続される。

## 【 0 0 1 1 】

50

請求項 4 の発明では、前記複数のトランジスタは、n p n トランジスタと p n p トランジスタとを含む。

請求項 5 の発明では、前記金属配線は、前記 n p n トランジスタ及び前記 p n p トランジスタの各々のコレクタに接続される。

請求項 6 の発明では、前記複数のトランジスタの各々は 3 つの電極を備えており、前記 3 つの電極は、ソース、ドレイン及びゲートである。

請求項 7 の発明では、前記複数のトランジスタの各々は 3 つの電極を備えており、前記 3 つの電極は、ベース、エミッタ及びコレクタである。

請求項 8 の発明では、前記半導体チップは、各々前記半導体チップの周方向に沿って配置され、かつ互いに積層された第 1 の配線層と第 2 の配線層とを含み、前記 n M O S トランジスタのソースに接続されている電源配線及び前記 p M O S トランジスタのソースに接続されている電源配線が前記第 1 の配線層に形成されており、前記 n M O S トランジスタのドレインと前記 p M O S トランジスタのドレインに共通に接続されている金属配線が前記第 2 の配線層に形成されている。

10

【 0 0 1 2 】

( 作用 )

請求項 1 ~ 8 の発明によれば、各入出力セル領域の複数のトランジスタに電源を供給するための電源配線を第 1 の配線層に設け、各入出力セル領域と対応するパッドとを接続するための金属配線を第 1 の配線層の上方に積層された第 2 の配線層に設けることにより、第 1 の配線層における配線幅を縮小することができる。これにより、半導体チップの周方向に沿った入出力セル領域の幅を小さくすることができ、入出力セル領域の配置ピッチを縮小して多ピン化を図ることが可能になる。

20

【 0 0 1 3 】

【 発明の実施の形態 】

[ 第 1 の実施の形態 ]

以下、本発明の第 1 の実施の形態を図 1 ~ 図 3 に従って説明する。

【 0 0 1 4 】

図 1 は本形態の半導体装置としてのゲートアレイ 1 0 を示す。ゲートアレイ 1 0 の半導体チップ 1 1 の中央部には内部セル領域 1 2 が形成され、この内部セル領域 1 2 には p M O S トランジスタ及び n M O S トランジスタよりなる公知の基本セルが多数形成されており、一又は複数の基本セルを使用して種々の論理回路が構成される。

30

【 0 0 1 5 】

半導体チップ 1 1 の周縁寄りには複数の外部パッド 1 4 がチップ 1 1 の周方向に並ぶように所定のピッチをもって配置され、これらの外部パッド 1 4 は図示しないボンディングワイヤ又は bumps によってパッケージの複数の入出力ピンと接続される。なお、パッドピッチはボンディング装置またはプローブ試験を行う試験装置の能力に基づいて決められる最小の値である。

【 0 0 1 6 】

複数の入出力セル領域 1 3 は、複数の外部パッド 1 4 と内部セル領域 1 2 との間において半導体チップ 1 1 の周縁に沿うように形成されている。入出力セル領域 1 3 を使用して出力回路 1 5 が構成される。これらの入出力セル領域 1 3 の上方には低電位電源 (  $V_{SS}$  ) を供給するための環状の電源配線 3 1 , 3 2 , 3 3 と、高電位電源 (  $V_{DD}$  ) を供給するための環状の複数の電源配線 3 4 , 3 5 , 3 6 が設けられている。電源配線 3 1 , 3 2 , 3 3 及び電源配線 3 4 , 3 5 , 3 6 は金属配線層第 1 層に設けられている。

40

【 0 0 1 7 】

図 2 に示すように、入出力セル領域 1 3 は入出力回路を構成するための複数のトランジスタとしての n M O S トランジスタ 1 6 及び p M O S トランジスタ 1 7 を備えている。本実施の形態では n M O S トランジスタ 1 6 及び p M O S トランジスタ 1 7 はそれぞれ 4 個ずつ設けられている。

【 0 0 1 8 】

50

それぞれ4個のnMOSトランジスタ16及びpMOSトランジスタ17は、半導体チップ11の周方向と直交する方向に並ぶように配置されている。各nMOSトランジスタ16はゲート16a、ソース16b及びドレイン16cの3つの電極を備え、これらゲート16a、ソース16b及びドレイン16cは半導体チップ11の周方向と直交する方向に並ぶように設けられている。各pMOSトランジスタ17はゲート17a、ソース17b及びドレイン17cの3つの電極を備え、これらゲート17a、ソース17b及びドレイン17cは半導体チップ11の周方向と直交する方向に並ぶように設けられている。

#### 【0019】

各nMOSトランジスタ16のソース16b上を通過するように前記電源配線31, 32, 33が設けられている。nMOSトランジスタ16のソース16bは図示しない複数のコンタクトによって電源配線31, 32, 33に接続される。nMOSトランジスタ16のドレイン16c上には金属配線層第1層にアルミニウムよりなるドレイン配線20が設けられている。ドレイン配線20は複数のコンタクト21によってドレイン16cに接続されている。

10

#### 【0020】

また、各pMOSトランジスタ17のソース17b上を通過するように前記電源配線34, 35, 36が設けられている。pMOSトランジスタ17のソース17bは図示しない複数のコンタクトによって電源配線34, 35, 36に接続される。pMOSトランジスタ17のドレイン17c上には金属配線層第1層にアルミニウムよりなるドレイン配線23が設けられている。ドレイン配線23は複数のコンタクト24によってドレイン17cに接続されている。

20

#### 【0021】

入出力セル領域13上の金属配線層第2層には、入出力セル領域13の配置方向と直交するように延びるアルミニウム配線26が設けられている。アルミニウム配線26は図示しないコンタクトによって前記外部パッド14に接続される。アルミニウム配線26はコンタクト22によって前記ドレイン配線20に接続されるとともに、コンタクト25によって前記ドレイン配線23に接続されている。従って、各nMOSトランジスタ16及びpMOSトランジスタ17のドレインは、アルミニウム配線26を介して外部パッド14に接続される。

#### 【0022】

図3は図2のA-A断面図であり、チップ基板41には1つのp型ウェル42及び1つのn型ウェル43が形成されている。p型ウェル42内にn<sup>+</sup>型のドレイン16b及びソース16cが交互に形成されている。チップ基板41上には絶縁層43が設けられ、ドレイン16b及びソース16c間の上方にはポリシリコンよりなるゲート16aが設けられている。n型ウェル43内にp<sup>+</sup>型のドレイン17b及びソース17cが交互に形成されている。絶縁層43には、ドレイン17b及びソース17c間の上方にポリシリコンよりなるゲート17aが設けられている。さらに、金属配線層第1層には前記電源配線31~33, 34~36が設けられるとともに、ドレイン配線20, 23が設けられている。金属配線層第2層には前記アルミニウム配線26が設けられている。

30

#### 【0023】

本形態はこのように構成されているので、以下の効果がある。

40

(1) 本形態の入出力セル領域13は、複数のnMOSトランジスタ16及びpMOSトランジスタ17を半導体チップ11の周方向と直交する方向に並ぶように配置するとともに、nMOSトランジスタ16及びpMOSトランジスタ17の3つの電極としてのゲート、ソース及びドレインを半導体チップ11の周方向と直交する方向に並ぶように設けた。そして、nMOSトランジスタ16に低電位電源を供給するための電源配線31~33を金属配線層第1層に設けるとともに、pMOSトランジスタ17に高電位電源を供給するための電源配線34~36を第1層の金属配線層に設け、入出力回路15の出力を外部パッド14に伝達するためのアルミニウム配線26を金属配線層第2層に設けた。そのため、各入出力セル領域13の上方における金属配線層第1層の配線領域の幅を縮小するこ

50

とができ、入出力セル領域 13 の配置ピッチを縮小することができる。よって、半導体チップ 11 の周方向に配置される入出力セル領域 13 の数が増加し、ゲートアレイ 10 の多ピン化を図ることができる。

【0024】

[第2の実施の形態]

次に、本発明の第2の実施の形態を図4, 5に従って説明する。

図4に示すように、入出力セル領域50は入出力回路を構成するための複数のnMOSトランジスタ51及び複数のpMOSトランジスタ52を備えている。本実施の形態ではnMOSトランジスタ51及びpMOSトランジスタ52は入出力セル領域50の配置方向(図4において左右方向)、すなわち、半導体チップの周方向においてそれぞれ2列設けられ、入出力セル領域50の高さ方向(図4において上下方向)にそれぞれ6個ずつ設けられている。なお、図4において、MOSトランジスタのゲートがMOSトランジスタとして示されている。

10

【0025】

各nMOSトランジスタ51はゲート、ソース及びドレインの3つの電極を備え、これらゲート、ソース及びドレインは入出力セル領域50の高さ方向に並ぶように設けられている。各pMOSトランジスタ52はゲート、ソース及びドレインの3つの電極を備え、これらゲート、ソース及びドレインは入出力セル領域50の高さ方向に並ぶように設けられている。

【0026】

各nMOSトランジスタ51のソース上を通過するように金属配線層第1層に低電位電源( $V_{SS}$ )を供給するための電源配線53が設けられている。5個のnMOSトランジスタ51のドレイン上には金属配線層第1層にアルミニウムよりなるドレイン配線54が設けられている。ドレイン配線54は複数のコンタクト(実線で示す)によって対応するnMOSトランジスタ51のドレインに接続されている。また、上記5個のnMOSトランジスタ51のゲートは金属配線層第1層に設けられた信号線57に接続され、同信号線57には第1の信号線58を介して第1の信号IN1が入力される。第1の信号線58は金属配線層第2層に設けられたアルミニウム配線59, 60と、金属配線層第1層に設けられたアルミニウム配線61とからなる。

20

【0027】

各pMOSトランジスタ52のソース上を通過するように金属配線層第1層に高電位電源( $V_{DD}$ )を供給するための電源配線55が設けられている。10個のpMOSトランジスタ52のドレイン上には金属配線層第1層にアルミニウムよりなるドレイン配線56が設けられている。ドレイン配線56は複数のコンタクト(実線で示す)によって対応するpMOSトランジスタ52のドレインに接続されている。また、上記10個のpMOSトランジスタ52のゲートは金属配線層第1層に設けられた信号線62に接続され、同信号線62には第2の信号線63を介して第2の信号IN2が入力される。第2の信号線63は金属配線層第2層に設けられたアルミニウム配線からなる。

30

【0028】

入出力セル領域50において、各列上の金属配線層第2層には、入出力セル領域50の高さ方向に延びるアルミニウム配線64が設けられている。アルミニウム配線64は破線で示すコンタクトによって図示しない外部パッドに接続される。アルミニウム配線64はコンタクト(破線で示す)によって前記ドレイン配線54, 56に接続されている。従って、各nMOSトランジスタ51及びpMOSトランジスタ52のドレインは、アルミニウム配線64を介して外部パッドに接続される。

40

【0029】

図5は図4に示す入出力セル領域50に構成された出力回路の等価回路を示す。なお、5個のnMOSトランジスタ51は並列に接続されているため、図5においては5個のnMOSトランジスタ51は1個にまとめて図示されている。同様に、10個のpMOSトランジスタ52は並列に接続されているため、図5においては10個のpMOSトランジスタ

50

タ52も1個にまとめて図示されている。

【0030】

本形態においても、前記第1の形態と同様の効果があるとともに、入出力セル領域50内の第1及び第2の信号線58, 63はその大部分が金属配線層第2層に設けられており、電源配線53, 55の影響を受けない。

【0031】

[第3の実施の形態]

次に、本発明の第3の実施の形態を図6, 7に従って説明する。

図6に示すように、入出力セル領域70は入出力回路を構成するための複数のトランジスタとしてのnpnトランジスタ71及びpnpトランジスタ72を備えている。

10

【0032】

npnトランジスタ71及びpnpトランジスタ72は、入出力セル領域70の高さ方向(図6において上下方向)、すなわち、半導体チップの周方向と直交する方向に並ぶように配置されている。npnトランジスタ71はベースコンタクト71a、エミッタ71b及びコレクタコンタクト71cの3つの電極を備える。本形態において、ベースコンタクト71aは3つ、エミッタ71bは2つ、コレクタコンタクト71cは2つ設けられている。ベースコンタクト71a、エミッタ71b及びコレクタコンタクト71cは入出力セル領域70の高さ方向、すなわち、半導体チップの周方向と直交する方向に並ぶように配置されている。

【0033】

pnpトランジスタ72はベースコンタクト72a、エミッタコンタクト72b及びコレクタ72cの3つの電極を備える。本形態において、ベースコンタクト72aは3つ、エミッタコンタクト72bは2つ、コレクタ72cは2つ設けられている。ベースコンタクト72a、エミッタコンタクト72b及びコレクタ72cは入出力セル領域70の高さ方向、すなわち、半導体チップの周方向と直交する方向に並ぶように配置されている。

20

【0034】

npnトランジスタ71のエミッタ71b上を通過するように金属配線層第1層に低電位電源( $V_{SS}$ )を供給するための電源配線75が設けられている。npnトランジスタ71のエミッタ71bは図示しない複数のコンタクトによって電源配線75に接続される。2つのコレクタコンタクト71cの上方には金属配線層第1層にアルミニウムよりなるコレクタ配線76が設けられている。コレクタ配線76は複数のコンタクト78によってコレクタコンタクト71cに接続されている。3つのベースコンタクト71aの上方には金属配線層第1層にアルミニウムよりなるベース配線77が設けられている。npnトランジスタ71のベースコンタクト71aは図示しない複数のコンタクトによってベース配線77に接続される。

30

【0035】

pnpトランジスタ72のエミッタコンタクト72b上を通過するように金属配線層第1層に高電位電源( $V_{DD}$ )を供給するための電源配線80が設けられている。pnpトランジスタ72のエミッタコンタクト72bは図示しない複数のコンタクトによって電源配線80に接続される。2つのコレクタ72cの上方には金属配線層第1層にアルミニウムよりなるコレクタ配線81が設けられている。コレクタ配線81は複数のコンタクト83によってコレクタ72cに接続されている。3つのベースコンタクト72aの上方には金属配線層第1層にアルミニウムよりなるベース配線82が設けられている。pnpトランジスタ72のベースコンタクト72aは図示しない複数のコンタクトによってベース配線82に接続される。

40

【0036】

入出力セル領域70上の金属配線層第2層には、入出力セル領域70の配置方向と直交するように延びるアルミニウム配線85が設けられている。アルミニウム配線85は図示しないコンタクトによって外部パッド86に接続される。アルミニウム配線85はコンタクト79によって前記コレクタ配線76に接続されるとともに、コンタクト84によって前

50

記コレクタ配線 8 1 に接続されている。従って、n p n トランジスタ 7 1 のコレクタ及び p n p トランジスタ 7 2 のコレクタは、アルミニウム配線 8 5 を介して外部パッド 8 6 に接続される。

【 0 0 3 7 】

図 7 は図 6 の B - B 断面図であり、チップ基板 9 1 には n 型のコレクタ領域 9 2 内に p 型のベース領域 9 3 が形成されている。コレクタ領域 9 2 には n<sup>+</sup> 型の 2 つのコレクタコンタクト 7 1 c が形成されている。ベース領域 9 3 内に p<sup>+</sup> 型の 3 つのベースコンタクト 7 1 a と n<sup>+</sup> 型のエミッタ 7 1 b とが交互に形成されている。また、チップ基板 9 1 には p 型のエミッタ領域 9 4 内に n 型のベース領域 9 5 が形成されている。エミッタ領域 9 4 には p<sup>+</sup> 型の 2 つのエミッタコンタクト 7 2 b が形成されている。ベース領域 9 5 内に n<sup>+</sup> 型の 3 つのベースコンタクト 7 2 a と p<sup>+</sup> 型のコレクタ 7 2 c とが交互に形成されている。

10

【 0 0 3 8 】

チップ基板 9 1 上には絶縁層 9 6 が設けられている。絶縁層 9 6 には、金属配線層第 1 層には前記電源配線 7 5、コレクタ配線 7 6、ベース配線 7 7、電源配線 8 0、コレクタ配線 8 1 及びベース配線 8 2 が設けられている。金属配線層第 2 層には前記アルミニウム配線 8 5 が設けられている。

【 0 0 3 9 】

本形態はこのように構成されているので、以下の効果がある。

( 1 ) 本形態の入出力セル領域 7 3 は、n p n トランジスタ 7 1 及び p n p トランジスタ 7 2 を半導体チップの周方向と直交する方向に並ぶように配置するとともに、n p n トランジスタ 7 1 及び p n p トランジスタ 7 2 の 3 つの電極としてのベース、エミッタ及びコレクタを半導体チップの周方向と直交する方向に並ぶように設けた。そして、n p n トランジスタ 7 1 に低電位電源を供給するための電源配線 7 5 を金属配線層第 1 層に設けるとともに、p n p トランジスタ 7 2 に高電位電源を供給するための電源配線 8 0 を第 1 層の金属配線層に設け、入出力回路の出力を外部パッド 8 6 に伝達するためのアルミニウム配線 8 5 を金属配線層第 2 層に設けた。そのため、入出力セル領域 7 0 の上方における金属配線層第 1 層の配線領域の幅を縮小することができ、入出力セル領域 7 0 の配置ピッチを縮小することができる。よって、半導体チップの周方向に配置される入出力セル領域 7 0 の数が増加し、ゲートアレイの多ピン化を図ることができる。

20

30

【 0 0 4 0 】

なお、本発明は次のように任意に変更して具体化することも可能である。

( 1 ) p M O S トランジスタ又は n M O S トランジスタのみを備えた M O S トランジスタ構成の入出力セル領域を備えた半導体装置に具体化してもよい。この場合にも、上記各実施の形態と同様の効果がある。

【 0 0 4 1 】

( 2 ) p n p トランジスタ又は n p n トランジスタのみを備えたバイポーラトランジスタ構成の入出力セル領域を備えた半導体装置に具体化してもよい。この場合にも、上記各実施の形態と同様の効果がある。

【 0 0 4 2 】

( 3 ) 上記各形態では半導体装置としてのゲートアレイ 1 0 に具体化した但、複数の入出力セル領域が半導体チップの周縁に沿うように配置される形態の他のすべての半導体装置に具体化してもよい。

40

【 0 0 4 3 】

【発明の効果】

以上詳述したように、本発明は、金属配線層第 1 層の配線領域の面積を縮小し、入出力セル領域の配置ピッチを縮小して、多ピン化を図ることができる。

【図面の簡単な説明】

【図 1】第 1 の実施の形態の半導体装置を示すレイアウト図

【図 2】第 1 の実施の形態の入出力セル領域の一例を示す平面図

50



【図 3】図 2 の A - A 線における断面図

【図 4】第 2 の実施の形態の入出力セル領域の平面図

【図 5】図 4 の出力回路の回路図

【図 6】第 3 の実施の形態の入出力セル領域を示す平面図

【図 7】図 6 の B - B 線における断面図

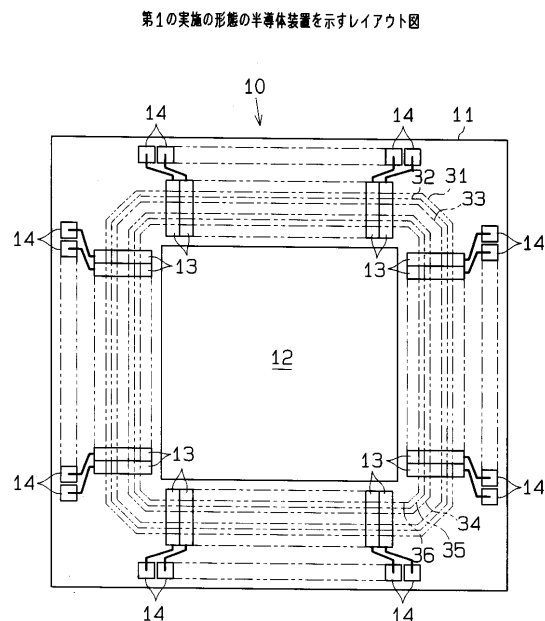
【図 8】従来の入出力セル領域を示す平面図

【符号の説明】

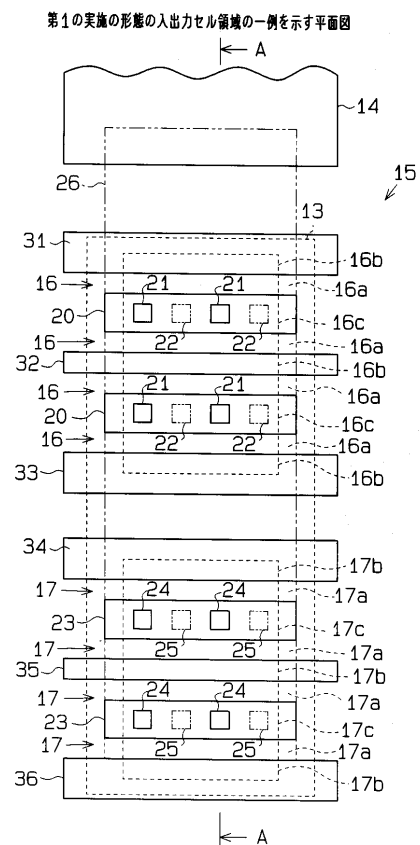
- 13, 50, 70 入出力セル領域  
 15 入出力回路  
 16, 51 nMOSトランジスタ  
 17, 52 pMOSトランジスタ  
 71 npnトランジスタ  
 72 pnpトランジスタ

10

【図 1】



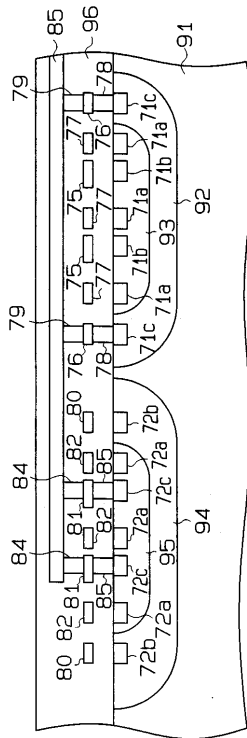
【図 2】





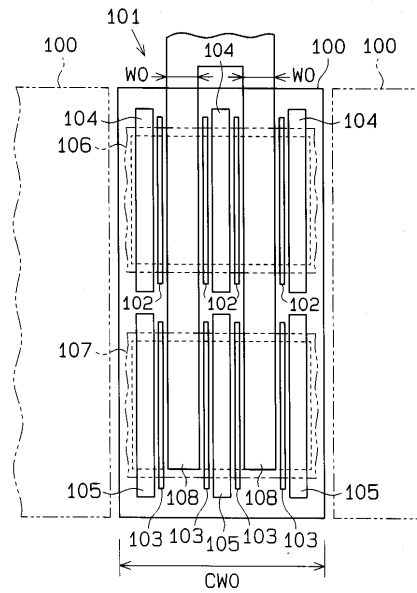
【図 7】

図6のB-B線における断面図



【図 8】

従来の入出力セル領域を示す平面図



---

フロントページの続き

(51) Int.Cl. F I

**H 0 1 L 27/04 (2006.01)**

(56)参考文献 特開平 0 1 - 2 9 3 6 4 7 ( J P , A )  
特開平 0 5 - 2 5 9 3 9 2 ( J P , A )  
特開昭 6 3 - 0 8 6 4 7 7 ( J P , A )  
特開昭 6 2 - 0 9 4 9 5 8 ( J P , A )  
特開平 0 4 - 1 0 2 3 7 0 ( J P , A )  
特開平 0 2 - 0 4 7 8 5 1 ( J P , A )  
特開平 0 2 - 0 1 0 8 5 4 ( J P , A )  
特開平 0 8 - 2 1 3 4 7 1 ( J P , A )  
特開平 0 7 - 1 3 0 8 6 3 ( J P , A )  
特開平 0 6 - 1 6 3 6 9 3 ( J P , A )  
特開平 0 2 - 1 1 3 5 4 9 ( J P , A )  
特開平 0 7 - 0 9 9 2 9 3 ( J P , A )  
特開平 0 3 - 0 6 9 1 4 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B名)

H01L 21/82  
H01L 21/28  
H01L 21/3205  
H01L 21/822  
H01L 23/52  
H01L 27/04