

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 1 年 9 月 26 日 (2019.9.26)

【公表番号】特表 2018-536994(P2018-536994A)

【公表日】平成 30 年 12 月 13 日 (2018.12.13)

【年通号数】公開・登録公報 2018-048

【出願番号】特願 2018-527165(P2018-527165)

【国際特許分類】

H 0 1 L 23/12 (2006.01)

H 0 1 L 21/60 (2006.01)

H 0 1 L 23/29 (2006.01)

H 0 1 L 23/31 (2006.01)

【F I】

H 0 1 L 23/12 F

H 0 1 L 21/60 3 1 1 Q

H 0 1 L 23/30 R

【手続補正書】

【提出日】令和 1 年 8 月 14 日 (2019.8.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電子部品 (E B) であって、

－上側面 (O) を備える支持体 (T R) と、

－前記上側面 (O) 上のメタライズされた接触面 (M K) と、

－前記上側面 (O) の一部分を覆うが、前記接触面 (M F) を覆わない、はんだストップ層 (L S S) と、を備え、

－前記はんだストップ層 (L S S) は、200 nm 以下の厚さを有し、

前記はんだストップ層 (L S S) は、ケイ素からなる、電子部品。

【請求項 2】

前記はんだストップ層 (L S S) は、30 nm～80 nm の厚さを有する、請求項 1 に記載の部品。

【請求項 3】

前記メタライズされた接触面 (M K) 上にバンプ球 (B U) を更に含む、請求項 2 に記載の部品。

【請求項 4】

下側面に接触面 (K F) を備える電子コンポーネント (E K) と、前記 2 つの接触面 (M K、K F) を接合するバンプ接合体 (B U) と、を更に含む、請求項 1～3 のいずれか一項に記載の部品。

【請求項 5】

前記支持体 (T R) のトップの少なくとも一部分及び前記電子コンポーネント (E K) を被覆するモールド材 (M M) を更に含む、請求項 4 に記載の部品。

【請求項 6】

前記モールド材 (M M) は、前記電子コンポーネント (E K) と前記支持体 (T R) との間の隙間 (Z) を充填する、請求項 5 に記載の部品。

【請求項 7】

- －前記支持体（TR）の前記上側面（O）の前記接触面（MK）と相互接続された第1の信号導体（SL）と、
- －前記支持体（TR）の前記上側面（O）の第2の信号導体（SL）と、をさらに含み、
- －両方の信号導体（SL）は、少なくとも部分的に前記はんだストップ層（LSS）によって被覆され、
- －前記2つの信号導体（SL）間の電気抵抗は、 $100\text{ M}\Omega$ 以上である、請求項1～6のいずれか一項に記載の部品。

【請求項 8】

前記支持体（TR）の前記上側面（O）上に、 $40\text{ }\mu\text{m}$ 以上の高さを有する部品構造体が配置されている、請求項1～7のいずれか一項に記載の部品。

【請求項 9】

- 電子部品（EB）の製造方法であって、
- －上側面（O）及び前記上側面（O）上にメタライズされた接触面（MK）を備える支持体（TR）を準備する工程と、
- －前記上側面（O）上にレジスト層（FL）を配置する工程と、前記レジスト層（FL）の材料が前記上側面（O）上に残留したままとなり、かつメタライズされた接触面（MK）がない前記上側面（O）のその部分に前記レジスト層（FL）の前記材料が存在しないように、前記レジスト層（FL）を構造化する工程と、
- －はんだストップ層（LSS）を前記支持体（TR）の前記上側面（O）上に堆積させる工程と、ここにおいて、前記はんだストップ層（LSS）は、 200 nm 以下の厚さを有し、ここにおいて、前記はんだストップ層（LSS）は、ケイ素からなり、
- －前記レジスト層（FL）の前記残留材料を、前記接触面（MK）を覆う前記はんだストップ層（LSS）の前記材料と共に除去する工程と、を含む、方法。

【請求項 10】

前記はんだストップ層（LSS）は、 20 nm ～ 80 nm の厚さを有する、請求項9に記載の方法。

【請求項 11】

前記電子部品（EB）は、更なるはんだ付け可能な金属表面（LO）を前記上側面上に有し、前記はんだストップ層（LSS）は、前記更なるはんだ付け可能な金属表面（LO）上に直接堆積される、請求項9または10のいずれか一項に記載の方法。

【請求項 12】

前記はんだストップ層（LSS）は、PVD又はCVDの手段によって適用される、請求項9～11のいずれか一項に記載の方法。

【請求項 13】

- －はんだペースト（LP）を少なくとも前記接触面（MK）上に配置する工程と、
- －下側面に接触面（MK、KF）を備える電子コンポーネント（EK）を前記支持体（TR）の前記上側面（O）上に配置する工程と、
- －前記部品（EB）をリフローはんだ付けし、前記2つの接触面（MK、KF）をバンブ接合体（BU）の手段によって接合する工程と、を更に含む、請求項9～12のいずれか一項に記載の方法。

【請求項 14】

- －前記電子コンポーネント（EK）をモールド材（MM）により包み込む工程を更に含み、
- －前記モールド材（MM）は、前記コンポーネント（EK）と前記支持体（TR）との間の前記領域もまた充填する、請求項13に記載の方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

図13は、モールド材MMが支持体TRの上側面の電子コンポーネントEKを包み込み、電子コンポーネントEKと支持体TRとの間の隙間Zを充填する、封入された電子コンポーネントEKの断面図を最終的に示す。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

〔C1〕 電子部品（EB）であって、

－上側面（O）を備える支持体（TR）と、

－前記上側面（O）上のメタライズされた接触面（MK）と、

－前記上側面（O）の一部分を覆うが、前記接触面（MF）を覆わない、はんだストップ層（LSS）と、を備え、

－前記はんだストップ層（LSS）は、200nm以下の厚さを有する、電子部品。

〔C2〕 前記はんだストップ層（LSS）は、30nm～80nmの厚さを有する、C1に記載の部品。

〔C3〕 前記メタライズされた接触面（MK）上にバンプ球（BU）を更に含む、C1又は2に記載の部品。

〔C4〕 下側面に接触面（KF）を備える電子コンポーネント（EK）と、前記2つの接触面（MK、KF）を接合するバンプ接合体（BU）と、を更に含む、C1～3のいずれか一項に記載の部品。

〔C5〕 前記支持体（TR）の少なくとも一部分及び前記電子コンポーネント（EK）を被覆するモールド材（MM）を更に含む、C4に記載の部品。

〔C6〕 前記モールド材（MM）は、前記電子コンポーネント（EK）と前記支持体（TR）との間の隙間（Z）もまた充填する、C5に記載の部品。

〔C7〕 ー前記支持体（TR）の前記上側面（O）の前記接触面（MK）と相互接続された第1の信号導体（SL）と、

－前記支持体（TR）の前記上側面（O）の第2の信号導体（SL）と、を含み、

－2つの信号導体（SL）は、少なくとも部分的に前記はんだストップ層（LSS）によって被覆され、

－前記2つの信号導体（SL）間の電気抵抗は、100MΩ以上の値である、C1～6のいずれか一項に記載の部品。

〔C8〕 前記はんだストップ層（LSS）は、主成分としてケイ素を含むか、又はケイ素からなる、C1～7のいずれか一項に記載の部品。

〔C9〕 前記支持体（TR）の前記上側面（O）上に、40μm以上の高さを有する部品構造体が配置されている、C1～8のいずれか一項に記載の部品。

〔C10〕 電子部品（EB）の製造方法であって、

－上側面（O）及び前記上側面（O）上にメタライズされた接触面（MK）を備える支持体（TR）を準備する工程と、

－前記上側面（O）上にレジスト層（FL）を配置し、前記レジスト層（FL）の材料が前記接触面（MK）上に残留したままとなり、かつ前記接触面（MK）がない前記表面（O）の領域に前記レジスト層（FL）の前記材料が存在しないように、前記レジスト層（FL）を構造化する工程と、

－はんだストップ層（LSS）を前記支持体（TR）の前記上側面（O）上に堆積させる工程と、

－前記レジスト層（FL）の前記残留材料を、前記接触面（MK）を覆う前記はんだストップ層（LSS）の前記材料と共に除去する工程と、を含む、方法。

〔C11〕 前記はんだストップ層（LSS）は、200nm以下の値の厚さを有する、C10に記載の方法。

〔C12〕 前記はんだストップ層（LSS）は、20nm～80nmの厚さを有する、C11に記載の方法。

〔C 1 3〕 前記はんだストップ層（L S S）は、主成分としてケイ素を含むか、又はケイ素からなる、C 1 0～1 2のいずれか一項に記載の方法。

〔C 1 4〕 前記電子部品（E B）は、更なるはんだ付け可能な金属表面（L O）を前記上側面上に有し、前記はんだストップ層（L S S）は、前記更なるはんだ付け可能な金属表面（L O）上に直接堆積される、C 1 0～1 3のいずれか一項に記載の方法。

〔C 1 5〕 前記はんだストップ層（L S S）は、P V D又はC V Dを使用して塗布される、C 1 0～1 4のいずれか一項に記載の方法。

〔C 1 6〕 ーはんだペースト（L P）を少なくとも前記接触面（M K）上に配置する工程と、

ー下側面に接触面（M K、K F）を備える電子コンポーネント（E K）を前記支持体（T R）の前記上側面（O）上に配置する工程と、

ー前記部品（E B）をリフローはんだ付けし、前記2つの接触面（M K、K F）をバンブ接合体（B U）を使用して接合する工程と、を更に含む、C 1 1～1 5のいずれか一項に記載の方法。

〔C 1 7〕 ー前記電子コンポーネント（E K）をモールド材（M M）により包み込む工程を更に含む、

ー前記モールド材（M M）は、前記コンポーネント（E K）と前記支持体（T R）との間の前記領域もまた充填する、C 1 6に記載の方法。