

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4090980号
(P4090980)

(45) 発行日 平成20年5月28日 (2008. 5. 28)

(24) 登録日 平成20年3月7日 (2008. 3. 7)

(51) Int. Cl.		F I	
H04B	1/30	(2006.01)	H04B 1/30
H03G	3/02	(2006.01)	H03G 3/02 Z
H03G	3/10	(2006.01)	H03G 3/10 A

請求項の数 6 (全 9 頁)

(21) 出願番号	特願2003-368854 (P2003-368854)	(73) 特許権者	000005821
(22) 出願日	平成15年10月29日 (2003. 10. 29)		松下電器産業株式会社
(65) 公開番号	特開2005-136586 (P2005-136586A)		大阪府門真市大字門真1006番地
(43) 公開日	平成17年5月26日 (2005. 5. 26)	(74) 代理人	100076174
審査請求日	平成17年2月8日 (2005. 2. 8)		弁理士 宮井 暎夫
		(72) 発明者	大谷 豊
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		(72) 発明者	小森 浩
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		審査官	江口 能弘

最終頁に続く

(54) 【発明の名称】 DCオフセット過渡応答キャンセルシステム

(57) 【特許請求の範囲】

【請求項 1】

ゲインコントロール信号変化検出器がゲインコントロール信号の変化を検出した時だけ、ゲインコントロール信号変化時から一定の期間、ハイパスフィルタの時定数を小さくしてゲイン変化時のDCオフセット過渡応答をキャンセルするDCオフセット過渡応答キャンセルシステムであって、DCオフセット過渡応答をキャンセルする時に、デモジュレータ前の信号を遮断させるDCオフセット過渡応答キャンセルシステム。

【請求項 2】

ゲインコントロール信号変化検出器の検出しきい値を任意に設定できるようにした請求項 1 記載のDCオフセット過渡応答キャンセルシステム。

【請求項 3】

ハイパスフィルタの時定数を小さくする時間を任意に設定できるようにした請求項 1 記載のDCオフセット過渡応答キャンセルシステム。

【請求項 4】

ゲインコントロールアンプと、容量結合用のコンデンサと抵抗からなるハイパスフィルタと、前記抵抗をショートする第1のスイッチと、前記ゲインコントロールアンプへ入力される信号を遮断する第2のスイッチと、前記第1および第2のスイッチをオン/オフさせるパルス発生器とを備えたDCオフセット過渡応答キャンセルシステム。

【請求項 5】

ゲインコントロールアンプと、容量結合用のコンデンサと抵抗とからなるハイパスフィ

10

20

ルタと、前記抵抗をショートする第1のスイッチと、前記ゲインコントロールアンプへ入力される信号を遮断する第2のスイッチと、ゲインコントロール信号変化を検出して前記第1および第2のスイッチをオン/オフさせるパルスを生成するパルス生成回路とを備えたDCオフセット過渡応答キャンセルシステム。

【請求項6】

ゲインコントロールアンプと、容量結合用のコンデンサと抵抗とからなるハイパスフィルタと、前記抵抗をショートする第1のスイッチと、前記ゲインコントロールアンプへ入力される信号をカットする第2のスイッチと、ゲインコントロール信号変化を検出して検出パルスを生成するパルス生成回路と、前記検出パルスをトリガにして前記第1および第2のスイッチをオン/オフさせる一定幅のパルスを生成するカウンタと、前記カウンタの動作クロックを基準信号から生成するクロック生成器とを備えたDCオフセット過渡応答キャンセルシステム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、今後主流となる携帯電話のシステムであるダイレクトコンバージョンシステムで通話品質を劣化させるDCオフセットの過渡応答をキャンセルするためのDCオフセット過渡応答キャンセルシステムに関するものである。DCオフセットの過渡応答はビットエラーレート(BER)を悪化させ、送信された信号を正確に復元できなくなる。

【背景技術】

20

【0002】

近年、携帯電話のシステムは、ヘテロダインコンバージョンシステムから、低消費電力、小型化に有利なダイレクトコンバージョンシステムに移行しつつある。しかし、ダイレクトコンバージョンシステムは、ヘテロダインシステムには無かったDCオフセットの問題を有している。

【0003】

以下、ダイレクトコンバージョンシステムの先行技術について説明する。

【0004】

図4はダイレクトコンバージョンシステムの先行技術を示すブロック図である。図4において、符号1はリニアアンプ(以下、LNA: Low Noise Ampの略)を示す。符号2は容量結合用の第1のコンデンサを示す。符号3は受信信号である高周波信号(RF信号入力)をダウンコンバートするデモジュレータを示す。符号4は第1のゲインコントロールアンプ(以下、GCA)を示す。符号5は容量結合用の第2のコンデンサ(例えば、容量200pF)を示す。符号6は第2のコンデンサ5とともにハイパスフィルタを構成する第1の抵抗(例えば、抵抗値2000kΩ)を示す。符号7は第2のGCAを示す。符号8は容量結合用の第3のコンデンサ(例えば、容量200pF)を示す。符号9は第3のコンデンサとともにハイパスフィルタを構成する第2の抵抗(例えば、抵抗値2000kΩ)を示す。符号10は第3のGCAを示す。符号11はGCA4、GCA7、GCA10のゲインをゲインコントロール信号GCVに応じて制御するGCAコントロール回路を示す。符号24は容量結合後に信号に第1の抵抗6を通してバイアス電圧を与える第1のバイアス電源を示す。9は容量結合後に信号に第2の抵抗9を通してバイアス電圧を与える第2のバイアス電源を示す。

30

40

【0005】

以上のように構成されたダイレクトコンバージョンシステムについて、以下にその動作を説明する。まず、LNA1で増幅されたRF信号が第1のコンデンサ2で容量結合されてデモジュレータ3に入る。デモジュレータ3でRF信号はダウンコンバートされてベースバンド帯に周波数変換され、I/Q-BB(同相/直交-ベースバンド)信号となる。周波数変換された信号は、GCA4で任意のレベルに増幅されて、第2のコンデンサ5と第1の抵抗6とで容量結合された後、バイアス電源24によって設定されたDC値を有した状態でGCA7に入る。

50

【 0 0 0 6 】

G C A 7 でさらに任意のレベルに増幅されて、第 3 のコンデンサ 8 と第 2 の抵抗 9 とで容量結合された後、バイアス電源 2 5 によって設定された D C 値を有した状態で G C A 1 0 に入る。

【 0 0 0 7 】

G C A 1 0 でもう一度任意のレベルに増幅されて R X - I / Q 出力 (受信 - 同相 / 直交信号出力) として出力される。

【 0 0 0 8 】

G C A 4、G C A 7 および G C A 1 0 のゲインは、R F 信号の大きさに連動して変わる G C V 信号で、G C A コントロール回路 1 1 を通してコントロールされている。

10

【特許文献 1】特開 2 0 0 2 - 3 1 9 9 8 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

しかしながら、上記先行技術では、回路が素子バラツキで D C オフセットを持った場合に問題となる。容量結合をしているのでスタティックな動作としては問題無いが、R F 信号の入力レベルが急に变化したとき、すなわちゲインコントロール信号 G C V が急に变化して、G C A 4、G C A 7、G C A 1 0 のゲインが急に变化したときには D C オフセット過渡応答が発生する。このときの各部の波形を図 5 に示して説明する。図 5 はベースバンド部のみ図示している。図 5 の波形は簡単のため、A C 成分は省略して描いている。

20

【 0 0 1 0 】

ここでは、G C A 4、G C A 7 および G C A 1 0 がバラツキによる正の入力オフセットを持っているとして、ある瞬間にそれぞれのゲインが大きくなった場合について考える。まず、G C A 4 でゲインが変わると、D C レベルはその瞬間に大きくなり、G C A 4 の出力は波形 1 2 のようになる。波形 1 2 の D C 値がコンデンサ 5 を通ると、波形 1 3 のような D C 値になる。ベースバンド信号は D C 付近の周波数まで存在するので、ハイパスフィルタのカットオフ周波数を低くするためにコンデンサ 5 と抵抗 6 の時定数は大きくしなくてはならない。そのために、波形 1 3 は、D C レベルが定常値になるまでに時間を要し、波形 1 2 の D C 値に追従して、D C が瞬間的に大きくなった後、だだらと元の D C 値に戻る。G C A 7 でも同様に、ゲインが変わったときに D C レベルが大きくなるので、D C 値は波形 1 4 のようになる。波形 1 4 の D C 値がコンデンサ 8 を通ると、上記と同様の動作で波形 1 5 のような D C 値になる。G C A 1 0 でも同様に、ゲインが変わったときに D C レベルが大きくなり、D C 値は波形 1 6 のようになる。このとき、D C 値が変化して、定常値に落ち着くまでの間が過渡応答である。このようにして D C オフセット過渡応答が発生する。

30

【 0 0 1 1 】

本発明は、上記先行技術が有する問題点を解決するもので、D C オフセット過渡応答を無くし、瞬時に D C 値を定常値にすることができる D C オフセット過渡応答キャンセルシステムを提供することを目的とする。

【課題を解決するための手段】

40

【 0 0 1 2 】

この目的を達成するために、本発明の D C オフセット過渡応答キャンセルシステムは、ゲインコントロール信号の変化を検出する回路、ゲインコントロール信号の変化を検出後、一定幅のキャンセルパルスを生成するためのカウンタとクロック生成器、上記のキャンセルパルスのタイミングで信号をカットするスイッチと、同じく上記キャンセルパルスのタイミングで後段の容量結合 (ハイパスフィルタ) の抵抗をショートするスイッチを用いる。ゲインが変化した直後だけ A C 信号をカットし、ハイパスの時定数を小さくすることで、D C オフセットの過渡応答を無くすことが実現できる。

【 0 0 1 3 】

以下、具体的に説明する。第 1 の発明の D C オフセット過渡応答キャンセルシステムは

50

、ゲインコントロール信号変化検出器がゲインコントロール信号変化を検出した時だけ、ゲインコントロール信号変化時から一定の期間、ハイパスフィルタの時定数を小さくしてゲイン変化時のＤＣオフセット過渡応答をキャンセルする構成であって、ＤＣオフセット過渡応答をキャンセルする時に、デモジュレータ前の信号を遮断させることを特徴とする

。

【００１５】

上記第１の発明の構成においては、ゲインコントロール信号変化検出器の検出しきい値を任意に設定できるようにすることが好ましい。

【００１６】

また、上記第１の発明の構成においては、ハイパスフィルタの時定数を小さくする時間を任意に設定できるようにすることが好ましい。

10

【００１７】

第２の発明のＤＣオフセット過渡応答キャンセルシステムは、ゲインコントロールアンプと、容量結合用のコンデンサと抵抗からなるハイパスフィルタと、抵抗をショートする第１のスイッチと、ゲインコントロールアンプへ入力される信号を遮断する第２のスイッチと、第１および第２のスイッチをオン／オフさせるパルス発生器とを備えている。

【００１８】

上記のパルス発生器としては、例えば、ゲインコントロール信号変化を検出して第１および第２のスイッチをオン／オフさせるパルスを生成するパルス生成回路が使用される。

【００１９】

20

また、パルス発生器の他の例としては、ゲインコントロール信号変化を検出して検出パルスを生成するパルス生成回路と、検出パルスをトリガにして第１および第２のスイッチをオン／オフさせる一定幅のパルスを生成するカウンタと、カウンタの動作クロックを基準信号から生成するクロック生成器とで構成することも考えられる。

【発明の効果】

【００２０】

本発明によれば、ゲインコントロール信号変化時から一定の期間、ハイパスフィルタの時定数を小さくするので、通話品質を劣化させるＤＣオフセットの過渡応答を消すことができる、優れたＤＣオフセット過渡応答キャンセルシステムを実現するものである。

【発明を実施するための最良の形態】

30

【００２１】

以下、本発明の実施の形態を、図面を参照しながら説明する。

【００２２】

（実施の形態１）

図１は本発明の実施の形態１におけるＤＣオフセット過渡応答キャンセルシステムの構成を示すブロック図である。図１において、符号１７はゲインコントロール信号変化検出器を示す。符号１８は上記ゲインコントロール信号変化検出器１７でゲインコントロール信号の変化が検出された時から一定幅のキャンセルパルスを生成するカウンタを示す。符号１９は上記カウンタ１８で用いるクロックを生成するクロック生成器を示す。符号２０はＡＣ信号を遮断するためにキャンセルパルスのハイレベル／ローレベルに対応してオン／オフする第１のスイッチ、２１は抵抗９をショートするために上記スイッチ２０と同じタイミングでオン／オフする第２のスイッチである。

40

【００２３】

なお、ＬＮＡ１、第２のコンデンサ２、デモジュレータ３、第１のＧＣＡ４、第２のコンデンサ５、第１の抵抗６、第２のＧＣＡ７、第３のコンデンサ８、第２の抵抗９、第３のＧＣＡ１０、ＧＣＡコントロール回路１１、およびバイアス電源２４、２５については、先行技術と同じである。

【００２４】

以上のように構成された本実施の形態のＤＣオフセット過渡応答キャンセルシステムについて、以下、その動作を説明する。

50

【 0 0 2 5 】

まずゲインコントロール信号変化検出器 17 でゲインコントロール信号 G C V の変化を検出する。ゲインコントロール信号 G C V が一定値以上増加、または減少した時に、ゲインコントロール信号変化検出器 17 から検出信号が発生する。つぎに、カウンタ 18 で上記の検出信号をトリガにした一定幅のキャンセルパルスを生成する。上記カウンタ 18 では、カウント動作にクロック生成器 19 で生成したクロックを用いる。

【 0 0 2 6 】

そして、キャンセルパルスでスイッチ 20 をオフにし、ゲインコントロール信号が変化した後、キャンセルパルスの期間だけ A C 信号 (R F 信号) をカットする。A C 信号をカットすると同時にスイッチ 21 をオンにし、抵抗 9 をショートする。抵抗 9 がショートされたことで、コンデンサ 8 と抵抗 9 とで構成されていたハイパスフィルタの時定数が小さくなり、コンデンサ 8 の後の D C 値は瞬時に固定された D C 値 (バイアス電源 25 の電位) になる。すなわち、D C オフセット過渡応答をキャンセルできる。A C 信号をカットするのは、キャンセル動作終了後の A C 信号の平均 D C 値とキャンセル動作中に固定された D C 値とを一致させるためである。図 2 のように、スイッチ 20 がなく、A C 信号が入ったままであると、キャンセル動作終了時に A C 値を持っていた場合に、平均 D C 値と定常状態での D C 値がずれてしまい、コンデンサ 8 と抵抗 9 の時定数が大きいために D C 値が一致するのに時間がかかり、結局 D C オフセット過渡応答を生じることになる。キャンセルパルスが終わるとスイッチ 20 はオン、スイッチ 21 はオフとなり、通常の動作に戻る。

【 0 0 2 7 】

なお、図 2 には、対比のために、スイッチ 20 を設けた場合のコンデンサ 8 の前後の波形も併せて示している。また、図 2 では、簡単のため、コンデンサ 8 の前までの D C 過渡応答は無視している。

【 0 0 2 8 】

ここで、動作の一例の波形を図 3 に示す。コンデンサ 8 の手前までは先行技術と全く同じである。ゲインが変化してから一定幅のキャンセルパルスがスイッチ 21 をオンにするので、抵抗 9 がショートされてコンデンサ 8 の後ろでは強制的に D C 値が固定される。スイッチ 21 がオフとなった後も D C 値は変わらないので、波形 22 のような D C 値になる。その後、G C A 10 でゲインが変化したときに D C オフセットは生じるが先行技術のような過渡応答は生じず、R X - I / Q 出力電圧の D C 値は波形 23 のようになる。

【 0 0 2 9 】

以上のように、本実施の形態によれば、ゲインコントロール信号 G C V の変化を検出して、その検出から一定時間だけスイッチ 20 , 21 をオン操作することにより、外部からキャンセル用の信号をもらうことなく、自身のシステム内だけで D C オフセット過渡応答をキャンセルすることができる。

【 0 0 3 0 】

なお、ゲインコントロール信号の変化を検出するしきい値は任意の値に設定できるので、例えばゲイン変化が 10 d B 以下の時には D C オフセット過渡応答キャンセル動作を行わずに、ゲイン変化が 10 d B 以上の時だけ D C オフセット過渡応答キャンセル動作を行うといった制御も可能である。この結果、D C オフセット過渡応答量の許容値を超えたときだけキャンセル動作を行うことができるので、不要なキャンセル動作による A C 信号の欠落でおこるビット誤り率 (Bit Error Rate) の悪化を防止できる。また、キャンセルパルスの幅も任意に設定できるので、キャンセル期間 (A C 信号がカットされる期間) を自由に設定できる。システムとして A C 信号がカットされることが許される期間以下にキャンセル期間を設定すれば、A C 信号の欠落によるビット誤り率の悪化を防止できる。

【 0 0 3 1 】

以上に説明したように、この D C オフセット過渡応答キャンセルシステムによれば、ゲインコントロール信号変化検出器 17、その検出信号をトリガにしたキャンセルパルスの幅を任意に設定できるカウンタ 18 と、クロック生成器 19、キャンセルパルスでオン /

10

20

30

40

50

オフすることでＡＣ信号をカットするスイッチ２０と抵抗をショートさせるスイッチ２１とを設けることにより、通話品質を劣化させるＤＣオフセットの過渡応答を消すことができる、優れたＤＣオフセット過渡応答キャンセルシステムを実現することができる。

【産業上の利用可能性】

【００３２】

本発明にかかるＤＣオフセット過渡応答キャンセルシステムは、通話品質を劣化させるＤＣオフセットの過渡応答を消すことができるという効果が必要な携帯電話のシステムであるダイレクトコンバージョンシステム等の用途にも適用できる。

【図面の簡単な説明】

【００３３】

10

【図１】本発明の実施の形態１におけるＤＣオフセット過渡応答キャンセルシステムを示すブロック図である。

【図２】スイッチ２０がない場合とスイッチ２０を設けた場合における図１のコンデンサ８の前後の信号波形を示す波形図である。

【図３】図１の各部の信号波形を示した説明図である。

【図４】ダイレクトコンバージョンシステムの先行技術を示すブロック図である。

【図５】図４の各部の信号波形を示した説明図である。

【符号の説明】

【００３４】

20

１ ＬＮＡ

２ コンデンサ

３ デモジュレータ

４ ＧＣＡ

５ コンデンサ

６ 抵抗

７ ＧＣＡ

８ コンデンサ

９ 抵抗

１０ ＧＣＡ

１１ ＧＣＡコントロール回路

30

１２ 波形

１３ 波形

１４ 波形

１５ 波形

１６ 波形

１７ ゲインコントロール信号変化検出器

１８ カウンタ

１９ クロック生成器

２０ スイッチ

２１ スイッチ

40

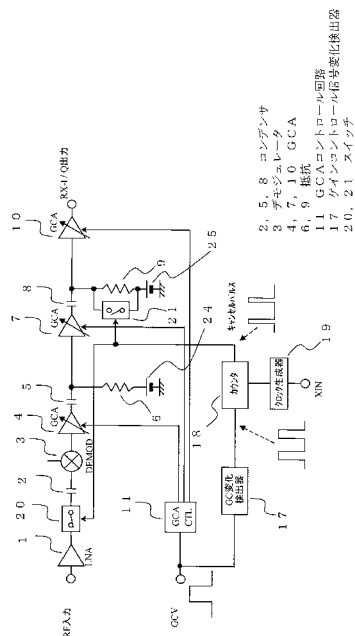
２２ 波形

２３ 波形

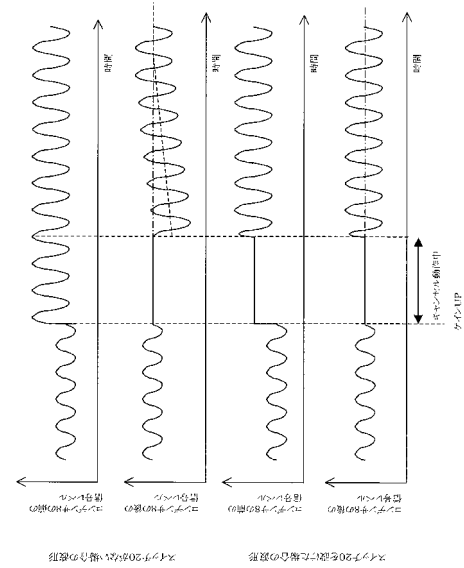
２４ ハイパスフィルタ

２５ ハイパスフィルタ

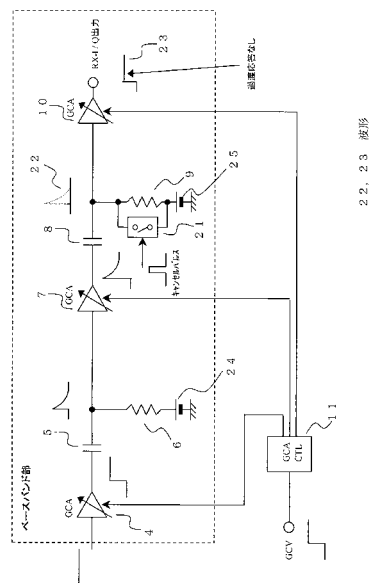
【 図 1 】



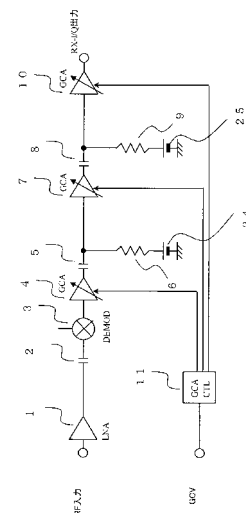
【 図 2 】



【圖 3】



【 図 4 】



フロントページの続き

(56)参考文献 特開2003-224488(JP,A)
特開2003-198404(JP,A)
特表2003-518793(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04B	1 / 30
H03G	3 / 02
H03G	3 / 10