



(12)发明专利

(10)授权公告号 CN 103632722 B

(45)授权公告日 2017.01.11

(21)申请号 201310542391.5

(74)专利代理机构 中科专利商标代理有限责任

(22)申请日 2008.04.29

公司 11021

(65)同一申请的已公布的文献号

代理人 李敬文

申请公布号 CN 103632722 A

(51)Int.Cl.

G11C 16/10(2006.01)

(43)申请公布日 2014.03.12

G11C 11/56(2006.01)

(30)优先权数据

G11C 16/08(2006.01)

10-2007-0042041 2007.04.30 KR

(56)对比文件

(62)分案原申请数据

CN 1933026 A, 2007.03.21,

200810095612.8 2008.04.29

US 2006/0126394 A1, 2006.06.15,

(73)专利权人 三星电子株式会社

US 6937510 B2, 2005.08.30,

地址 韩国京畿道

CN 1416139 A, 2003.05.07,

(72)发明人 张俊镐 崔仁奂 郑云在 尹松虎

US 6614708 B1, 2003.09.02,

芮敬旭

US 2002/0199054 A1, 2002.12.26,

审查员 曹雄斐

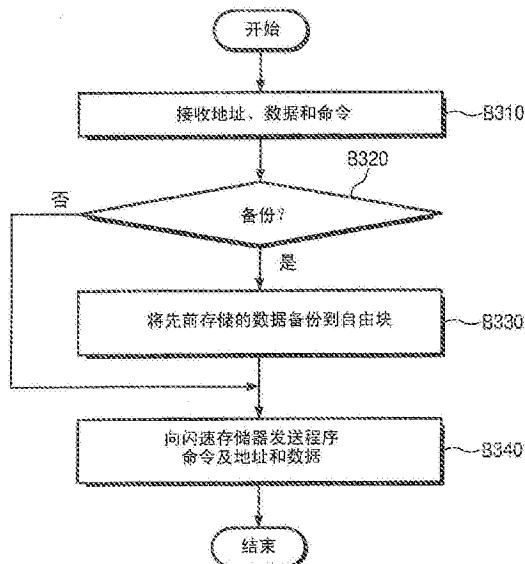
权利要求书2页 说明书10页 附图12页

(54)发明名称

存储系统及其编程方法和包括存储系统的
计算系统

(57)摘要

公开了一种对多比特闪速存储器件编程的
存储系统和方法，所述多比特闪速存储器件包括
存储单元，每一个存储单元均配置成存储多比特
数据，所述方法包括并且所述存储系统配置成：
确定待存储到选定存储单元中的数据是否是LSB
数据；以及如果待存储到选定存储单元中的数据
不是LSB数据，将所述选定存储单元中存储的低
位数据备份到所述多比特闪速存储器件的备份
存储块中。



1.一种对多比特闪速存储器件编程的方法,所述多比特闪速存储器件包括多个存储块,每一个存储块均配置成存储多比特数据,所述方法包括:

确定在选定存储块中是否存在基于待编程到所述多比特闪速存储器件中的数据的起始地址属于页偏移值的低位页数据;以及

如果确定在选定存储块中存在所述属于页偏移值的低位页数据,将所述属于页偏移值的低位页数据备份到备份存储块中。

2.根据权利要求1所述的方法,其中如果不存在基于待编程到所述多比特闪速存储器件中的数据的起始地址属于页偏移值的低位页数据,将待编程的所述数据编程在所述选定存储块中。

3.根据权利要求1所述的方法,其中所述闪速存储器件是NAND闪速存储器件。

4.根据权利要求1所述的方法,其中所述多比特数据是M比特数据,其中M是大于或等于2的整数。

5.根据权利要求1所述的方法,其中每一个所述存储块均具有一个页偏移值。

6.根据权利要求1所述的方法,其中每一个所述存储块均具有至少两个不同的页偏移值。

7.根据权利要求1所述的方法,其中如果在加电时对于所述选定存储块检测到电源故障,将备份到所述备份存储块的数据和所述选定存储块的有效数据复制到自由存储块。

8.一种存储系统,包括:

多比特闪速存储器件,所述多比特闪速存储器件包括多个存储块;以及

存储器控制器,配置成控制所述多比特闪速存储器件,

其中所述存储器控制器配置成确定在选定存储块中是否存在基于待编程到所述多比特闪速存储器件中的数据的起始地址属于页偏移值的低位数据;并且当确定在选定存储块中存在基于待编程到所述多比特闪速存储器件中的数据的起始地址属于页偏移值的低位数据时,所述存储器控制器配置成控制所述多比特闪速存储器而将属于页偏移值的低位数据从所述选定存储块备份到备份存储块中。

9.根据权利要求8所述的存储系统,其中所述存储器控制器配置成控制所述多比特闪速存储器件,使得当不存在基于待编程数据的起始地址属于页偏移值的低位数据时,将待编程数据编程到所述选定存储块中。

10.根据权利要求8所述的存储系统,其中所述存储单元的每一个均配置成存储2比特数据。

11.根据权利要求10所述的存储系统,其中待备份到所述备份存储块中的低位数据是页数据。

12.根据权利要求8所述的存储系统,其中所述存储单元的每一个均配置成存储M比特数据,其中M是大于或等于3的整数。

13.根据权利要求12所述的存储系统,其中待备份到所述备份存储块的低位数据是从以下组中选择的数据比特,所述组包括第一数据比特至第M-1数据比特。

14.根据权利要求8所述的存储系统,其中所述存储系统配置成检测对于所述选定存储块是否发生电源故障。

15.根据权利要求14所述的存储系统,其中所述存储器控制器配置成控制所述多比特

闪速存储器件,使得当检测到所述选定存储块的电源故障时,将备份到所述备份存储块的数据和所述选定存储块的有效数据复制到自由存储块中。

16.根据权利要求8所述的存储系统,其中所述多比特闪速存储器件是NAND闪速存储器件。

17.根据权利要求8所述的存储系统,其中所述多比特闪速存储器件和所述存储器控制器组成OneNANDTM闪速存储器件。

存储系统及其编程方法和包括存储系统的计算系统

[0001] 本申请是申请号为200810095612.8、申请日为2008年4月29日的发明专利申请“存储系统及其编程方法和包括存储系统的计算系统”的分案申请。

[0002] 相关申请的交叉引用

[0003] 该美国非临时申请基于U.S.C. §119要求2007年4月30日递交的韩国专利申请No.10-2007-0042041的优先权，通过引用将其全部内容结合在本文中。

技术领域

[0004] 这里所公开的本发明涉及一种半导体存储器件，更具体地，涉及一种包括闪速存储器件的存储系统。

背景技术

[0005] 近年来，诸如易失性存储器和非易失性存储器之类的存储器件很快应用于诸如MP3播放器、PMP、移动电话、笔记本计算机、PDA等之类的移动设备中。这种移动设备逐渐需要大容量存储能力，以便提供各种功能，例如移动图片再现功能。已经进行了多种努力来满足这种需要。作为一种努力，已经提出了一种多比特存储器件，所述多比特存储器件在一个存储单元中存储两个或更多数据比特。在题为“NON-VOLATILE MEMORY DEVICE HAVING MULTI-BIT CELL STRUCTURE AND A METHOD OF PROGRAMMING SAME”的美国专利No.6,122,188、题为“INTEGRATED CIRCUIT MEMORY DEVICE FOR STORING A MULTI-BIT DATA AND A METHOD FOR READING STORED IN THE SAME”的美国专利No.6,075,734、以及题为“MULTI-BIT MEMORY CELL ARRAY OF ANON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR DRIVING THE SAME”的美国专利No.5,923,587中公开了用于在一个存储单元中存储多比特数据的示例性多比特存储器件，通过引用将其全部内容结合在本文中。

[0006] 在存储单元存储1比特数据的情况下，所述存储单元具有在两个阈值电压分布的任一个中的阈值电压。即，存储单元具有分别表示数据“1”和“0”的两种状态的任一个。另一方面，在存储2比特数据的存储单元的情况下，所述存储单元具有四种阈值电压分布之一中的阈值电压。即，存储单元具有分别表示数据“11”、数据“10”、数据“01”和数据“00”的四种状态之一。

[0007] 可以按照各种方式实现在存储单元中对多比特数据编程的方法。例如，在每一个存储单元中存储的两个数据比特分别由页数据(在下文中称作LSB数据(或低位数据)和MSB(或者高位数据)组成。在这种情况下，首先，对存储单元中的LSB数据比特编程，然后对所述存储单元中的MSB数据比特编程。在下文中，将对存储器中的多个数据编程的方式称为页单位编程，下面将对其进行更加全面地描述。

[0008] 可以将一个存储单元编程为具有“11”、“10”、“00”和“01”状态之一。为了方便起见，假设“11”、“10”、“00”和“01”状态分别与ST0、ST1、ST2和ST3相对应。具有“11”状态的存储单元是已擦除的存储单元，以及具有“10”状态的存储单元的阈值电压比具有“11”状态的存储单元的阈值电压更高。具有“00”状态的存储单元的阈值电压比具有“10”状态的存储单

元的阈值电压更高,以及具有“01”状态的存储单元的阈值电压比具有“00”状态的存储单元的阈值电压更高。如果在这种假设下进行LSB程序操作,如图1A所示,存储单元具有已擦除状态或“10”状态(ST1)。如果在所述LSB程序操作之后执行MSB程序操作,如图1B所示,具有“11”状态的存储单元具有已擦除状态或“01”状态(ST3),而具有“10”状态(ST1)的存储单元具有“10”状态(ST1)或“00”状态(ST2)。即,当LSB数据为“1”时将存储单元编程为“01”状态,而当LSB数据为“0”时将存储单元编程为“00”状态。

[0009] 当存储多比特数据时将出现问题,下面将更加全面地描述。

[0010] 为了便于描述,将描述在一个存储单元中存储2比特数据的操作。如上所述,首先,可以将低位数据比特存储在存储单元中。然后,可以将高位数据比特存储在存储单元中。在将高位数据比特编程到存储单元中的同时断开电源的情况下,取消了加电时最后编程的页的程序操作。另一方面,假设在将高位数据比特编程到存储单元中的同时断开电源的情况下,先前存储的低位数据比特可能丢失。这是因为在高位数据比特的程序操作时,与低位数据比特相对应的阈值电压改变。

发明内容

[0011] 本发明涉及一种存储系统和编程方法,能够防止低位数据由于高位数据的程序故障导致丢失。

[0012] 本发明还涉及提供一种存储系统和数据恢复方法,能够恢复由于加电故障导致丢失的低位数据。

[0013] 本发明的一个方面是提供一种对多比特闪速存储器件编程的方法,所述多比特闪速存储器件包括存储单元,每一个存储单元均配置成存储多比特数据。所述方法包括:确定待存储到选定存储单元中的数据是否是LSB数据;以及如果待存储到选定存储单元中的数据不是LSB数据,将所述选定存储单元中存储的低位数据备份到所述多比特闪速存储器件的备份存储块中。

[0014] 所述方法还可以包括:在将所述低位数据备份到所述备份存储块中之后,对待存储到所述选定存储块的数据编程。

[0015] 所述方法还可以包括:如果将待存储到选定存储单元的数据确定是LSB数据,对待存储到选定存储单元中的数据编程,而不进行备份操作。

[0016] 所述闪速存储器件可以包括从以下组中选择的存储器件,所述组包括:NAND闪速存储器件、NOR闪速存储器件、CTF存储器件和相变存储器件。

[0017] 所述存储单元的每一个均可以配置成存储2比特数据。

[0018] 备份到所述备份存储块中的低位数据可以是LSB数据。

[0019] 所述存储单元的每一个均可以配置成存储M比特数据,其中M是大于或等于3的整数。

[0020] 备份到所述备份存储器的低位数据可以包括来自以下组的全部或至少一个数据比特,该组包括:第一数据比特至第(M-1)数据比特。

[0021] 本发明的另一个方面是提供一种对多比特闪速存储器件编程的方法,所述多比特闪速存储器件包括存储单元,每一个存储单元均配置成存储多比特数据。所述方法包括:对待存储到选定存储单元的数据编程;确定待存储到选定存储单元中的数据是否是LSB数据;

以及如果确定待存储到选定存储单元中的数据是LSB数据,将所述选定存储单元中存储的低位数据备份到所述多比特闪速存储器件的备份存储块中。

[0022] 所述存储单元的每一个均可以配置成存储2比特数据。

[0023] 备份到所述备份存储块中的低位数据可以是LSB数据。

[0024] 所述存储单元的每一个均可以配置成存储M比特数据,其中M是大于或等于3的整数。

[0025] 备份到所述备份存储器的低位数据可以包括来自以下组的全部或至少一个数据比特,该组包括:第一数据比特至第(M-1)数据比特。

[0026] 本发明的另一个方面是提供一种对多比特闪速存储器件编程的方法,所述多比特闪速存储器件包括存储单元,每一个存储单元均配置成存储多比特数据。所述方法包括:基于页偏移值,确定待存储到选定存储单元的数据是否是待备份的数据;以及如果确定待存储到选定存储单元中的数据是待备份的数据,将基于待存储到所述选定存储块中的数据的起始页属于页偏移值的所述选定存储块的低位页数据备份到备份存储块中。

[0027] 如果确定待存储到所述选定存储块中的数据是待备份的数据,可以将属于所述页偏移值的所述选定存储块的低位页数据备份到所述备份存储块中。

[0028] 如果待存储到所述选定存储块中的数据不是待备份的数据,可以将待存储的数据编程在所述选定存储块中。

[0029] 所述闪速存储器件可以是NAND闪速存储器件。

[0030] 所述多比特数据可以是M比特数据,其中M是大于或等于2的整数。

[0031] 在一些情况下,每一个所述存储块均可以具有一个页偏移值。

[0032] 在一些情况下,每一个所述存储器均可以具有至少两个不同的页偏移值。

[0033] 如果在加电时对于所述选定存储块检测到电源故障,可以将待备份到所述备份存储块的数据和所述选定存储块的有效数据复制到自由的存储块。

[0034] 本发明的另一个方面是提供一种存储系统,所述存储系统包括:多比特闪速存储器件,所述多比特闪速存储器件包括多个存储块;以及存储器控制器,配置成控制所述多比特闪速存储器件。所述存储器控制器配置成确定是否存在基于待编程到所述多比特闪速存储器件中的数据的起始地址属于页偏移值的低位数据。并且当确定存在基于待编程到所述多比特闪速存储器件中的数据的起始地址属于页偏移值的低位数据时,所述存储器控制器配置成控制所述多比特闪速存储器将属于页偏移值的低位数据从所述存储块备份到自由存储块中。

[0035] 所述存储器控制器可以配置成控制所述多比特闪速存储器件,使得当不存在基于待编程数据的起始地址属于页偏移值的低位数据时,将待编程数据在所述选定存储块中编程。

[0036] 所述存储单元的每一个均可以配置成存储2比特数据。

[0037] 待备份到所述备份存储块中的低位数据可以是LSB数据。

[0038] 所述存储单元的每一个均可以配置成存储M比特数据,其中M是大于或等于3的整数。

[0039] 待备份到所述备份存储器的低位数据可以是从以下组中选择的数据比特,所述组包括第一数据比特至第(M-1)数据比特。

[0040] 所述存储系统可以配置成检测对于所述选定的存储块是否发生电源故障。

[0041] 所述存储器控制器可以配置成控制所述多比特闪速存储器件,使得当检测到所述选定存储块的电源故障时,将备份到所述备份存储块的数据和所述选定存储块的有效数据复制到自由存储块中。

[0042] 所述多比特闪速存储器件可以是NAND闪速存储器件。

[0043] 所述多比特闪速存储器件和所述存储器控制器可以组成OneNANDTM闪速存储器件。

[0044] 本发明的另一个方面是提供一种存储系统,包括:多比特闪速存储器件,所述多比特闪速存储器件包括多个存储块;以及存储器控制器,配置成控制所述多比特闪速存储器件。所述存储器控制器配置成将通过对待编程数据的地址与页偏移值相加获得的地址确定为待编程数据的起始地址。

[0045] 本发明的另一个方面是提供一种存储系统,包括:多比特闪速存储器件,所述多比特闪速存储器件包括多个存储块;以及存储器控制器,配置成控制所述多比特闪速存储器。所述存储器控制器配置成分配至少一个页给自由页,其中待编程到所述至少一个页中的数据是影响低位数据的数据。

[0046] 本发明的另一个方面是提供一种存储系统,包括:多比特闪速存储器件,所述多比特闪速存储器件包括多个存储块;以及存储器控制器,配置成控制所述多比特闪速存储器。所述存储器控制器配置成确定待存储到所述多比特闪速存储器件中的数据是否是元数据(meta data);以及其中当待存储到所述多比特闪速存储器件中的数据确定为元数据时,所述存储器控制器配置成将通过所述元数据的地址和页偏移值的相加获得的地址确定为所述元数据的起始地址。

[0047] 可以将所述存储器控制器配置成当将待存储到所述多比特闪速存储器件中的数据确定为不是元数据时,确定是否存在基于待编程到所述多比特闪速存储器件的数据的起始地址属于页偏移值的低位数据。

[0048] 可以将所述存储器控制器配置成控制所述多比特闪速存储器件,使得当存在基于待编程到所述多比特闪速存储器件中的数据的起始地址属于页偏移值的低位数据时,将基于待编程数据的起始地址属于页偏移值的低位数据备份到所述存储块的自由存储块中。

[0049] 可以将所述存储器控制器配置成控制所述多比特闪速存储器件,使得当不存在基于待编程数据的起始地址属于页偏移值的低位数据时,将待编程数据编程到所述选定的存储块中。

[0050] 本发明的另一个方面是提供一种存储系统,包括:多比特闪速存储器件,所述多比特闪速存储器件包括多个存储块;以及存储器控制器,配置成控制所述多比特闪速存储器。所述存储器控制器配置成确定待存储到所述多比特闪速存储器件中的数据是否是元数据;以及当待存储到所述多比特闪速存储器件中的数据确定为元数据时,所述存储器控制器配置成分配至少一个页给自由页,其中待编程到所述至少一个页中的数据是影响低位数据的数据。

[0051] 可以将所述存储器控制器配置成当将待存储到所述多比特闪速存储器件中的数据确定为不是元数据时,确定是否存在基于待编程到所述多比特闪速存储器件中的数据的起始地址属于页偏移值的低位数据。

[0052] 可以将所述存储器控制器配置成控制所述多比特闪速存储器件,使得当存在基于

待编程的数据的起始地址属于页偏移值的低位数据时,将基于待编程数据的起始地址属于页偏移值的低位数据从所述存储块备份到自由存储块中。

[0053] 可以将所述存储器控制器配置成控制所述多比特闪速存储器件,使得当不存在基于待编程数据的起始地址属于页偏移值的低位数据时,将待编程数据编程到所述选定的存储块中。

附图说明

[0054] 将参考以下附图描述根据本发明的非限制性和非完全性实施例,其中贯穿全图相似的参考数字表示相似的部分,除非另有说明。在附图中:

[0055] 图1是用于描述根据传统的页单位程序操作的编程方法的图。

[0056] 图2是示出了根据本发明方面的存储系统的实施例的方框图。

[0057] 图3至5是用于描述对多比特闪速存储器件的页单位编程的各种方法的实施例的图。

[0058] 图6是用于描述根据本发明方面的存储系统的程序操作实施例的流程图。

[0059] 图7和8是用于描述根据本发明方面的存储系统的程序操作的实施例的图。

[0060] 图9是用于描述根据本发明方面的存储系统的程序操作时的数据备份操作的实施例的图。

[0061] 图10是用于描述在页偏移值彼此不同的情况下、根据本发明方面的存储系统的程序操作时的数据备份操作的实施例的图。

[0062] 图11是用于描述根据本发明其他方面的存储系统的程序操作的实施例的图。

[0063] 图12是用于描述对在高位数据程序操作时引起的电源故障导致丢失的低位数据进行恢复操作的实施例的流程图。

[0064] 图13是示出了根据数据恢复操作的实施例的数据流程的图。

[0065] 图14是用于描述在根据本发明方面的存储系统中的程序操作时、基于程序数据类型防止低位数据丢失的操作的实施例的流程图。

[0066] 图15是用于描述每个单元存储3比特数据的闪速存储器件的数据备份操作的实施例的图。

[0067] 图16是示出了根据本发明另一个方面的计算系统的实施例的方框图。

[0068] 图17是示出了根据本发明另一个方面的闪速存储器件的实施例的方框图。

具体实施方式

[0069] 下面将参考附图更加详细地描述根据本发明方面的系统和方法的优选实施例,其中示出了闪速存储器件作为示例,用于说明根据本发明的结构和操作特征。然而,本发明可以按照不同的形式来实现,并且不应该设想为局限于这里阐述的实施例。贯穿附图,相似的参考数字表示相似的元件。

[0070] 图2是示出了根据本发明方面的存储系统的实施例的方框图。

[0071] 参考图2,存储系统包括闪速存储器件100和存储器控制器200。例如,闪速存储器件100和存储器控制器200可以组成存储卡。在这种情况下,存储器控制器200可以配置成按照各种接口方式与外部装置连接。替代地,闪速存储器件100和存储器控制器200可以组成

由单个芯片构成的OneNANDTM闪速存储器件。但是,本领域普通技术人员应该理解,根据本发明的存储系统不局限于在该公开中所提供的特定实施例。

[0072] 闪速存储器件100可以是存储多比特数据的多比特闪速存储器件。闪速存储器件100可以配置成在存储器控制器200的控制下,执行编程、擦除和读取操作。例如,闪速存储器件100可以是诸如NAND闪速存储器件、CFT存储器件、NOR闪速存储器件、相变存储器件等之类的非易失性存储器件。存储器控制器200可以配置成响应于来自外部器件(例如主机)的命令来控制所述闪速存储器件。存储器控制器200可以包括中央处理单元(CPU)210、用于存储在固件中实现的一组指令的存储器220、缓冲存储器230和闪存接口240。尽管图中未示出,在图2中的存储系统组成存储卡的情况下,存储器控制器200还可以包括诸如安全块、加密/解密块等之类的功能块,这些功能是执行所述存储卡的功能所需的。

[0073] 当从外部装置接收命令时,CPU210可以基于在存储器220中存储的固件,控制与所述输入命令相对应的操作程序。在存储器220中存储的固件可以包括本领域公知的闪存翻译层(FTL, flash translation layer)。FTL可以包括地址映射功能、坏块管理功能、电源故障恢复功能、根据本发明的数据备份功能(用于防止低位数据丢失)等。存储器220可以是易失性存储器或非易失性存储器。可以将在存储器220中存储的固件存储在闪速存储器件100中。在这种情况下,在加电时可以将所述固件从闪速存储器件100加载到存储器220上。缓冲存储器230可以用于对待存储到闪速存储器件100中的数据或从闪速存储器件100读取的数据进行缓冲。闪存接口240可以基于CPU210的控制,利用读取/编程/擦除命令向闪速存储器件100传输地址和/或数据。

[0074] 当要求程序操作时,根据本发明的一个方面,存储器控制器200可以确定待存储到与所要求的程序操作相对应的页中的数据是否是多比特数据的LSB数据。如果确定待存储的数据为LSB数据比特,那么根据传统的编程程序,存储器控制器200可以向闪速存储器件100传输命令、地址和数据。如果待存储的数据不是LSB数据比特,那么存储器控制器200可以控制闪速存储器件100,使得将与待存储数据有关的存储单元的数据备份到闪速存储器件100的自由存储块中。可以在程序操作之前或对LSB数据比特编程之后执行数据备份操作,这将随后更加全面地描述。利用这种数据备份操作,可以防止低位数据比特由于高位数据比特的程序操作时引起的电源故障导致丢失。另外,可以对由于高位数据比特的程序操作时引起的电源故障导致丢失的低位数据比特进行恢复。这将随后更加全面地描述。

[0075] 图3至5是用于描述对多比特闪速存储器件的页单位编程的各种方法的实施例的图。为了便于描述,假设将2比特数据存储在存储单元中。在下文中,在存储单元中存储的两个数据比特中,一个称作低位数据比特(或者LSB数据比特),另一个称作高位数据比特(或者MSB数据比特)。本领域普通技术人员应该理解,可以将这些方法扩展到具有多于2比特的数据。

[0076] 多个存储单元可以与每一条字线相连。在图3中,示出了与三条字线WL0至WL2和一条位线BL相连的三个存储单元。但是,本领域普通技术人员应该明白更多个数的存储单元与每一条字线相连。在与每一条字线相连的各个存储单元中存储的数据比特可以组成两个页数据。例如,在与字线WL0相连的各个存储单元中存储的LSB/低位数据比特可以组成LSB/低位页数据,而在与所述字线WL0相连的各个存储单元中存储的MSB/高位数据比特可以组成MSB/高位页数据。

[0077] 如图3所示,可以将第一页数据比特0P(作为LSB页数据)和第二页数据比特1P(作为MSB页数据)可以连续地存储在与字线WL0相连的存储单元中。在字线WL1的情况下,第三页数据比特2P(作为LSB页数据)和第四页数据比特3P(作为MSB页数据)可以连续地存储在与所述字线WL1相连的存储单元中。同样地,在字线WL2中,第五页数据4P(作为LSB页数据)和第六页数据比特5P(作为MSB数据)可以连续地存储在与字线WL2相连的存储单元中。如从图3的表中所理解的,确定字线编号WN、页编号PN和表示LSB数据和MSB数据的数据类型DT之间的关系,将LSB页数据和MSB页数据存储在相同行/字线的存储单元中。换句话说,在相同存储单元中存储的LSB页和MSB页之间的距离(在下文中称作“页偏移值”)是“1”。在所述页偏移值是“1”的情况下,可以将LSB页数据和MSB页数据连续地编程在存储单元中。

[0078] 参考图4的页单位编程方法,可以将第一页数据0P、第二页数据1P和第三页数据2P连续地编程在分别与字线WL0、WL1和WL2相连的存储单元中。然后,可以将第四页数据3P、第五页数据4P和第六页数据5P连续地编程在分别与字线WL0、WL1和WL2相连的存储单元中。在这种情况下,在相同存储单元中存储的LSB页和MSB页之间的距离(即页偏移值)是“3”。在页偏移值是“3”的情况下,可能没有将LSB页数据和MSB页数据连续地编程在存储单元中。

[0079] 参考图5的页单位编程方法,不会恒定地保持页偏移值,而是将其划分为不同的值。例如,如图5所示,页偏移值包括“2”和“4”。如从图5所理解的,可以将第一页数据0P和第二页数据1P编程在分别与字线WL0和WL1相连的存储单元中。然后,可以将第三页数据2P和第四页数据3P编程在分别与字线WL0和WL1相连的存储单元中。在这种情况下,将LSB页和MSB页之间的页偏移值存储在相同的单元中,即页偏移值是“2”。另一方面,可以将第五页数据4P至第八页数据7P连续地编程在分别与字线WL2至WL5相连的存储单元中。然后,可以将第九页数据8P至第十二页数据11P连续地编程在分别与字线WL2至WL5相连的存储单元中。在这种情况下,在相同存储单元中存储的LSB页和MSB页之间的距离(即页偏移值)是“4”。

[0080] 图6是用于描述根据本发明方面的存储系统的程序操作实施例的流程图,图7和8是用于描述根据本发明方面的存储系统的程序操作的实施例的图,以及图9是用于描述根据本发明方面的在存储系统的程序操作时的数据备份操作的实施例的图。在下文中将参考附图更加全面地描述根据本发明方面的存储系统的程序操作。在这些实施例中,假设在相同存储单元中存储的LSB页和MSB页之间的距离(即页偏移值)是“4”。将在这种假设下描述根据本发明的存储系统的程序操作。

[0081] 参考图6,当要求程序操作时,可以将命令、地址和数据从外部装置(例如主机)提供给存储器控制器200(B310)。此时,输入数据可以存储在缓冲存储器230中。为了便于描述,如图7所示,假设将用“A”标记的数据0P至4P存储在闪速存储器件100的选定存储块中。存储器控制器200可以确定是否将数据预先存储在待存储输入数据的存储单元中。此外,根据本发明方面的存储器控制器200可以确定待存储在与所要求的程序操作相对应的页中的数据是否是2比特数据的LSB比特(B320)。如果待存储的数据是LSB数据,存储器控制器200可以将程序命令与地址和数据一起发送给闪速存储器件100(B340)。闪速存储器件100可以响应与地址和数据一起发送的程序命令而执行程序操作。

[0082] 另一方面,如果待存储的数据不是LSB数据比特,可以基于当前存储的数据的起始页对于属于页偏移值的LSB页执行数据备份操作。例如,在图7和8的CASE1,可以基于由“B”标记的数据的起始页5P,将属于页偏移值(OFFSET=4)的LSB页数据1P至3P备份到自由存储

块的相应页1P至3P。这是为了防止先前存储的LSB数据由于在由“B”标记的数据的程序操作时的电源故障导致丢失。可以按照各种方式进行数据备份操作。例如,可以经由众所周知的回写(copy-back)程序操作将数据备份到闪速存储器件100的自由存储块。替代地,可以将待备份数据经由存储器控制器200存储在自由存储块的相应页中。这可能需要一组读取和程序操作。本领域普通技术人员应该明白,可以经由存储器控制器200的错误检测和校正单元(未示出)进行对于经由读取操作读出的备份数据的错误检测和校正操作。本领域普通技术人员还应该明白,数据备份操作不局限于该公开中所述的。在图7和8的CASE2中,可以基于由“D”标记的数据的起始页6P,将属于页偏移值(OFFSET=4)的LSB页数据2P和3P备份到自由存储块的相应页2P和3P。另一方面,在图7和8的CASE3中,因为待存储的数据F是LSB数据比特,存储器控制器200可以将程序命令与地址和数据一起发送到闪速存储器件100,而不会进行数据备份操作(B340)。闪速存储器件100可以响应与地址和数据一起发送的程序命令而执行程序操作。

[0083] 如从以上描述所理解的,可以防止低位/LSB数据比特由于在高位/MSB数据比特的程序操作时引起的电源故障导致丢失。

[0084] 如上所述的数据备份操作可以在程序操作之前执行。另一方面,可以在对页数据编程之后连续地进行数据备份操作。例如,参考图9,可以经由步骤B410和B420将页数据编程到闪速存储器件100中。然后,存储器控制器200可以通过使用页偏移值来确定LSB数据是否包括在存储的数据内(B430)。如果是,可以根据上述方式将已存储数据的LSB数据备份到自由存储块中。随后,可以终止程序操作。

[0085] 如图10所示,图10是用于描述在页偏移值彼此不同的情况下、根据本发明方面的存储系统的程序操作时的数据备份操作的实施例的图,可以将多个(例如两个)页偏移值应用于存储块。也可以使用上述方法执行这种情况下的数据备份操作。例如,在CASE4,因为待存储数据是LSB数据,不会执行数据备份操作。然而在CASE5中,因为待存储数据不是LSB数据,执行对于属于页偏移值的LSB页的数据备份操作,基于待存储数据的起始页来执行所述备份操作。即,可以基于由“D”标记的数据的起始页11P将属于页偏移值(OFFSET=2)的LSB页数据9P备份到自由存储块的相应页9P。

[0086] 图11是用于描述根据本发明其他方面的存储系统的程序操作的实施例的图。

[0087] 为了防止低位页数据当编程高位页数据时引起的电源故障导致丢失,如图11的CASE6所示,可以将通过将页偏移值(例如6P)和其中将存储由“B”标记的数据的页编号(例如,6P)相加获得的页编号(例如10P)确定作为由“B”标记的数据的起始页编号。替代地,在图11的CASE7中,通过将影响低位页的页设定到自由/空页,可以防止低位数据的丢失。可以经由页地址的增加来检测自由页。当存储大容量数据(例如移动图片、MP3文件、图片等)以及小容量数据(例如,元数据)时,CASE6和CASE7是可用的。另外,将CASE7应用于存储系统是可用的,所述存储系统不会使用自由存储块。

[0088] 图12是用于描述对于在高位数据程序操作时引起的电源故障导致丢失的低位数据进行恢复操作的实施例的流程图,以及图13是示出了根据数据恢复操作的实施例的数据流程的图。

[0089] 参考图12,如果加电,存储器控制器200可以基于电源故障恢复功能确定电源故障是否出现(B150)。如果确定不是电源故障,可以终止数据恢复操作。随后,存储器控制器200

可以根据外部装置(例如主机)的请求控制闪速存储器件100。如果确定是电源故障,如图13所示,存储器控制器200可以控制闪速存储器件100,以便将存在电源故障的存储块(即故障存储块)中的有效数据和备份存储块中的备份数据两者都复制到自由存储块中(B520)。可以经由各种方式进行将数据复制到自由存储块的操作,例如回写程序方式、反复读取和程序方式(iterative read and program manner)等。可以经由数据备份操作恢复由于电源故障导致丢失的低位数据。可以经由擦除程序(或者不需要擦除程序)向自由存储块分配故障存储块和备份存储块。

[0090] 图14是用于描述在根据本发明的存储系统中的程序操作时、基于程序数据类型、按照不同方式执行用于防止低位数据丢失的操作的实施例的流程图。

[0091] 参考图14,存储器控制器200可以确定待存储在闪速存储器件100中的数据是否是元数据(B610)。在待存储在闪速存储器件100中的数据是元数据的情况下,存储器控制器200可以根据图11中所述的程序跳转方式执行程序操作(B620)。利用这种方式,可以防止由于在高位数据的程序操作时产生的电源故障导致的低位数据丢失。另一方面,在待存储在闪速存储器件100中的数据不是元数据的情况下,存储器控制器200可以基于参考图6和图9所述的备份方式执行程序操作(B630)。同样地,通过这种方式,可以防止在高位数据的程序操作时产生的电源故障导致的低位数据丢失。

[0092] 图15是用于描述每个单元存储3比特数据的闪速存储器件的数据备份操作的实施例的图。

[0093] 在每个单元存储3比特数据的情况下,当存储第二数据比特时和当存储第三数据比特时的页偏移值可以是不同的。如从图15所理解的,低位数据比特,即LSB数据比特0P/1P/2P可能由于当将第二数据比特3P/4P/5P存储为高位数据比特时发生的电源故障导致丢失。在这种情况下,页偏移值可以是“3”。另外,LSB数据比特3P/4P/5P可能由于当将第三数据比特6P/7P/8P存储为高位数据比特时发生的电源故障导致丢失。在这种情况下,页偏移值可以是“6”。因此,当存储M比特数据(例如,其中M是大于或等于3的整数)时可以根据不同页偏移值执行数据备份操作。可以按照上述相同方式执行数据备份操作,因此省略其描述。

[0094] 图16是示出了根据本发明另一个方面的计算系统的实施例的方框图。

[0095] 参考图16,计算系统可以包括主机300、存储器控制器400和闪速存储器件500。存储器控制器400可以根据主机300的请求来控制闪速存储器件500。与图2中所述的存储器控制器不同,图16中的存储器控制器400可以配置成执行传统的存储器控制功能。主机300可以包括器件驱动器DD,不只用于执行与存储器控制器400的接口功能,而且根据上述数据备份方式执行防止丢失低位数据的功能。这种数据备份方式与上述方式相同,因此省略其描述。

[0096] 图17是示出了根据本发明另一个方面的闪速存储器件的实施例的方框图。

[0097] 参考图17,闪速存储器件600可以包括存储单元阵列610、行选择器电路620、读出放大器和写入驱动器电路630、列选择器电路640和控制逻辑650。在示例实施例中,闪速存储器件600可以是NAND闪速存储器件。具体地,控制逻辑650可以包括执行上述数据备份操作所必须的固件651。控制逻辑650可以经由固件651控制上述数据备份操作。

[0098] 以上公开的主题应该认为是说明性的而不是限制性的,并且所附权利要求意欲覆盖落在本发明的真实精神和范围内的全部这些修改、改进和其他实施例。因此,在法律所允

许的最大范围，本发明的范围由所附权利要求及其等价物的最宽的允许解释来确定，而不应受到前述详细描述的限制或局限。

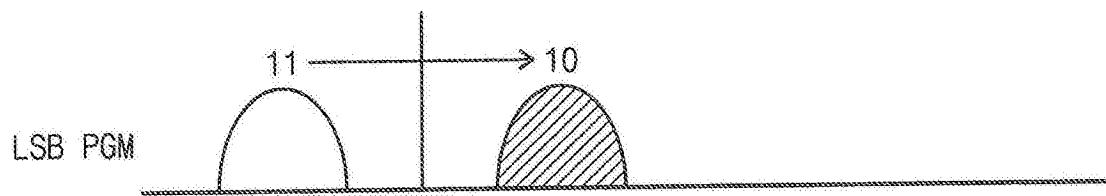


图1A

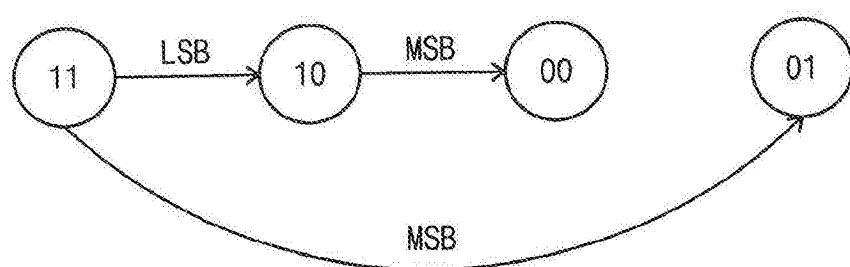
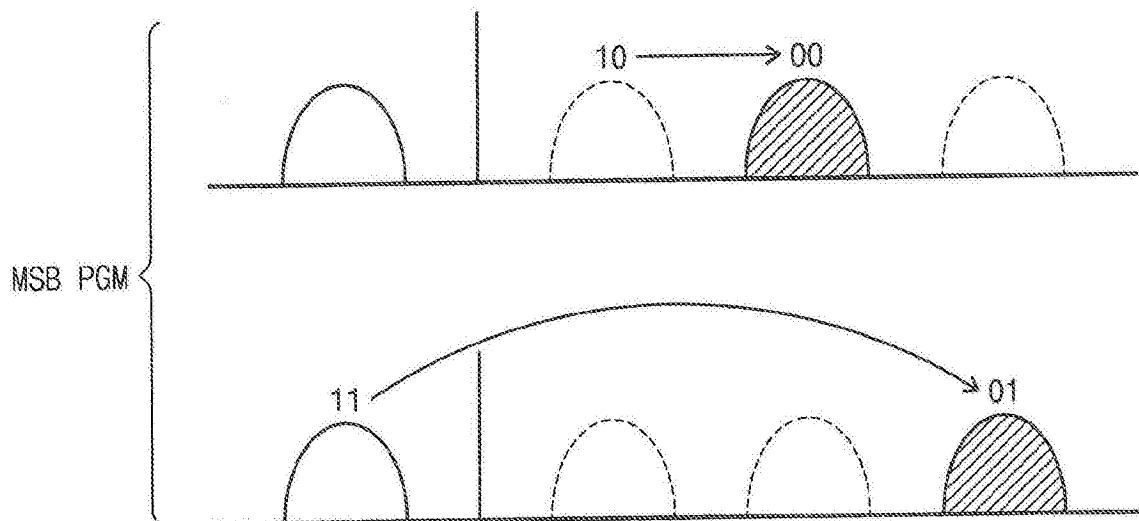


图1B

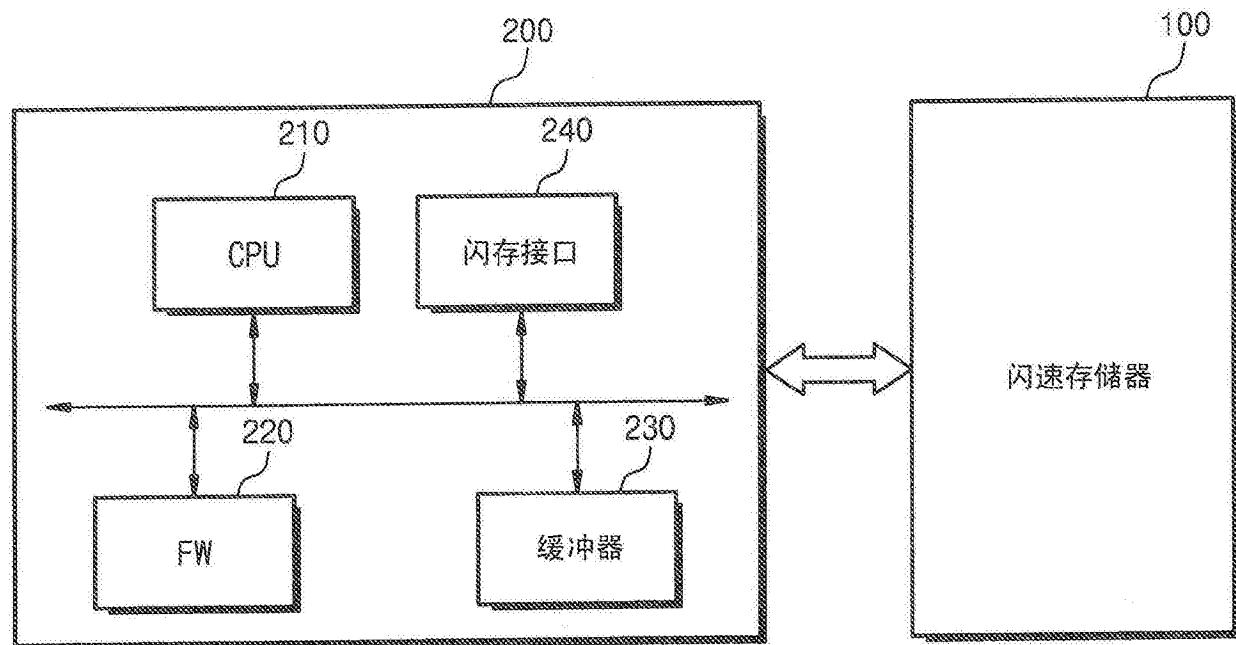


图2

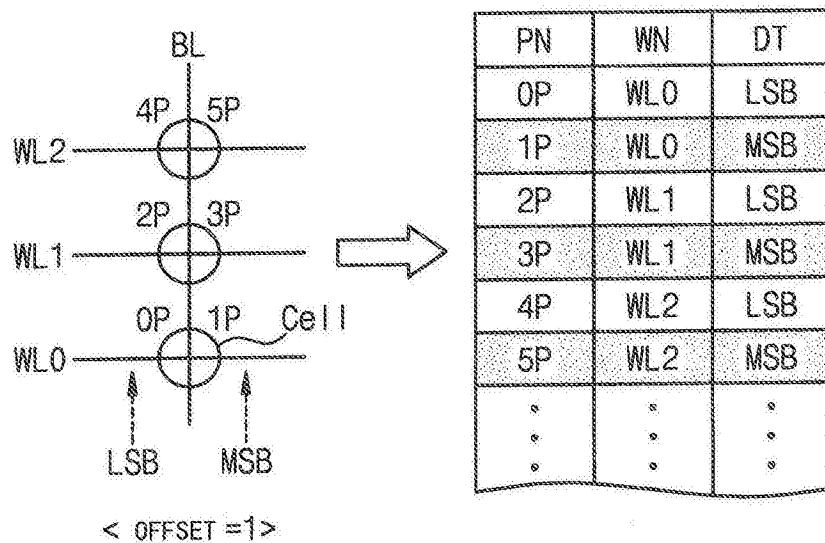


图3

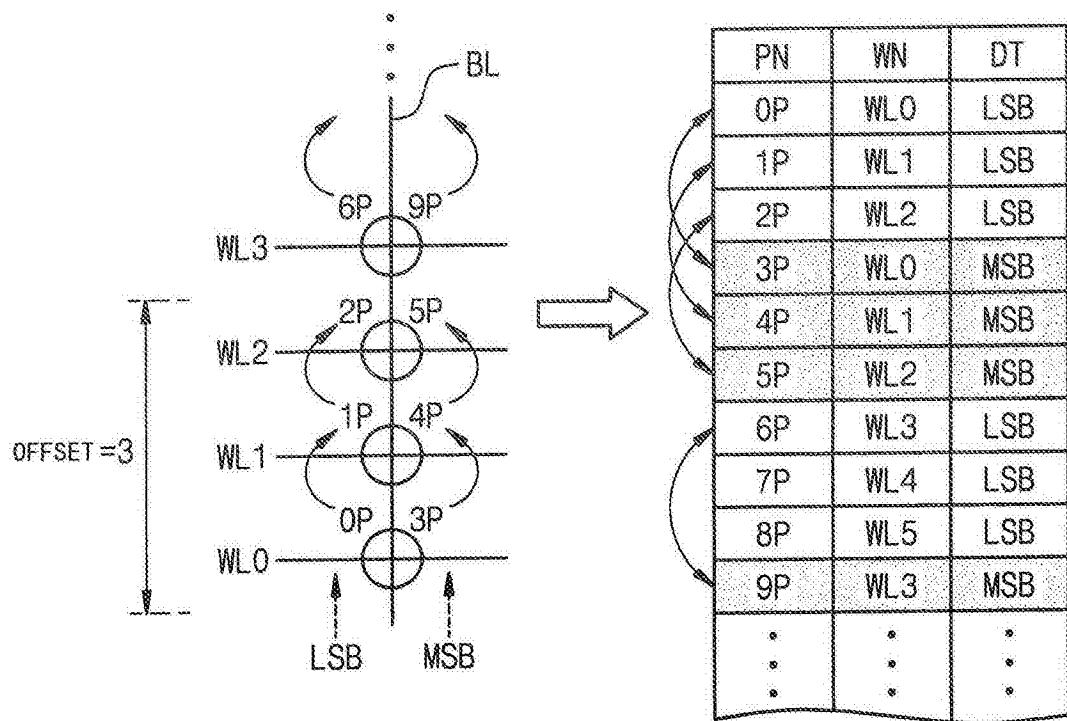


图4

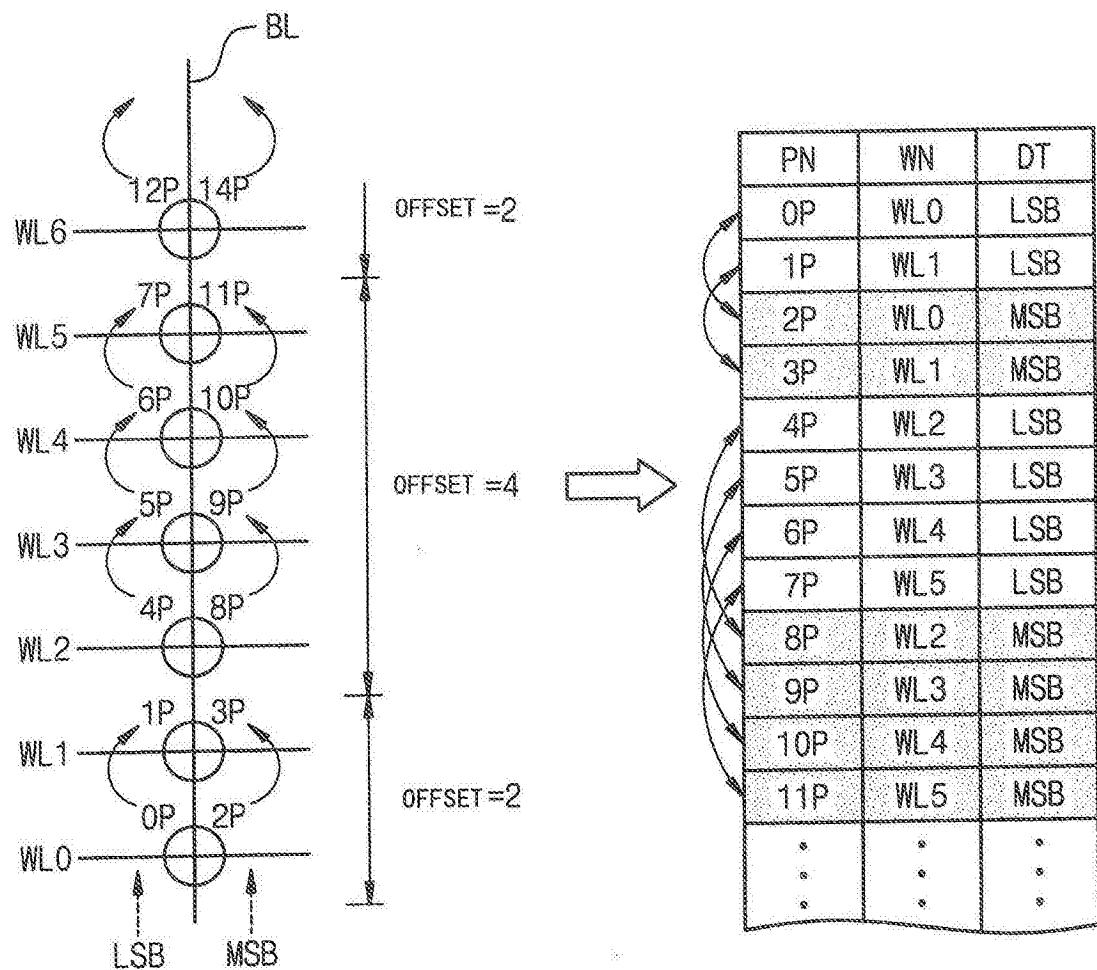


图5

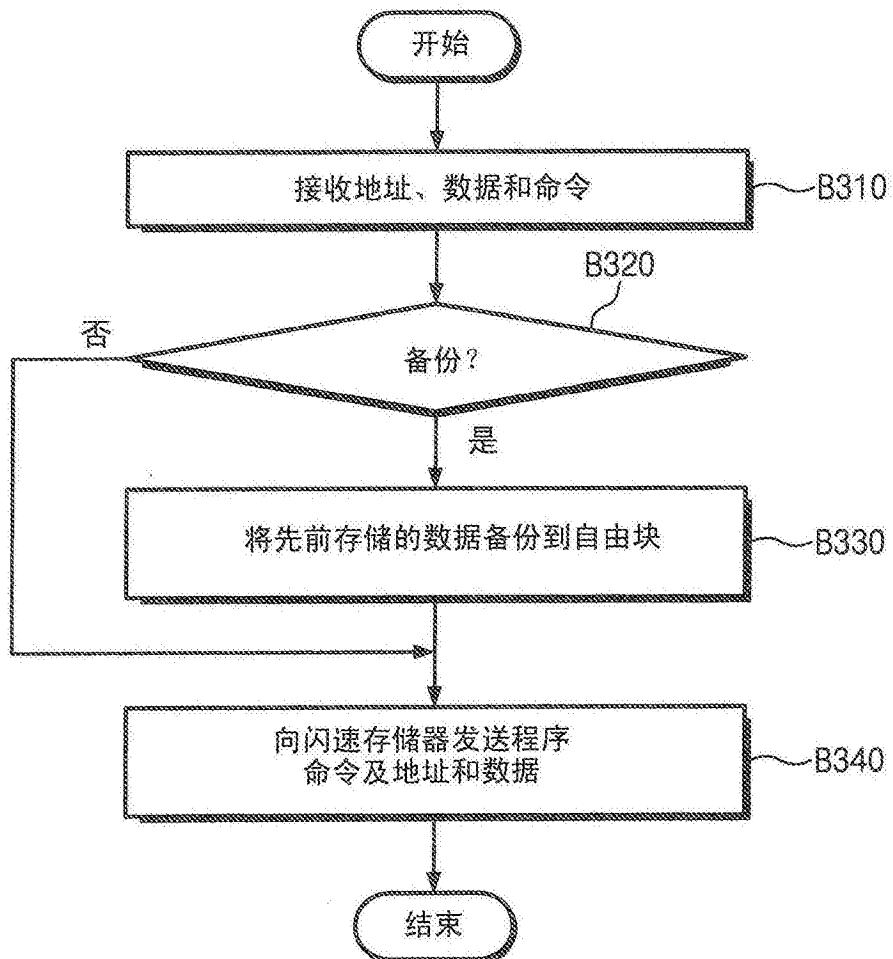


图6

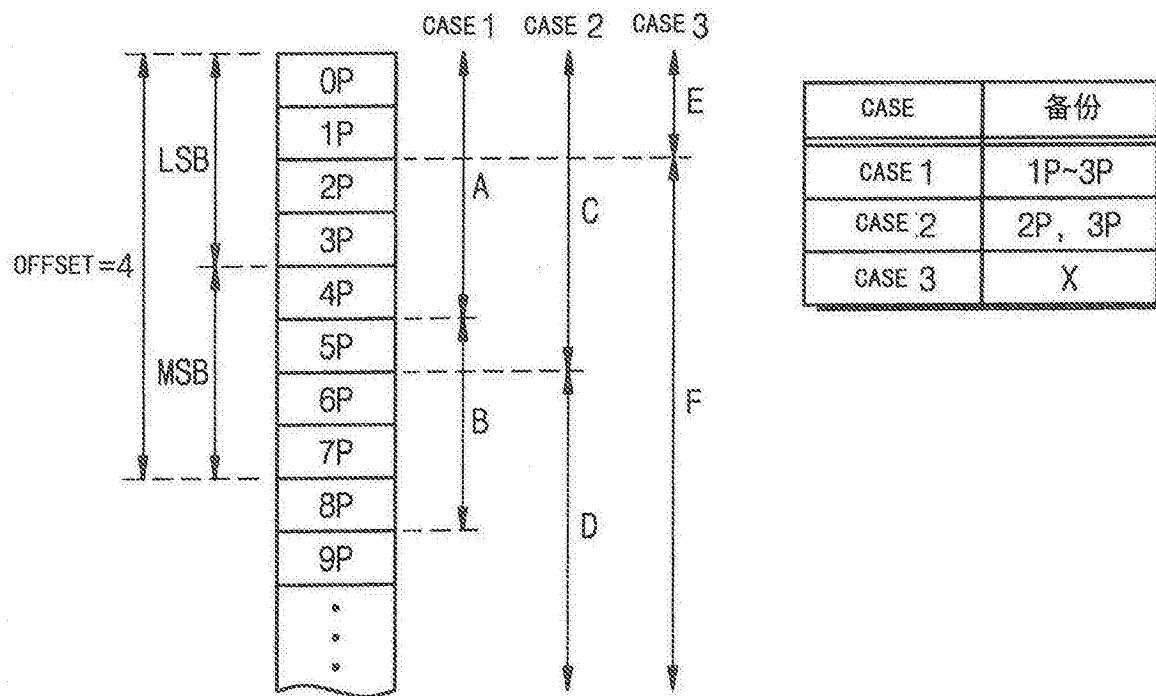


图7

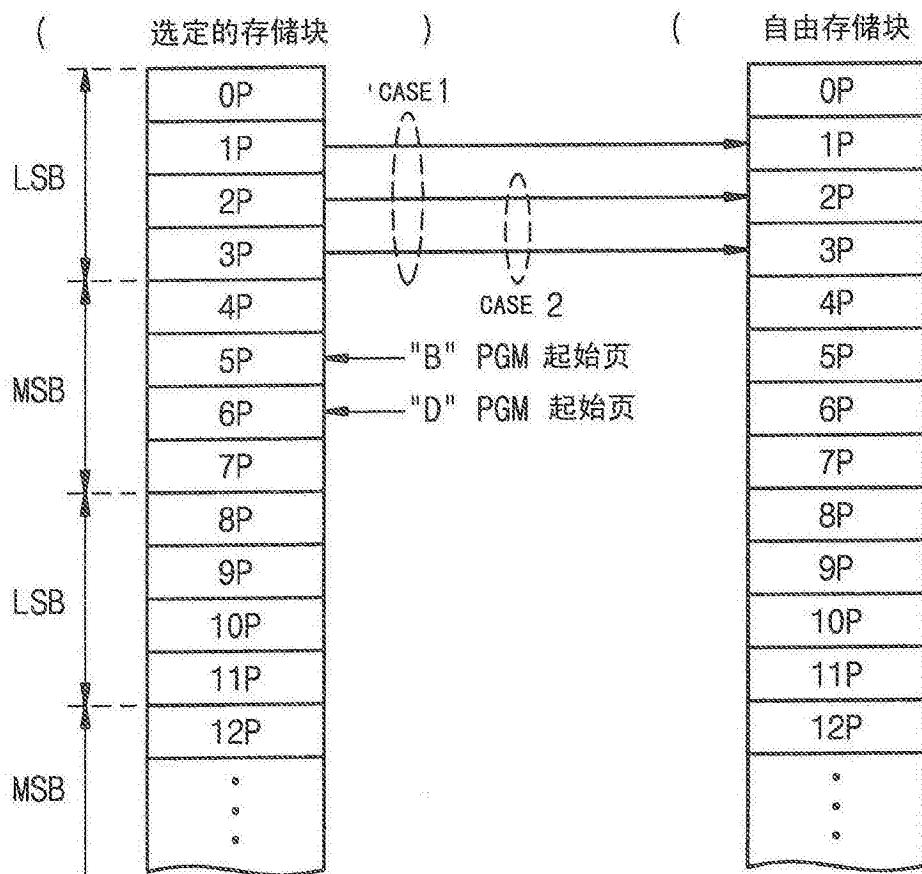


图8

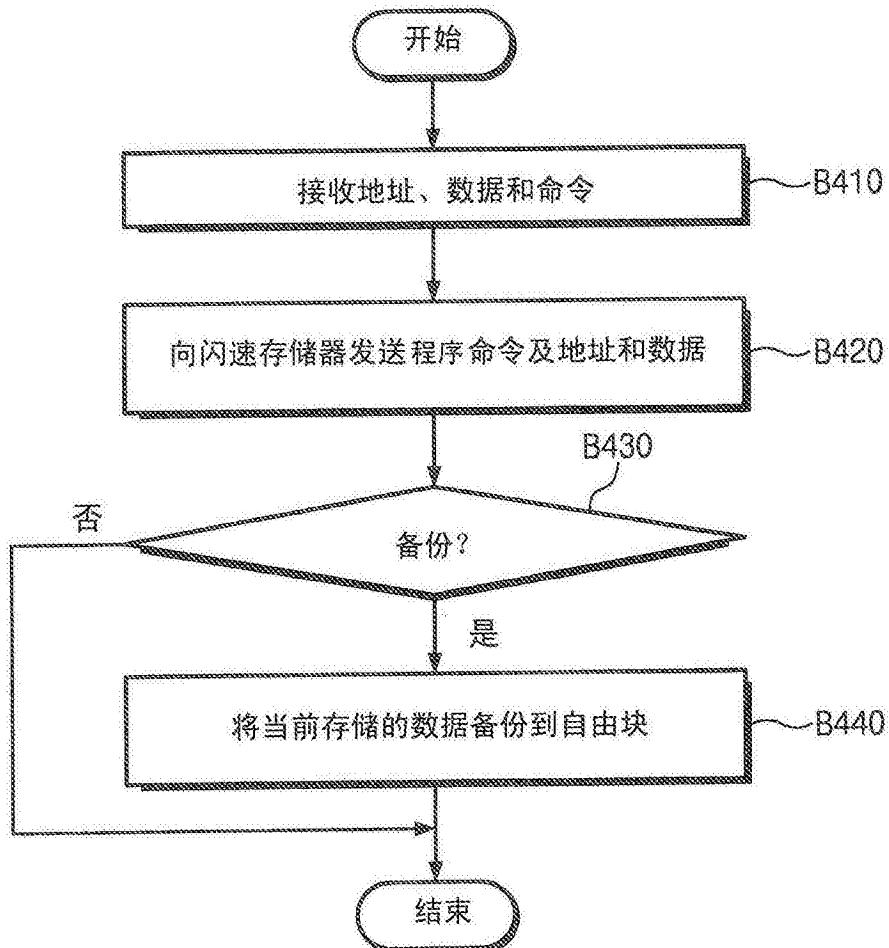


图9

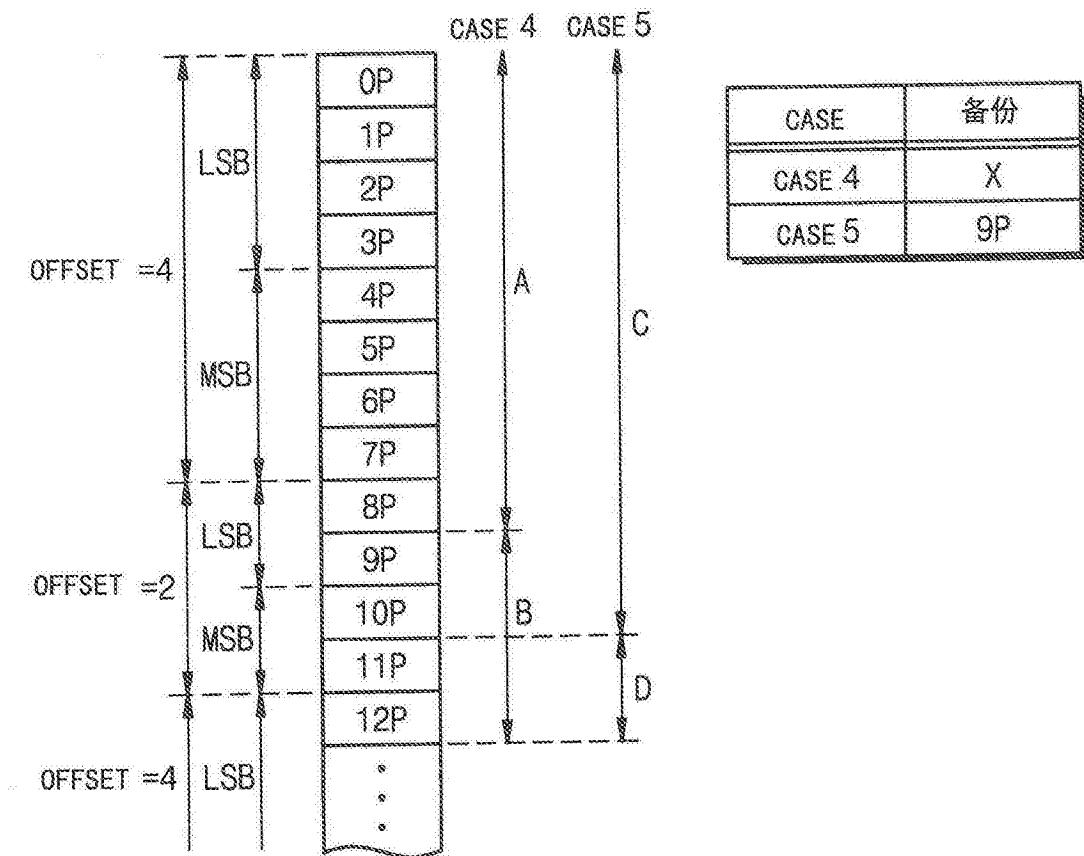


图10

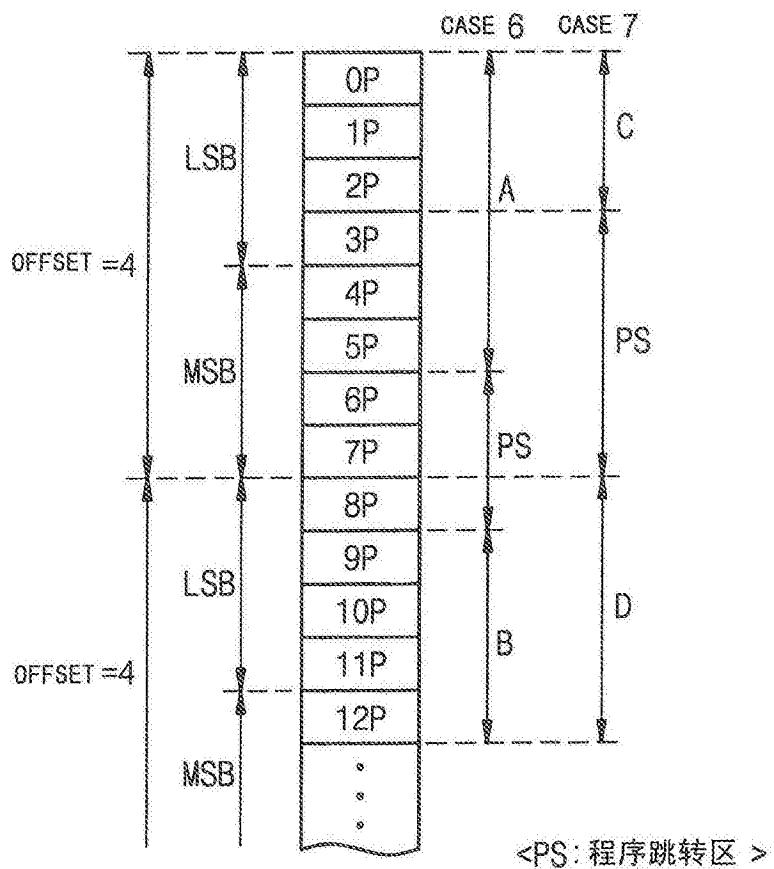


图11

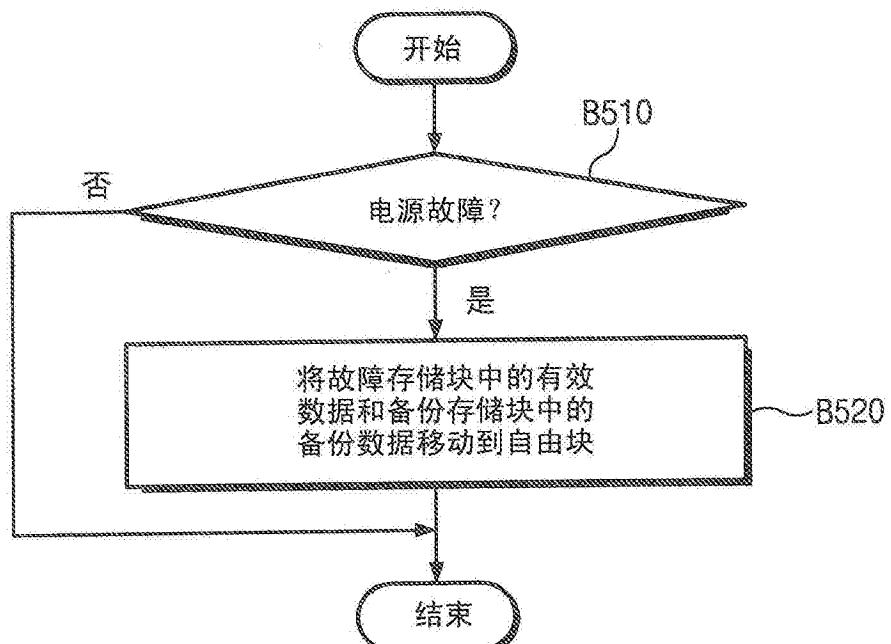


图12

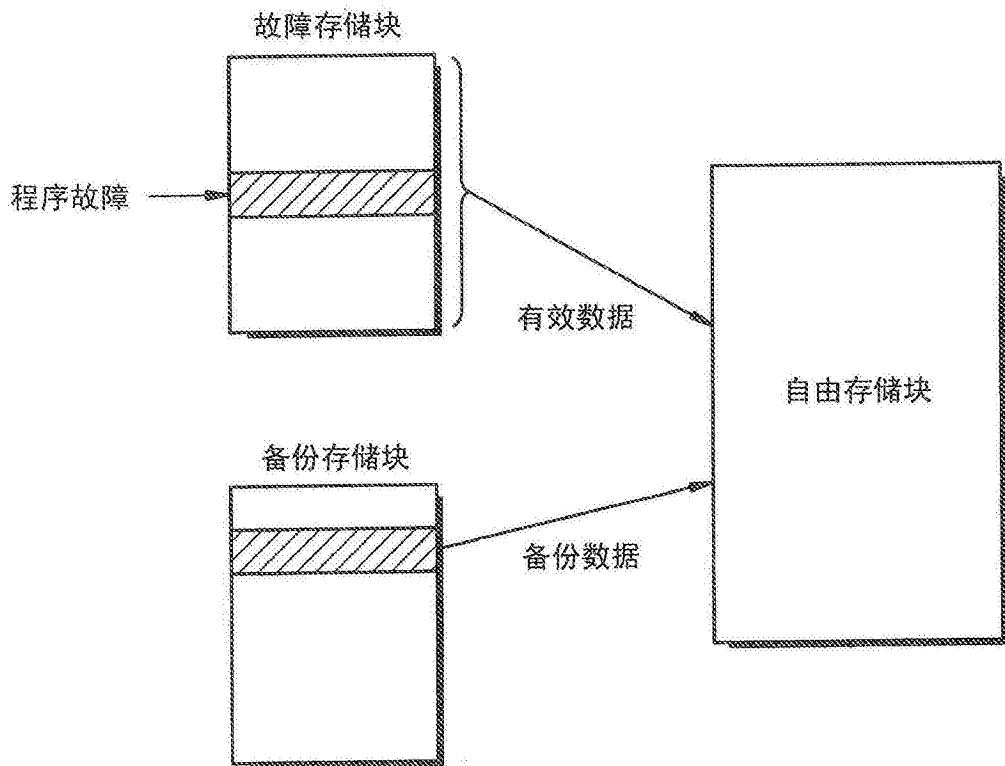


图13

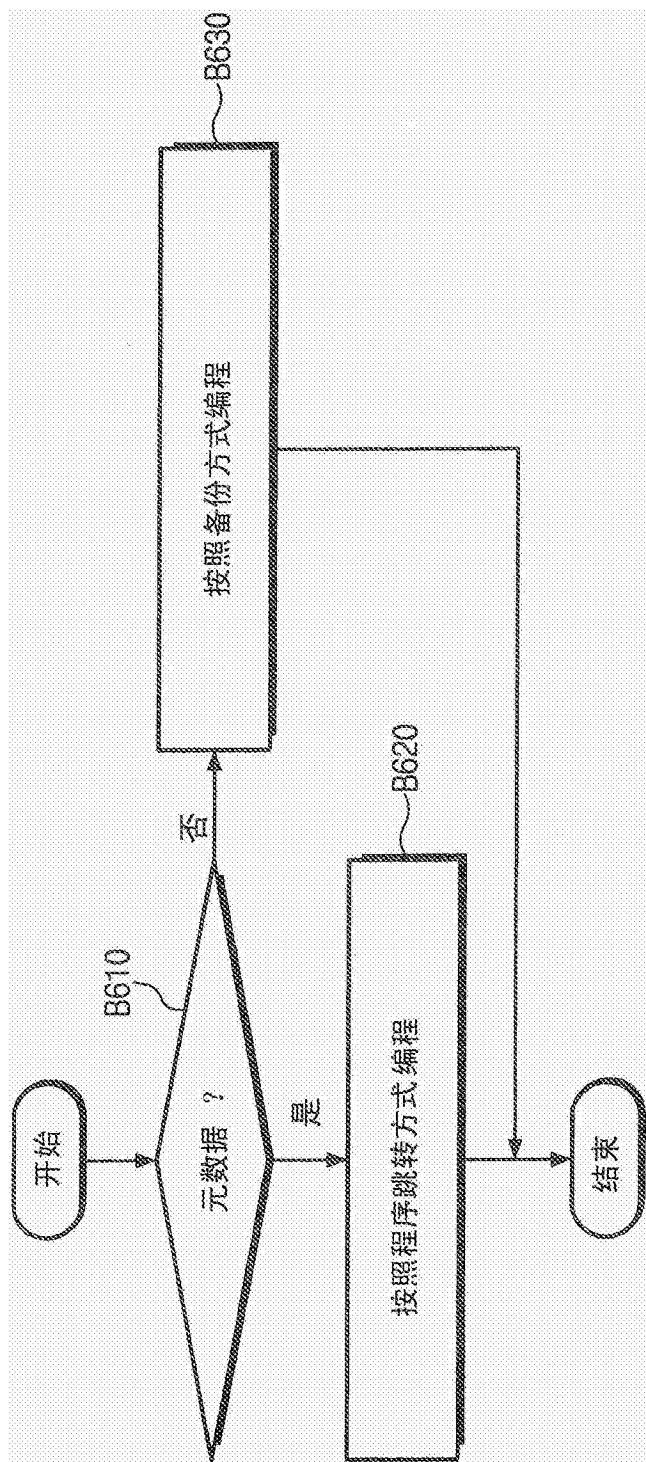


图14

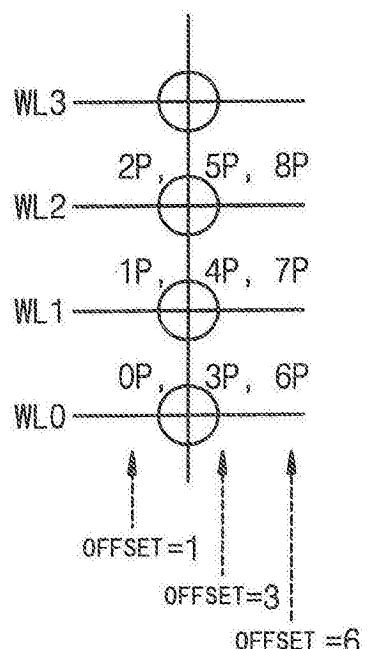


图15

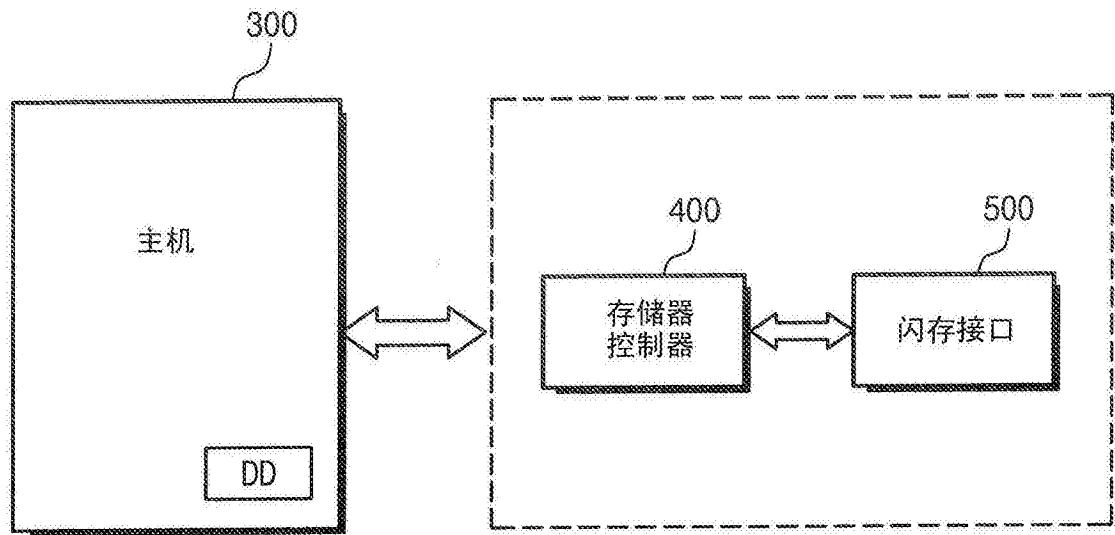


图16

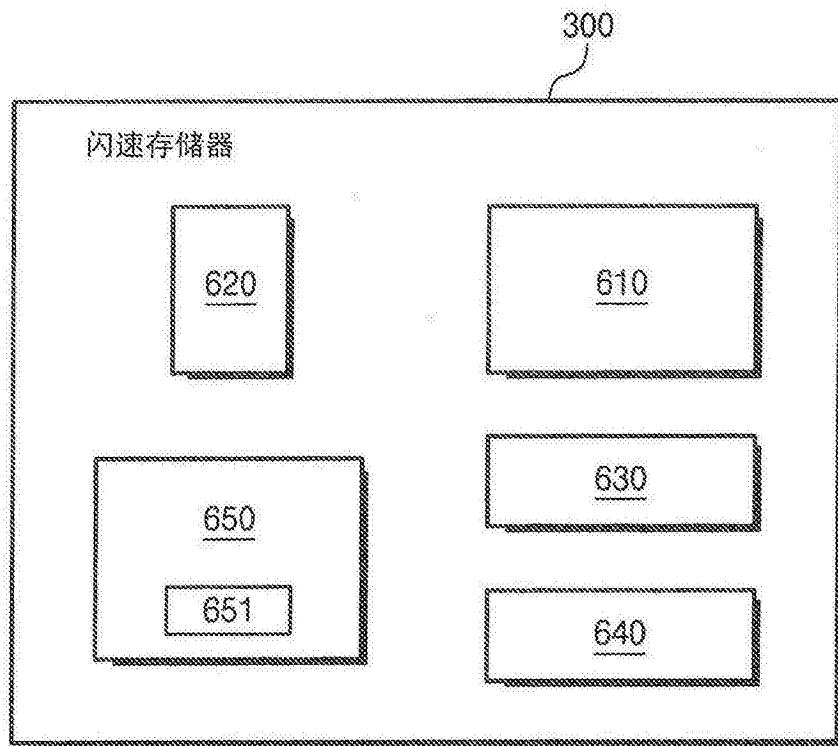


图17