

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94132559

※申請日期：94.9.20

※IPC 分類：H03M 1/0 (2006.01)

一、發明名稱：(中文/英文)

數位至類比轉換器結構

DIGITAL-TO-ANALOG CONVERTER STRUCTURES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商亞拿羅設計公司

ANALOG DEVICES, INC.

代表人：(中文/英文)

威廉 懷斯

WISE, WILLIAM

住居所或營業所地址：(中文/英文)

美國麻州諾伍市科技路1號

ONE TECHNOLOGY WAY NORWOOD MASSACHUSETTS 02062,

U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 派屈克 C. 科比

KIRBY, PATRICK C.

2. 科林 G. 萊登

LYDEN, COLIN G.

3. 杜多 M. 微雷諾

VINEREANU, TUDOR M.

國 籍：(中文/英文)

1. 愛爾蘭 IRELAND

2. 愛爾蘭 IRELAND

3. 羅馬尼亞 ROMANIA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年09月20日；60/611,469

2. 美國；2005年02月01日；11/048,374

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於數位至類比轉換器(DAC)，且詳言之係關於使用電阻性梯式配置(resistive ladder configuration)實施之DAC結構。本發明更特定言之係關於基於R-2R配置之DAC結構。

【先前技術】

DAC結構於此項技術中已為吾人所熟知。其用於將一通常以二進位碼形式提供之輸入數位訊號轉換至一以相應電壓或電流形式之類比輸出訊號。此可藉由使用開關或電阻器或電流源之網路達成。

已知DAC結構之一實例在已讓渡予本申請案之受讓人之Dempsey等人之美國專利5 764 174(USP'174)中產生，其內容以引用方式併入本文中。USP '174描述一R-2R梯式結構，其包括複數個腳。每一腳均有助於該器件之解析度，以使提供於該結構內之腳越多則解析度越佳。然而，在向該梯式結構添加更多腳時，亦需要添加複數個相應的開關，此需要適當地定標。添加開關並非隨意的活動，因為每一新的開關需要與先前之開關適當地定標。由發明USP '174處理了該等開關之定標，其提供一控制電路以使得相對於一參考值來控制該等開關之導通電阻。然而，若需要DAC之高解析度，則在將該等開關保持在合理的操作參數及在電路布局上提供足夠的面積以容納大量開關方面仍存在問題。

高解析度DAC之另一問題在於DAC之線性與單調性受組件匹配之限制。隨機組件失配可降低DAC結構之單調性與線性。傳統上已藉由雷射修整組件調整其值或在板上併入校正電路來抵銷此問題。

因此，需要提供一DAC配置，其用以提供高DAC解析度且便於校正DAC線性誤差。

【發明內容】

因此，本發明之第一實施例提供一用以將一數位輸入字組轉換至一類比輸出電壓訊號的數位至類比轉換器(DAC)，該字組可被分割為一上部及一下部，該DAC包括第一組件，其包括一由該字組之下部控制的電阻器梯DAC且產生一輸出電壓；及一第二組件，其包括一由該字組之上部控制的一電阻器梯DAC且產生一輸出電壓。該第二組件被分段，該等個別區段中之至少一區段具有一低於該字組之上部之1 LSB的權值，且該第一組件進一步用以回應於第二組件之一區段的選擇以調諧該第二組件之輸出。

本發明之較佳特徵由本文所附之申請專利範圍獨立項所提供。有利實施例提供於申請專利範圍附屬項中。

該梯通常可提供於一R-2R拓撲或其修改版本中。在該標準R-2R結構之一修改中，移除某些連接"R"電阻器，且剩餘DAC電阻器被定標。此以電阻器面積為代價提高了該第一組件或下部DAC段之阻抗，但降低了DAC內流動之電流，且亦在DAC下部內相對於電阻器值降低了開關及佈線非理想之效應。

藉由將該DAC之一下部耦接至一電流源，該電流源經配置為將一定標之電流(相對於參考)注入該R-2R梯之一節點。本發明對於一給定解析度提供一最小化之總DAC面積，且減少開關定標問題。該注入可加入該梯之任何節點，但通常為耦接至一終止電阻器之頂部。

參考以下圖式可較好地理解本發明之此等及其他特徵。

【實施方式】

現在將參看圖1至6描述本發明。如圖1所示，根據實施本發明之一DAC之第一說明性實施例，提供一用以將一輸入數位訊號轉換至類比輸出訊號之數位至類比轉換器100。該轉換器包括一上部105及一下部110，該上部105負責轉換該數位輸入字組之包含該數位輸入字組之最高有效位元(MSB)的第一部分，該下部110負責轉換該數位輸入字組之剩餘部分(意即最低有效位元LSB)。上部之電阻R2可低於下部之電阻R1。可理解的是，本發明之DAC將一輸入字組轉換至對應於該輸入字組之單一類比輸出。然而，為解釋起見，可認為該輸入字組可被分割為兩個子字組：一含有該輸入字組之最低有效位元(LSB)的第一子字組及一含有該輸入字組之最高有效位元(MSB)的第二子字組，兩子字組中之每一子字組由該DAC之一部分進行轉換。根據本發明，下部不僅為該輸入字組之LSB提供相應類比輸出電壓訊號，而且可用於調諧上部。

如圖2所示，應瞭解其為圖1之配置作為一4位元DAC實施的一示範性實施例，上部105包括第一區段組200，在此

展示為兩區段205、210。下部在傳統R-2R配置中被提供為三個腳215、220及225，其中下部之每一腳提供有助於該DAC之輸出的1 LSB、2 LSB或4 LSB。一終止腳230耦接至一通常為接地訊號之Vref-。下部三腳中每一者分別經由開關235、240、245可切換地耦接於Vref-與Vref+之間。

切換該上部之組之每一區段對DAC輸出的效應對應於切換來自數位輸入字組之下部的一位元的倍數的效應(其等效於一低於該字組之上部之一LSB的權值)。在圖2之一4位元DAC之實例中，第一區段具備 $8/3$ LSB之權值，且第二區段具備 $16/3$ LSB之權值(等效於該字組上部之位元的 $1/3$ 及 $2/3$ 標稱權值)。當上部之兩區段一起切換時，其效應等於標準R-2R配置中之8 LSB。但是此等元件亦可獨立切換以在輸出上產生 $8/3$ LSB及 $16/3$ LSB之效應。因而可認為此組區段提供一切換電阻，其對於DAC輸出之效應超過(straddle)先前腳的效應。考慮到電阻器之匹配(其將對於每一程序為已知的)，圖2之DAC結構可進行修改以保證DAC之內部存在一開關組合，其將接近於全部所要的輸出電壓。該校正演算法隨後變為將輸入碼映射為開關碼之技術，其產生所要輸出。

圖2亦指示每一可切換元件之位元權值。此為切換每一位元時在DAC輸出上之效應。如對於一4位元DAC所預期，當切換全部元件時輸出等於15 LSB。下文表1展示兩種可能之切換序列，其等於或接近於所要轉移函數 $\text{Output}=\text{Code}*\text{LSB}$ 。在無電阻器誤差之情況下，序列1對於

每一輸入碼產生理想的輸出。在自碼7至碼8之中等標度過渡(midscale transition)中存在正微分非線性(DNL)誤差的情況下(8/3或16/3權值或兩個權值均過大)，若使用切換序列1，則此DAC不可被修正。隨後若選擇第二序列，在無失配的情況下，則每一輸入碼接近理想之輸出。在因8/3或16/3區段或兩區段均過大而存在正DNL誤差的情況下，可修改載入DAC之LSB段的碼以修正輸出，意即對於碼7載入10001而非碼10010來修正+1 LSB DNL之一誤差。可擴展此基本方案以校正高解析度DAC。

輸入碼	選項1切換序列	選項2切換序列
0	00000	00000=0
1	00001	00001 =1
2	00010	00010=2
3	00011	00011=3
4	00100	00100=4
5	00101	00101 =5
6	00110	00110=6
7	00111	10010=7.333
8	11000	10011 =8.333
9	11001	10100=9.333
10	11010	10101 =10.333
11	11011	11011 =11
12	11100	11100=12
13	11101	11101 =13
14	11110	11110=14
15	11111	11111 =15

表 1

因此應瞭解的是，若使用第二切換序列，則當已自該上部之組中選擇一區段時，使用DAC下部之腳來調諧該DAC的輸出。使用該校正演算法之目的在於保證下部不會在全偏轉情況下被實施，意即下部之腳為全開啟或全關閉狀態。如此，可使用下部之腳以輸入字組調諧或調整來自上部區段之作用，從而為該輸入數位字組提供來自DAC之所要輸出，且較佳地可用於保證與 $+DNL < 1 \text{ LSB}$ 不存在偏差。

使用如圖2所示之配置在要求數位校正具有正 $DNL < 1 \text{ LSB}$ 之應用中係有利的。由於電阻器匹配限制，其在高解析度標準R-2R結構中較難得以保證。若標準4位元R-2R DAC中自0111至1000之中等標度過渡具有一正 $DNL > 1 \text{ LSB}$ ，則存在一無論向DAC載入什麼碼都不可獲得之所要輸出電壓。在圖2之實例中，已修改該R-2R結構以加入冗餘。在標準N位元R-2R結構中，存在N個可切換元件產生 2^N 個可能輸出。根據本發明，存在 $N+X$ 個可切換元件產生 $2^{(N+X)}$ 個可能輸出。此等額外可切換元件以該方式被結構化及定序以保證正 $DNL < 1 \text{ LSB}$ 。

如圖2所示，該下部較佳地以梯式配置而提供。本發明亦提供對該等習知梯式配置之修改。如圖3所示，在標準R-2R結構之一修改中，相鄰腳間之某些連接“R”電阻器被移除，且剩餘DAC電阻器(即彼等提供於終止腳與已移除電阻器之間之梯腳上的電阻器)被定標。在此情況下，電阻器之數目增加兩倍從而提供2R-4R配置。此在以電阻器

面積為代價之情況下提高了此等下部腳之阻抗，但降低了DAC中流動之電流，且亦在DAC之此等下部腳中相對於電阻器值降低了開關及佈線非理想之效應。藉由將電阻器之值加倍，腳上之絕大多數電壓穿過與開關相對之電阻器而降低。結果是該等開關之電阻對腳之作用變小，且其相關聯之定標問題比起此前造成之誤差更小。

如此前之描述，DAC之下部較佳具有一終止腳，該終止腳直接耦接至一參考訊號，通常為接地的。亦已知將該梯式配置之終止腳經由一開關耦接至地面，但根據本發明之較佳實施例，該耦接與經由開關耦接相反而是直接的。

根據第三實施例，提供對梯式配置之一修改，其中該梯額外耦接至一電流源400，該電流源經配置為將一定標之電流(相對於參考)注入該R-2R梯之一節點。此對於一給定解析度最小化了總DAC面積，且減少了開關定標問題。該注入可加入梯中任一節點，但通常耦接至一終止電阻器之頂部，如圖4所示。較佳地將該電流源耦接至該終止腳，因為此處DAC架構內可用之淨空間最大，且因此易於設計該電流源。一R-2R DAC梯式架構與電流源DAC之組合能夠在不增加電阻器與開關數目的情況下擴展該R-2R DAC之解析度。此用於擴展由該等架構提供之解析度。應瞭解，注入該終止腳之電流值通常為微安培級，然而若該電流注入該梯之其他腳，則通常要求一量級較大降低之訊號。

圖5展示可用於根據本發明之DAC實施例中的電流源電

路類型之一實例。然而，應瞭解的是所說明之結構與組件係示範性配置類型，熟習此項技術者可認為其提供一電流注入至圖4之電阻器梯中。在此實例中，提供一放大器A，其非反相輸入耦接至Vref+。反相輸入在一反饋配置中耦接至一電阻器及一開關Q2，其值定標為DAC下部之腳中開關與電阻器的值。開關Q2之閘極由一偏壓Vbias控制，以達成定標效應。該放大器之輸出控制第二開關Q1之閘極，其源極控制一鏡像配置之主MOSFET器件。該鏡面用以提供將電流(此處圖示為B0、B0/2及B0/4)選擇性耦接至該DAC下部之終止腳(此圖未展示，但此前已展示於圖3中)。選擇性切換達成分別注入等效於1 LSB、1 LSB/2及1 LSB/4之電流。該電流注入係有利的，因其改良了DAC之解析度而不需在電阻器梯DAC配置內需要額外的腳。

應理解的是，例如圖2、圖3及圖4所示之該等三個實施例中之任一者可獨立於其他而使用，但在較佳實施例中結合了全部三個實施例。圖6之架構中展示了該實例。為清晰起見，已將圖6再分為三張，如圖6A、6B及6C所示。可相互結合查看此等圖，以查看整個DAC結構。在圖6之此實施例中，上部105用以提供輸入字組之4位元。此等四位元提供於一區段式架構中，其具有十五個等權值區段，14個各自有兩個電阻器之腳S1至S14及一個腳/區段(S0)，其經進一步分割以提供一組具有1/3標稱權值之第一區段及2/3標稱權值之第二區段。此由第一腳(Leg S0A)內之6個電阻器及第二腳(Leg S0B)內之3個電阻器提供。

該DAC之下部被提供為一經修改之R-2R架構，其中下部與上部間的連接電阻器已移除，以對下部腳(腳B1-B11)(即連接電阻器通常所在區域下方的腳)定標從而提供一2R-4R架構。或者將區段B11、B10、B9及B8後的該等四位元分為圖2之標稱權值組，此處展示為1/3及2/3標稱權值配置。接下來的七個位元(B7...B1)被提供為一標準2R-4R實施例。位元0與LSB/2及LSB/4之權值藉由將終止腳耦接至一電流源，且使用該電流源以將電流注入該腳之中點(即提供該終止腳之4個電阻器之中點)而產生。低於1 LSB之權值用以在被要求時向DAC產生額外的解析度。作為應注入終止腳以產生所要結果之電流類型之實例，應注入此電流源

$$V_{ref}/[16R+4swres1]$$

(其中 $swres1=B1$ 腳上之開關的電阻)以產生 $Lsb/4$ 之一輸出變化。

應理解的是每一腳(B0-B11及S0-S14)均可切換地耦接至一電壓參考，對於電阻器梯式配置而言為正常的，但為方便起見未展示該等個別開關組件。

應瞭解本文中之教示提供一種改良之DAC架構，其中可獨立地或相互結合提供該等改良。此教示特定用以提供一為數位校正而最優化之DAC結構。此目標之達成係藉由提供一DAC結構，其包含一界定該DAC架構之主要部分的上部及一界定該架構之次DAC部分的下部。該次DAC部分用於提供該DAC之上部的調諧，以保證增大應用至該DAC之

輸入碼，該DAC提供一變化不超過1 LSB的輸出。此可藉由同時選擇性切換該DAC之上部及下部達成。

為使用數位校正演算法校正DAC之DNL及積分非線性(INL)誤差，下面的DAC架構應具有比經校正輸出之所要解析度更高之解析度，且亦應具有一保證轉移函數內不存在間斷之構件(即一保證無正DNL誤差 >1 LSB之構件)。本文中討論之架構滿足此等要求。

圖7展示為實施本發明提供之一DAC校正系統700的示意圖。該系統提供一種裝置及方法，以在存在組件匹配誤差時產生一線性的、電阻器梯式電壓輸出DAC。在此說明性實例中在介面解碼705處提供十六位元使用者輸入字組，其中該字組之MSB及LSB為分開的。

DAC 700包括一將DAC字組之MSB轉換至一輸出電壓的主段710及一轉換該DAC字組之LSB的次段715。該等段耦接在一起，以在一輸出720處提供一總輸出電壓。

主段710可提供於一諸如圖6中展示為區塊105之配置內，該主段710含有一電阻器梯，其經結構化使得其LSB低於次段715之全標度，但實質高於次段之LSB及總DAC轉移函數LSB。

次段715亦含有一電阻器梯結構，該結構類型之一實例圖示為圖6中之區塊110。

應瞭解，主段之該等梯式結構經配置及次經定標(在無失配的情況下)使得可獲得DAC轉移函數內之所有電壓點(除零標度(ZS)及全標度(FS)外)，而不需將ZS或FS載入次

段DAC。以此方式很明顯，該次段DAC使用一減小之碼範圍。

介面解碼經結構化以為每一使用者輸入碼(除全標度外)選擇一主段及次段DAC字組，從而當選擇一主段碼時，次段不在零標度或全標度處。亦提供一校正記憶體725，其為主段之每一區段儲存誤差修正。對於該主段的每一區段，可使用加法器730將自儲存於此記憶體中之資料所選擇的修正加入至該LSB字組。

在生產測試期間，量測了主段之區段內的誤差，且相應修正儲存在記憶體725內。此等修正隨後視載入之主段碼而定自動加入至載入次段之碼(即該主段之梯內所選擇的區段)。

熟習此項技術者應瞭解，本發明提供一可用於將數位輸入字組轉換至類比電壓輸出之DAC配置。所說明之實施例及操作原理已參考一上部及一下部或一第一及第二組件進行描述，但應瞭解使用該命名法係為了易於解釋，且其並不意欲以任何方式限制保護，除根據附加之申請專利範圍中認為必要之外。熟習此項技術者在不背離本發明之精神及範疇的條件下可對本文中描述之示範性實施例進行類似的修改，且該等修改對於熟習此項技術者係顯而易見的。

此說明書中之字"包含"用以規定所述特徵、整體、步驟或組件之存在，而不排除存在或加入一或多個其他特徵、整體、步驟、組件或其組群。

【圖式簡單說明】

圖 1 為根據實施本發明之第一說明性實施例之 DAC 配置的示意圖；

圖 2 為一根據圖 1 之實施例之 4 位元 DAC 架構的實例；

圖 3 為一根據說明性第二實施例之一 DAC 架構的實例；

圖 4 為一根據第三實施例之一 DAC 架構的實例；

圖 5 為可與圖 4 之實施例一起使用之一電流源的實例；

圖 6A、圖 6B 及圖 6C 為併入圖 2、3 及 4 內說明之所有三個實施例之一 DAC 架構的示意圖；及

圖 7 為展示一說明性第四實施例之示意圖。

【主要元件符號說明】

100	數位至類比轉換器
105	上部、區塊
110	下部、區塊
200	第一區段組
205、210	區段
215、220、225	腳
230	終止腳
235、240、245	開關
400	電流源
700	DAC 校正系統
705	介面解碼
710	主段
715	次段
720	輸出

I296880

725

校正記憶體

730

加法器

五、中文發明摘要：

本發明描述一種DAC架構。該架構特定用以基於一數位輸入字組提供一類比電壓輸出。該架構包括一電阻器梯式配置，其可再分為一用以轉換該輸入字組之一下部的第一組件，及一用以轉換該輸入字組之一上部的第二組件。該DAC經校正以使該第一組件可用於根據來自該第二組件之特定區段的選擇來調諧該第二組件之輸出。

六、英文發明摘要：

十一、圖式：

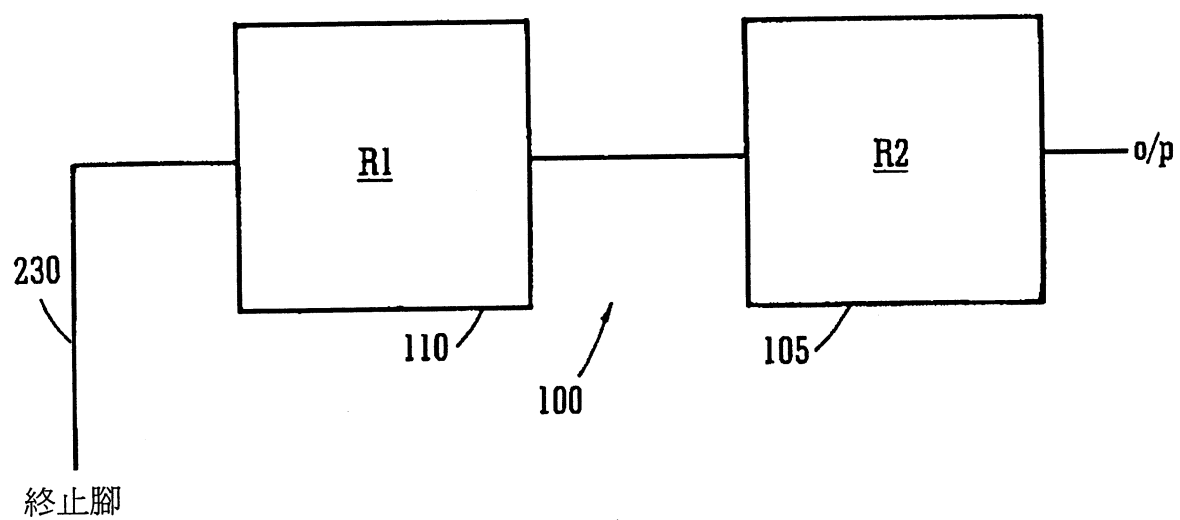


圖1

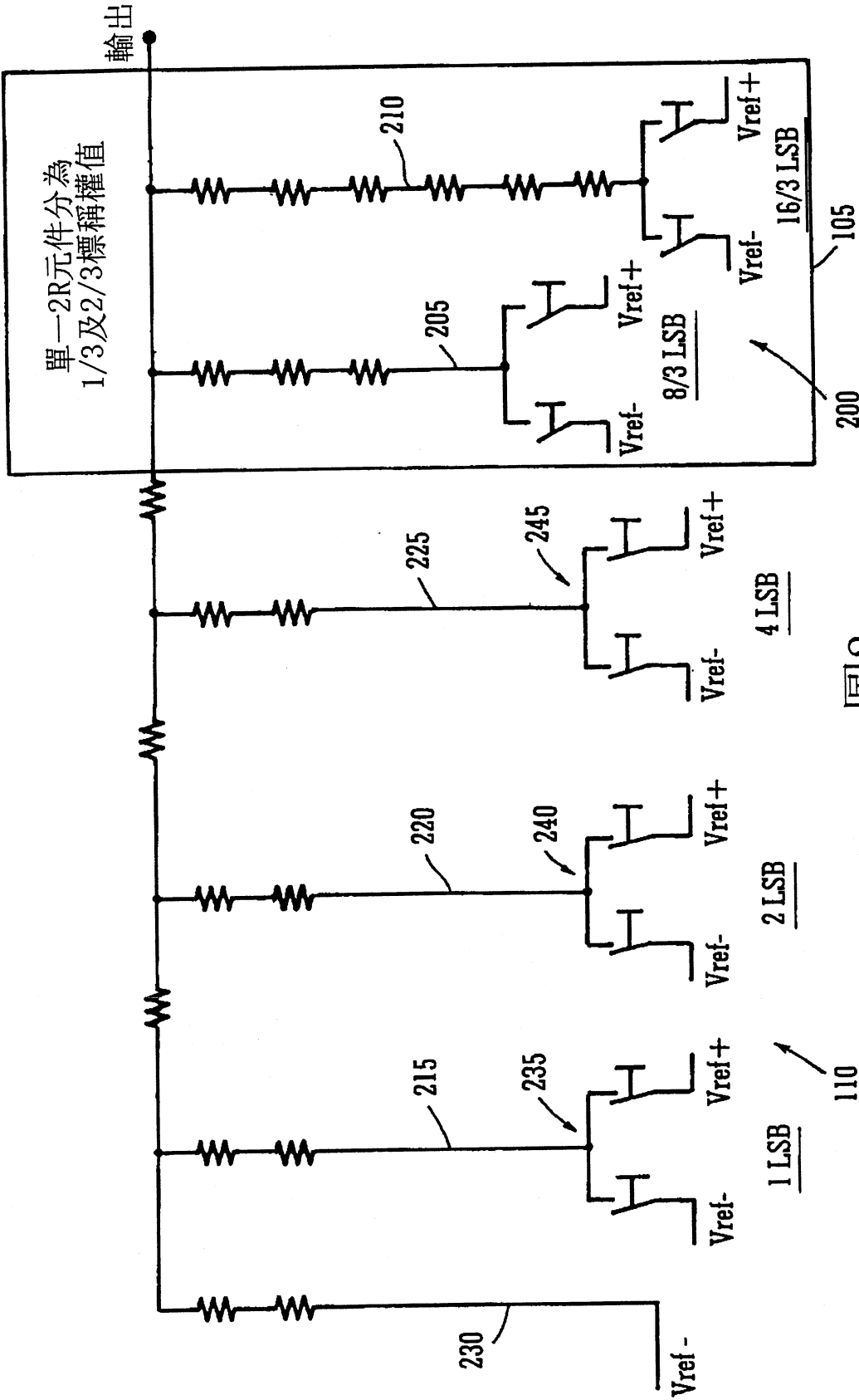
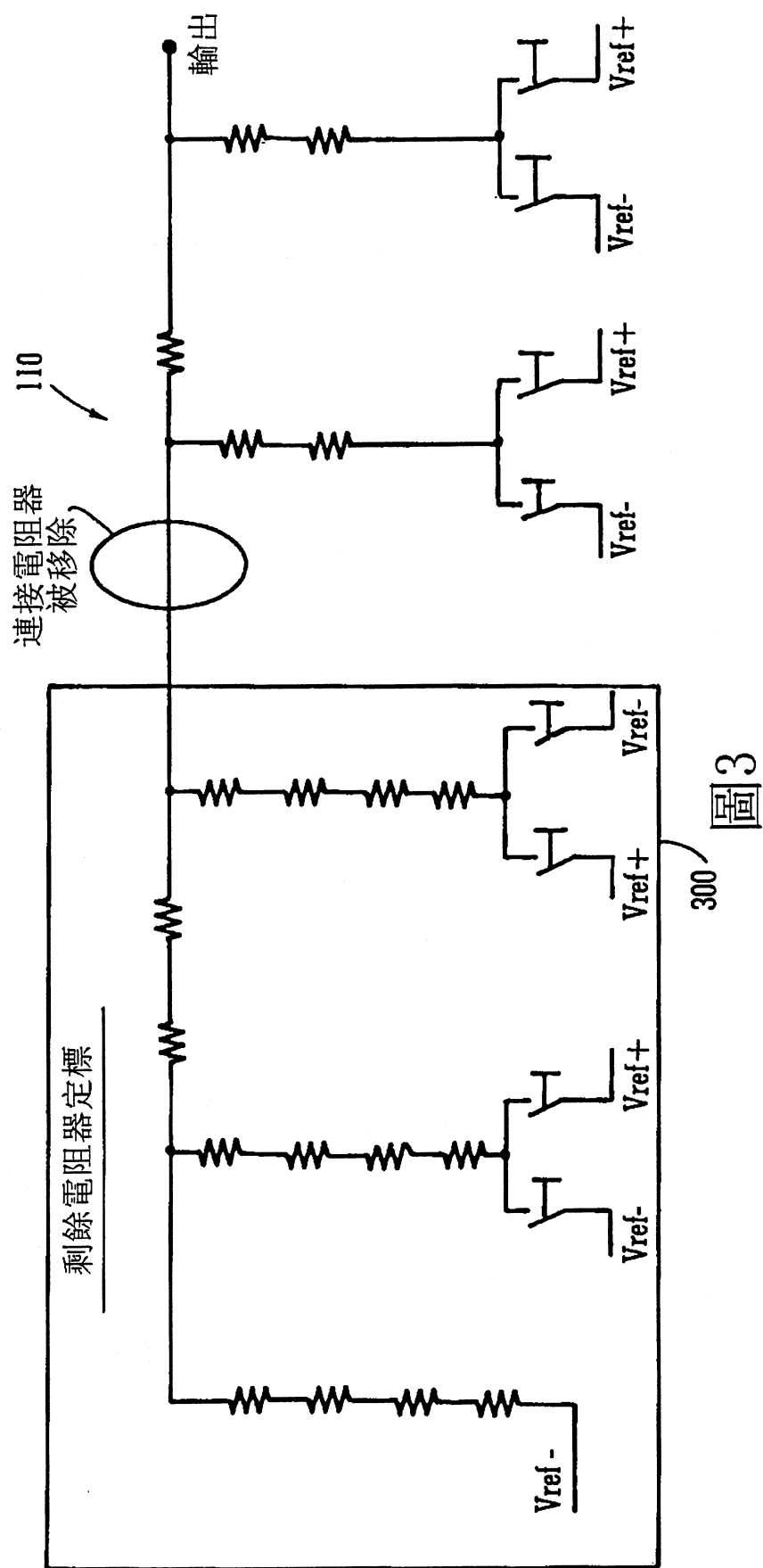


圖2



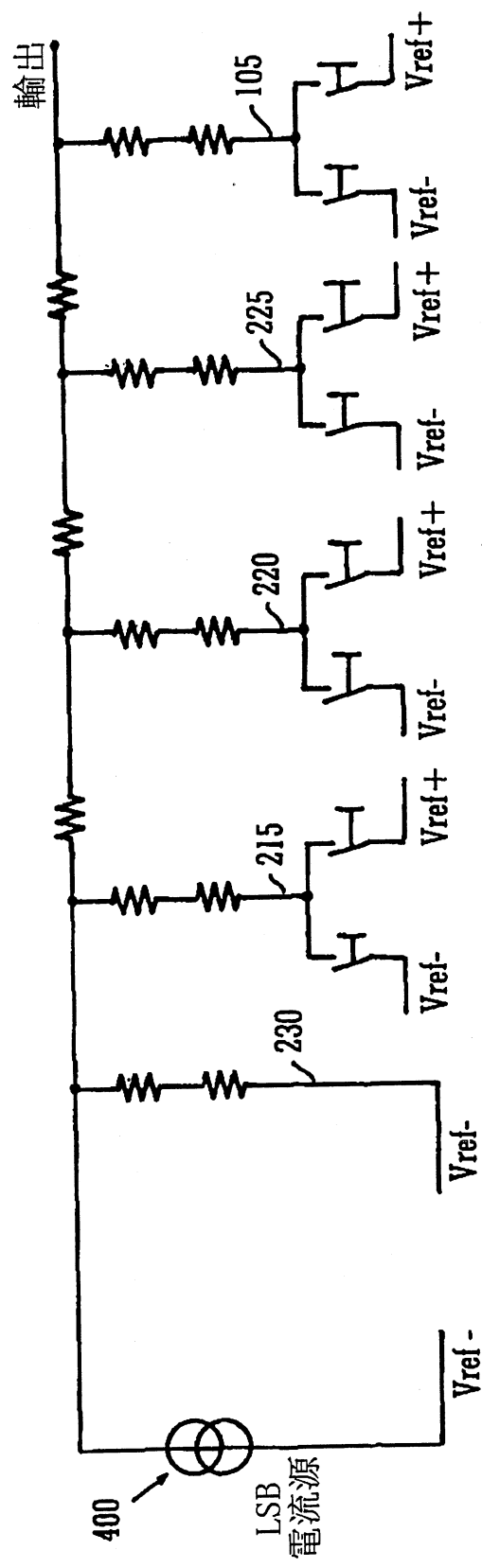


圖4

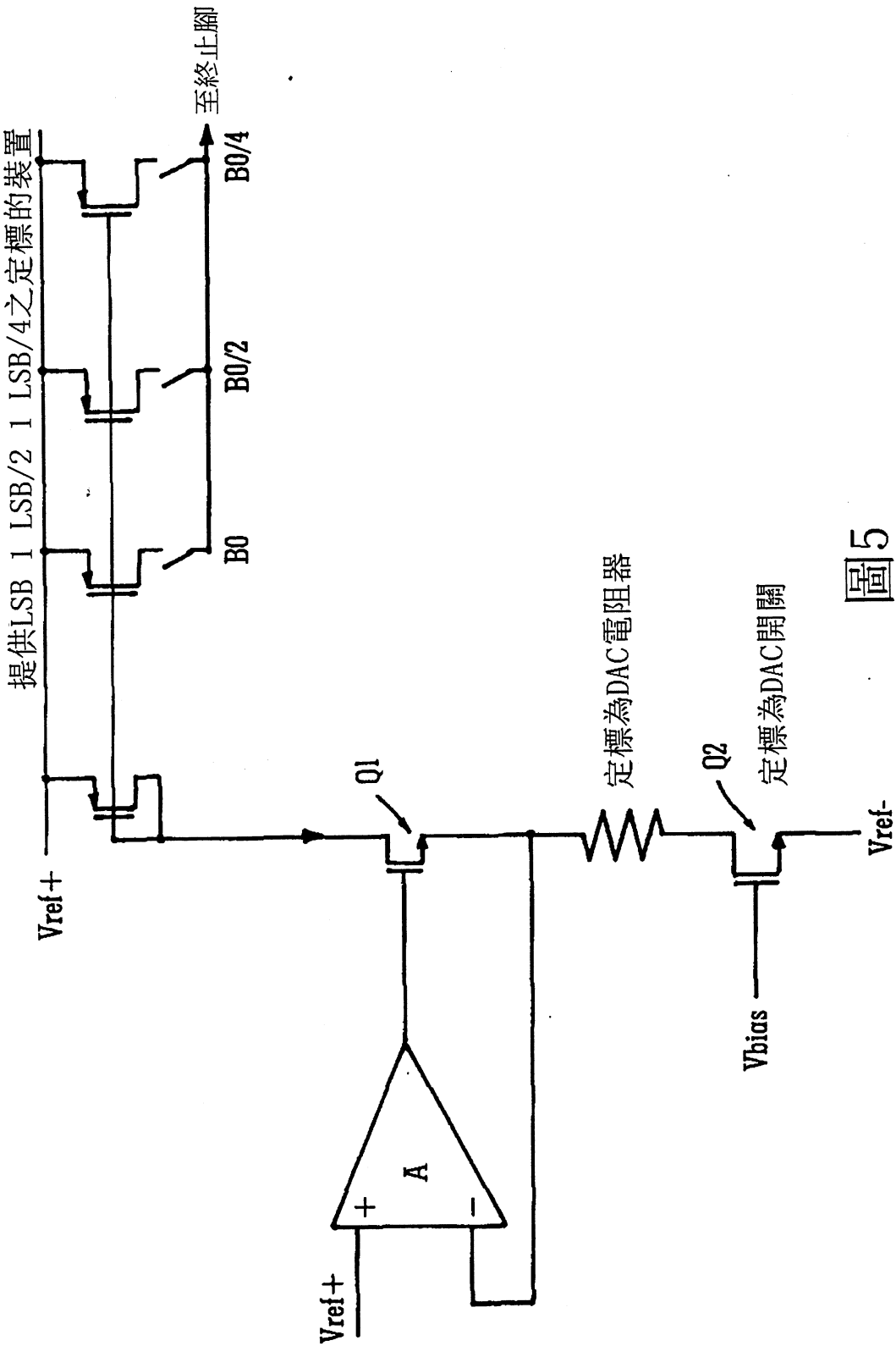


圖5

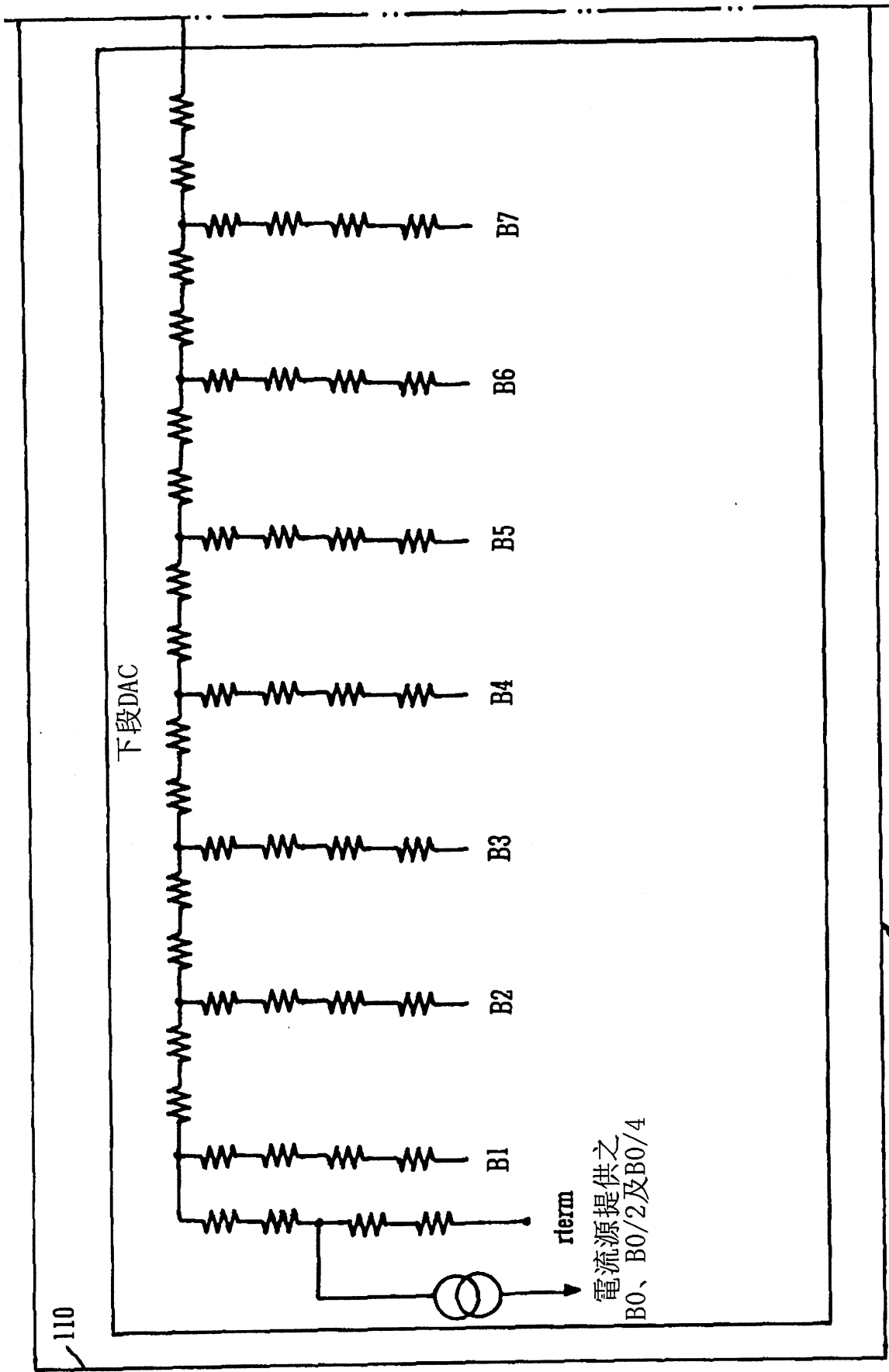


圖6A

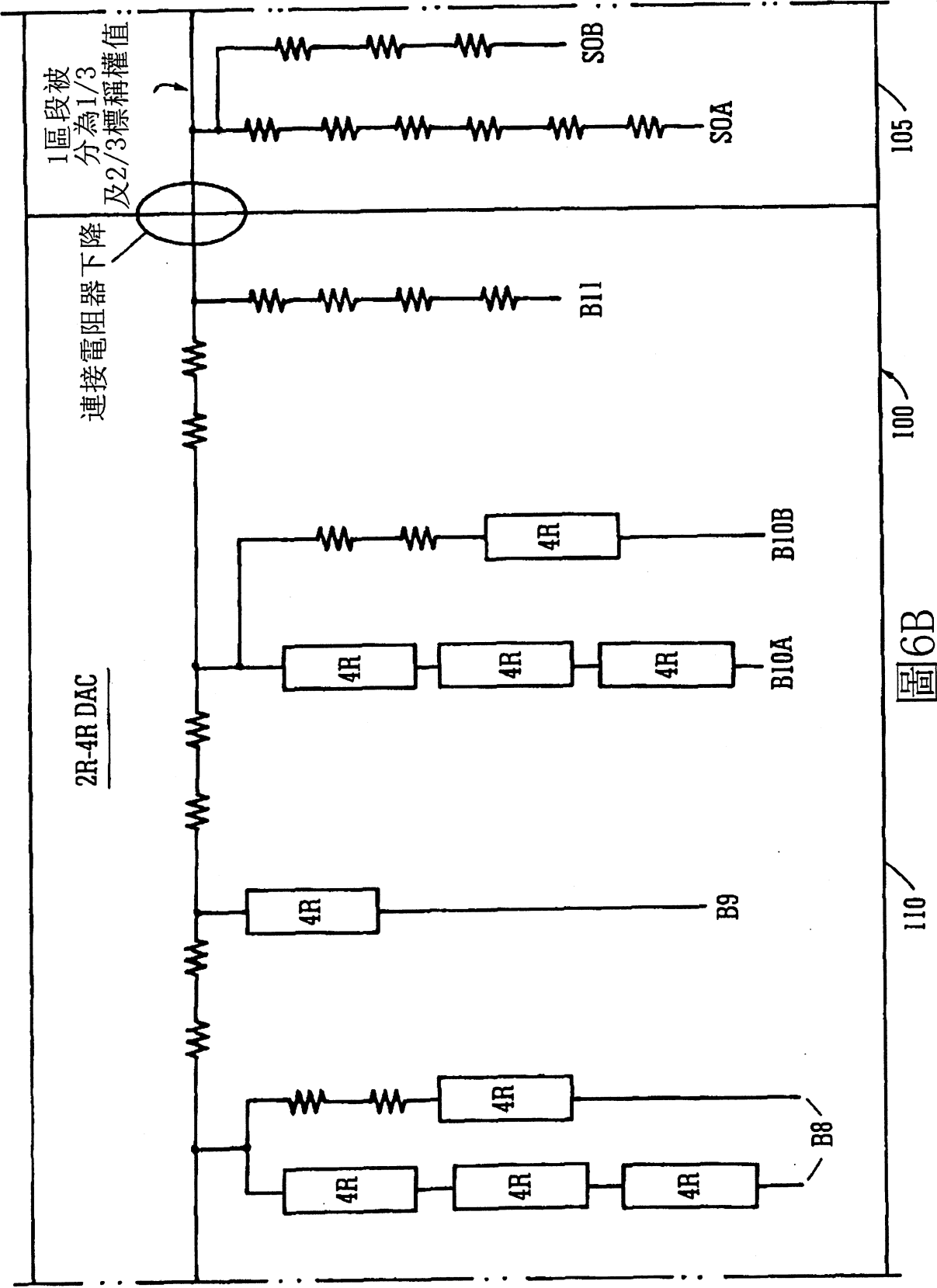


圖6B

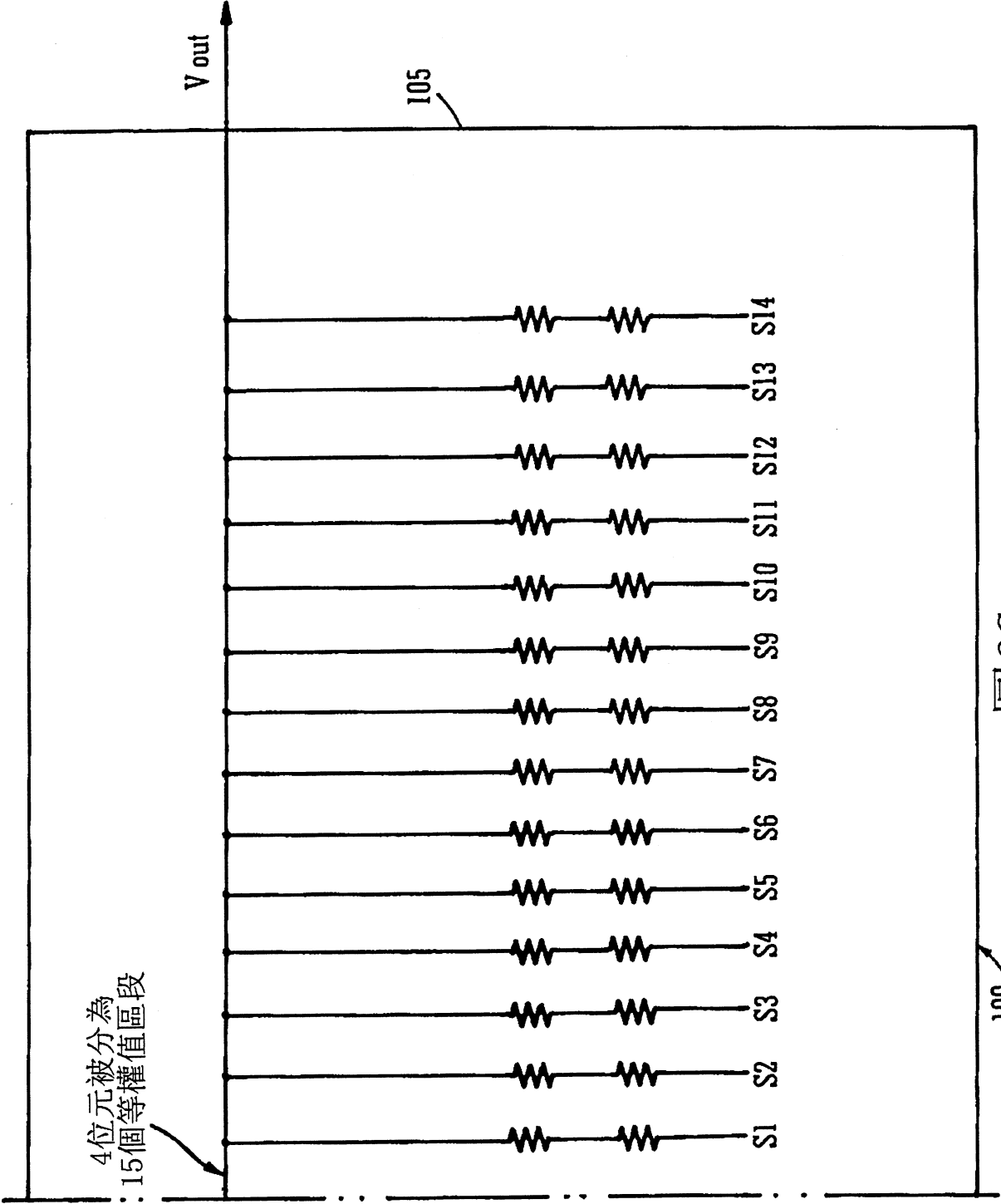
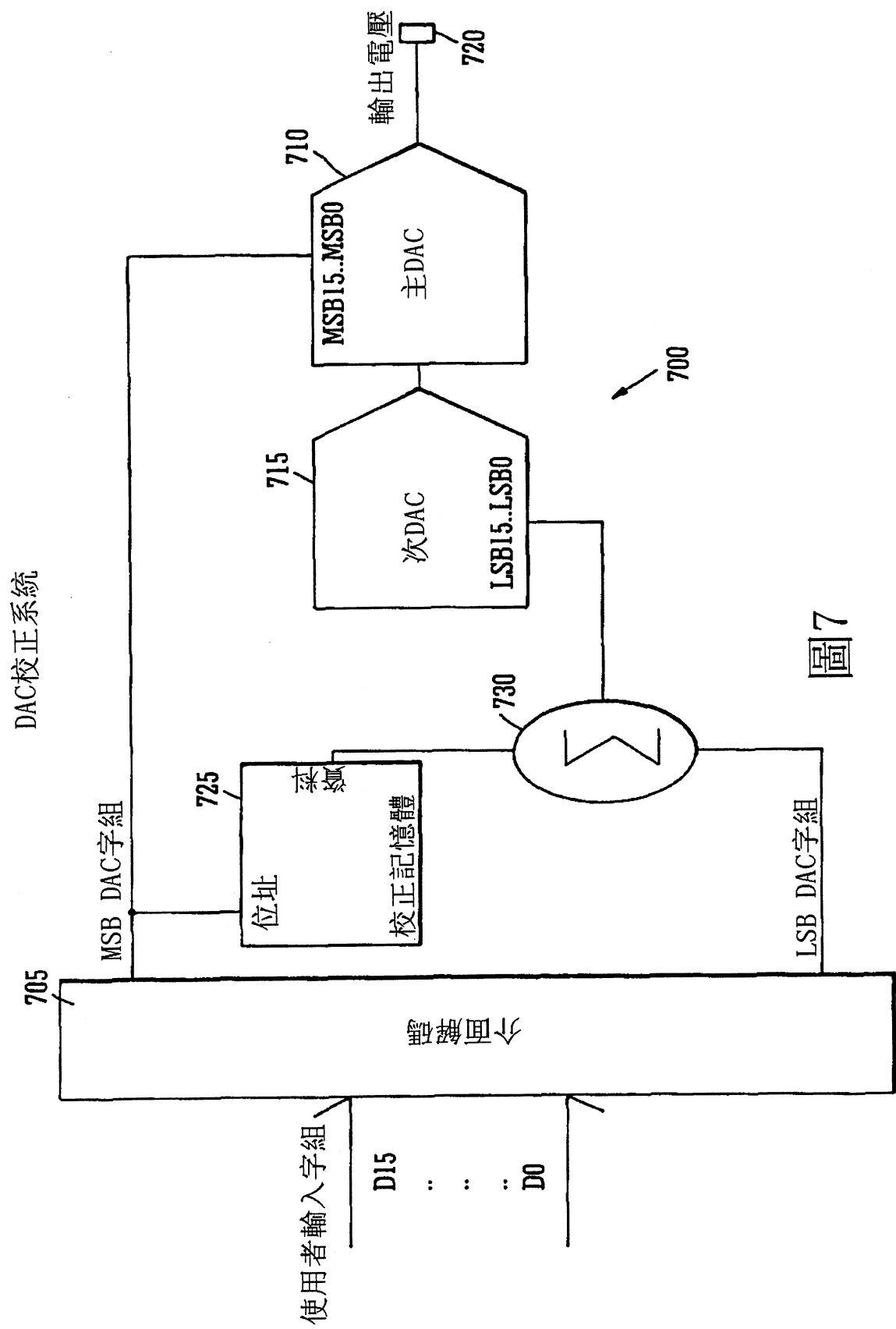


圖6C



七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

105	上部
110	下部
200	第一區段組
205、210	區段
215、220、225	腳
230	終止腳
235、240、245	開關

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種數位至類比轉換器(DAC)，其用以將一數位輸入字組轉換至一類比輸出電壓訊號，該字組可區分為一上部及一下部，該DAC包括：
一第一組件，其包括一由該字組之該下部控制之電阻器梯DAC且產生一輸出電壓，及
一第二組件，其包括一由該字組之該上部控制之電阻器梯DAC且產生一輸出電壓，且其中該第二組件被分段，該等個別區段中之至少一區段具有一低於該字組之該上部之1 LSB(最低有效位元)的權值，該第一組件進一步用以回應於該第二組件之一區段之選擇來調諧該第二組件之該輸出。
2. 如請求項1之DAC，其中該第二組件之該等區段中之至少一區段的該權值低於該字組之該下部的總權值。
3. 如請求項1之DAC，其中該第一組件之該梯具有一R-2R架構。
4. 如請求項3之DAC，其中該第一組件之該梯具有一定標之R-2R架構，其包含具有複數個電阻器之腳，該等腳由連接電阻器隔開。
5. 如請求項4之DAC，其中與一習知R-2R架構相比，該等連接電阻器中之至少一連接電阻器被移除，且該等剩餘之腳電阻器與所移除的被一致定標。
6. 如請求項1之DAC，其中該DAC之該第一組件具備一終止腳，該終止腳直接耦接至參考訊號。

7. 如請求項1之DAC，其中該DAC之該第一組件耦接至一電流源，該電流源經配置以將一定標之電流注入該梯之一節點內。
8. 如請求項7之DAC，其中該注入之電流被注入該梯之一終止腳。
9. 一種數位至類比轉換器(DAC)，其用於將一數位輸入字組轉換至一類比輸出電壓訊號，該DAC提供於一電阻器梯式配置內，該梯式配置包括一耦接至一參考電壓之終止腳及各自可切換地耦接至一參考電壓之複數個可切換腳，且其中該DAC之該等腳中之至少一腳額外耦接至電流源，該電流源用以將一可調整電流注入該梯式配置內以便增加該DAC之解析度。
10. 如請求項9之DAC，其中該注入該梯式配置之電流相對於該參考電壓定標。
11. 如請求項9之DAC，其中該梯被提供為一R-2R梯式配置，提供於該等腳內之電阻值為耦接至相鄰腳之電路的一部分內之電阻值的兩倍。
12. 如請求項11之DAC，其中該梯再分為一第一部分及一第二部分，該等第一及第二部分中之每一部分提供於一梯式配置內，且其中在無一耦接電阻器的情況下該第一部分之一上部腳直接耦接至該第二部分之一下部腳，以使該第一部分內之該等腳的電阻為該第二部分內之該等腳的電阻的一定標倍數。
13. 如請求項12之DAC，其中至少一腳被分段。

14. 如請求項12之DAC，其中該梯之該等第一及第二部分界定該DAC之一第一組件，該第一組件用以將一輸入數位字組之一下部轉換至一類比電壓輸出，且其中該DAC進一步包括一第二組件，該第二組件用以將該輸入數位字組之一上部轉換至一類比電壓輸出，且其中該第二組件之至少一部分提供於一區段式結構內，該等個別區段中之至少一區段具有一低於該輸入數位字組之該下部之總權值的權值，該DAC經校正以使該第一組件用以回應於該第二組件之一區段之選擇來調諧該第二組件的該輸出。
15. 一種數位至類比轉換器(DAC)，其用以將一數位輸入字組轉換至一類比輸出電壓訊號，該DAC包括提供於一電阻器梯式配置內之複數個腳，該梯包括一耦接至一參考電壓之終止腳及可切換地耦接至一參考電壓之複數個可切換腳，該梯被再分為一第一部分及一第二部分，該等第一及第二部分中之每一部分提供於一梯式配置內，且其中該第一部分之一上部腳在無一耦接電阻器的情況下直接耦接至該第二部分之一下部腳，以使該第一部分內之該等腳之電阻為該第二部分內之該等腳之電阻的一定標倍數。
16. 如請求項15之DAC，其進一步包括一電流源DAC，該電流源DAC用以將一電流注入該等腳中之至少一腳內。
17. 如請求項16之DAC，其中該電流被注入該終止腳內。
18. 如請求項15之DAC，其中該等第一及第二部分界定該

DAC之一下部組件，該下部組件用以將一輸入數位字組之一下部轉換至一相應輸出電壓，且其中該DAC進一步包括一上部組件，該上部組件用以轉換該輸入數位字組之一上部，且其中該上部包括一提供於一區段式架構內之電阻器梯，該區段式架構中之至少一腳具有一低於該字組之該下部之總權值的權值，且其中該DAC經校正以使根據該上部之一區段的選擇使該下部用以調諧該上部之該輸出。

19. 一種數位至類比轉換器(DAC)，其用於回應於一輸入數位碼在其一輸出處提供一類比電壓輸出，該轉換器包括：

一主DAC段，其包括一用於將該輸入碼之最高有效位元(MSB)轉換至一電壓輸出之電阻器梯結構，一次DAC段，其包括一用於將該輸入碼之最低有效位元(LSB)轉換至一電壓輸出之電阻器梯結構，該主DAC與該次DAC之該等輸出相結合以提供該DAC之該輸出，該主DAC之該LSB小於該次DAC之全標度但大於該次DAC之該LSB及該總DAC轉移函數LSB；

一介面解碼，其經結構化以為輸入使用者碼選擇一主DAC及一次DAC字組，以使當選擇一主DAC碼時該次DAC在零標度與全標度之間，該介面解碼將該輸入數位碼分為一MSB DAC字組及一LSB DAC字組；

一校正記憶體，其用於為該主DAC儲存誤差修正，及

一加法器，其用於將自該校正記憶體選擇之誤差修正

加入該LSB DAC字組。

20. 如請求項19之DAC，其中該校正記憶體在該DAC之一生產測試期間被載入誤差修正。

21. 如請求項19之DAC，其中該加法器經配置以根據該主DAC之一預定區段的選擇而自動向該載入該次DAC之碼加入該等修正。

22. 一種將一輸入數位字組轉換至一相應輸出電壓的方法，該方法包括以下步驟：

將該輸入字組區分為一下部及一上部，

使用一電阻器梯數位至類比轉換器(DAC)架構之一第一組件將該輸入字組之該下部轉換至一相應電壓輸出，

使用一電阻器梯數位至類比轉換器架構之一第二組件將該輸入字組之該上部轉換至一相應電壓輸出，該第二部分提供於一區段式結構內，

當該第二組件之一區段用於該轉換過程中時，使用該第一組件以調諧該第二組件之該輸出。