



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월29일  
(11) 등록번호 10-1025249  
(24) 등록일자 2011년03월21일

(51) Int. Cl.

H01L 21/8234 (2006.01)

(21) 출원번호 10-2003-0016974  
(22) 출원일자 2003년03월19일  
심사청구일자 2008년03월14일  
(65) 공개번호 10-2003-0076354  
(43) 공개일자 2003년09월26일

(30) 우선권주장

JP-P-2002-00076182 2002년03월19일 일본(JP)

(56) 선행기술조사문헌

US06046494 A1  
(뒷면에 계속)

전체 청구항 수 : 총 44 항

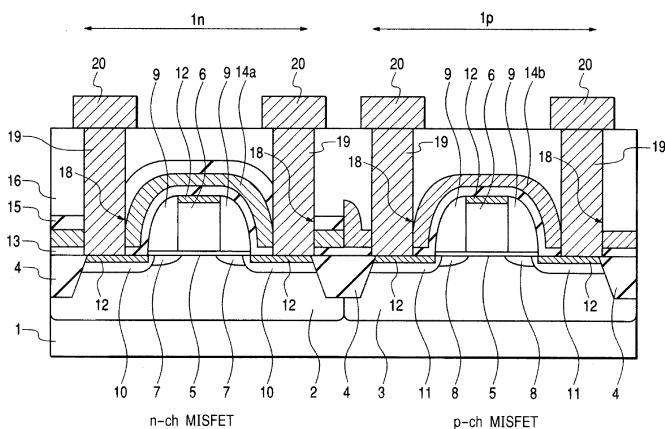
심사관 : 구본재

(54) 반도체 장치 및 그 제조방법

**(57) 요약**

본 발명은, 반도체 장치 및 그 제조방법에 관한 것으로, n형 FET 및 p형 FET의 드레인전류의 증가(전류구동능력의 향상)을 도모하는 것이다.

반도체 기판에 형성된 n형 및 p형 FET를 갖는 반도체 장치의 제조에 있어서, 상기 p형 FET의 게이트전극과 상기 반도체 기판의 소자분리영역 사이의 반도체 영역을 절연막으로 덮은 상태에서, 상기 n형 및 p형 FET상에 이들의 게이트전극을 덮도록 하고, 상기 n형 FET의 채널형성영역에 인장응력을 발생시키는 제 1 절연막을 형성하는 (a) 공정과, 에칭처리를 실시하고, 상기 p형 FET상의 상기 제 1 절연막을 선택적으로 제거하는 (b) 공정과, 상기 n형 및 p형 FET상에 이들의 게이트전극을 덮도록 하고, 상기 p형 FET의 채널형성영역에 압축응력을 발생시키는 제 2 절연막을 형성하는 (c) 공정과, 상기 n형 FET상의 상기 제 2 절연막을 선택적으로 제거하는 (d) 공정을 갖는 것을 특징으로 한다.

**대표도**

(72) 발명자

**오오키나가토시**

일본국도쿄도코다이라시죠스이혼마치5쵸메22-1가부  
시키가이사하다치초엘에스아이시스템즈내

**사카이사토시**

일본국도쿄도치요다쿠마루노우치1-5-1신마루노비루  
가부시키가이샤히타치세이샤쿠쇼치텍키소유흔부나  
이

**야마모토나오키**

일본국도쿄도치요다쿠마루노우치1-5-1신마루노비루  
가부시키가이샤히타치세이샤쿠쇼치텍키소유흔부나  
이

(56) 선행기술조사문현

US06091121 A1

KR1019890004496 A

KR1020000003493 A

KR101999-0062854 A

## 특허청구의 범위

### 청구항 1

반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

상기 p채널 도전형 전계효과 트랜지스터의 게이트전극과 상기 반도체 기판의 소자분리 영역간의 반도체 영역을 절연막으로 덮은 상태에서, 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터 상에 이들의 게이트전극을 덮도록 하고, 상기 n채널 도전형 전계효과 트랜지스터의 채널형성영역으로 인장응력을 발생시키는 제 1 절연막을 형성하는(a) 공정과,

예칭처리를 실시하고, 상기 p채널 도전형 전계효과 트랜지스터상의 상기 제 1 절연막을 선택적으로 제거하는(b) 공정과,

상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 제 2 절연막을 형성하는(c) 공정과,

상기 n채널 도전형 전계효과 트랜지스터상의 상기 제 2 절연막을 선택적으로 제거하는(d) 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 2

반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

상기 n채널 도전형 전계효과 트랜지스터의 게이트전극과 상기 반도체 기판의 소자분리영역간의 반도체 영역을 절연막으로 덮은 상태에서, 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터 상에 이들의 게이트전극을 덮도록 하고, 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 제 1 절연막을 형성하는(a) 공정과,

예칭처리를 실시하고, 상기 n채널 도전형 전계효과 트랜지스터상의 상기 제 1 절연막을 선택적으로 제거하는(b) 공정과,

상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들 게이트전극을 덮도록 하고, 상기 n채널 도전형 전계효과 트랜지스터의 채널형성영역으로 인장응력을 발생시키는 제 2 절연막을 선택적으로 형성하는(c) 공정과,

상기 p채널 도전형 전계효과 트랜지스터상의 상기 제 2 절연막을 선택적으로 제거하는(d) 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 3

청구항 제 1에 있어서,

상기 반도체 영역을 덮는 절연막은, 상기 n채널 도전형 전계효과 트랜지스터의 게이트전극의 측벽에 형성된 사이드 월 스페이서와, 상기 사이드 월 스페이서를 덮도록 하여 형성된 퇴적막을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 4

청구항 제 1에 있어서,

상기 반도체 영역을 덮는 절연막은, 상기 n채널 도전형 전계효과 트랜지스터의 게이트전극의 측벽에 형성된 사이드 월 스페이서와, 상기 사이드 월 스페이서를 덮도록 하여 형성된 퇴적막을 포함하고,

상기 반도체 영역의 표면에는, 상기 사이드 월 스페이서에 정합하여 형성된 금속 · 반도체 반응층이 설치되어 있는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 5**

청구항 제 1에 있어서,

상기 반도체 영역을 덮는 절연막은, 상기 n채널 도전형 전계효과 트랜지스터의 게이트전극의 측벽에 형성된 사이드 월 스페이서와, 상기 사이드 월 스페이서와 상기 소자분리영역 사이에 형성된 열산화막을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 6**

청구항 제 1에 있어서,

상기 반도체 영역을 덮는 절연막은, 상기 n채널 도전형 전계효과 트랜지스터의 게이트전극의 측벽에 형성된 사이드 월 스페이서와, 상기 사이드 월 스페이서와 상기 소자분리영역 사이에 형성된 열산화막을 포함하고,

상기 반도체 영역의 표면에는, 상기 사이드 월 스페이서에 정합하여 형성된 금속 · 반도체 반응층이 설치되어 있는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 7**

청구항 제 1에 있어서,

상기 (b)공정은, 등방성 예칭으로 행해지는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 8**

청구항 제 1에 있어서,

상기 (d)공정은, 등방성 예칭으로 행해지는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 9**

청구항 제 1에 있어서,

상기 제 1 및 제 2 절연막은, 질화실리콘막으로 이루어지는 자기정합 콘택트용 절연막인 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 10**

청구항 제 1에 있어서,

(a)공정 후에 있어서, 상기 (b)공정 전에, 상기 제 1 절연막상에 제 3 절연막을 형성하는 공정을 갖고,

상기 (b)공정은, 상기 p채널 도전형 전계효과 트랜지스터상의 상기 제 3 절연막을 선택적으로 제거하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 11**

청구항 제 1에 있어서,

상기 반도체 영역을 덮는 절연막은, 상기 p채널 도전형 전계효과 트랜지스터의 게이트전극의 측벽에 형성된 사이드 월 스페이서와, 상기 사이드 월 스페이서를 덮도록 하여 형성된 퇴적막을 포함하고,

상기 (b)공정 후에 있어서, 상기 (c)공정 전에, 상기 p채널 도전형 전계효과 트랜지스터측에 있어서의 상기 퇴적막을 제거하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 12**

청구항 제 1에 있어서,

상기 반도체 영역을 덮는 절연막은, 상기 n채널 도전형 전계효과 트랜지스터의 게이트전극의 측벽에 형성된 사이드 월 스페이서와, 상기 사이드 월 스페이서를 덮도록 하여 형성된 퇴적막을 포함하고,

상기 퇴적막을 형성하는 공정 후에 있어서, 상기 (a)공정 전에, 상기 n채널 도전형 전계효과 트랜지스터측에 있

어서의 상기 퇴적막을 제거하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 13

청구항 제 2에 있어서,

(a)공정 후에 있어서, 상기 (b)공정 전에, 상기 제 1 절연막상에 제 3 절연막을 형성하는 공정을 갖고,

상기 (b)공정은, 상기 n채널 도전형 전계효과 트랜지스터상의 상기 제 3 절연막을 선택적으로 제거하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 14

청구항 제 2에 있어서,

상기 반도체 영역을 덮는 절연막은, 상기 n채널 도전형 전계효과 트랜지스터의 게이트전극의 측벽에 형성된 사이드 월 스페이서와, 상기 사이드 월 스페이서를 덮도록 하여 형성된 퇴적막을 포함하고,

상기 (b)공정 후에 있어서, 상기 (c)공정 전에, 상기 n채널 도전형 전계효과 트랜지스터측에 있어서 상기 퇴적막을 제거하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 15

청구항 제 2에 있어서,

상기 반도체 영역을 덮는 절연막은, 상기 p채널 도전형 전계효과 트랜지스터의 게이트전극의 측벽에 형성된 사이드 월 스페이서와, 상기 사이드 월 스페이서를 덮도록 하여 형성된 퇴적물을 포함하고,

상기 퇴적막을 형성하는 공정 후에 있어서, 상기 (a)공정 전에, 상기 p채널 도전형 전계효과 트랜지스터측에 있어서의 상기 퇴적막을 제거하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 16

반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터의 게이트전극과 상기 반도체 기판의 소자분리영역 사이의 반도체 영역상에 이들의 게이트전극에 정합하여 제 1 사이드 월 스페이서를 형성하는 (a)공정과,

상기 반도체영역의 표면에 상기 제 1 사이드 월 스페이서에 정합하여 금속 · 반도체 반응층을 형성하는 (b)공정과,

상기 금속 · 반도체 반응층상에 상기 제 1 사이드 월 스페이서에 정합하여 제 2 사이드 월 스페이서를 형성하는 (c)공정과,

상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터상에 이들 게이트전극을 덮도록 하여, 상기 n채널 도전형 전계효과 트랜지스터의 채널형성영역으로 인장응력을 발생시키는 제 1 절연막을 형성하는 (d)공정과,

예칭처리를 실시하고, 상기 p채널 도전형 전계효과 트랜지스터상의 상기 제 1 절연막을 선택적으로 제거하는 (e)공정과,

상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들 게이트전극을 덮도록 하고, 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역으로 압축응력을 발생시키는 제 2 절연막을 형성하는 (f)공정과,

상기 n채널 도전형 전계효과 트랜지스터상의 상기 제 2 절연막을 선택적으로 제거하는 (g)공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 17

반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터의 게이트전극과 상기 반도체 기판의 소자분리영역 사이의 반도체 영역상에 이들의 게이트전극에 정합하여 제 1 사이드 월 스페이서를 형성하는 (a)공정과,

상기 반도체 영역의 표면에 상기 제 1 사이드 월 스페이서에 정합하여 금속 · 반도체 반응층을 형성하는 (b)공정과,

상기 금속 · 반도체 반응층상에 상기 제 1 사이드 월 스페이서에 정합하여 제 2 사이드 월 스페이서를 형성하는 (c)공정과,

상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 제 1 절연막을 형성하는 (d)공정과,

예칭처리를 실시하고, 상기 n채널 도전형 전계효과 트랜지스터상의 상기 제 1 절연막을 선택적으로 제거하는 (e)공정과,

상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 n채널 도전형 전계효과 트랜지스터의 채널형성영역으로 인장응력을 발생시키는 제 2 절연막을 형성하는 (f)공정과,

상기 p채널 도전형 전계효과 트랜지스터상의 상기 제 2 절연막을 선택적으로 제거하는 (g)공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 18

청구항 16에 있어서,

상기 (e)공정은, 등방성 예칭으로 행해지는 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 19

청구항 16에 있어서,

상기 제 1 및 제 2 절연막은, 질화실리콘막으로 이루어지는 자기정합 콘택트용 절연막인 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 20

반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

인장응력을 갖는 제 1 절연막을 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하여 형성하는 (a)공정과,

상기 제 1 절연막의 인장응력보다도 절대치가 큰 압축응력을 갖는 제 2 절연막을 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하여 형성하는 (b)공정과,

예칭처리를 실시하고, 상기 n채널 도전형 전계효과 트랜지스터상의 상기 제 2 절연막을 선택적으로 제거하는 (c)공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 21

청구항 제 20에 있어서,

상기 제 2 절연막의 압축응력은, 상기 제 1 절연막의 인장응력의 2배 이상인 것을 특징으로 하는 반도체 장치의 제조방법.

## 청구항 22

청구항 제 20에 있어서,

상기 (c)공정은, 등방성 예칭으로 행해지는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 23

청구항 제 20에 있어서,

상기 (a)공정은, 상기 (b)공정 전에 실시하는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 24

청구항 제 20에 있어서,

상기 제 1 및 제 2 절연막은, 질화실리콘막으로 이루어지는 자기정합 콘택트용 절연막인 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 25

반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

압축응력을 갖는 제 1 절연막을 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하여 형성하는 (a)공정과,

상기 제 1 절연막의 압축응력보다도 절대치가 큰 인장응력을 갖는 제 2 절연막을 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하여 형성하는 (b)공정과,

예칭처리를 실시하고, 상기 p채널 도전형 전계효과 트랜지스터상의 상기 제 2 절연막을 선택적으로 제거하는 (c)공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 26

청구항 제 25에 있어서,

상기 제 2 절연막의 인장응력은, 상기 제 1 절연막의 압축응력의 2배 이상인 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 27

청구항 제 25에 있어서,

상기 (c)공정은, 등방성 예칭으로 행해지는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 28

청구항 제 25에 있어서,

상기 (a)공정은, 상기 (b)공정 전에 실시하는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 29

청구항 제 25에 있어서,

상기 제 1 및 제 2 절연막은, 질화실리콘막으로 이루어지는 자기정합 콘택트용 절연막인 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 30

반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치에 있어서,

인장응력을 갖는 제 1 절연막이, 상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하여 형성되고,

상기 제 1 절연막의 인장응력보다도 절대치가 큰 압축응력을 갖는 제 2 절연막이, 상기 p채널 도전형 전계효과

트랜지스터상에 이 게이트전극을 덮도록 하여 선택적으로 형성되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 31

청구항 제 30에 있어서,

상기 제 2 절연막의 압축응력은, 상기 제 1 절연막의 인장응력의 2배 이상인 것을 특징으로 하는 반도체 장치.

### 청구항 32

반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치에 있어서,

압축응력을 갖는 제 1 절연막이, 상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하여 형성되고,

상기 제 1 절연막의 압축응력보다도 절대치가 큰 인장응력을 갖는 제 2 절연막이, 상기 n채널 도전형 전계효과 트랜지스터상에 이 게이트전극을 덮도록 하여 선택적으로 형성되어 있는 것을 특징으로 하는 반도체 장치.

### 청구항 33

청구항 제 32에 있어서,

상기 제 2 절연막의 인장응력은, 상기 제 1 절연막 압축응력의 2배 이상인 것을 특징으로 하는 반도체 장치.

### 청구항 34

청구항 제 30에 있어서,

상기 제 1 및 제 2 절연막은, 질화실리콘막인 것을 특징으로 하는 반도체 장치.

### 청구항 35

반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

인장응력을 갖는 절연막을 상기 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 형성하는 공정과,

상기 p채널 도전형 전계효과 트랜지스터상의 상기 절연막에 원소를 도입하고, 상기 절연막을 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 막으로 변환하는 공정을 갖고,

상기 원소는 Si 및 N인 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 36

청구항 35에 있어서,

원소는, 상기 절연막에 포함되는 원소와 동일한 원소인 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 37

청구항 제 35에 있어서,

상기 변환공정은, 상기 원소도입 후, 열처리를 실시하는 공정을 갖고 상기 막의 체적팽창을 이용하는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 38

청구항 제 35에 있어서,

상기 절연막은, 질화실리콘막으로 이루어지는 자기정합 콘택트용 절연막인 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 39**

반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치에 있어서,

상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하여 막이 형성되고,

상기 막은, 상기 n채널 도전형 전계효과 트랜지스터의 채널형성영역에 인장응력을 발생시키는 막응력을 갖는 제 1 부분과, 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 막응력을 갖는 제 2 부분을 갖고,

상기 제 2 부분은, 상기 제 1 부분보다도 막 중의 Si 및 N의 원소농도가 높은 것을 특징으로 하는 반도체 장치.

**청구항 40**

청구항 제 39에 있어서,

상기 막은, 질화실리콘막으로 이루어지는 자기정합 콘택트용 절연막인 것을 특징으로 하는 반도체 장치.

**청구항 41**

삭제

**청구항 42**

반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

상기 p채널 도전형 전계효과 트랜지스터의 게이트전극과 상기 반도체 기판의 소자분리영역 사이의 반도체 영역을 절연막으로 덮은 상태에서, 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 n채널 도전형 전계효과 트랜지스터의 채널형성영역에 인장응력을 발생시키는 제 1 절연막을 형성하는 (a)공정과,

예칭처리를 실시하고, 상기 p채널 도전형 전계효과 트랜지스터상의 상기 제 1 절연막을 선택적으로 제거하는 (b)공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 43**

청구항 제 42에 있어서,

상기 절연막은 실리콘산화막이고,

상기 제 1 절연막은, 질화실리콘막으로 이루어지는 자기정합 콘택트용 절연막인 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 44**

반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

상기 n채널 도전형 전계효과 트랜지스터의 게이트전극과 상기 반도체 기판의 소자분리영역 사이의 반도체 영역을 절연막으로 덮은 상태에서, 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 제 1 절연막을 형성하는 (a)공정과,

예칭처리를 실시하고, 상기 n채널 도전형 전계효과 트랜지스터상의 상기 제 1 절연막을 선택적으로 제거하는 (b)공정을 갖는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 45**

청구항 제 44에 있어서,

상기 절연막은 실리콘산화막이고,

상기 제 1 절연막은, 질화실리콘막으로 이루어지는 자기정합 콘택트용 절연막인 것을 특징으로 하는 반도체 장치의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

[0064] 본 발명은, 반도체 장치 및 그 제조기술에 관한 것으로, 특히 동일기판에 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치 및 그 제조기술에 적용하기에 유효한 기술에 관한 것이다.

[0065] 반도체 장치에 탑재되는 잔계효과 트랜지스터로서, 예를 들면 MISFET(Metal Insulator Semiconductor Field Effect Transistor)로 호칭되는 절연 게이트형 전계효과 트랜지스터가 알려져 있다. 이 MISFET은, 고집적화하기 쉬운 특징을 갖고 있으므로, 집적회로를 구성하는 회로소자로서 널리 이용되고 있다.

[0066] MISFET은, n채널 도전형 및 p채널 도전형을 불문하고, 일반적으로, 채널형성영역, 게이트 절연막, 게이트전극, 소스영역 및 드레인영역 등을 갖는 구조으로 되어 있다. 게이트절연막은, 반도체 기판의 회로형성면(일주면)의 소자형성영역에 설치되고, 예를 들면 산화실리콘막으로 형성되어 있다. 게이트전극은, 반도체 기판의 회로형성면의 소자형성영역상에 게이트절연막을 개재하여 설치되고, 예를 들면 저항치를 저감하는 불순물이 도입된 다결정실리콘막으로 형성되어 있다. 채널형성영역은, 게이트전극과 대향하는 반도체 기판의 영역(게이트전극 바로 아래)에 설치되어 있다. 소스영역 및 드레인영역은, 채널형성영역의 채널길이 방향에 있어서 양측에 설치된 반도체 영역(불순물 확산영역)에 형성되어 있다.

[0067] 또한, MISFET에 있어서, 게이트절연막이 산화실리콘막으로 이루어지는 것은, 통상, MOSFET(Metal Oxide Semiconductor Field Effect Transistor)로 불리고 있다. 또, 채널형성영역이란, 소스영역과 드레인영역을 연결하는 전류통로(채널)가 형성되는 영역을 말한다. 또, 전류가 반도체 기판의 두께방향(깊이방향)으로 흐르는 것을 세로형, 전류가 반도체 기판의 평면방향(표면방향)으로 흐르는 것을 가로형으로 부르고 있다. 또, 소스영역과, 드레인영역간(게이트전극 아래)의 채널형성영역에 전자의 채널(도전통로)이 가능한 것을 n형(또는 n채널형성영역에 전자의 채널(도전통로)이 가능한 것을 n형(또는 n채널도전형), 정공의 채널이 가능한 것을 p형(또는 p채널 도전형)이라 부르고 있다.

#### 발명이 이루고자 하는 기술적 과제

[0068] 그런데,  $0.1\mu m$  레벨시대의 초미세 CMIS(Cplementary MIS) 프로세스에서는, 신소재의 도입, MISFET의 단채널효과 억제 등의 이유로 저온화가 진행되고 있다. 이것은, 소자 중에 프로세스에서 기인한 잔류응력을 납기기 쉽다. 프로세스기인의 잔류응력은, 반도체 기판의 회로형성면의 표층부, 즉 MISFET의 채널형성영역에 작용한다.

[0069] 일반적인 CMIS(상보형 MIS) 프로세스에서는, 예를 들면, 반도체 기판의 회로형성면상에 충간 절연막을 형성하는 경우, n채널 도전형 MISFET 및 p채널 도전형 MISFET상에서 동일재료를 이용해온 결과, 동일 칩내에 있어서 MISFET의 채널형성영역에 작용하는 응력은 거의 동일했다. 또, 통상은 프로세스적인 궁리에 의해, n채널 도전형 MISFET 및 p채널 도전형 MISFET의 채널형성영역에 작용하는 응력의 저감화를 도모해 왔다.

[0070] 또, 채널형성영역의 응력에 대한 트랜지스터 특성의 변화에 관해서는, 드레인전류(Id)가 흐르는 방향(게이트길이방향)과 동일한 방향으로 응력을 겪 경우,

[0071] (1) n채널 도전형 MISFET의 드레인전류는, 압축응력으로 감소하고, 인장응력으로 증가하는 것,

[0072] (2) p채널 도전형 MISFET의 드레인전류는, 압축응력으로 증가하고, 인장응력으로 감소하는 것이 알려져 있다.

[0073] 그러나, 그 변화는 고작 수% 이하였다. (문헌 : IEEE TRANSACTIONS ON ELECTRON DEVICES. VOL. 38 NO. 4. APRIL 1991 p898 ~ p900 참조) 이것은, 예를 들면 게이트길이 치수가  $1\mu m$ 와 같은 길이치수의 프로세스세대에서 는, 충분히 고온 장시간의 아닐이 이루어졌던 것에도 따른다.

- [0074] 본 발명자 등의 검토에 따르면, MISFET의 게이트길이는  $0.1\mu\text{m}$  부근까지 미세화하고, 프로세스를 저온화하면, 잔류응력이 증대하고, 채널형성영역의 응력에 따른 트랜지스터특성에의 영향이 매우 커지는 것을 알았다.
- [0075] 예를 들면, MISFET의 형성 후에 충간 절연막을 겹친 셀파라인 콘택트용 플라즈마 CVD질화막(플라즈마 CVD법에 의해 형성되는 질화막)의 형성조건을 바꾸면, 막중의 응력이 압축방향에서 인장방향으로 크게 변화하고, 이에 따라 MISFET의 트랜지스터특성도 크게 변화하는 것을 알 수 있었다. 이것을 도 2의 드레인전류 변동률의 막응력의 존성으로 도시한다. 단, 도 중의 응력치는 MISFET의 채널형성영역의 내부응력을 나타내는 것이 아니라, 충간 절연막을 펴막한 후의 웨이퍼의 휘어짐으로 환산하여 구한 충간 절연막 자체 수치이다.
- [0076] 응력에 의한 영향은, 앞에서 서술한 문헌과 동일한 경향이지만, 그 크기가  $\pm 10 \sim 20\%$ 로 한 자리 이상 커져 있다. 또한, n채널 도전형 MISFET과 p채널 도전형 MISFET에서는, 막의 응력에 따라 드레인전류의 증감이 명백하게 반대방향을 나타낸다.
- [0077] 따라서, 충간 절연막 등의 형성조건을 바꾸어 내부응력의 크기가 변하면, n채널 도전형 MISFET 및 p채널 도전형 MISFET의 드레인 전류가 상반되는 움직임을 보이고, 양 소자의 드레인전류를 동시에 향상할 수 없는 문제가 있었다.
- [0078] 또한,  $0.1\mu\text{m}$ 레벨 이후에서는 이 응력에 따른 드레인전류의 변동이  $\pm 10 \sim 20\%$  이상이나 되고, n채널 도전형 MISFET과 p채널 도전형 MISFET과의 드레인전류의 밸런스가 변화하는 문제가 있었다.
- [0079] 본 발명의 목적은, n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터의 드레인전류의 증가를 도모하는(전류구동능력의 증가를 도모하는) 것이 가능한 기술을 제공하는 데에 있다.
- [0080] 본 발명의 다른 목적은, n채널 도전형 전계효과 트랜지스터 및 p채널 전계효과 트랜지스터의 드레인전류비를 자유롭게 설정할 수 있는 기술을 제공하는 데에 있다.
- [0081] 본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 아래와 같다.
- [0082] 본 발명의 주 취지는, n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터의 각각의 채널 형성영역에 작용하는 응력을 각각의 드레인전류가 증가하는 방향으로 막의 응력에 의해 제어하는 것이다. n채널 도전형 전계효과 트랜지스터에서는 드레인전류의 흐름방향(게이트길이방향)에 따라 인장응력이 채널형성영역에 작용하므로써 드레인전류가 증가한다. p채널 도전형 전계효과 트랜지스터에서는 드레인전류의 흐름방향(게이트길이방향)에 따라 압축응력이 채널형성영역에 작용하므로써 드레인전류가 증가한다. 즉, n채널 도전형 전계효과 트랜지스터의 채널형성영역에 드레인전류방향의 인장응력, p채널 도전형 전계효과 트랜지스터의 채널형성영역에 드레인전류방향의 압축응력이 작용하도록 막의 응력에 의해 제어한다. 예를 들면 이하와 같다.
- [0083] (1) 반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,
- [0084] 상기 p채널 도전형 전계효과 트랜지스터의 게이트전극과 상기 반도체 기판의 소자분리영역간의 반도체 영역을 절연막으로 덮은 상태에서, 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 n채널 도전형 전계효과 트랜지스터의 채널형성영역에 인장응력을 발생시키는 제 1 절연막을 형성하는 (a)공정과,
- [0085] 예칭처리를 실시하고, 상기 p채널 도전형 전계효과 트랜지스터상의 상기 제 1 절연막을 선택적으로 제거하는 (b)공정과,
- [0086] 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 제 2 절연막을 형성하는 (c)공정과,
- [0087] 상기 n채널 도전형 전계효과 트랜지스터상의 상기 제 2 절연막을 선택적으로 제거하는 (d)공정을 갖는다.
- [0088] (2) 반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,
- [0089] 상기 n채널 도전형 전계효과 트랜지스터의 게이트전극과 상기 반도체 기판의 소자분리영역간의 반도체 영역을 절연막으로 덮은 상태에서, 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을

덮도록 하고, 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 제 1 절연막을 형성하는 (a)공정과,

[0090] 예칭처리를 실시하고, 상기 n채널 도전형 전계효과 트랜지스터상의 상기 제 1 절연막을 선택적으로 제거하는 (b)공정과,

[0091] 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 n채널 도전형 전계효과 트랜지스터의 채널형성영역에 인장응력을 발생시키는 제 2 절연막을 선택적으로 형성하는 (c)공정과,

[0092] 상기 p채널 도전형 전계효과 트랜지스터상의 상기 제 2 절연막을 선택적으로 제거하는 (d)공정을 갖는다.

[0093] (3) 상기 수단(1) 또는 (2)에 있어서,

[0094] 상기 반도체 영역을 덮는 절연막은, 상기 게이트전극의 측벽에 형성된 사이드 월 스페이서와, 상기 사이드 월 스페이서를 덮도록 하여 형성된 퇴적막을 포함한다.

[0095] (4) 상기 수단(1) 또는 (2)에 있어서,

[0096] 상기 반도체 영역을 덮는 절연막은, 상기 게이트전극의 측벽에 형성된 사이드 월 스페이서와, 상기 사이드 월 스페이서를 덮도록 하여 형성된 퇴적막으로 포함하고,

[0097] 상기 반도체 영역의 표면에는, 상기 사이드 월 스페이서에 정합하여 형성된 금속 · 반도체 반응층이 설치되어 있다.

[0098] (5) 상기 수단(1) 또는 (2)에 있어서,

[0099] 상기 반도체 영역을 덮는 절연막안, 상기 게이트전극의 측벽에 형성된 사이드 월 스페이서와, 상기 사이드 월 스페이서와 상기 소자분리영역 사이에 형성된 열산화막을 포함한다.

[0100] (6) 상기 수단(1) 또는 (2)에 있어서,

[0101] 상기 반도체 영역을 덮는 절연막은, 상기 게이트전극의 측벽에 형성된 사이드 월 스페이서와, 상기 사이드 월 스페이서와 상기 소자분리영역간에 형성된 열산화막을 포함하고,

[0102] 상기 반도체 영역의 표면에는, 상기 사이드 월 스페이서에 정합하여 형성된 금속 · 반도체 반응층이 설치되어 있다.

[0103] (7) 상기 수단(1) 또는 (2)에 있어서,

[0104] 상기 제 1 및 제 2 절연막은, LP-CVD(Low Pressure-Chemical Vapor Deposition : 감압기상화학성장)법, 플라즈마 CVD법, 혹은 매업열 CVD법 등으로 형성된 질화실리콘막이다.

[0105] (8) 반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

[0106] 상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터의 게이트전극과 상기 반도체 기판의 소자분리영역간의 반도체 영역상에 제 1 사이드 월 스페이서를 형성하는 (a)공정과,

[0107] 상기 반도체 영역의 표면에 상기 제 1 사이드 월 스페이서에 정합하여 금속 · 반도체 반응층을 형성하는 (b)공정과,

[0108] 상기 금속 · 반도체 반응층상에 상기 제 1 사이드 월 스페이서에 정합하여 제 2 사이드 월 스페이서를 형성하는 (c)공정과,

[0109] 상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 n채널 도저형 전계효과 트랜지스터의 채널형성영역에 인장응력을 발생시키는 제 1 절연막을 형성하는 (d)공정과,

[0110] 예칭처리를 실시하고, 상기 p채널 도전형 전계효과 트랜지스터상의 상기 제 1 절연막을 선택적으로 제거하는 (e)공정과,

[0111] 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 제 2 절연막을

형성하는 (f)공정과,

[0112] 상기 n채널 도전형 전계효과 트랜지스터상의 상기 제 2 절연막을 선택적으로 제거하는 (g)공정을 갖는다.

[0113] (9) 반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

[0114] 상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터의 게이트전극과 상기 반도체 기판의 소자분리영역간의 반도체 영역상에 제 1 사이드 월 스페이서를 형성하는 (a)공정과,

[0115] 상기 반도체 영역의 표면에 상기 제 1 사이드 월 스페이서에 정합하여 금속 · 반도체 반응층을 형성하는 (b)공정과,

[0116] 상기 금속 · 반도체 반응층상에 상기 제 1 사이드 월 스페이서에 정합하여 제 2 사이드 월 스페이서를 형성하는 (c)공정과,

[0117] 상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 제 1 절연막을 형성하는 (d)공정과,

[0118] 예칭처리를 실시하고, 상기 n채널 도전형 전계효과 트랜지스터상의 상기 제 1 절연막을 선택적으로 제거하는 (e)공정과,

[0119] 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하고, 상기 n채널 도전형 전계효과 트랜지스터의 채널형성영역에 인장응력을 발생시키는 제 2 절연막을 형성하는 (f)공정과,

[0120] 상기 p채널 도전형 전계효과 트랜지스터상의 상기 제 2 절연막을 선택적으로 제거하는 (g)공정을 갖는다.

[0121] (10) 상기 수단(8) 또는 (9)에 있어서,

[0122] 상기 제 1 및 제 2 절연막은, LP-CVD법, 플라즈마 CVD법, 혹은 매엽역 CVD법으로 형성된 질화실리콘막이다.

[0123] (11) 반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

[0124] 인장응력을 갖는 제 1 절연막을 상기 n채널도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하여 형성하는 (a)공정과,

[0125] 상기 제 1 절연막의 인장응력보다도 절대치가 큰 압축응력을 갖는 제 2 절연막을 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하여 형성하는 (b)공정과,

[0126] 예칭처리를 실시하고, 상기 n채널 도전형 전계효과 트랜지스터상의 상기 제 2 절연막을 선택적으로 제거하는 (c)공정을 갖는다.

[0127] 상기 제 2 절연막의 압축응력은, 상기 제 1 절연막의 인장응력의 2배이상이다.

[0128] 상기 제 1 및 제 2 절연막은, LP-CVD법, 플라즈마 CVD법, 혹은 매엽열 CVD법 등으로 형성된 질화실리콘막이다.

[0129] (12) 반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,

[0130] 압축응력을 갖는 제 1 절연막을 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하여 형성하는 (a)공정과,

[0131] 상기 제 1 절연막의 압축응력보다도 절대치가 큰 인장응력을 갖는 제 2 절연막을 상기 n채널 도전형 전계효과 트랜지스터 및 상기 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하여 형성하는 (b)공정과,

[0132] 예칭처리를 실시하고, 상기 p채널 도전형 전계효과 트랜지스터상의 상기 제 2 절연막을 선택적으로 제거하는 (c)공정을 갖는다.

[0133] 상기 제 2 절연막의 인장응력은, 상기 제 1 절연막의 압축응력의 2배 이상이다.

- [0134] 상기 제 1 및 제 2 절연막은, LP-CVD법, 플라즈마 CVD법, 혹은 매엽열 CVD법 등으로 형성된 질화실리콘막이다.
- [0135] (13) 반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치에 있어서,
- [0136] 인장응력을 갖는 제 1 절연막이, 상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트 전극을 덮도록 하여 형성되고,
- [0137] 상기 제 1 절연막의 인장응력보다도 절대치가 큰 압축응력을 갖는 제 2 절연막이, 상기 p채널 도전형 전계효과 트랜지스터상에 이 게이트 전극을 덮도록 하여 선택적으로 형성되어 있다.
- [0138] 상기 제 2 절연막의 압축응력은, 상기 제 1 절연막의 인장응력의 2배 이상이다.
- [0139] 상기 제 1 및 제 2 절연막은, LP-CVD법, 플라즈마 CVD법, 혹은 매엽열 CVD법 등으로 형성된 질화실리콘막이다.
- [0140] (14) 반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치에 있어서,
- [0141] 압축응력을 갖는 제 1 절연막이, 상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트 전극을 덮도록 하여 형성되고,
- [0142] 상기 제 1 절연막의 압축응력보다도 절대치가 큰 인장응력을 갖는 제 2 절연막이 상기 n채널 도전형 전계효과 트랜지스터상에 이 게이트전극을 덮도록 하여 선택적으로 형성되어 있다.
- [0143] 상기 제 2 절연막의 인장응력은, 상기 제 1 절연막의 압축응력의 2배 이상이다.
- [0144] 상기 제 1 및 제 2 절연막은, LP-CVD법, 플라즈마 CVD법, 혹은 매엽열 CVD법 등으로 형성된 질화실리콘막이다.
- [0145] (15) 반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치의 제조방법에 있어서,
- [0146] 인장응력을 갖는 절연막을 상기 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 형성하는 공정과,
- [0147] 상기 p채널 도전형 전계효과 트랜지스터상의 상기 절연막에 원소를 도입하고, 상기 절연막을 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 막으로 변환하는 공정을 갖는다.
- [0148] 상기 원소는, 상기 절연막에 포함되는 원소와 동일한 원소이다.
- [0149] 상기 원소의 도입은, 상기 반도체 기판에 대해 수직으로 상기 원소를 이온주입하는 방법, 혹은 상기 반도체 기판에 대해 비스듬하게 상기 원소를 이온주입하는 방법으로 행한다.
- [0150] 상기 절연막은, LP-CVD법, 플라즈마 CVD법, 혹은 매엽열 CVD법 등으로 형성된 질화실리콘막이다.
- [0151] (16) 반도체 기판에 형성된 n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터를 갖는 반도체 장치에 있어서,
- [0152] 상기 n채널 도전형 및 p채널 도전형 전계효과 트랜지스터상에 이들의 게이트전극을 덮도록 하여 막이 형성되고,
- [0153] 상기 막은, 상기 n채널 도전형 전계효과 트랜지스터의 채널형성영역에 인장응력을 발생시키는 막응력을 갖는 제 1 부분과, 상기 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 막응력을 갖는 제 2 부분을 갖는다.
- [0154] 상기 막의 제 2 부분은, 상기 제 1 부분보다도 막중의 원소농도가 높다.
- [0155] 상기 막은, LP-CVD법, 플라즈마 CVD법, 혹은 매엽열 CVD법 등으로 형성된 질화실리콘막이다.
- [0156] 앞에서 서술한 수단에 따르면, n채널 도전형 전계효과 트랜지스터의 채널형성영역에 인장응력, p채널 도전형 전계효과 트랜지스터의 채널형성영역에 압축응력이 따로따로 부여된 결과, 도 2와 같이, n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터의 각 채널형성영역에 작용하는 응력의 크기에 따라, n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터로 함께 드레인전류가 증가한다.
- [0157] 또, n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터의 채널형성영역에 작용하는 응력

을 개별로 제어할 수 있기 때문에, n채널 도전형 전계효과 트랜지스터와 p채널 도전형 전계효과 트랜지스터와의 드레인 전류비를 자유롭게 제어할 수 있다.

[0158] 여기에서 몇 가지 용어에 관해 정의한다.

[0159] 전계효과 트랜지스터의 채널형성영역에 작용하는 인장응력이란, 채널형성영역이 실리콘(Si)인 경우, Si의 격자정수가 평형상태보다 커지는 응력을 말한다.

[0160] 전계효과 트랜지스터의 채널형성영역에 작용하는 압축응력이란, 채널형성영역이 실리콘(Si)인 경우, Si의 격자정수가 평형상태보다 작아지는 응력을 말한다.

[0161] 막이 갖는 인장응력이란, 전계효과 트랜지스터의 채널형성영역에 인장응력을 발생시키는 응력을 말한다.

[0162] 막이 갖는 압축응력이란, 전계효과 트랜지스터의 채널형성영역에 압축응력을 발생시키는 응력을 말한다.

[0163] 따라서, 본 발명의 주 취지는, 채널형성영역에 있어서 실리콘원자의 원자간 거리가, n채널 도전형 전계효과 트랜지스터와 p채널 도전형 전계효과 트랜지스터로 서로 다른, 바꿔 말하면 왜곡의 크기가 다른 것, 또한 실리콘 원자간 거리가, p채널 도전형 전계효과 트랜지스터의 채널형성영역보다도, n채널 도전형 전계효과 트랜지스터의 채널형성영역에서 큰 것을 의미하고 있다.

[0164] 본 발명의 상기 및 그 외의 목적과 신규 특징은, 본 명세서의 기술 및 첨부도면에 의해 명백하게 알 수 있을 것이다.

[0165] 또한, 본 발명자는, 본 발명을 이루는 과정에서 새로운 문제점을 발견했다. 이 문제점에 관해서는, 본 발명을 적용한 실시예와 함께 설명한다.

### 발명의 구성 및 작용

[0166] 이하, 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 또한, 발명의 실시예를 설명하기 위한 전체 도에 있어서, 동일기능을 갖는 것은 동일부호를 부여하고, 그 반복설명은 생략한다. 또, 도면을 보기 쉽게 하기 위해 단면을 도시한 해칭은 일부 생략하고 있다.

[0167] (실시예 1)

[0168] 본 실시예 1에서는 전원전압이 1 ~ 1.5V, 게이트길이가 0.1 ~ 0.14μm 정도의 상보형 MISFET을 갖는 반도체 장치에 본 발명을 적용한 예에 관해 설명한다.

[0169] 도 1은, 본 발명의 실시예 1인 반도체 장치의 개략구성을 도시하는 모식적인 단면도이고,

[0170] 도 2는, 드레인 전류변동률의 막응력 의존성을 도시하는 특성도이고,

[0171] 도 3 및 도 4는, 전류방향과 막응력방향과의 관계를 도시하는 모식적 평면도 및 모식적 단면도이고,

[0172] 도 5 내지 도 19는, 도 1의 반도체 장치의 제조공정 주에 있어서 모식적 단면도이다.

[0173] 도 20 내지 도 23은, 본 발명을 이루는 과정에서 본 발명자에 의해 발견된 문제점을 설명하기 위한 모식적 단면도이다.

[0174] 도 1, 도 5 내지 도 19에 있어서, 정면 왼쪽이 n채널 도전형 MISFET(n-ch MISFET)이고, 오른쪽이 p채널 도전형 MISFE(p-ch MISFET)이다.

[0175] 도 1에 도시하는 것과 같이, 본 실시예의 반도체 장치는, 반도체 기판으로서 예를 들면 단결정실리콘으로 이루어지는 p형 실리콘 기판(이하, 간단히 p형 기판이라 한다.)(1)을 주체로 구성되어 있다. p형 기판(1)의 회로형성면(일주면)은 nMIS형성영역(제 1 소자형성영역)(1n) 및 pMIS형성영역(1p)을 갖고, 이 nMIS형성영역(1n) 및 pMIS형성영역(1p)은 소자분리영역인 예를 들면 얇은 홈 아이솔레이션(SGI : Shallow Groove Isolation)영역(4)에 의해 서로 면이 구분되어 있다. nMIS형성영역(1n)에는 p형 웰영역(2) 및 n채널 도전형 MISFET(이하, 간단히 n형 MISFET이라 한다.)이 형성되고, pMIS형성영역(1p)에는 n형 웰영역(3) 및 p채널도전형 MISFET(이하, 간단히 p형 MISFET이라 한다.)이 형성되어 있다. 얇은 홈의 내부에 절연막(예를 들면 질화실리콘막)을 선택적으로 메우므로써 형성된다. 본 실시예의 n형 및 p형 MISFET은, 전류가 p형 기판(1)의 평면방향으로 흐르는 가로형 구조로 되어 있다.

[0176] n형 MISFET은, 주로, 채널형성영역, 게이트절연막(5), 게이트전극(6), 사이드 월 스페이서(9), 소스 영역 및 드

레인영역을 갖는 구성으로 되어 있다. 소스영역 및 드레인영역은, n형 반도체영역(익스텐션 영역)(7) 및 n형 반도체 영역(10)을 갖는 구성으로 되어 있다. n형 반도체 영역(7)은 게이트전극(6)에 대해 자기정합으로 형성되고, n형 반도체 영역(10)은 게이트전극(6)의 측벽에 설치된 사이드 월 스페이서(9)에 대해 자기정합으로 형성되어 있다. n형 반도체 영역(10)은 n형 반도체 영역(7)보다도 높은 불순물 농도로 형성되어 있다.

[0177] p형 MISFET은, 주로, 채널형성영역, 게이트절연막(5), 게이트 전극(6), 사이드 월 스페이서(9), 소스 영역 및 드레인 영역을 갖는 구성으로 되어 있다. 소스 영역 및 드레인 영역은, P형 반도체 영역(익스텐션)(8) 및 p형 반도체 영역(11)을 갖는 구성으로 되어 있다. p형 반도체 영역(8)은 게이트전극(6)에 대해 자기정합으로 형성되고, p형 반도체 영역(11)은 게이트전극(6)의 측벽에 설치된 사이드 월 스페이서(9)에 대해 자기정합으로 형성되어 있다. p형 반도체 영역(11)은 p형 반도체 영역(8)보다도 높은 불순물 농도로 형성되어 있다.

[0178] 게이트전극(6), n형 반도체 영역(10), p형 반도체 영역(11)의 각각의 표면에는 저저항화를 도모하기 위한 실리사이드층(금속 · 반도체 반응층)(12)이 형성되어 있다. 게이트전극(6)의 표면에 설치된 실리사이드층(12), n형 반도체 영역(10) 및 p형 반도체 영역(11)의 표면에 설치된 실리사이드층(12)은, 게이트 전극(6)의 측벽에 설치된 사이드 월 스페이서(9)에 대해 자기정합으로 형성되어 있다. 이들의 실리사이드층(12)은, 예를 들면 살리사이드(Salicide : Self Aligned Silicide)기술에 의해 형성되어 있다. 즉, 본 실시예의 n형 및 p형 MISFET은, 살리사이드구조로 되어 있다.

[0179] p형 기판(1)의 회로형성면상에는 예를 들면 산화실리콘막으로 이루어지는 층간 절연막(16)이 형성되어 있다. 층간 절연막(16)은, p형 기판(1)의 회로형성면을 덮도록 하여 형성되어 있다. n형 MISFET과 층간 절연막(16) 사이에는 p형 기판(1)의 회로형성면에 인장응력을 발생시키는 막으로서 제 1 질화막인 예를 들면 질화실리콘막(14a)이 형성되어 있다. p형 MISFET과 층간 절연막(16) 사이에는 p형 기판(1)의 회로형성면에 압축응력을 발생시키는 막으로서 제 2 질화막인 예를 들면 질화실리콘막(14b)이 형성되어 있다. 본 실시예에 있어서, 질화실리콘막(14a)은 n형 MISFET상에 그 게이트전극(6)을 덮도록 하여 선택적으로 형성되고, 질화실리콘막(14b)은 p형 MISFET상에 그 게이트전극(6)을 덮도록 하여 선택적으로 형성되어 있다.

[0180] n형 MISFET과 질화실리콘막(14a) 사이에, 및 p형 MISFET과 질화실리콘막(14b) 사이에는, 예를 들면 질화실리콘막으로 이루어지는 절연막(13)이 형성되어 있다. 절연막(13)은, p형 기판(13)은, p형 기판(1)의 회로형성면상에 n형 및 p형 MISFET을 덮도록 하여 형성되어 있다.

[0181] 질화실리콘막(14a)과 층간절연막(16) 사이에는, 예를 들면 산화실리콘막으로 이루어지는 절연막(15)이 형성되어 있다. 이 절연막(15)은, 질화실리콘막(14a)상에, 이 질화실리콘막(14a)을 덮도록 하여 선택적으로 형성되어 있다.

[0182] n반도체 영역(10) 및 p형 반도체 영역(11)상에는 층간 절연막(16)의 표면에서 실리사이드층(12)에 도달하는 소스 · 드레인용 콘택트공(18)이 형성되고, 이 소스 · 드레인용 콘택트공(18)의 내부에는 도전성 플러그(19)가 메워져 있다. n반도체 영역(10) 및 p형 반도체 영역(11)은, 실리사이드층(12) 및 도전성 플러그(19)를 개재하고, 층간 절연막(16)상을 연재하는 배선(20)과 전기적으로 접속되어 있다.

[0183] 게이트전극(6)상에는 도시하고 있지 않지만, 층간 절연막(16)의 표면에서 실리사이드층(12)에 도달하는 게이트용 콘택트공이 형성되고, 이 게이트용 콘택트공의 내부에는 도전성 플러그(19)가 메워져 있다. 게이트전극(6)은, 실리사이드층(12), 및 게이트용 콘택트공의 내부 도전성 플러그(19)를 개재하고, 층간 절연막(16)상을 연재하는 배선(20)과 전기적으로 접속되어 있다.

[0184] 소스 · 드레인용 콘택트공(18) 및 게이트용 콘택트공은, 질화실리콘막(14a) 및 (14b)을 예칭 스토퍼막으로 이용하는 SAC(Self Aligned Contact hole)기술에 의해 형성되어 있다. 즉, 질화실리콘막(14a) 및 (14b)는 자기정합 콘택트용 절연막으로 사용되고 있다.

[0185] 질화실리콘막(14a) 및 (14b)는, 예를 들면 플라즈마 CVD(Chemical Vapor Deposition)법에 의해 형성되어 있다. 이 질화실리콘막(14a) 및 (14b)는, 그 형성조건(반응가스, 압력, 온도, 고주파 전력 등)을 바꾸므로써 p형 기판(1)의 회로형성면에 발생시키는 응력을 제어할 수 있다. 본 실시예에 있어서, 질화실리콘막(14a)은 예를 들면 막형성시의 고주파 전력을 30 ~ 40W로 저전력화하고, p형 기판(1)의 회로형성면에 발생시키는 응력을 인장방향으로 제어한 것이다.

[0186] 이렇게 해서 형성된 질화실리콘막(14a)에는 +700 ~ +800MPa 정도의 인장응력이 존재하고, 질화실리콘막(14b)에는 -900 ~ -1000MPa 정도의 압축응력이 존재하기 때문에, n형 MISFET의 채널형성영역에는 인장응력이 발생하고, p형 MISFET의 채널형성영역에는 압축응력이 발생한다. 이 결과, 도 2에 도시하는 것과 같이 질화실리콘막(14a)

및 (14b)를 피막하고 있지 않은 경우와 비교해서, n형 MISFET의 드레인전류는 10 ~ 15% 향상되고, p형 MISFET의 드레인전류는 15 ~ 20% 향상됐다. 또한, 이들의 응력은, 앞에서 서술한 것과 같이 주로 채널형성영역을 흐르는 드레인전류(Id)의 방향(게이트길이방향)과 동일방향으로 걸린다.

[0187] 여기에서, MISFET의 채널형성영역에 발생하는 응력에 관해, 간략한 도 및 본 실시예와 일부 다른 부호를 이용하여 설명한다. 도 3 및 도 4에 도시하는 MISFET은 본 실시예와 동일하게 살리사이드구조로 되어 있고, 부호 30은 MISFET의 채널형성영역, 부호 31은 채널형성영역(30)을 흐르는 드리엔전류의 방향, 부호 32는 게이트전극(6)에 정합하여 형성된 반도체 영역, 부호 33은 사이드 월 스페이서(9)에 정합하여 형성된 반도체 영역, 부호 34는 채널형성영역(30)에 응력을 발생시키기 위한 막, 부호, 35a 및 35b는 단차부이다.

[0188] 도 3 및 도 4에 도시하는 것과 같이 MISFET은 게이트전극(6)의 측벽에 게이트전극(6)을 둘러싸듯이 하여 사이드 월 스페이서(9)가 설치된 구조로 되어 있다. 게이트전극(6) 및 사이드 월 스페이서(9)는 기판에서 돌출되어 있기 때문에, 게이트전극(6) 및 사이드 월 스페이서(9)에 의한 단차부(35a, 35b)가 형성되어 있다. 이러한 구조의 MISFET상에, 그 게이트전극(6)을 덮도록 하고, 채널형성영역(30)에 응력(인장응력, 혹은 압축응력)을 발생시키는 막(34)을 형성한 경우, 게이트길이방향(X)에 있어서 단차부(35a)의 최하부 및 게이트폭방향(Y)에 있어서 단차부(35b)의 최하부에 막(34)에 의한 응력이 집중하기 때문에, 게이트길이방향(X)에 있어서 단차부(35a)의 최하부를 기점으로 하는 게이트길이방향의 막응력이 채널형성영역(30)에 작용함과 동시에, 게이트폭방향(Y)에 있어서 단차부(35b)의 최하부를 기점으로 하는 게이트폭방향의 막응력이 채널형성영역(30)에 작용한다. 즉, 막(34)에 의한 응력이 인장응력인 경우는, 채널형성영역(30)에 게이트길이방향 및 게이트폭방향의 인장응력이 발생하고, 막(34)에 의한 응력이 압축응력인 경우는, 채널형성영역(30)에 게이트길이방향 및 게이트폭방향의 압축응력이 발생한다.

[0189] 그러나, 게이트전극(6)의 게이트길이방향(X)에 있어서의 길이는, 그 게이트폭방향(Y)에 있어서의 길이와 비교하여 압도적으로 작으므로, 게이트폭방향(Y)에 있어서 단차부(35b)의 최하부에 집중하는 인장응력, 혹은 압축응력에 의해 채널형성영역(30)에 발생하는 게이트폭방향의 인장응력, 혹은 압축응력은 극히 작다. 따라서, 막(34)에 의해 채널형성영역(30)에 발생하는 응력은, 실질적으로, 게이트길이방향의 인장응력, 혹은 압축응력, 바꿔 말하면 드레인전류방향(31)에 따른 인장응력, 혹은 압축응력만으로 간주할 수 있다.

[0190] p형 MISFET에 있어서는, 채널형성영역(30)에 게이트폭방향의 압축응력을 건 경우, 드레인전류는 감소한다고 보고되어 있다. 막(34)에 의한 채널형성영역(30)의 응력제어에서는, 앞에서 서술한 것과 같이 채널형성영역(30)에 발생하는 게이트폭방향의 압축응력은 극히 작으므로, p형 MISFET의 드레인전류증가를 효율적으로 행할 수 있다. 따라서, 막(34)에 의한 채널형성영역(30)의 응력제어는, p형 전계효과 트랜지스터에 대해 특히 유효하다.

[0191] 또한, 막(34)의 응력에 의해 채널형성영역(30)에 발생하는 응력은, 막응력의 기점이 채널형성영역(30)에서 떨어짐(멀어짐)에 따라 감소하므로, 막응력의 기점은 가능한 한 채널형성영역(30)에 근접하는 것이 바람직하다. 앞에서 서술한 설명에서는, 게이트전극(6) 및 사이드 월 스페이서(9)에 의한 단차부(35a, 35b)의 최하부가 막응력의 기점이 되지만, 사이드 월 스페이서(9)를 갖지 않는 MISFET의 경우는, 게이트전극(6)의 측벽 최하부가 막응력의 기점이 된다.

[0192] 다음으로, 본 실시예 1의 반도체 장치의 제조에 관해, 도 5 내지 도 19를 이용하여 설명한다.

[0193] 우선, 비저항  $10\Omega\text{cm}$ 를 갖는 단결정실리콘으로 이루어지는 p형 기판(1)을 준비하고, 그 후, 도 5에 도시하는 것과 같이 p형 기판(1)의 회로형성면에 p형 웨이영역(2) 및 n형 웨이영역(3)을 선택적으로 형성한다.

[0194] 다음으로, 도 5에 도시하는 것과 같이 p형 기판(1)의 회로형성면에 nMIS형성영역(제 1의 소자형성영역)(1n) 및 pMIS형성영역(제 2 소자형성영역)(1p)을 구획하는 소자분리영역으로서, 얇은 흠 아이솔레이션영역(4)을 형성한다. 이 얇은 흠 아이솔레이션영역(4)은, p형 기판(1)의 회로형성면에 얇은 흠(예를 들면 300[nm]정도의 깊이의 흠)을 형성하고, 그 후, p형 기판(1)의 회로형성면상에 예를 들면 산화실리콘막으로 이루어지는 절연막을 CVD법으로 형성하고, 그 후, 절연막이 얇은 흠 내부만 남도록 CMP(화학적 기계연마 : Chemical Mechanical Polishing)법으로 평탄화하므로써 형성된다.

[0195] 다음으로, 도 6에 도시하는 것과 같이 열처리를 실시하고 p형 기판(1)의 회로형성면의 nMIS형성영역(1n) 및 pMIS형성영역(1p)에 예를 들면 두께가 2 ~ 3nm정도의 산화실리콘막으로 이루어지는 게이트절연막(5)을 형성하고, 그 후, p형 기판(1)의 회로형성면상의 전면에 예를 들면 150 ~ 200nm정도의 두께의 다결정실리콘막을 CVD법으로 형성하고, 그 후, 다결정 실리콘막에 패터닝을 실시하여 게이트전극(6)을 형성한다. 다결정실리콘막에는 저항치를 저감하는 불순물이 그 퇴적중 또는 퇴적후에 도입된다.

- [0196] 다음으로, 도 6에 도시하는 것과 같이 게이트전극(6)이 형성되어 있지 않은 p형 웨이팅(2)의 부분에 불순물로서 예를 들면 비소(As)를 이온투입법으로 선택적으로 도입하여 한쌍의 n형 반도체 영역(익스텐션영역)(7)을 형성하고, 그 후, 게이트전극(6)이 형성되어 있지 않은 n형 웨이팅(3)의 부분에 불순물로써 예를 들면 이불화붕소( $\text{BF}_2$ )를 이온투입법으로 선택적으로 도입하여 한쌍의 p형 반도체 영역(익스텐션영역)(8)을 형성한다. n형 반도체 영역(7) 형성은, pMIS형성영역(1p)을 포토레지스트 마스크로 덮은 상태로 행한다. 또, p형 반도체 영역(8)의 형성은, nMIS형성영역(1n)을 포토레지스트 마스크로 덮은 상태에서 행한다. 비소의 도입은, 가속에너지 1 ~ 5KeV, 도즈량  $1 \sim 2 \times 10^{15}/\text{cm}^2$ 의 조건에서 행한다. n형 반도체 영역(7) 및 p형 반도체 영역(8)은 게이트전극(6)에 정합하여 형성된다.
- [0197] 또한, 불순물을 도입하여 반도체 영역(7, 8)을 형성한 후, 이 반도체 영역(7, 8)을 활성화하는 열처리가 실시된다.
- [0198] 다음으로, 도 6에 도시하는 것과 같이 게이트전극(6)의 측벽에 예를 들면 게이트길이방향의 막두께가 50 ~ 70nm 정도의 사이드 월 스페이서(9)를 형성한다. 사이드 월 스페이서(9)는 p형 기판(1)의 회로형성면상의 전면에 예를 들면 질화실리콘막 또는 질화실리콘막으로 이루어지는 절연막을 CVD법으로 형성하고, 그 후, 절연막에 RIE(Reactive Ion Etching) 등의 이방성 에칭을 실시하므로써 형성된다. 사이드 월 스페이서(9)는 게이트전극(6)에 정합하여 형성된다.
- [0199] 다음으로 도 6에 도시하는 것과 같이 게이트전극(6) 및 사이드 월 스페이서(9)가 형성되어 있지 않은 p형 웨이팅(2)의 부분에 불순물로서 예를 들면 비소(As)를 이온투입법으로 선택적으로 도입하여 한쌍의 n형 반도체 영역(10)을 형성하고, 그 후, 게이트전극(6) 및 사이드 월 스페이서(9)가 형성되어 있지 않은 n형 웨이팅(3)의 부분에 불순물로서 예를 들면 이불화붕소를 이온투입법으로 선택적으로 도입하여 한쌍의 p형 반도체 영역(11)을 형성한다. n형 반도체 영역(10)의 형성은, pMIS형성영역(1p)을 포토레지스트 마스크로 덮은 상태에서 행한다. 또, p형 반도체 영역(11)의 형성은, nMIS형성영역(1n)을 포토레지스트 마스크로 덮은 상태에서 행한다. 비소의 도입은, 가속에너지 35 ~ 45KeV, 도즈량  $2 \sim 4 \times 10^{15}/\text{cm}^2$ 의 조건에서 행한다. 또, 이불화붕소의 도입은, 가속에너지 40 ~ 50KeV, 도즈량  $2 \sim 4 \times 10^{15}/\text{cm}^2$ 의 조건에서 행한다. n형 반도체 영역(10) 및 p형 반도체 영역(11)은, 사이드 월 스페이서(9)에 정합하여 형성된다.
- [0200] 또한, 불순물을 도입하여 반도체 영역(10, 11)을 형성한 후, 이 반도체 영역(10, 11)을 활성화하기 위한 열처리가 실시된다.
- [0201] 이 공정에 있어서, 게이트전극(6)에 정합하여 형성된 n형 반도체 영역(7) 및 사이드 월 스페이서(9)에 정합하여 형성된 n형 반도체 영역(10)을 갖는 소스 영역 및 드레인 영역이 형성된다. 또, 게이트전극(6)에 정합하여 형성된 p형 반도체 영역(8) 및 사이드 월 스페이서(9)에 정합하여 형성된 p형 반도체 영역(11)을 갖는 소스영역 및 드레인영역이 형성된다. 또, 가로형 n형 및 p형 MISFET이 형성된다.
- [0202] 다음으로, 자연산화막 등을 제거하여 게이트전극(6) 및 반도체 영역(10, 11)의 표면을 노출시킨 후, 도 7에 도시하는 것과 같이, 이들의 표면상을 포함하는 P형 기판(1)의 회로형성면상의 전면에 고융점 금속막으로서 예를 들면, 코발트(Co)막(12a)을 스퍼터법으로 형성하고, 그 후, 도 8에 도시하는 것과 같이 열처리를 실시하고, 게이트전극(6)의 실리콘(Si)과 코발트막(12a)의 Co를 반응시켜서 게이트전극(6)의 표면에 금속 · 반도체 반응층인 실리사이드( $\text{CoSi}_x$ )층(12)을 형성함과 동시에, 반도체 영역(10, 11)의 Si와 코발트막(12a)의 Co를 반응시켜서 반도체 영역(10, 11)의 표면에 실리사이드( $\text{CoSi}_x$ )층(12)을 형성하고, 그 후, 도 9에 도시하는 것과 같이, 실리사이드층(12)이 형성된 영역 이외의 미반응 코발트막(12a)을 선택적으로 제거하고, 그 후, 열처리를 실시하여 실리사이드층(12)을 활성화한다.
- [0203] 이 공정에 있어서, 게이트전극(6)의 표면에 설치된 실리사이드층(12) 및 반도체 영역(10, 11)의 표면에 설치된 실리사이드층(12)은 사이드 월 스페이서(9)에 정합하여 형성된다. 또, 실리사이드구조의 n형 및 p형 MISFET이 형성된다.
- [0204] 다음으로, 도 10에 도시하는 것과 같이 n형 및 p형 MISFET상을 포함하는 p형 기판(1)의 회로형성면상의 전면에 예를 들면 5 ~ 10nm 정도의 두께의 산화실리콘막으로 이루어지는 절연막(13)을 CVD1법으로 형성한다. 이 공정에 있어 허, 게이트2전극(6)의 실리사이드층(12), 반도체 영역(10, 11)의 실리사이드층(12), 및 사이드 월 스페이서(9) 등을, 절연막(13)에서 덮인다.
- [0205] 다음으로, 도 11에 도시하는 것과 같이, n형 MISFET상을 포함하는 p형 기판(1)의 회로형성면상의 전면에, 절연

막으로서 예를 들면 100 ~ 120nm 정도의 두께의 질화실리콘막(14a)을 플라즈마 CVD법으로 형성한다. 질화실리콘막(14a)의 형성은, 예를 들면 고주파전력 350 ~ 400W, 혹은 챔버내 압력 300 ~ 350Torr의 조건에서 행한다.

[0206] 그 공정에 있어서, n형 및 p형 MISFET은, 질화실리콘막(14a)으로 덮인다. 또, 게이트전극(6)의 실리사이드층(12), 반도체 영역(10, 11), 및 사이드 월 스페이서(9) 등은, 절연막(13)을 개재하여 질화실리콘막(14a)으로 덮인다.

[0207] 다음으로, 도 12에 도시하는 것과 같이 n형 및 p형 MISFET상을 포함하는 p형 기판(1)의 회로형성면상의 전면에, 예를 들면 50nm 정도의 두께의 산화실리콘막으로 이루어지는 절연막(15)을 CVD법으로 형성한다. 이 공정에 있어서, 질화실리콘막(14a)은, 절연막(15)으로 덮인다.

[0208] 다음으로, 도 13에 도시하는 것과 같이, 절연막(15)상에 nMIS형성영역(1n)(n형 MISFET)상을 선택적으로 덮는 포토레지스트 마스크(RM1)을 형성한다.

[0209] 다음으로, 포토레지스트 마스크(RM1)를 에칭 마스크로 하여 에칭처리를 실시하고, 도 14에 도시하는 것과 같이 pMIS형성영역(1p)상(p형 MISFET상)의 절연막(15), 및 질화실리콘막(14a)을 순차제거한다. 절연막(15)의 가공은 웨트 에칭으로 행하고, 질화실리콘막(14a)의 가공은 등방성 드라이 에칭으로 행한다.

[0210] 이 공정에 있어, n형 MISFET상에 그 게이트전극(6)을 덮도록 하여 질화실리콘막(14a)이 선택적으로 형성된다. 이렇게 해서 질화실리콘막(14a)을 선택적으로 형성하므로써, 질화실리콘막(14a)에 의해 n형 MISFET의 채널형성 영역에 인장응력을 선택적으로 발생시킬 수 있다.

[0211] 또, 이 공정에 있어서, p형 MISFET에서는, 게이트전극(6)의 표면 실리사이드층(12), p형 반도체 영역(11)의 표면의 실리사이드층(12), 및 사이드 월 스페이서(9)가 절연막(13)에 의해 덮여 있기 때문에, 이들의 실리사이드층(12) 및 사이드 월 스페이서(9)가 질화실리콘막(14a)의 가공시의 오버 에칭에 의해 깎여버리는 불합리함을 억제할 수 있다. 즉, 절연막(13)은, 질화실리콘막(14a)의 가공시에 있어서 에칭 스토퍼의 역할을 한다.

[0212] 또한, 이 공정에 있어서, 절연막(13)이 존재하지 않았던 경우, 질화실리콘막(14a)의 가공시의 오버 에칭에 의해 문제가 발생한다. 이 문제에 관해서는 나중에 상세하게 설명한다.

[0213] 다음으로, 포토레지스트 마스크(RM1)을 제거한 후, 도 15에 도시하는 것과 같이 절연막(15)상을 포함하는 p형 기판(1)의 회로형성면상의 전면에, 절연막으로서 예를 들면 100nm 정도의 두께의 질화실리콘막(14b)을 플라즈마 CVD법으로 형성한다. 질화실리콘막(14b)의 형성은, 예를 들면 고주파전력 600 ~ 700W, 혹은 챔버내 압력 5 ~ 10Torr의 조건으로 행한다.

[0214] 이 공정에 있어서, n형 및 p형 MISFET은, 질화실리콘막(14b)으로 덮인다. 또, n형 MISFET상의 질화실리콘막(14a)은 절연막(15)을 개재하여 질화실리콘막(14b)으로 덮인다.

[0215] 다음으로, 도 16에 도시하는 것과 같이 질화실리콘막(14b)상에, pMIS형성영역(1p)(p형 MISFET)상을 선택적으로 덮는 포토레지스트 마스크(RM2)를 형성한다.

[0216] 다음으로, 포토레지스트 마스크(RM2)를 에칭 마스크로 하여 에칭처리를 실시하고, 도 17에 도시하는 것과 같이, nMIS형성영역(1n상)(n형 MISFET상)의 질화실리콘막(14b)를 제거한다. 질화실리콘막(14b)의 가공은 등방성 드라이 에칭으로 행한다.

[0217] 이 공정에 있어서, p형 MISFET상에 그 게이트전극(6)을 덮도록 하여 질화실리콘막(14b)가 선택적으로 형성된다. 이렇게 해서 질화실리콘막(14b)을 선택적으로 형성하므로써, 질화실리콘막(14b)에 의해 p형 MISFET의 채널형성 영역에 압축응력을 선택적으로 발생시킬 수 있다.

[0218] 또, 이 공정에 있어서, n형 MISFET상의 질화실리콘막(14a)은 절연막(15)에 의해 덮여있기 때문에, 이 질화실리콘막(14a)이 질화실리콘막(14b)의 가공시에 오버 에칭에 의해 깎여버리는 불합리함을 억제할 수 있다. 즉, 절연막(15)은, 질화실리콘막(14b)의 가공시에 있어서 에칭 스토퍼의 역할을 한다.

[0219] 다음으로, 포토레지스트 마스크(RM2)를 제거한 후, 도 18에 도시하는 것과 같이 n형 및 p형 MISFET상을 포함하는 P형 기판(1)의 회로형성면상의 전면에 예를 들면 산화실리콘막으로 이루어지는 층간 절연막(16)을 플라즈마 CVD법으로 형성하고, 그 후, 층간절연막(16)의 표면을 CMP법으로 평탄화한다.

[0220] 다음으로, 도 18에 도시하는 것과 같이, 층간절연막(16) 중에, Ar, Ge, Si, As, Sb, In, BF<sub>2</sub> 등으 불순물(17)을 이온투입법으로 도입하고, 층간절연막(16) 중의 결정성을 파괴한다. 이 공정에 있어, 층간절연막(16)의 응력이

완화되기 때문에, 충간절연막(16)의 응력이 MISFET의 채널형성영역에 작용하는 영향을 억제할 수 있다. 또한, 충간절연막(16)의 단면을 관찰하면 명백하게 파괴된 흔적이 남는다.

[0221] 다음으로, 도 19에 도시하는 것과 같이, 반도체 영역(11, 12)상에, 충간절연막(16)의 표면에서 실리사이드층(12)에 도달하는 소스 · 드레인용 콘택트공(18)을 형성한다. 소스 · 드레인용 콘택트공(18)의 형성은, 질화실리콘막(14a, 14b)을 에칭 스토퍼로 하는 SAC기술로 행한다. 구체적으로는 우선, 반도체 영역(10, 11)과 대향하는 위치에 콘택트공용의 개구패턴을 갖는 포토레지스트 마스크를 충간절연막(16)상에 형성하고, 그 후, 상기 포토레지스트 마스크를 에칭 마스크로 하고, 충간절연막(16), 절연막(15), 질화실리콘막(14a, 14b) 및 절연막(13)에 이방성 드라이 에칭을 순차적으로 실시한다. 충간절연막(16) 및 절연막(15)의 에칭은, 질화실리콘막(14a, 14b)에 대해 선택비를 취할 수 있는 조건으로 행한다. 질화실리콘막(14a, 14b)의 에칭은, 절연막(13)에 대해 선택비를 취할 수 있는 조건으로 행한다. 절연막(13)의 에칭은, 실리사이드층(12), 및 p형 기판(1)에 대해 선택비를 취할 수 있는 조건으로 행한다. 또한, 절연막(13)의 에칭은, 질화실리콘막(14a, 14b)의 가공시의 오버 에칭으로 행해도 좋다.

[0222] 다음으로, 도시하고 있지 않지만, 소스 · 드레인용 콘택트공(18)의 형성과 동일한 방법으로, 게이트전극(6)상에 충간절연막(16)의 표면에서 실리사이드층(12)에 도달하는 게이트용 콘택트공을 형성한다.

[0223] 다음으로, 소스 드레인용 콘택트공(18)의 내부, 및 게이트용 콘택트공의 내부에 금속 등의 도전물을 메워서 도전성 플러그(19)를 형성하고, 그 후, 충간절연막(16)상에 배선(20)을 형성하므로써, 도 1에 도시하는 구조가 된다.

[0224] 다음으로, 본 발명을 이루는 과정에서 본 발명자가 발견한 문제점과 함께 본 발명에 관해 설명한다.

[0225] p형 MISFET상의 질화실리콘막(14a)을 이방성 드라이 에칭으로 제거한 경우, 이방성 드라이 에칭으로서는 사이드 월 스페이서(9)의 측벽을 따라 질화실리콘막(14a)부분의 막두께가 실행적으로 두껍게 보이기 때문에, 도 20에 도시하는 것과 같이 사이드 월 스페이서(9)의 측벽에 질화실리콘막(14a)의 일부가 잔존한다. 이대로의 상태에서, pMISFET상에 질화실리콘막(14b)을 형성한 경우, 도 21에 도시하는 것과 같이 게이트전극(6), 사이드 월 스페이서(9) 및 일부 질화실리콘막(14a)에 의한 단차부(35a)의 최하부에 질화실리콘막(14b)의 응력이 집중하기 때문에, 질화실리콘막(14b)의 응력의 기점이 사이드 월 스페이서(9)의 측벽에 잔존하는 질화실리콘막(14a)에 의해 p형 MISFET의 채널형성영역에서 떨어져 버리고, 질화실리콘막(14b)의 막응력에 의해 채널형성영역에 압축응력을 발생시키는 효과가 감소해버린다. 또, 반대의 응력작용을 갖는 질화실리콘막(14a)이 사이드 월 스페이서(9)의 측벽에 잔존하기 때문에, 질화실리콘막(14b)에 의해 채널형성영역에 압축응력을 발생시키는 효과가 더 감소해버린다. 따라서, p형 MISFET상의 질화실리콘막(14a)의 제거에서는, 단차부에 에칭잔여물이 발생하지 않는 등방성 드라이 에칭으로 행하는 것이 유효하다.

[0226] 그러나, p형 MISFET상의 질화실리콘막(14a)을 등방성 드라이 에칭으로 제거한 경우, 새로운 문제가 발생한다.

[0227] 질화실리콘막의 등방성 드라이 에칭으로서는, 일반적으로 CF<sub>4</sub> 또는 CF<sub>6</sub> 등의 불화가스를 이용한 등방성 플라즈마 에칭이 사용되고 있다. 이 등방성 플라즈마 에칭에서는, 산화실리콘막과 실리사이드층에 대해서는 선택비를 취할 수 있지만, 실리콘에 대해서는 선택비를 취할 수 없다.

[0228] 산화실리콘막으로 이루어지는 사이드 월 스페이서(9)는 질화실리콘막(14a)의 등방성 플라즈마 에칭에 대해 선택성을 갖지만, 질화실리콘막(14a)의 가공시의 오버 에칭에 의해 약간 에칭되기 때문에, 사이드 월 스페이서(9)의 존재 막두께가 게이트전극(6)을 향해 후퇴한다. 한편, p형 반도체 영역(11)의 표면 실리사이드층(12)은 사이드 월 스페이서(9)에 정합하여 형성되어 있다. 따라서, 질화실리콘막(14a)의 가공시의 오버 에칭에 의한 사이드 월 스페이서(9)의 후퇴에 의해, 도 22에 도시하는 것과 같이, 사이드 월 스페이서(9)와 실리사이드층(12) 사이에 실리콘의 노출부(1a)가 형성되어 버린다. 질화실리콘막의 등방성 플라즈마 에칭은, 실리콘에 대해 선택비를 취할 수 없기 때문에, 질화실리콘막(14a)의 가공시의 오버 에칭에 의해 노출부(1a)에서 p형 기판(1)이 깎여버리고, 게이트전극(6)이 벗겨지는 등의 불합리한 점이 발생해버린다.

[0229] 또, 실리사이드층(12)은, 질화실리콘막(14a)의 등방성 플라즈마 에칭에 대해 선택성을 갖지만, 질화실리콘막(14a)의 가공시의 오버 에칭에 의해 약간 에칭되기 때문에, 실리사이드층(12)의 막두께가 얇아진다. 실리사이드층(12)은, MISFET의 미세화에 따라 게이트저항의 증가와 소스 · 드레인저항의 증가를 억제하기 위해, 게이트전극(6)의 표면과 P형 반도체 영역(11)의 표면에 설치되어 있다. 따라서, 질화실리콘막(14a)의 가공시의 오버 에칭에 의해 실리사이드층(12)의 막두께가 얇아지면, MISFET의 미세화에 동반하는 게이트저항의 증가와 소스 · 드

레인저항의 증가를 억제하는 효과가 감소되어 버린다.

[0230] 또, 실리사이드구조의 p형 MISFET의 경우는, 실리사이드층(12)이 에칭 스토퍼의 역할을 하기 때문에, 게이트전극(6)에 있어서는 실리사이드층(12)하의 다결정 실리콘막, 소스영역 및 드레인영역에 있어서는 실리사이드층(12)하의 p형 반도체영역(11)이 질화실리콘막(14a)의 가공시의 오버 에칭에 의해 깎여버리는 일은 없지만, 게이트전극(6)의 표면과 p형 반도체영역(11)의 표면에 실리사이드층(12)을 갖지 않는 구조의 경우는 도 23에 도시하는 것과 같이 게이트전극(6)의 다결정 실리콘막, 소스영역 및 드레인영역의 p형 반도체 영역(11)이 깎여버리고, 이들의 두께가 감소해버리기 때문에. 게이트저항 및 소스 · 드레인저항의 증가는 전류구동능력의 저하를 불러일으킨다.

[0231] 따라서, p형 MISFET상의 질화실리콘막(14a)의 제거는, 단추부에 에칭잔여물이 발생하지 않는 등방성 드라이 에칭으로 행해지는 것이 유효하지만, 질화실리콘막(14a)의 가공을 등방성 드라이에칭으로 행하기 위해서는, 앞에서 서술한 문제를 해결할 필요가 있다.

[0232] 본 발명자의 검토에 따르면, 사이드 월 스페이서(9)의 후퇴에 관한 문제는, n형 및 p형 MISFET상에, 이들의 게이트전극(6)을 덮도록 하여 질화실리콘막(14a)을 형성하기 전에, 적어도 p형 반도체 영역(11)에 있어서 실리사이드층(12)의 사이드 월 스페이서측 단부상을 에칭 스토퍼로서 기능하는 절연막으로 덮어두므로써 해결할 수 있다.

[0233] 또, 실리사이드층(12)의 깎임에 관한 문제는, n형 MISFET상에 이들의 게이트전극(6)을 덮도록 하여 질화실리콘막(14a)을 형성하기 전에 실리사이드층(12)의 전체를 에칭 스토퍼로서 기능하는 절연막으로 덮어두므로써 해결할 수 있다.

[0234] 또, 실리사이드층(12)을 갖지 않는 구조에 관한 문제는, n형 및 p형 MISFET상에 이들의 게이트전극(6)을 덮도록 하여 질화실리콘막(14a)을 형성하기 전에, 게이트전극(6)의 표면과 p형 반도체영역(11)의 표면을 에칭 스토퍼로서 기능하는 절연막으로 덮어두므로써 해결할 수 있다.

[0235] 절연막으로서는, 질화실리콘막(14a)의 등방성 플라즈마 에칭에 대해 선택성을 갖는 것, 예를 들면 산화실리콘막이 바람직하다.

[0236] 앞에서 서술한 실시예 1에서는, 도 10 및 도 11에 도시하는 것과 같이, 질화실리콘막(14a)을 형성하기 전에, 산화실리콘막으로 이루어지는 절연막(13)을 CVD법으로 형성하고 있다. CVD법, 즉 퇴적법으로 절연막(13)을 형성하는 경우, p형 MISFET상에 있어서, 게이트전극(6)의 표면 실리사이드층(12), p형 반도체 영역(11)의 표면 실리사이드층(12), p형 반도체 영역(11)의 표면에 있어서 실리사이드층(12)의 사이드 월(9)측의 단부, 및 사이드 월 스페이서(9)를 절연막(13)으로 덮을 수 있다.

[0237] 따라서, p형 MISFET상의 질화실리콘막(14b)의 제거는, 도 14에 도시하는 것과 같이, 게이트전극(6)의 표면 실리사이드층(12), p형 반도체 영역(11)의 표면 실리사이드층(12), p형 반도체 영역(11)의 표면에 있어서 실리사이드층(12)의 사이드 월(9)측 단부, 및 사이드 월 스페이서(9)를 절연막(13)으로 덮은 상태에서 이루어지기 때문에, 사이드 월 스페이서(9)의 후퇴에 관한 문제, 실리사이드층(12)의 깎임에 관한 문제를 한번에 해결할 수 있다.

[0238] 이렇게, 본 실시예 1에 따르면, n형 MISFET의 채널형성영역에 인장응력, p형 MISFET의 채널형성영역에 압축응력이 따로따로 부여된 결과, n형 MISFET 및 p형 MISFET의 각 채널형성영역에 작용하는 응력의 크기에 따라, n형 MISFET 및 p형 MISFET으로 같이 드레인전류가 증가한다.

[0239] 또, n형 MISFET 및 p형 MISFET의 채널형성영역에 작용하는 응력을 개별로 제어할 수 있기 때문에, n형 MISFET과 p형 MISFET의 드레인전류비를 자유롭게 제어할 수 있다.

[0240] 또, n형 MISFET 및 p형 MISFET의 드레인전류를 동시에 증가시킬 수 있으므로, n형 및 p형 MISFET을 갖는 반도체 장치의 고속화를 도모할 수 있다.

[0241] 또, p형 MISFET상의 질화실리콘막(14a)으 등방성 드라이 에칭으로 제거할 때에 발생하는, 사이드 월 스페이서(9)의 후퇴에 관한 문제와 실리사이드층(12)의 깎임에 관한 문제를 해결할 수 있으므로, 제조수득률 및 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0242] 또한, 질화실리콘막의 형성방법을 바꾸어 막응력을 바꾸는 방법으로서는, 상기 실시예의 고주파전력을 바꾸는 방법 외에, 하기의 방법을 들 수 있다.

- [0243] (1) 원료가스를 바꾸는 방법으로서, 질화실리콘막(14a)의 형성에는 SiH<sub>4</sub>와 NH<sub>3</sub>와 N<sub>2</sub>를 사용하고, 질화실리콘막(14b)의 형성에는 NH<sub>3</sub>를 제외하고 SiH<sub>4</sub>와 N<sub>2</sub>를 사용한다.
- [0244] (2) 형성온도를 바꾸는 방법으로서, 질화실리콘막(14b)의 형성시보다도, 질화실리콘막(14a)의 형성시 온도를 높게 한다.
- [0245] (3) 압력을 바꾸는 방법으로서, 질화실리콘막(14b)의 형성시보다도, 질화실리콘막(14a)의 형성시 압력을 높게 한다.
- [0246] 등이다. 물론, 상기 중 어느 조합을 복합시켜도 좋다. 요는 어떻게 질화실리콘막(14a)을 인장응력측에, 질화실리콘막(14b)을 압축응력측으로 하는가가 중요하다.
- [0247] 또, 매엽열 CVD법을 이용한 질화막의 형성방법으로서는, 막형성시의 압력을 낮추는 만큼, 또 온도를 높게 하는 만큼 막응력을 인장측으로 할 수 있고, 질화실리콘막(14a)에 최적이다.
- [0248] 도 24는, 본 발명의 실시예 1의 변형예인 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다. 도 24에 있어서, 대향하여 왼쪽이 n형 MISFET이고, 오른쪽이 p형 MISFET이다.
- [0249] 앞에서 서술한 실시예 1에서는, 질화실리콘막(14b)보다도 먼저 질화실리콘막(14a)을 형성하는 예에 관해 설명했지만, 도 24에 도시하는 것과 같이, 질화실리콘막(14a)보다도 먼저 질화실리콘막(14b)을 형성해도 좋다. 이러한 경우에 있어서도, n형 MISFET의 채널형성영역에 인장응력, p형 MISFET의 채널형성영역에 압축응력을 따로따로 부여할 수 있기 때문에, n형 및 p형 MISFET의 드레인전류를 동시에 증가할 수 있다.
- [0250] 또, n형 MISFET상의 질화실리콘막(14b)을 등방성 플라즈마 에칭으로 제거할 때. 게이트전극(6)의 표면 실리사이드층(12), n형 반도체 영역(10)의 표면 실리사이드층(12), n형 반도체 영역(10)의 표면에 있어서 실리사이드층(12)의 사이드 월(9)측 단부, 및 사이드 월 스페이서(9)를 절연막(13)으로 덮은 상태에서 행하므로써, 사이드 월 스페이서(9)의 후퇴에 관한 문제, 실리사이드층(12)의 깎임에 관한 문제를 발생시키는 일 없이, n형 MISFET 상의 질화실리콘막(14b)을 등방성 플라즈마 에칭으로 제거할 수 있다.
- [0251] 또한, 실시예 1 및 그 변형예에서는, 산화실리콘막으로 이루어지는 절연막(13)을 질화실리콘막(14a)의 가공시의 에칭 스토퍼로 이용한 예에 관해 설명했지만, 이에 한정되는 것은 아니고, 질화실리콘막(14a)의 등방성 드라이에칭에 대해 선택비를 취할 수 있는 것이면 다른 절연막을 이용해도 좋다.
- [0252] (실시예 2)
- [0253] 도 25는, 본 발명의 실시예 2인 반도체 장치의 개략구성을 도시하는 모식적 단면도이고,
- [0254] 도 26 A, B 및 도 27은, 본 발명의 실시예 2인 반도체 장치의 제조공정 중에 있어서 모식적 단면도이다. 도 25 내지 도 27에 있어서, 대향하여 왼쪽이 n형 MISFET이고, 오른쪽이 p형 MISFET이다.
- [0255] 도 25에 도시하는 것과 같이, 본 실시예 2의 반도체 장치는, 앞에서 서술한 실시예 1에 있어서 에칭 스토퍼로서 사용된 절연막(13)을 제거한 구성으로 되어 있다.
- [0256] 앞에서 서술한 실시예 1과 같이 절연막(13)을 남긴 경우(도 18 참조), 게이트전극(6), 사이드 월 스페이서(9) 및 절연막9130에 따른 단차부(35a)의 최하부에 질화실리콘막(14a, 14b)의 응력이 집중하기 때문에, 질화실리콘막(14a, 14b)의 응력 기점이 사이드 월 스페이서(9)의 측벽에 잔존하는 절연막(13)에 의해 MISFET의 채널형성영역에서 떨어져 버리고, 질화실리콘막(14a, 14b)의 막응력에 의해 채널형성영역에 응력을 발생시키는 효과가 감소해버린다. 따라서,, 절연막(13)은 가능한 한 제거하는 것이 바람직하다.
- [0257] 단, 실시예 1과 같이 질화실리콘막(14b)보다도 앞서 질화실리콘막(14a)을 형성하는 경우에는, p형 MISFET상의 질화실리콘막(14a)을 제거하는 공정에 있어서 절연막(13)이 필요하고, 실시예 1의 변형예와 같이 질화실리콘막(14a)보다도 먼저 질화실리콘막(14b)을 형성하는 경우에는, n형 MISFET상의 질화실리콘막(14b)을 제거하는 공정에 있어서 절연막(13)이 필요하므로, 이들의 공정을 고려하여 절연막(13)을 제거한다.
- [0258] 질화실리콘막(14b)보다도 먼저 질화실리콘막(14a)을 형성하는 경우, n형 MISFET상의 절연막(13)의 제거는, 도 26A에 도시하는 것과 같이, 질화실리콘막(14a)을 형성하는 공정 전에 행하고, p형 MISFET상의 절연막(13)의 제거는, 도 13에 대응하는 도 26B 및 도 27에 도시하는 것과 같이, p형 MISFET상의 질화실리콘막(14a)을 제거한 후에 행한다. 즉, 도 26B 및 도 27에 도시하는 것과 같이, p형 MISFET상의 절연막(15) 및 질화실리콘막(14a)을 제거한 후에, p형 MISFET상의 절연막(13)을 제거한다.

- [0259] 질화실리콘막(14a)보다도 먼저 질화실리콘막(14b)을 형성하는 경우, p형 MISFET상의 절연막(13) 제거는, 질화실리콘막(14b)을 형성하는 공정 전에 행하고, n형 MISFET상의 절연막(13) 제거는, n형 MISFET상의 질화실리콘막(14b)을 제거한 후에 행한다. n형 MISFET상의 절연막(13)의 제거는, p형 MISFET상을 예를 들면 포토레지스트 마스크 등으로 덮은 상태에서 행하고, p형 MISFET상의 절연막(13) 제거는, n형 MISFET상을 예를 들면 포토레지스트 마스크 등으로 덮은 상태에서 행한다.
- [0260] n형 MISFET상, 혹은 p형 MISFET상의 절연막(13) 제거는, 단차부에 에칭잔여물이 발생하지 않는 등방성 드라이에칭으로 행하는 것이 바람직하다. 산화실리콘막으로 이루어지는 절연막(13)의 등방성 드라이에칭으로서는, 일반적으로, CF<sub>4</sub>에 H<sub>2</sub>가스를 혼합한 가스, 혹은 CF<sub>3</sub>가스를 이용한 등방성 플라즈마에칭이 사용되고 있다. 이 등방성 플라즈마에칭에서는, 실리콘과 실리사이드층에 대해 충분히 선택비를 취할 수 있기 때문에, p형 기판(1), 실리사이드층(12), 및 사이드 월 스페이서(9) 등이 크게 깎여버리는 일은 없다.
- [0261] 또한, 본 실시예 2에서는, n형 MISFET상 및 p형 MISFET상의 양쪽 절연막(13)을 제거하는 예에 관해 설명했지만, 어느 한쪽의 절연막(13)을 남기도록 해도 좋다.
- [0262] (실시예 3)
- [0263] 도 28은, 본 발명의 실시예 3인 반도체 사이의 제조공정 중에 있어서, 모식적 단면도이다. 도 28에 있어서, 대향하여 왼쪽이 n형 MISFET이고, 오른쪽이 p형 MISFET이다.
- [0264] 앞에서 서술한 실시예 1에서는, 퇴적법으로 형성된 산화실리콘막으로 이루어지는 절연막(13)을 질화실리콘막(14a)의 가공시의 에칭 스토퍼로서 이용한 예에 관해 설명했지만, 본 실시예 3에서는, 열산화법으로 형성된 산화실리콘막으로 이루어지는 절연막(21)을 질화실리콘막(14a)의 가공시 에칭 스토퍼로서 이용하고 있다. 열산화법에 의한 절연막(21)의 형성은, 살리사이드구조의 n형 및 p형 MISFET을 형성하는 공정의 다음이고, 질화실리콘막(14a) 및 (14b)를 형성하는 공정 앞에 행한다.
- [0265] 열산화법에서는, 도 28에 도시하는 것과 같이 게이트전극(6)의 표면 실리사이드층(12)상, 및 반도체 영역(10, 11)의 표면 실리사이드층(12)상에 이들의 실리사이드층(12)을 덮도록 하여 절연막(21)을 선택적으로 형성할 수 있다. 따라서, 앞에서 서술한 실시예 1과 같이 질화실리콘막(14b)보다도 먼저 질화실리콘막(14a)을 형성하는 경우와, 앞에서 서술한 실시예 1의 변형예와 같이 질화실리콘막(14a)보다도 먼저 질화실리콘막(14b)을 형성하는 경우에 있어서도, 질화실리콘막(14a, 14b)을 등방성 드라이에칭으로 가공할 때에 발생하는 불합리함을 절연막(21)으로 억제할 수 있다.
- [0266] (실시예 4)
- [0267] 도 29는, 본 발명의 실시예 4인 반도체 장치의 제조공정 중에 있어서 모식적 단면도이다. 도 29에 있어서, 대향하여 왼쪽이 n형 MISFET이고, 오른쪽이 p형 MISFET이다.
- [0268] 앞에서 서술한 실시예 1에서는, 퇴적법으로 형성된 산화실리콘막으로 이루어지는 절연막(13)을 질화실리콘막(14a)의 가공시의 에칭 스토퍼로 이용한 예에 관해 설명했지만, 본 실시예 4에서는 사이드 월 스페이서(9)의 측벽에 형성된 산화실리콘막으로 이루어지는 사이드 월 스페이서(22)를 질화실리콘막(14a)의 가공시의 에칭 스토퍼로서 이용하고 있다. 사이드 월 스페이서(22)의 형성은, 살리사이드구조의 n형 및 p형 MISFET을 형성하는 공정 다음이고, 질화실리콘막(14a) 및 (14b)을 형성하는 공정 앞에 행한다. 사이드 월 스페이서(22)는 사이드 월 스페이서(9)와 동일한 방법으로 형성된다.
- [0269] 이렇게 사이드 월 스페이서(9)의 측벽에 산화실리콘막으로 이루어지는 사이드 월 스페이서(22)를 형성하므로써, 반도체 영역(10, 11)의 표면에 있어서 실리사이드층(12)의 사이드 월 스페이서(9)측 단부, 및 사이드 월 스페이서(9)를 사이드 월 스페이서(22)로 덮을 수 있으므로, 앞에서 서술한 실시예 1과 같이, 질화실리콘막(14b)보다도 먼저 질화실리콘막(14a)을 형성하는 경우와, 앞에서 서술한 실시예 1의 변형예와 같이, 질화실리콘막(14a)보다도 먼저 질화실리콘막(14b)을 형성하는 경우에 있어서도, 질화실리콘막(14a, 14b)을 등방성 드라이에칭으로 가공할 때에 발생하는 불합리, 특히 사이드 월 스페이서(9)의 후퇴에 관한 불합리를 사이드 월 스페이서(22)로 억제할 수 있다.
- [0270] 또한, 본 실시예 4에서는, 산화실리콘막으로 이루어지는 사이드 월 스페이서(22)를 질화실리콘막(14a, 14b)의 가공시 에칭 스토퍼로서 이용한 예에 관해 설명했지만, 이에 한정되는 것은 아니고, 질화실리콘막(14a, 14b)의 가공시의 등방성 드라이에칭에 대해 선택비를 취할 수 있는 것이면 다른 절연막을 이용해도 좋다.

(실시예 5)

[0271] 도 30A, B는, 본 발명의 실시예 5인 반도체 장치의 개략구성을 도시하는 모식적 단면도이다. 도 30A, B에 있어서, 대향하여 왼쪽이 n형 MISFET이고, 오른쪽이 p형 MISFET이다.

[0272] 앞에서 서술한 실시예 1에서는, 실리사이드구조의 상보형 MISFET을 갖는 반도체 장치에 본 발명을 적용한 예에 관해 설명했지만, 본 실시예 5에서는, 실리사이드층을 갖지 않는 상보형 MISFET을 갖는 반도체 장치에 본 발명을 적용한 예에 관해 설명한다.

[0273] 도 30A에 도시하는 것과 같이, 본 실시예 5의 반도체 장치는, 기본적으로 앞에서 서술한 실시예 1과 동일한 구성으로 되어 있고, n형 및 p형 MISFET의 구조가 다르다. 즉, 본 실시예 5의 n형 및 p형 MISFET은, 게이트전극(6)의 표면, 및 반도체 영역(10, 11)의 표면에 실리사이드층을 갖지 않는 구조로 되어 있다.

[0274] 본 실시예 5의 반도체 장치는, 실리사이드층을 형성하는 공정을 제외하고 앞에서 서술한 실시예 1에서 설명한 방법으로 형성되어 있다.

[0275] p형 MISFET상의 질화실리콘막(14a)을 등방성 드라이 에칭으로 제거할 때, 실시예 1과 같이 p형 MISFET이 실리사이드구조인 경우는, 실리사이드층(12)이 에칭 스토퍼의 역할을 하기 때문에, 게이트전극(6)에 있어서는 실리사이드층(12)하의 다결정 실리콘막, 소스영역 및 드레인영역에 있어서는 실리사이드층(12)하의 p형 반도체 영역(11)이 질화실리콘막(14a)의 가공시 오버 에칭에 의해 깎여져버리는 일이 없지만, 본 실시예 5와 같이 p형 MISFET이 게이트전극(6)의 표면과 p형 반도체 영역(11)의 표면에 실리사이드층(12)을 갖지 않는 구조인 경우는, 도 23에 도시하는 것과 같이, 게이트전극(6)의 다결정 실리콘막, 소스영역 및 드레인영역의 p형 반도체 영역(11)이 깎여져버린다.

[0276] 이러한 문제는, 질화실리콘막(14a)을 형성하는 공정 전에, 게이트전극(6)상, 및 p형 반도체 영역(11)상을 에칭 스토퍼로서 기능하는 절연막(13)으로 덮어두므로써 해결할 수 있다.

[0277] 본 실시예 5에서는 에칭 스토퍼로서 절연막(13)을 이용하고 있다. 이 절연막(13)은 퇴적법으로 형성되어 있다. 퇴적법은, 게이트전극(6)상 및 p형 반도체 영역(11)상을 일괄적으로 절연막(13)으로 덮을 수 있기 때문에, 게이트전극(6) 및 p형 반도체 영역(11)의 깎임을 동시에 억제할 수 있다.

[0278] 또한, 본 실시예 5에서는 질화실리콘막(14b)보다도 먼저 질화실리콘막(14a)을 형성하는 예에 관해 설명했지만, 질화실리콘막(14a)보다도 먼저 질화실리콘막(14b)을 형성하는 경우에 있어서도, 동일한 효과를 얻을 수 있다.

[0279] 또, 본 실시예 5에서는, 에칭 스토퍼로서 절연막(13)을 이용한 예에 관해 설명했지만, 열산화법으로 형성된 절연막(21)을 에칭 스토퍼호러 이용하는 경우에 있어서도, 동일한 효과를 얻을 수 있다. 또, 본 실시예 5에서는, 에칭 스토퍼로서 기능하는 절연막을 남기는 예에 관해 설명했지만, 도 30B에 도시하는 것과 같이, 절연막(13)은 실시예 2와 같이 제거해도 좋다.

[0280] 또, 본 실시예 5의 실리사이드층을 갖지 않는 MISFET은, 예를 들면 앞에서 서술한 실시예 1 ~ 4의 실리사이드층을 갖는 MISFET과 동일기판상에 형성되고, 소스영역 또는 드레인영역과 기판 사이의 (접합) 리크전류를 저감하고 싶은 MISFET 및 회로를 구성한다. 즉, 접합리크전류를 저감할 필요가 있는 MISFET을 본 실시예 5의 실리사이드층을 갖지 않는 MISFET으로 구성하고, 고속동작을 필요로 하는 MISFET을 실시예 1 ~ 4의 실리사이드층을 갖는 MISFET으로 형성한다. 이에 의해, 저소비전력화 및 고속동작을 도모할 수 있다.

[0281] 또, 절연막(13)은, 실리사이드층을 갖지 않는 MISFET 및 실리사이드층을 갖는 MISFET상에 동일공정으로 퇴적할 수 있으므로, 제조공정을 늘리지 않고 저소비전력 및 고속동작이 가능한 반도체 장치를 형성할 수 있다.

[0282] 또, 실리사이드층을 갖는 MISFET과 실리사이드층을 갖지 않는 MISFET을 동일기판에 형성하는 경우, 실리사이드층을 갖는 MISFET에 있어서는, 도 25에 도시하는 것과 같이 에칭 스토퍼로서 기능하는 절연막(13)을 설치하지 않는 구조로 하고, 실리사이드층을 갖지 않는 MISFET에 있어서는, 도 30A에 도시하는 것과 같이 에칭 스토퍼로서 기능하는 절연막(13)을 설치한 구조로 해도 좋다.

[0283] 이 경우, 실리사이드층을 갖는 MISFET상의 절연막(13)의 제거는, 실리사이드층을 갖는 MISFET의 채널형성영역에 응력을 발생시키는 제 1 막을 먼저 형성하든지, 그렇지 않으면 실리사이드층을 갖지 않는 MISFET의 채널형성영역에 응력을 발생시키는 제 2 막을 먼저 형성하든지로 다르다. 예를 들면, 실리사이드층을 갖는 MISFET이 n형, 실리사이드층을 갖지 않는 MISFET이 p형인 경우, 제 1 막(질화실리콘막(14a))을 먼저 형성하는 경우는, 도 25 (도 중 우측 p형 MISFET을 실리사이드층을 갖지 않는 p형 MISFET으로 치환하여 참조)에 도시하는 것과 같이, 질

화실리콘막(14a)을 형성하는 공정 전에, 실리사이드층을 갖는 MISFET상의 절연막(13)을 선택적으로 제거하고, 제 2 막(질화실리콘막(14b))을 먼저 형성하는 경우는, 실리사이드층을 갖는 MISFET상의 질화실리콘막(14b)을 선택적으로 제거하는 공정 다음이고, 질화실리콘막(14a)을 형성하는 공정 전에, 실리사이드층을 갖는 MISFET상의 절연막(13)을 선택적으로 제거한다. 또, 실리사이드층을 갖는 MISFET이 p형, 실리사이드층을 갖지 않는 MISFET이 n형인 경우, 동일하게 하여, 실리사이드층을 갖는 MISFET상의 절연막(13)을 선택적으로 제거한다. 또한, 실리사이드층을 갖는 MISFET과 실리사이드층을 갖지 않는 MISFET을 동일기판에 형성하는 경우, 실리사이드층을 갖는 MISFET에 있어서는 도 25에 도시하는 것과 같이 실리사이드층을 갖지 않는 MISFET에 있어서는, 도 30B에 도시하는 것과 같이, 예칭 스토퍼로서 기능하는 절연막을 설치하지 않는 구조로 해도 좋다. 이 경우, 실리사이드층을 갖는 MISFET 및 실리사이드층을 갖지 않는 MISFET에 있어서, 절연막(13)을 제거하는 공정을 공통화하므로 써, 실시예 2에 도시하는 절연막(13) 제거공정과 동일한 공정수로 형성할 수 있으므로, 제조공정을 저감할 수 있다.

#### [0285] (실시예 6)

도 31은, 본 발명의 실시예 6인 반도체 장치의 개략구성을 도시하는 모식적 단면도이고, 도 32 내지 도 35는, 본 발명의 실시예 6인 반도체 장치의 제조공정 중에 있었 모식적 단면도이다. 도 31 내지 도 35에 있어서, 대향하여 왼쪽이 n형 MISFET이고, 오른쪽이 p형 MISFET이다.

본 실시예 6은, n형 MISFET의 채널형성영역에 인장응력을 발생시키는 막상에, p형 MISFET의 채널형성영역에 압축응력을 발생시키는 막을 겹치고, n형 및 p형 MISFET의 드레인전류의 증가를 노린 것이다.

도 31에 도시하는 것과 같이 n형 및 p형 MISFET은, 질화실리콘막(14a)으로 덮여져 있다. 또, p형 MISFET은, 질화실리콘막(14b)으로 덮여있다. 즉, n형 MISFET상에는 질화실리콘막(14a)만이 존재하고, p형 MISFET상에는 질화실리콘막(14a) 및 (14b)이 존재하고 있다.

n형 MISFET상에는 질화실리콘막(14a)만이 존재하고 있기 때문에, n형 MISFET의 채널형성영역에는 질화실리콘막(14a)의 인장응력만이 가해지지만, p형 MISFET상에는 질화실리콘막(14a) 및 (14b)가 존재하고 있으므로, p형 MISFET의 채널형성영역에는 질화실리콘막(14a)의 인장응력 및 질화실리콘막(14b)의 압축응력이 가해진다. 따라서, 적어도 질화실리콘막(14a)의 인장응력보다도 절대치가 큰 압축응력을 갖는 질화실리콘막(14b)을 이용하므로 써, p형 MISFET의 채널형성영역에 압축응력을 발생시킬 수 있다.

또한, 본 실시예 6에서는 압축응력을 갖는 질화실리콘막(14b)이 인장응력을 갖는 질화실리콘막(14a)보다도 상층에 형성되어 있기 때문에, p형 MISFET의 채널형성영역에 대한 막응력의 기점은, 질화실리콘막(14a)보다도 질화실리콘막(14b)쪽이 멀어져 있다. 따라서, 이러한 경우에는, 질화실리콘막(14a)의 인장응력보다도 절대치가 2배 이상인 압축응력을 갖는 질화실리콘막(14b)을 이용하는 것이 바람직하다.

다음으로, 본 실시예 6의 반도체 장치의 제조에 관해, 도 32 내지 도 35를 이용하여 설명한다.

도 32에 도시하는 것과 같이, 앞에서 서술한 실시예 1과 동일한 프로세스로, 실리사이드구조의 n형 및 p형 MISFET을 형성한다.

다음으로, 도 33에 도시하는 것과 같이, n형 및 p형 MISFET상을 포함하는 p형 기판(1)의 회로형성면상의 전면에, 예를 들면 100 ~ 120nm 정도 두께의 질화실리콘막(14a)을 플라즈마 CVD법으로 형성한다. 질화실리콘막(14a)의 형성은, 예를 들면 고주파전력 350 ~ 400W의 조건으로 행한다.

다음으로, 도 34에 도시하는 것과 같이, n형 및 p형 MISFET상을 포함하는 p형 기판(1)상의 전면에, 예를 들면 50nm 정도 두께의 산화실리콘막으로 이루어지는 절연막(15)을 CVD법으로 형성하고, 그 후, n형 및 p형 MISFET상을 포함하는 p형 기판(1)상의 전면에, 예를 들면 100 ~ 200nm 정도 두께의 질화실리콘막(14b)을 플라즈마 CVD법으로 형성한다. 질화실리콘막(14b)의 형성은, 예를 들면 고주파전력 600 ~ 700W의 조건으로 행한다.

이 공정에 있어서, 최종적으로 p형 MISFET의 채널형성영역에 압축응력이 발생하도록 적어도 질화실리콘막(14a)의 인장응력보다도 절대치가 큰 압축응력을 갖는 질화실리콘막(14b)을 형성한다. 본 실시예에서는, 질화실리콘막(14a)의 인장응력보다도 절대치가 2배 이상의 압축응력을 갖도록 질화실리콘막(14b)을 형성했다.

다음으로, 질화실리콘막(14b)상에, p형 MISFET상을 선택적으로 덮는 포토레지스트 마스크(RM3)을 형성하고, 그 후, 포토레지스트 마스크(RM3)을 예칭 마스크로 하여 예칭처리를 실시하고, 도 35에 도시하는 것과 같이 n형 MISFET상의 질화실리콘막(14b)을 제거한다. 질화실리콘막(14b)의 가공은 등방성 드라이 예칭으로 행한다.

- [0297] 이 후, 포토레지스트 마스크(RM3)을 제거하므로써, 도 31에 도시하는 상태가 된다.
- [0298] 이렇게, n형 및 p형 MISFET상에 질화실리콘막(14a)을 형성하고, 그 후, p형 MISFET상에 질화실리콘막(14a)의 인장응력보다도 절대치가 큰 압축응력을 갖는 질화실리콘막(14b)을 선택적으로 형성하므로써, p형 MISFET의 채널 형성영역에 압축응력을 발생시킬 수 있기 때문에, 본 실시예에 있어서도, n형 MISFET 및 p형 MISFET의 드레인전류를 동시에 증가시킬 수 있다.
- [0299] 또, 본 실시예 6에서는, p형 MISFET상의 질화실리콘막(14a)의 제거를 하고 있지 않으므로, 앞에서 서술한 실시예 1과 같이 에칭 스토퍼로서 기능하는 절연막(13)을 형성할 필요가 없다. 따라서, 앞에서 서술한 실시예 1과 비교하여 제조공정수를 간략화할 수 있다.
- [0300] 또한, 본 실시예 6에서는, n형 및 p형 MISFET상을 덮는 질화실리콘막(14a) 다음에, p형 MISFET상만을 덮는 질화실리콘막(14b)을 형성한 예에 관해 설명했지만, p형 MISFET상을 덮는 질화실리콘막(14a) 앞에 형성해도 좋다. 단, 이 경우는, 앞에서 서술한 실시예 1과 같이, 질화실리콘막(14b)의 가공시에 에칭 스토퍼로서 기능하는 절연막이 필요하다.
- [0301] 도 36은, 본 발명의 실시예 6의 변형예인 반도체 장치의 개략구성을 도시하는 모식적 단면도이다. 도 36에 있어서, 대향하여 왼쪽이 n형 MISFET이고, 오른쪽이 p형 MISFET이다.
- [0302] 앞에서 서술한 실시예 6에서는 n형 및 p형 MISFET상에 인장응력을 갖는 질화실리콘막(14a)을 형성하고, 또한, p형 MISFET상에 질화실리콘막(14a)의 인장응력보다도 절대치가 큰 압축응력을 갖는 질화실리콘막(14b)을 선택적으로 형성하고, n형 및 p형 MISFET의 드레인전류를 동시에 증가시킨 예에 관해 설명했지만, 도 36에 도시하는 것과 같이 n형 및 p형 MISFET상에 압축응력을 갖는 질화실리콘막(14b)을 형성하고, 또한, n형 MISFET상에 질화실리콘막(14b)의 압축응력보다도 절대치가 큰 인장응력을 갖는 질화실리콘막(14a)을 선택적으로 형성해도 좋다. 이러한 경우에 있어서도, n형 MISFET 및 p형 MISFET의 드레인전류를 동시에 증가시킬 수 있다.
- [0303] 또한, 도 36에서는 n형 및 p형 MISFET상을 덮는 질화실리콘막(14b) 다음에, n형 MISFET상만을 덮는 질화실리콘막(14a)을 형성한 예에 관해 도시하고 있지만, n형 MISFET상만을 덮는 질화실리콘막(14a)는, n형 및 p형 MISFET상을 덮는 질화실리콘막(14b) 앞에 형성해도 좋다. 단, 이 경우는, 앞에서 서술한 실시예 1과 같이 질화실리콘막(14b)의 가공시에 에칭 스토퍼로서 기능하는 절연막이 필요해진다.
- [0304] (실시예 7)
- [0305] 도 37은, 본 발명의 실시예 7인 반도체 장치의 개략구성을 도시하는 모식적 단면도이고, 도 38 및 도 39는, 본 발명의 실시예 7인 반도체 장치의 제조공정 중에 있어서 모식적 단면도이다. 도 37 내지 도 39에 있어서, 대향하여 왼쪽이 n형 MISFET이고, 오른쪽이 p형 MISFET이다.
- [0306] 본 실시예 7은, 하나의 질화실리콘막이고, n형 및 p형 MISFET의 드레인전류의 증가를 노린 것이다.
- [0307] 도 37에 도시하는 것과 같이 n형 및 p형 MISFET은, 하나의 질화실리콘막(24)로 덮여져 있다. 질화실리콘막(24)은, n형 MISFET의 채널형성영역에 인장응력을 발생시키는 제 1 부분(24a)과, p형 MISFET의 채널형성영역에 압축응력을 발생시키는 제 2 부분(24b)을 갖고, 제 1 부분(24a)은 n형 MISFET상에 그 게이트전극(6)을 덮도록 하여 형성되고, 제 2 부분(24b)은 p형 MISFET상에 그 게이트전극(6)을 덮도록 하여 형성되어 있다. 제 2 부분(24b)은, Si 및 N의 원소농도가 제 1 부분(24a)보다도 높아져 있다. 이하, 본 실시예 7의 반도체 장치의 제조에 관해, 도 38 및 도 37을 이용하여 설명한다.
- [0308] 앞에서 서술한 실시예 1과 동일한 프로세스에서, 살리사이드구조의 N형 및 p형 MISFET을 형성한 후, 도 38에 도시하는 것과 같이 n형 및 p형 MISFET상을 포함하는 p형 기판(1)의 회로형성면상의 전면에, n형 MISFET의 채널형성영역에 인장응력을 발생시키는 질화실리콘막(24)을 플라즈마 CVD법으로 형성한다. 질화실리콘막(24)의 형성은, 예를 들면 고주파전력 350 ~ 400W의 조건으로 행한다.
- [0309] 다음으로, n형 MISFET상을 덮고, 또한 p형 MISFET상에 개구를 갖는 포토레지스트 마스크(RM4)를 질화실리콘막(24)상에 형성하고, 그 후, 도 39에 도시하는 것과 같이 포토레지스트 마스크(RM4)를 마스크로 하여, 포토레지스트 마스크(RM4)에서 노출하는 질화실리콘막(24) 중(p형 MISFET상의 질화실리콘막(24) 중)에, Si 및 N의 원소를 이온투입법으로 도입한다. 이온투입은, 막의 깊이방향 전반에 걸쳐 이들의 원소가 도입되도록 깊이방향에 있어서 원소농도의 피크치( $R_p$ )가 막두께의 1/2 정도가 되는 가속에너지, 도즈량이  $1 \times 10^{15} / \text{cm}^2$  이상의 조건으로 행한다.

- [0310] 이 공정에 있어서, 제 1 부분(24a)과, 이 제 1 부분(24a)보다도 원소농도가 높은 제 2 부분(24b)을 갖는 질화실리콘막(24)이 형성된다.
- [0311] 다음으로, 포토레지스트 마스크(RM4)를 제거한 후, 열처리를 실시하여 질화실리콘막(24)의 제 2 부분(24b)을 활성화한다.
- [0312] 이 공정에 있어서, 질화실리콘막(24)의 제 2 부분(24b)이 체적팽창하고, 제 2 부분(24b)이 p형 MISFET의 채널형 성영역에 압축응력을 발생시키는 막으로 변환한다. 따라서, 도 37에 도시하는 것과 같이 질화실리콘막(24)은, n형 MISFET의 채널형 성영역에 인장응력을 발생시키는 제 1 부분(24a)과, p형 MISFET의 채널형 성영역에 압축응력을 발생시키는 제 2 부분(24b)을 갖는 구성이 된다.
- [0313] 이렇게 해서 질화실리콘막(24)을 형성하므로써, 본 실시예 7에 있어서도 n형 MISFET 및 p형 MISFET의 드레인전류를 동시에 증가시킬 수 있다.
- [0314] 또, 본 실시예 7에서는 p형 MISFET상의 질화실리콘막(24)의 제거를 하고 있지 않기 때문에, 앞에서 서술한 실시예 1과 같이 에칭 스토퍼로서 기능하는 절연막(13)을 형성할 필요가 없다. 따라서, 앞에서 서술한 실시예 1과 비교하여 제조공정수를 간략화할 수 있다.
- [0315] 또, 본 실시예 7에서는 n형 및 p형 MISFET의 드레인전류가 증가하도록 하나의 질화실리콘막(24)으로 억제할 수 있기 때문에, 앞에서 서술한 실시예 1과 비교하여 질화실리콘막의 피막공정이 1회로 끝난다. 따라서, 질화실리콘막의 피막공정과 그 가공공정을 생략할 수 있고, 제조공정을 간략화할 수 있다.
- [0316] 도 40은, 본 발명의 실시예 7의 변형예인 반도체 장치의 제조공정 중에 있어서 모식적 단면도이다.
- [0317] 앞에서 서술한 실시예 7에서는 Si 및 N의 원소를 도입하는 방법으로, p형 기판(1)에 대해 수직으로 원소를 이온투입하는 방법을 적용한 경우를 도시했지만, 도 40에 도시하는 것과 같이 p형 기판(1)에 대해 비스듬하게 원소를 이온주입하는 방법을 적용해도 좋다. 이 경우, 사이드 월 스페이서(9)의 측벽을 덮고 있는 질화실리콘막(24)의 게이트측벽부분(단차부분)에도 원소를 도입할 수 있다. 이 결과, 한층 더 좋은 압축응력 발생효과를 얻을 수 있다.
- [0318] (실시예 8)
- [0319] 도 41은, 본 발명의 실시예 8인 반도체 장치의 개략구성을 도시하는 모식적 단면도이다.
- [0320] 본 실시예 8은, 세로형 더블 게이트구조의 상보형 MISFET을 갖는 반도체 장치에 본 발명을 적용한 예이다.
- [0321] 도 41에 도시하는 것과 같이, 본 실시예 8의 반도체 장치는, SOI(Silicon On Insulator)구조의 반도체 기판(이하, 간단히 기판이라 한다.)(40)을 주체로 구성되어 있다. 기판(40)은, 예를 들면, 반도체층(40a)과, 이 반도체층(40a)상에 설치된 절연층(40b)과, 이 절연층(40b)상에 설치된 반도체층(40a)상에 설치된 절연층(40b)과, 이 절연층(40b)상에 설치된 반도체층(40c)을 갖는 구성으로 되어있다. 반도체층(40a) 및 (40c)는 예를 들면 단결정 실리콘으로 이루어지고, 절연층(40b)은 예를 들면 산화실리콘으로 이루어진다.
- [0322] 반도체층(40c)은, 복수의 소자형성부로 분할되고, 각 소자형성부에 n형 MISFET, 혹은 p형 MISFET이 형성되어 있다. n형 MISFET이 형성되는 반도체층(40c)에는 p형 웨이영역(2)이 설치되고, p형 MISFET이 형성되는 반도체층(40c)에는 n형 웨이영역(3)이 설치되어 있다. 각 반도체층(40c)은, 절연층(40b)상에 설치된 절연막(41)으로 주위를 둘러싸고, 서로 절연분리되어 있다.
- [0323] 본 실시예 8의 n형 및 p형 MISFET은, 채널형 성영역으로 사용되는 반도체층(40c)을 기판(40)의 평면방향(표면방향)으로 두개의 게이트전극(6)으로 끼워넣은 더블 게이트구조로 되어있다. 또, n형 및 p형 MISFET은, 드레인전류가 기판(40)의 두께방향으로 흐르는 세로형 구조로 되어있다.
- [0324] n형 MISFET의 채널형 성영역에 인장응력을 발생시키는 질화실리콘막(14a)은, n형 MISFET상에 그 두개의 게이트전극(6)을 덮도록 하여 형성되고, p형 MISFET의 채널형 성영역에 압축응력을 발생시키는 질화실리콘막(14b)은, p형 MISFET상에 그 두개의 게이트전극(6)을 덮도록 하여 형성되어 있다.
- [0325] 본 실시예 8에 있어서, n형 및 p형 MISFET은, 채널형 성영역으로서 사용되는 반도체층(40c)을 기판(40)의 평면방향에서 두개의 게이트전극(6)으로 끼워넣은 더블 게이트구조로 되어 있기 때문에, 질화실리콘막에 의한 응력의 영향이 배증하고, 드레인전류 증가비율도 실글레이트구조의 종래형보다 증가한다.
- [0326] (실시예 9)

- [0327] 도 42는, 본 발명의 실시예 9인 반도체 장치의 개략구성을 도시하는 모식적 평면도이고, 도 43은, 도 42의 A-A선을 따른 모식적 단면도이다.
- [0328] 본 실시예 9는, 가로형 더블 게이트구조의 상보형 MISFET을 갖는 반도체 장치에 본 발명을 적용한 예이다.
- [0329] 도 42 및 도 43에 도시하는 것과 같이, 본 실시예 9의 n형 및 p형 MISFET은 채널형성영역으로 사용되는 반도체 층(40c)을 기판(40)의 평면방향에서 두개의 게이트전극(6)으로 끼워넣은 더블 게이트구조로 되어있다. 또, n형 및 p형 MISFET은, 드레인전류가 반도체 기판(40)의 평면방향으로 흐르는 가로형 구조로 되어있다.
- [0330] n형 MISFET의 채널형성영역에 인장응력을 발생시키는 질화실리콘막(14a)은, n형 MISFET상에 그 두개의 게이트전극(6)을 덮도록 하여 형성되고, p형 MISFET의 채널형성영역에 압축응력을 발생시키는 질화실리콘막(14b)은, p형 MISFET상에 그 두개의 게이트전극(6)을 덮도록 하여 형성되어 있다.
- [0331] 본 실시예 9에 있어서, n형 및 p형 MISFFET은, 채널형성영역으로 하여 사용되는 반도체층(40c)을 기판(40)의 평면방향에서 두개의 게이트전극(6)으로 끼워넣은 더블 게이트구조로 되어있기 때문에, 질화실리콘막에 의한 응력의 영향이 배증하고, 드레인전류증가 비율도 싱글 게이트구조의 종래형보다 증가한다.
- [0332] (실시예 10)
- [0333] 도 44는, 본 발명의 실시예 10인 반도체 장치의 개략구성을 도시하는 모식적 단면도이다.
- [0334] 본 실시예 10은, 가로형 더블 게이트구조의 상보형 MISFET을 갖는 반도체 장치의 본 발명을 적용한 예이다.
- [0335] 도 44에 도시하는 것과 같이, 본 실시예 10의 반도체 장치는, 예를 들면 p형 기판(1) 주체로 구성되어있다. p형 기판(1)의 주면상에는 반도체층(42)이 설치되어 있다. 반도체층(42)은, 복수의 소자형성부로 분할되고, 각 소자형성부에 n형 MISFET, 혹은 p형 MISFET이 형성되어 있다. n형 MISFET이 형성되는 반도체층(42)에는 p형 웨이브(2)이 설치되고, p형 MISFET이 형성되는 반도체층(42)에는 n형 웨이브(3)이 설치되어 있다. 각 반도체층(42)은 p형 기판(1)상에 설치된 절연막(41)으로 주위를 둘러싸고, 서로 절연분리되어 있다.
- [0336] 본 실시예 10의 n형 및 p형 MISFET은, 채널형성영역으로 사용되는 반도체층(42)을 p형 기판(1)의 두께방향으로 두개의 게이트전극(6)으로 끼워넣은 더블 게이트구조로 되어 있다. 또, n형 및 p형 MISFET은, 드레인전류가 기판(40)의 평면방향으로 흐르는 가로형 구조로 되어있다.
- [0337] n형 MISFET은, 그 채널형성영역에 인장응력을 발생시키는 두개의 질화실리콘막(14a)에서 p형 기판(1)의 두께방향으로 끼워넣어져 있다. 한쪽 질화실리콘막(14a)은, p형 기판(1)과 n형 MISFET 사이에 설치되고, 다른 쪽 질화실리콘막(14a)은, n형 MISFET상을 덮도록 하여 설치되어 있다.
- [0338] p형 MISFET은, 그 채널형성영역에 압축응력을 발생시키는 두개의 질화실리콘막(14b)에서 p형 기판(1)의 두께방향으로 끼워넣어져 있다. 한쪽 질화실리콘막(14b)은 p형 기판(1)과 p형 MISFET 사이에 설치되고, 다른 쪽 질화실리콘막(14b)은, p형 기판(1)과 p형 MISFET 사이에 설치되고, 다른 쪽 질화실리콘막(14b)은 p형 MISFET상을 덮도록 하여 설치되어 있다.
- [0339] 본 실시예 10에 있어서, n형 및 p형 MISFET은, 채널형성영역으로 사용되는 반도체층(40c)을 기판(40)의 깊이방향에서 두개의 게이트전극(6)으로 끼워넣은 더블 게이트구조로 되어 있고, 또한 두개의 질화실리콘막으로 덮여있기 때문에, 질화실리콘막에 의한 응력의 영향이 배증하고, 드레인전류 증가비율도 싱글 게이트구조의 종래형보다 증가한다.
- [0340] 이상, 본 발명자에 의해 이루어진 발명을, 상기 실시예에 기초하여 구체적으로 설명했지만, 본 발명은, 상기 실시예에 한정되는 것은 아니고, 그 요지를 일탈하지 않는 범위에 있어서 여러가지 변경가능한 것은 물론이다.
- [0341] 예를 들면, SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 플래시 메모리 등의 메모리시스템을 포함하는 제품에 있어서, 적어도 그 메모리시스템의 주변회로와 로직회로에 본 발명구조를 적용하면 보다 고성능의 메모리제품을 얻을 수 있다.

### 발명의 효과

- [0342] 본원에 있어서, 개시되는 발명 중 대표적인 것에 의해 얻을 수 있는 효과를 간단하게 설명하면, 하기와 같다.
- [0343] 본 발명에 따르면, n채널 도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터의 드레인전류의 증가(전류구동능력의 향상)를 도모할 수 있게된다.

[0344] 또, 본 발명에 따르면, n채널도전형 전계효과 트랜지스터 및 p채널 도전형 전계효과 트랜지스터의 드레인전류비를 자유롭게 설정할 수 있게 된다.

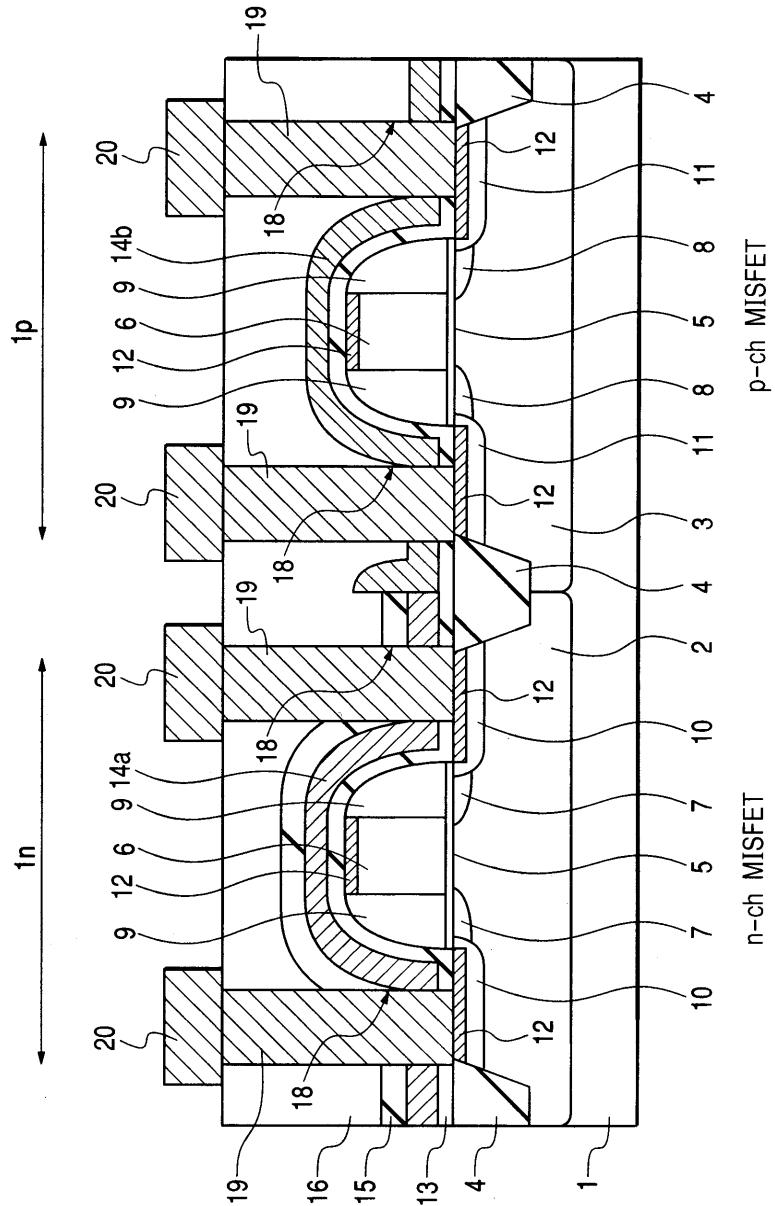
### 도면의 간단한 설명

- [0001] 도 1은 본 발명의 실시예 1인 반도체 장치의 개략구성을 도시하는 모식적 단면도이다.
- [0002] 도 2는 드레인전류 변동률의 막응력 의존성을 도시하는 특성도이다.
- [0003] 도 3은 전류방향과 막응력방향의 관계를 도시하는 모식적 단면도이다.
- [0004] 도 4는 전류방향과 막응력방향의 관계를 도시하는 모식적 평면도이다.
- [0005] 도 5는 본 발명의 실시예 1인 반도체 장치의 제조공정 중에 있어서 모식적 단면도이다.
- [0006] 도 6은 도 5에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0007] 도 7은 도 6에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0008] 도 8은 도 7에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0009] 도 9는 도 8에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0010] 도 10은 도 9에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0011] 도 11은 도 10에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0012] 도 12는 도 11에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0013] 도 13은 도 12에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0014] 도 14는 도 13에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0015] 도 15는 도 14에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0016] 도 16은 도 15에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0017] 도 17은 도 16에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0018] 도 18은 도 17에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0019] 도 19는 도 18에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0020] 도 20은 본 발명을 이루는 과정에서 본 발명자에 의해 발견된 문제점을 설명하기 위한 모식적 단면도이다.
- [0021] 도 21은 본 발명을 이루는 과정 중에서 본 발명자에 의해 발견된 문제점을 설명하기 위한 모식적 단면도이다.
- [0022] 도 22는 본 발명을 이루는 과정 중에서 본 발명자에 의해 발견된 문제점을 설명하기 위한 모식적 단면도이다.
- [0023] 도 23은 본 발명을 이루는 과정 중에선 본 발명자에 의해 발견된 문제점을 설명하기 위한 모식적 단면도이다.
- [0024] 도 24는 본 발명의 실시예 1의 변형예를 도시하는 모식적 단면도이다.
- [0025] 도 25는 본 발명의 실시예 2인 반도체 장치의 개략구성을 도시하는 모식적 단면도이다.
- [0026] 도 26A, B는 본 발명의 실시예 2인 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0027] 도 27은 본 발명의 실시예 2인 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0028] 도 28은 본 발명의 실시예 3인 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0029] 도 29는 본 발명의 실시예 4인 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0030] 도 30A, B는 본 발명의 실시예 5인 반도체 장치의 개략구성을 도시하는 모식적 단면도이다.
- [0031] 도 31은 본 발명의 실시예 5인 반도체 장치의 개략구성을 도시하는 모식적 단면도이다.
- [0032] 도 32는 본 발명의 실시예 6인 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0033] 도 33은 도 32에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.

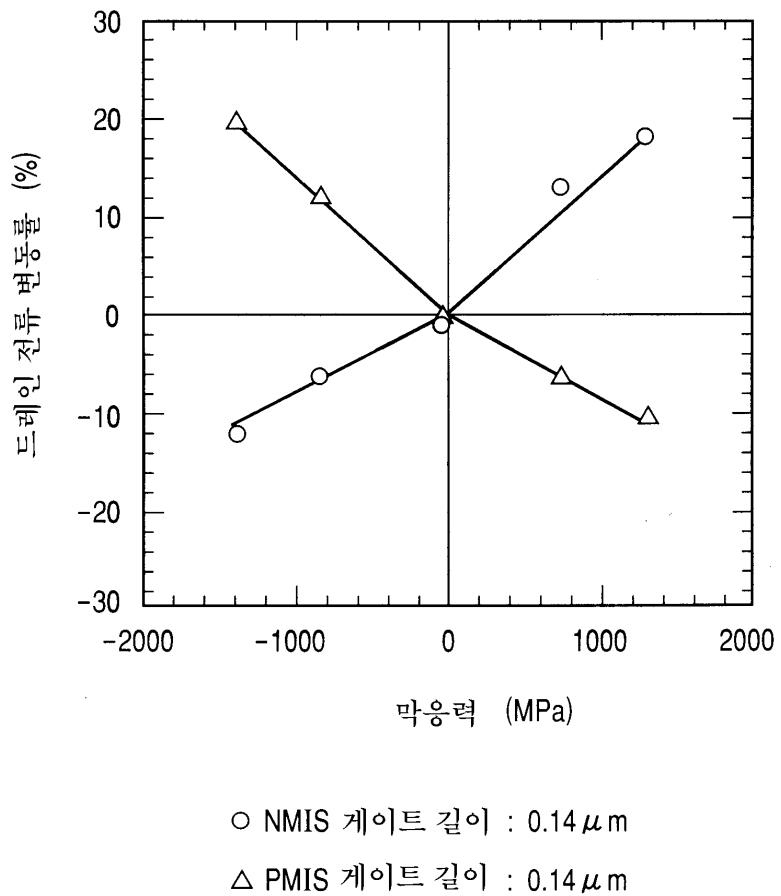
- [0034] 도 34는 도 33에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0035] 도 35는 도 34에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0036] 도 36은 본 발명의 실시예 6의 변형예를 도시하는 모식적 단면도이다.
- [0037] 도 37은 본 발명의 실시예 7인 반도체 장치의 개략구성을 도시하는 모식적 단면도이다.
- [0038] 도 38은 본 발명의 실시예 7인 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0039] 도 39는 도 38에 이은 반도체 장치의 제조공정 중에 있어서, 모식적 단면도이다.
- [0040] 도 40은 본 발명의 실시예 7의 변형예를 도시하는 모식적 단면도이다.
- [0041] 도 41은 본 발명의 실시예 8인 반도체 장치의 개략구성을 도시하는 모식적 단면도이다.
- [0042] 도 42는 본 발명의 실시예 9인 반도체 장치의 개략구성을 도시하는 모식적 평면도이다.
- [0043] 도 43은 도 42의 A-A선을 따라 자른 모식적 단면도이다.
- [0044] 도 44는 본 발명의 실시예 10인 반도체 장치의 개략구성을 도시하는 모식적 단면도이다.
- [0045] <도면의 주요부분에 대한 부호의 설명>
- |                            |                   |
|----------------------------|-------------------|
| [0046] 1 : p형 반도체 기판       | 2 : p형 웨이팅        |
| [0047] 3 : n형 웨이팅          | 4 : 얇은 흠 아이솔레이션영역 |
| [0048] 5 : 게이트절연막          | 6 : 게이트전극         |
| [0049] 7, 10 : n형 반도체영역    | 8, 11 : p형 반도체 영역 |
| [0050] 9 : 사이드 월 스페이서      | 12 : 실리사이드층       |
| [0051] 12a : 고용점 금속막       | 13 : 절연막          |
| [0052] 14a, 14b : 질화실리콘막   | 15 : 절연막          |
| [0053] 16 : 충간절연막          | 17 : 불순물          |
| [0054] 18 : 소스 · 드레인용 콘택트공 | 19 : 도전성 플러그      |
| [0055] 20 : 배선             | 21 : 절연막          |
| [0056] 22 : 사이드 월 스페이서     | 24 : 질화실리콘막       |
| [0057] 24a : 제 1 부분        | 24b : 제 2 부분      |
| [0058] 30 : 채널형성영역         | 31 : 드레인전류방향      |
| [0059] 32, 33 : 반도체 영역     | 34 : 막            |
| [0060] 35a, 35b : 단자부      | X : 게이트길이방향       |
| [0061] Y : 게이트폭방향          | 40 : 반도체 기판       |
| [0062] 40a : 반도체층          | 40b : 절연층         |
| [0063] 40c : 반도체층          | 41 : 절연막          |

도면

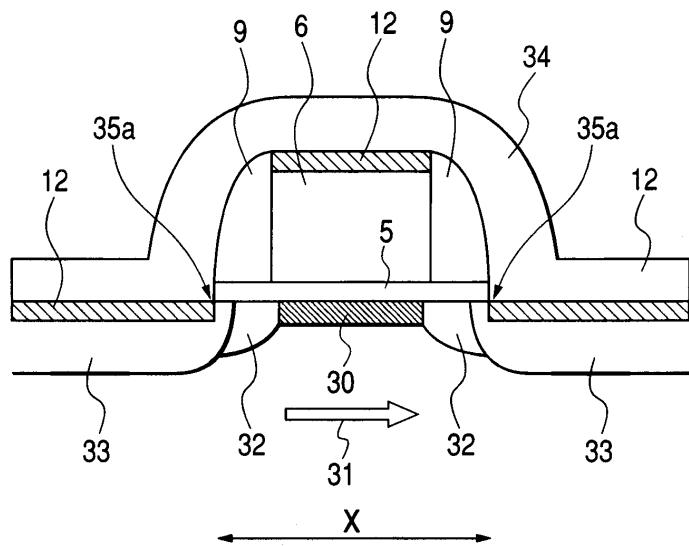
도면1



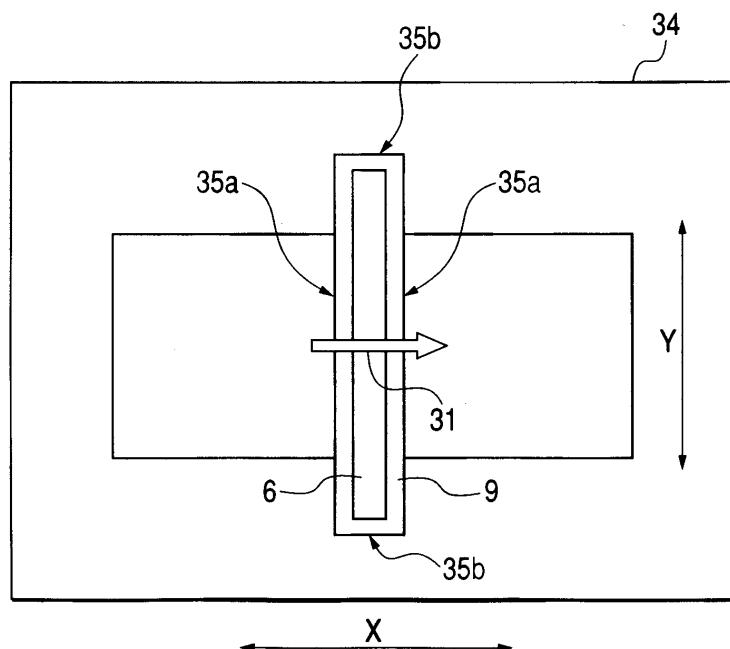
도면2



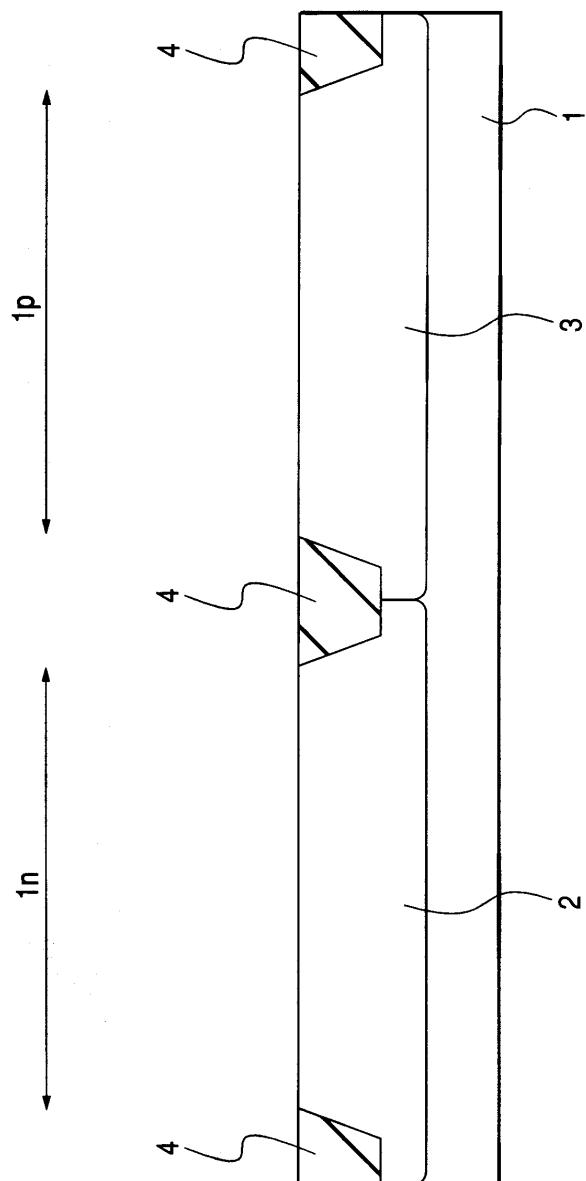
도면3



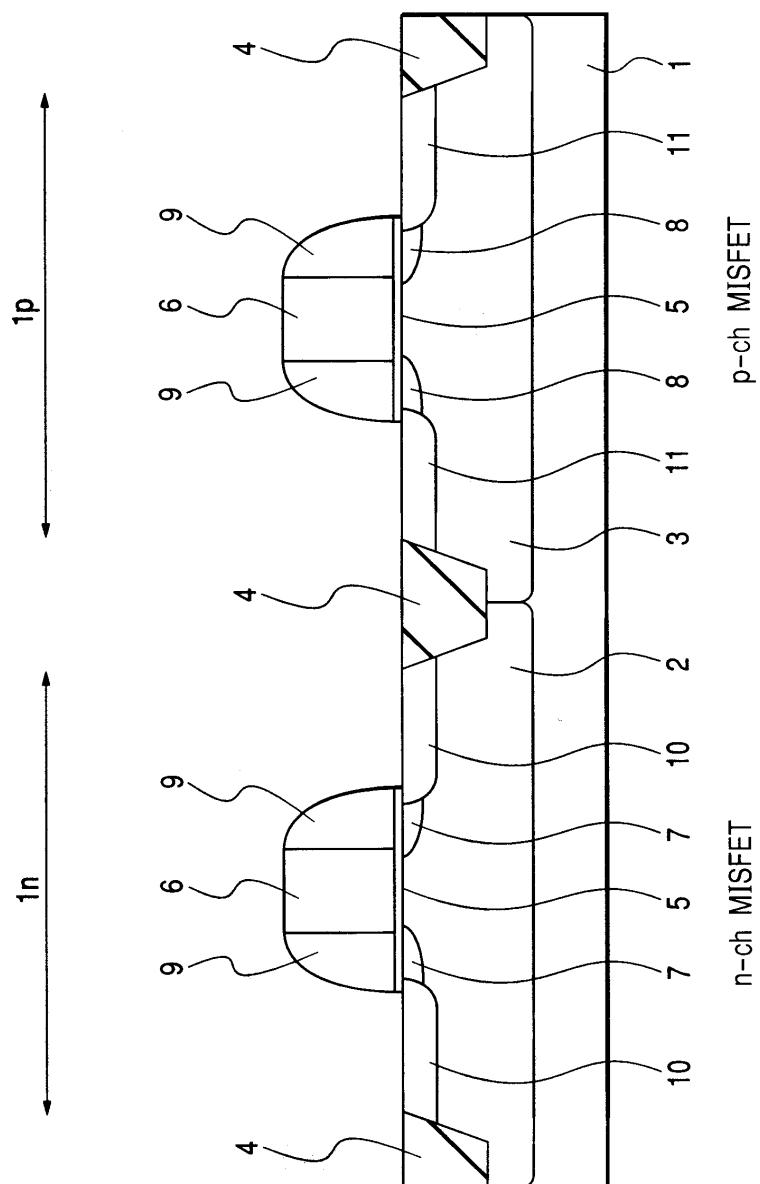
도면4



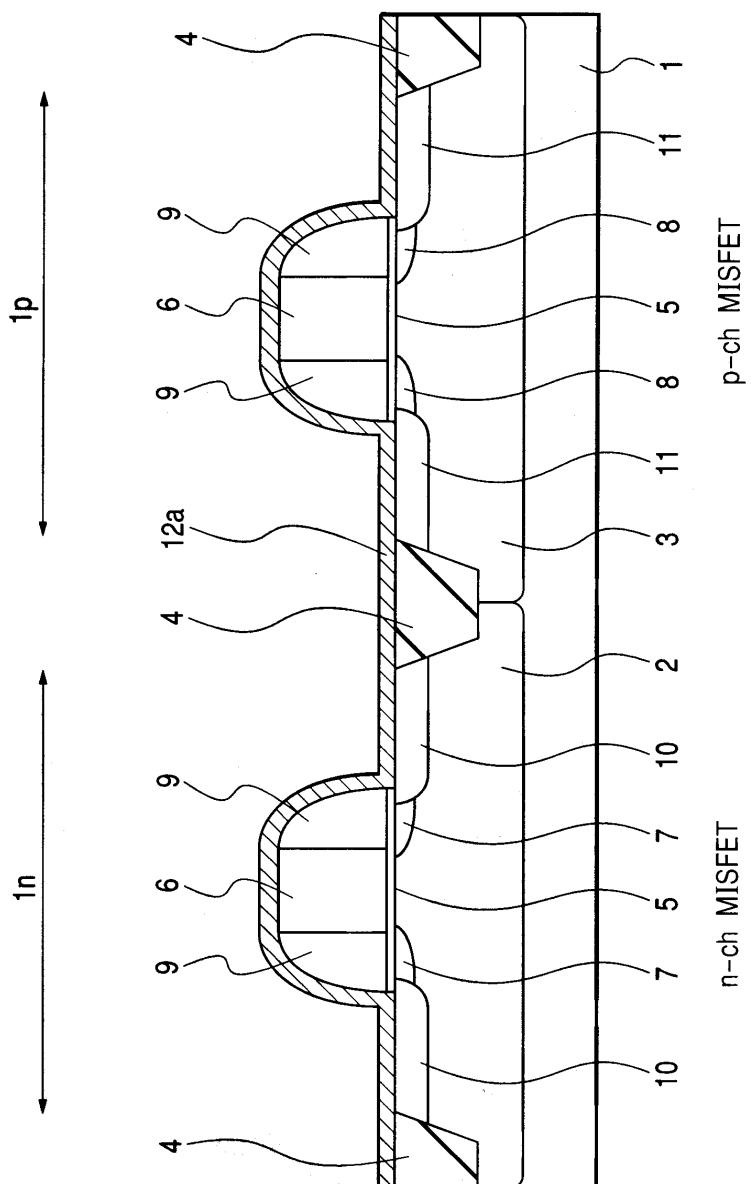
도면5



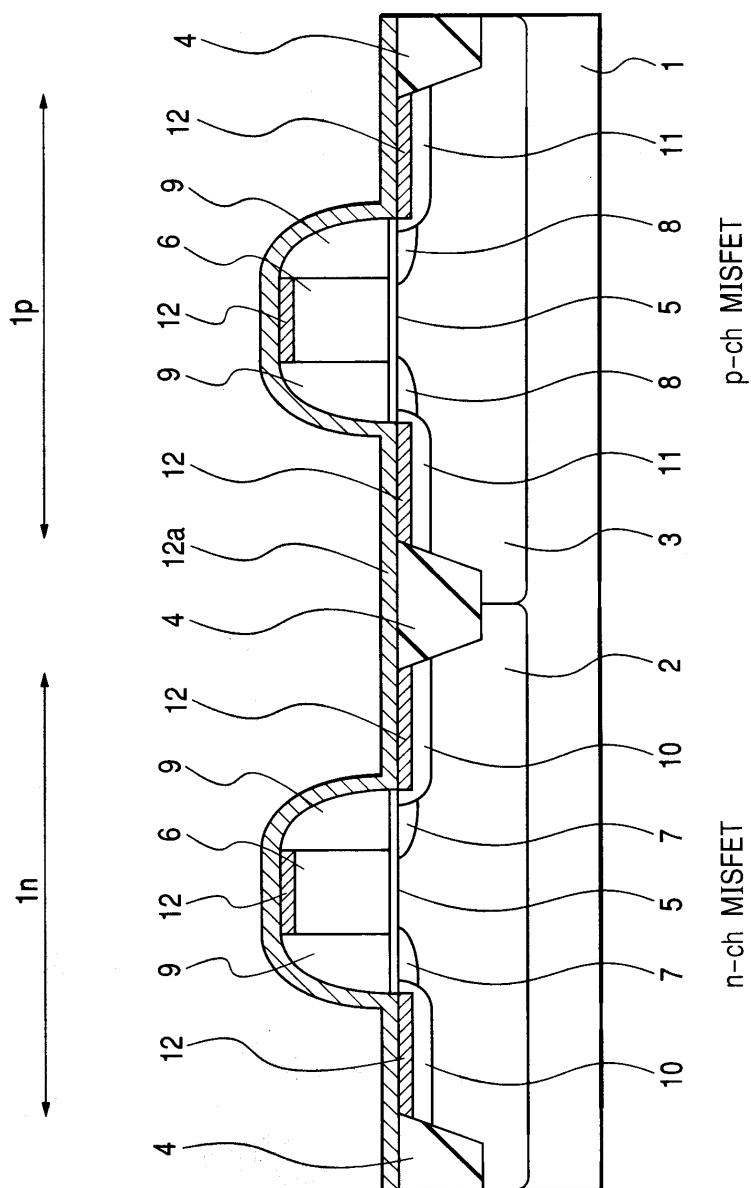
도면6



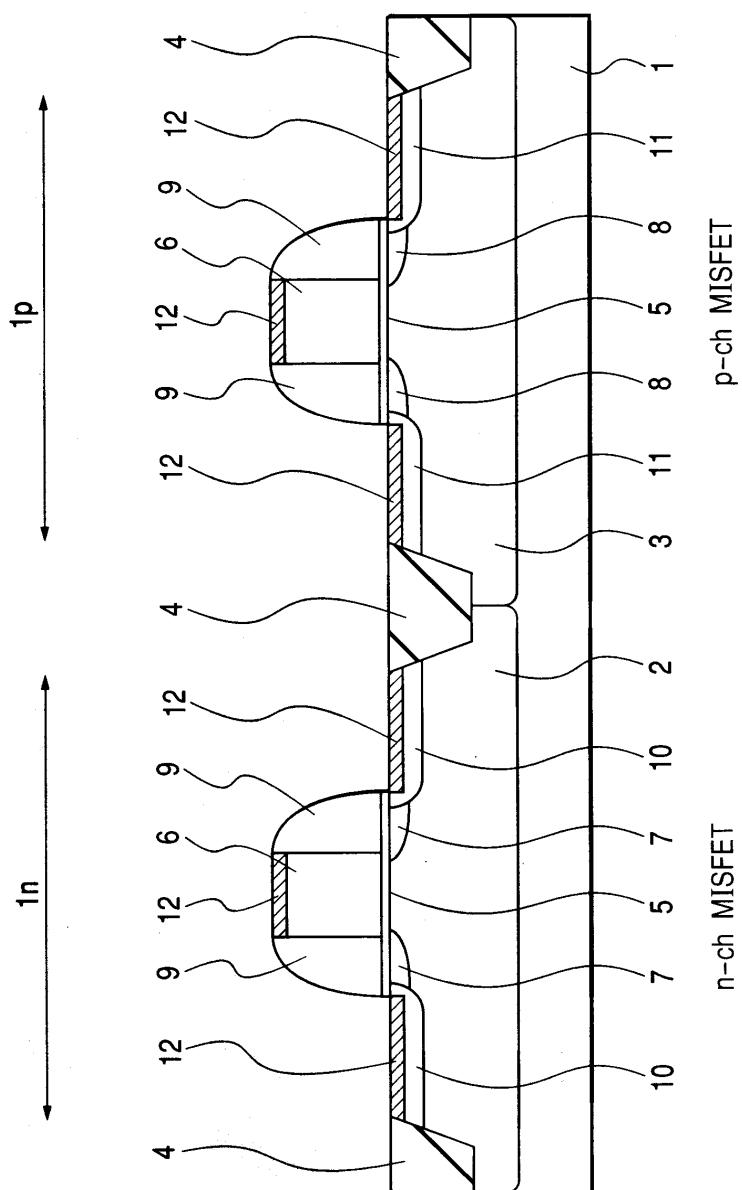
도면7



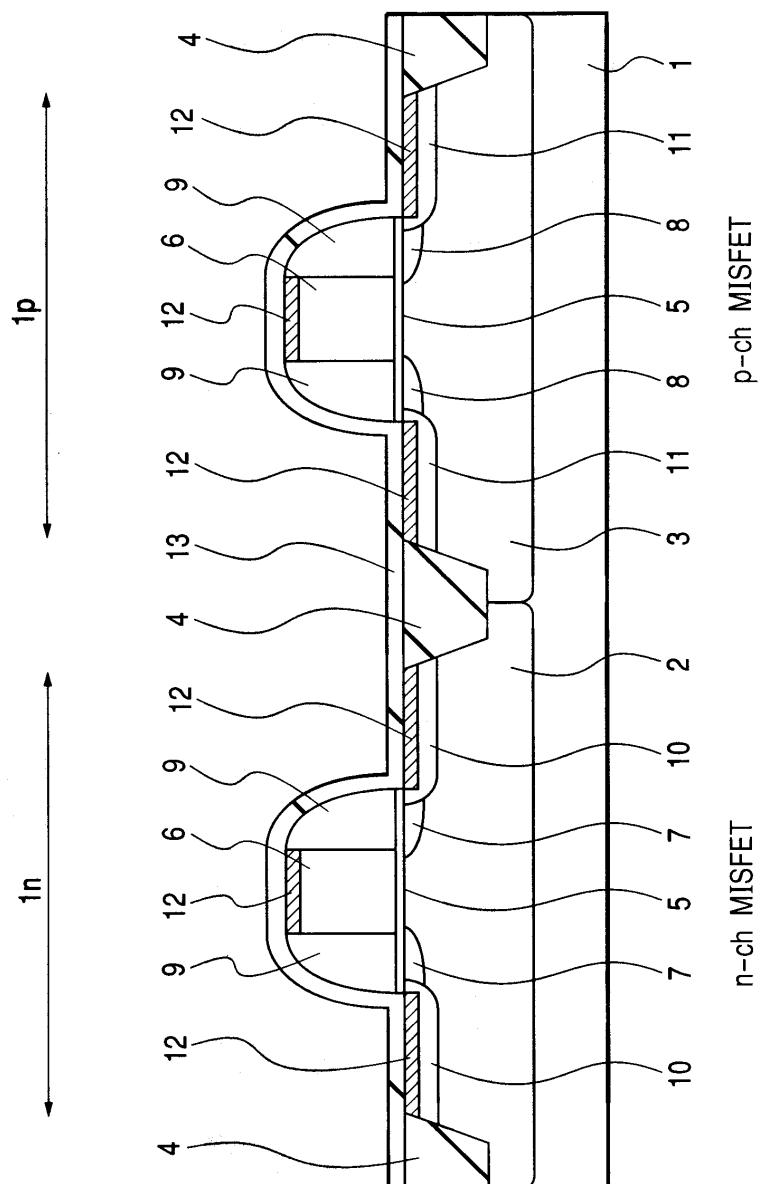
도면8



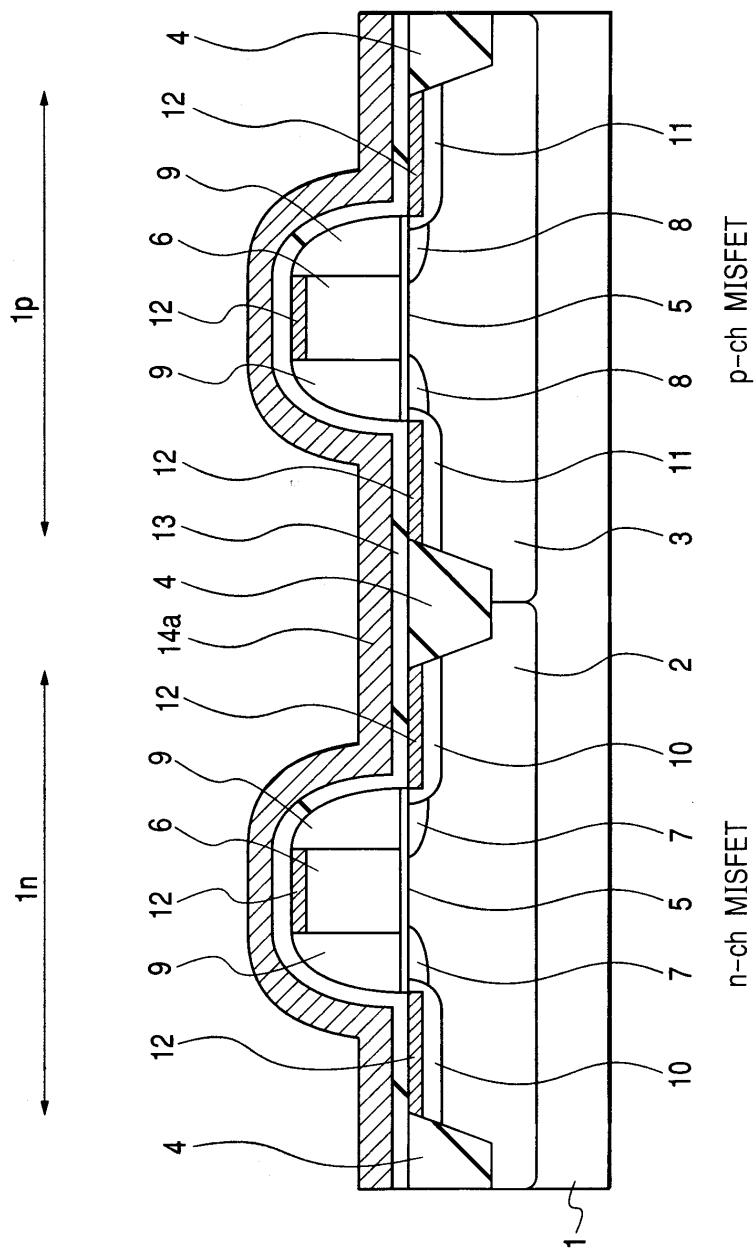
도면9



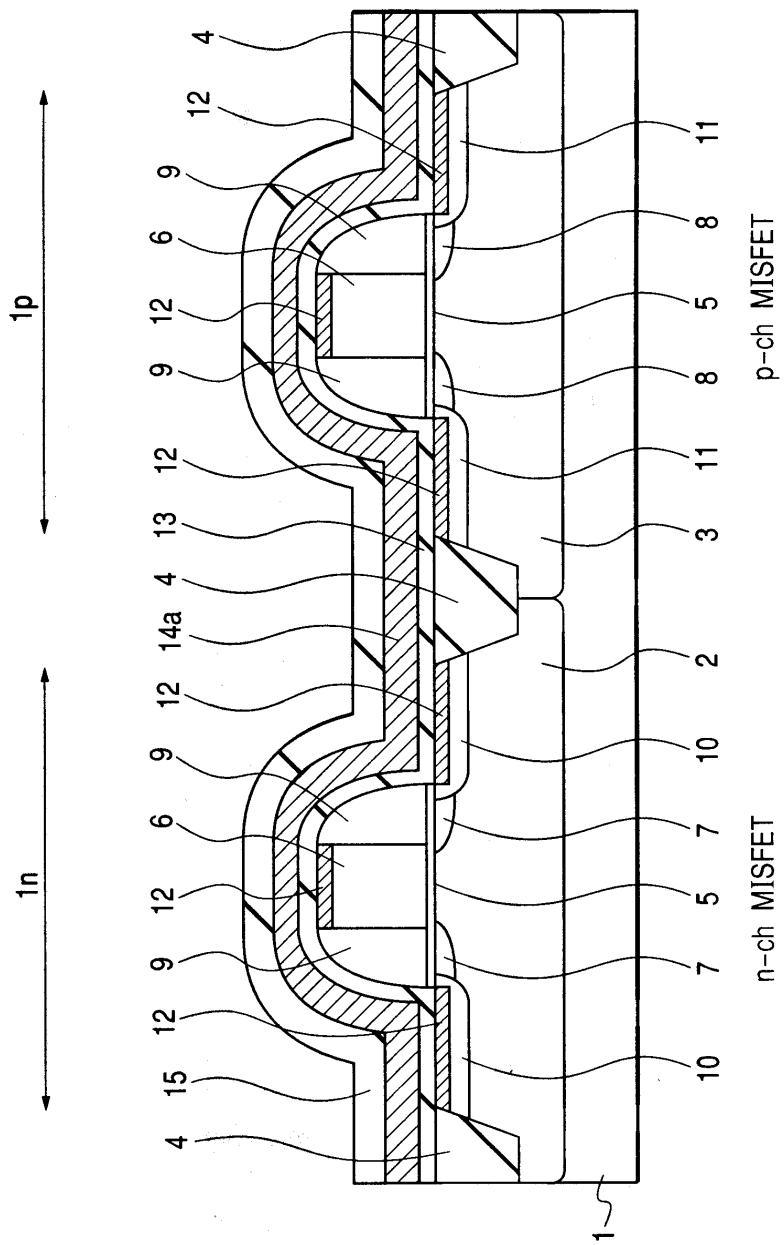
도면10



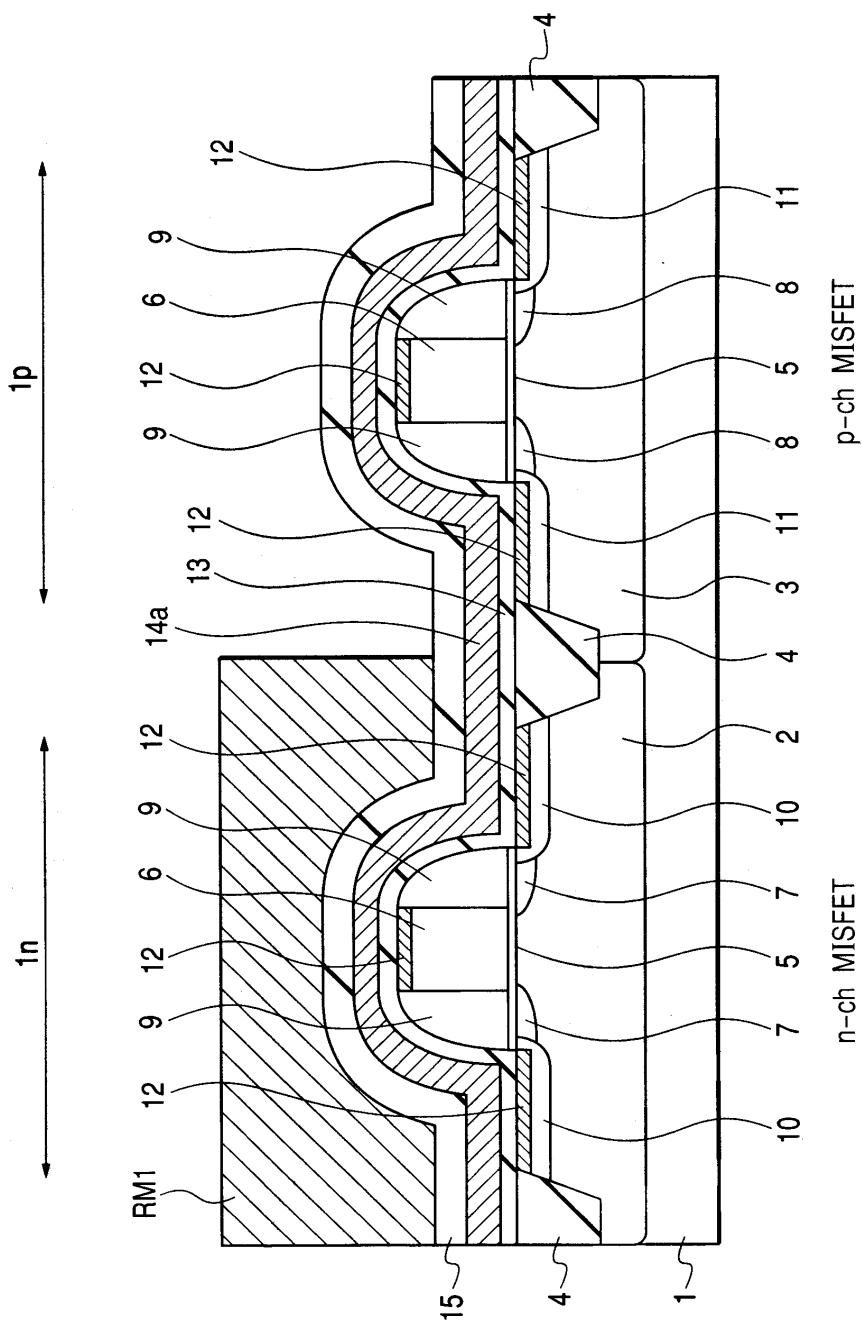
도면11



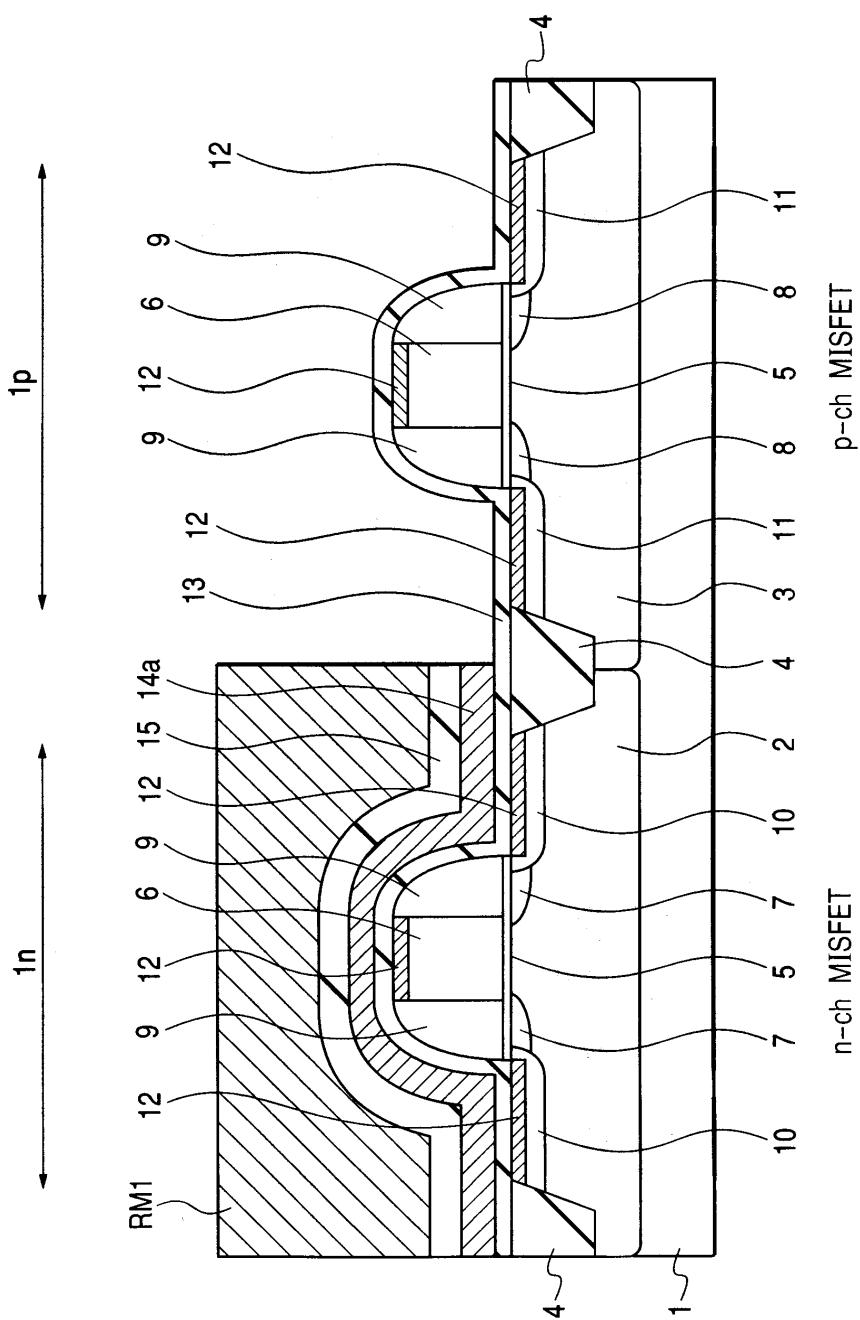
도면12



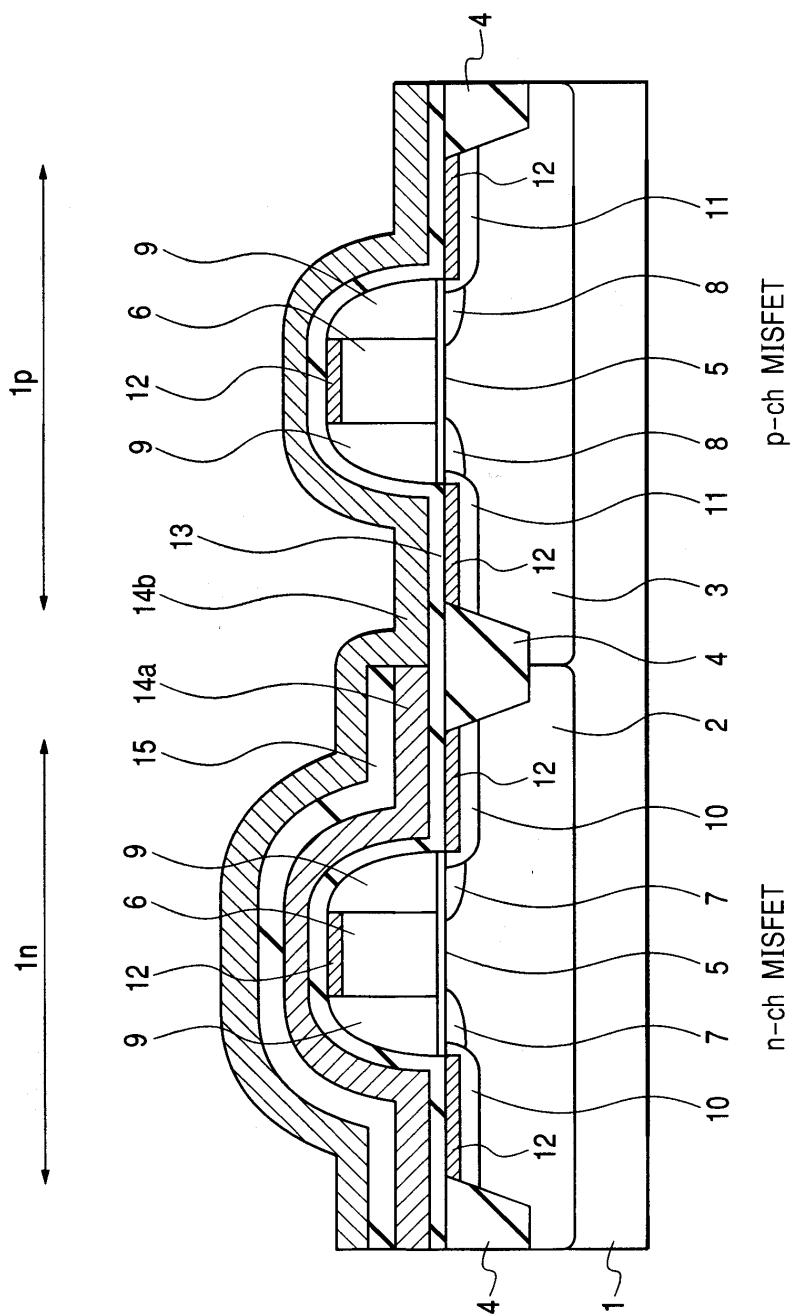
도면13



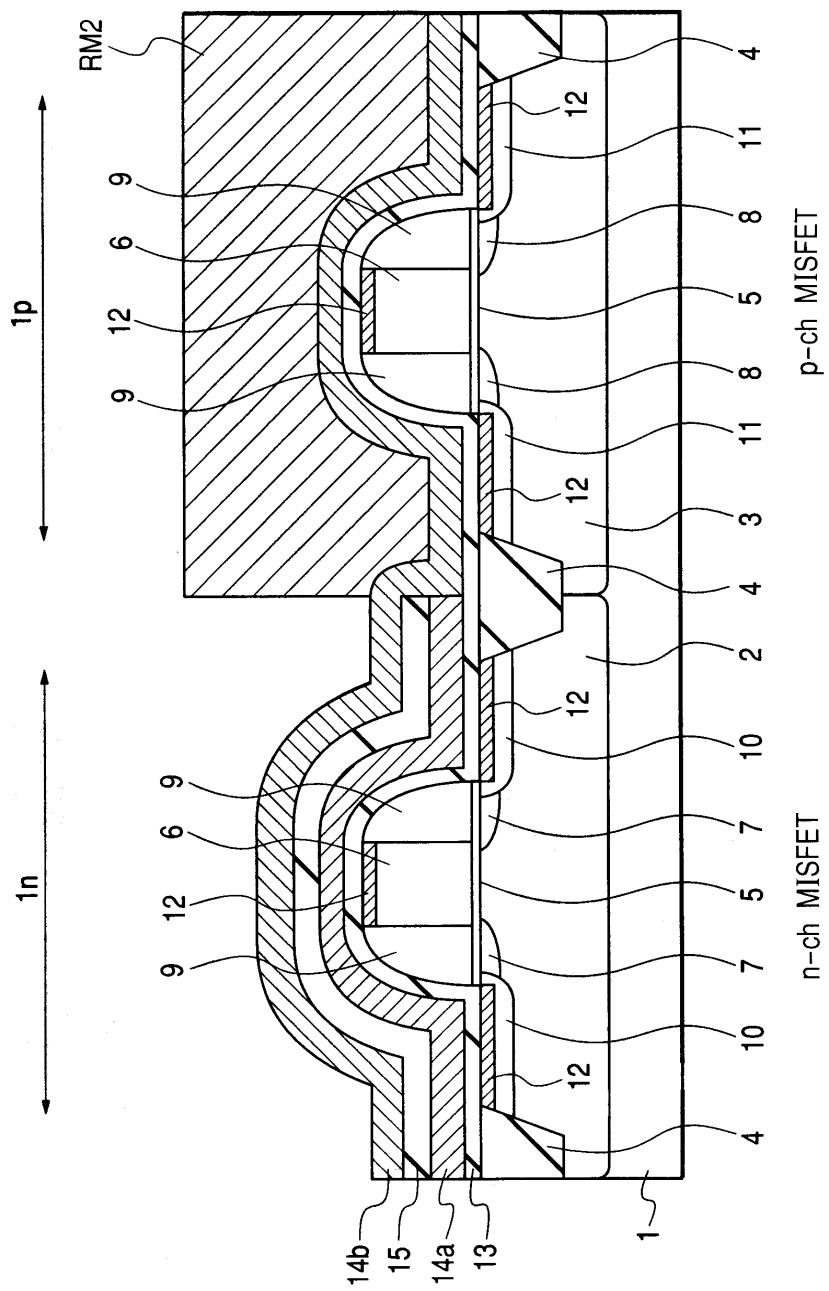
도면14



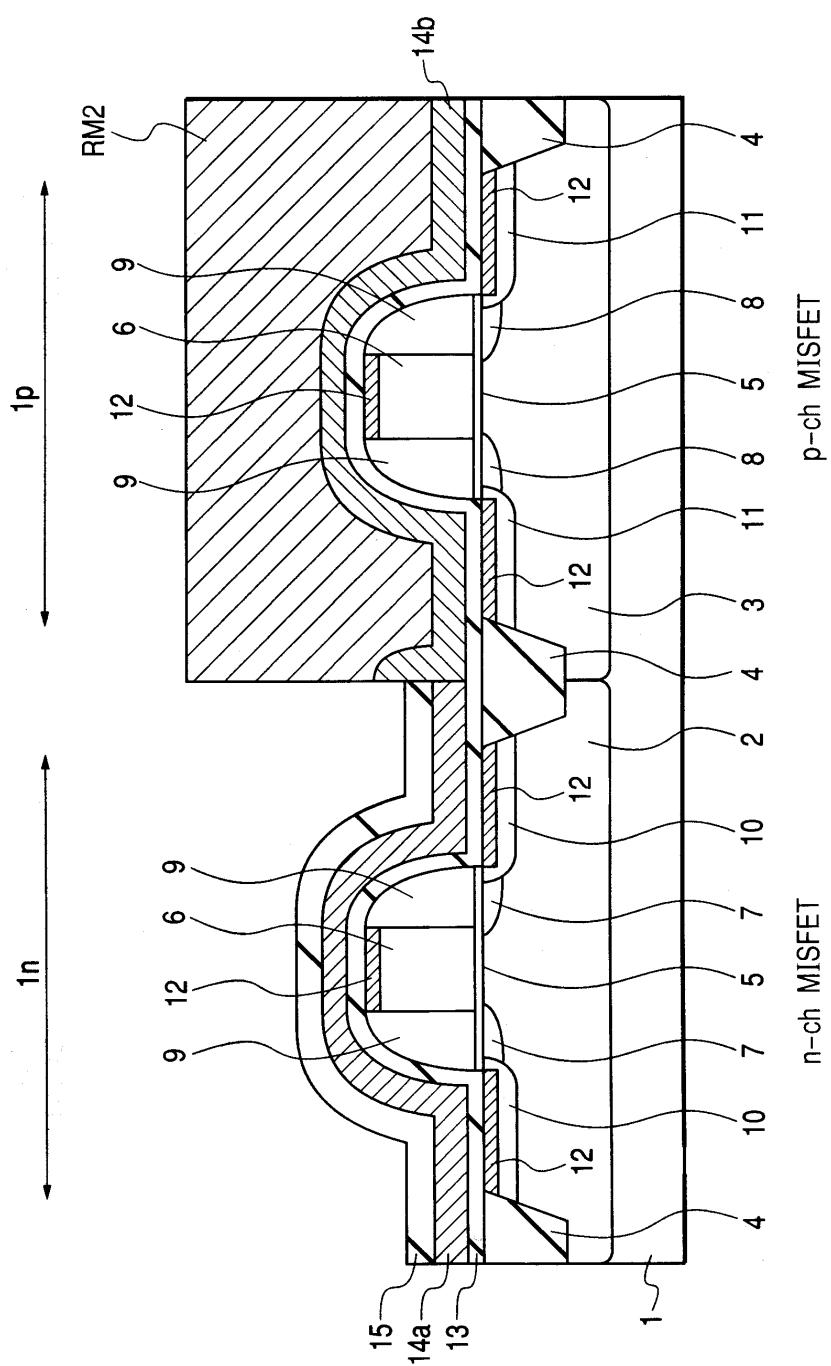
도면15



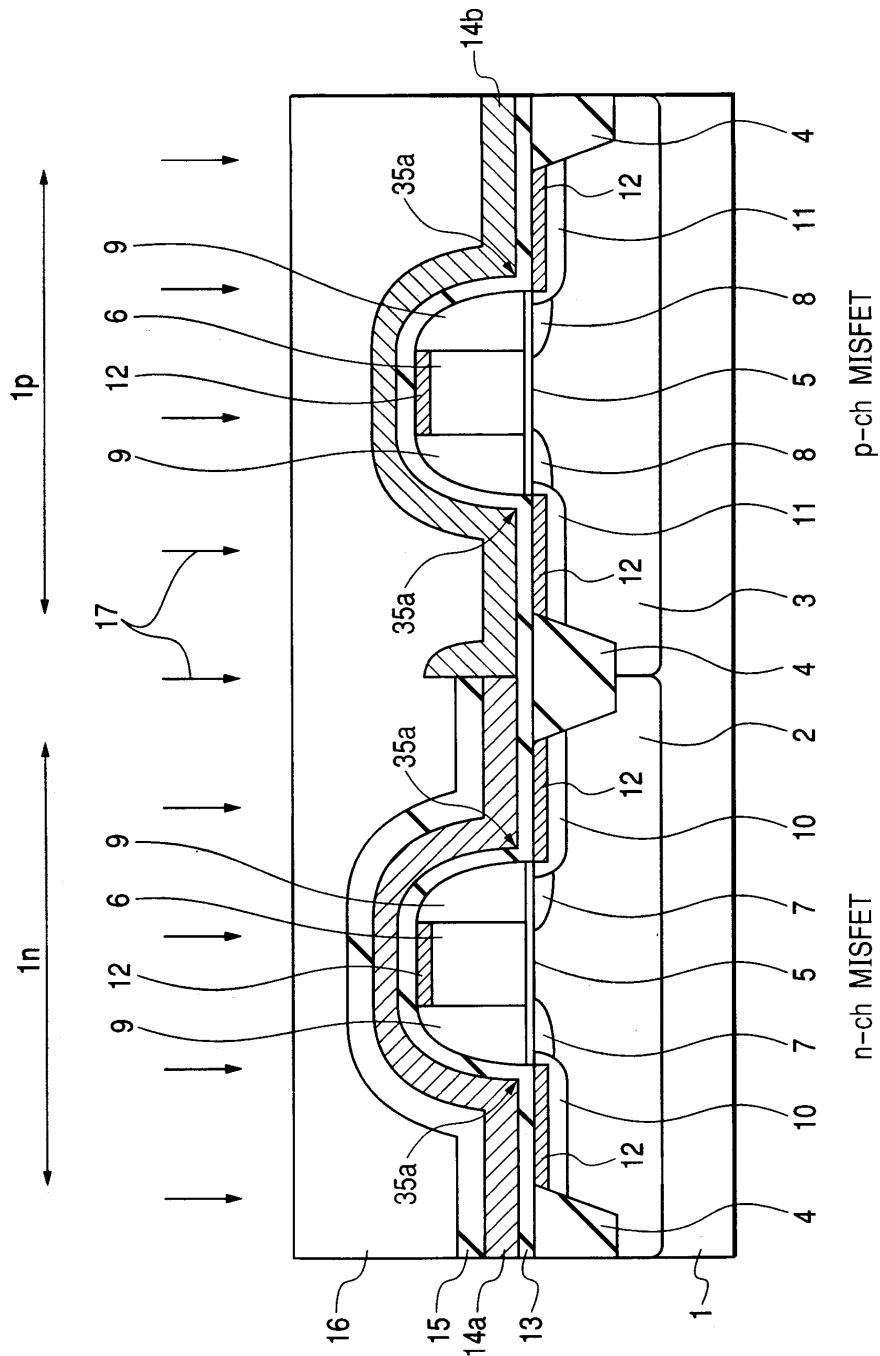
도면16



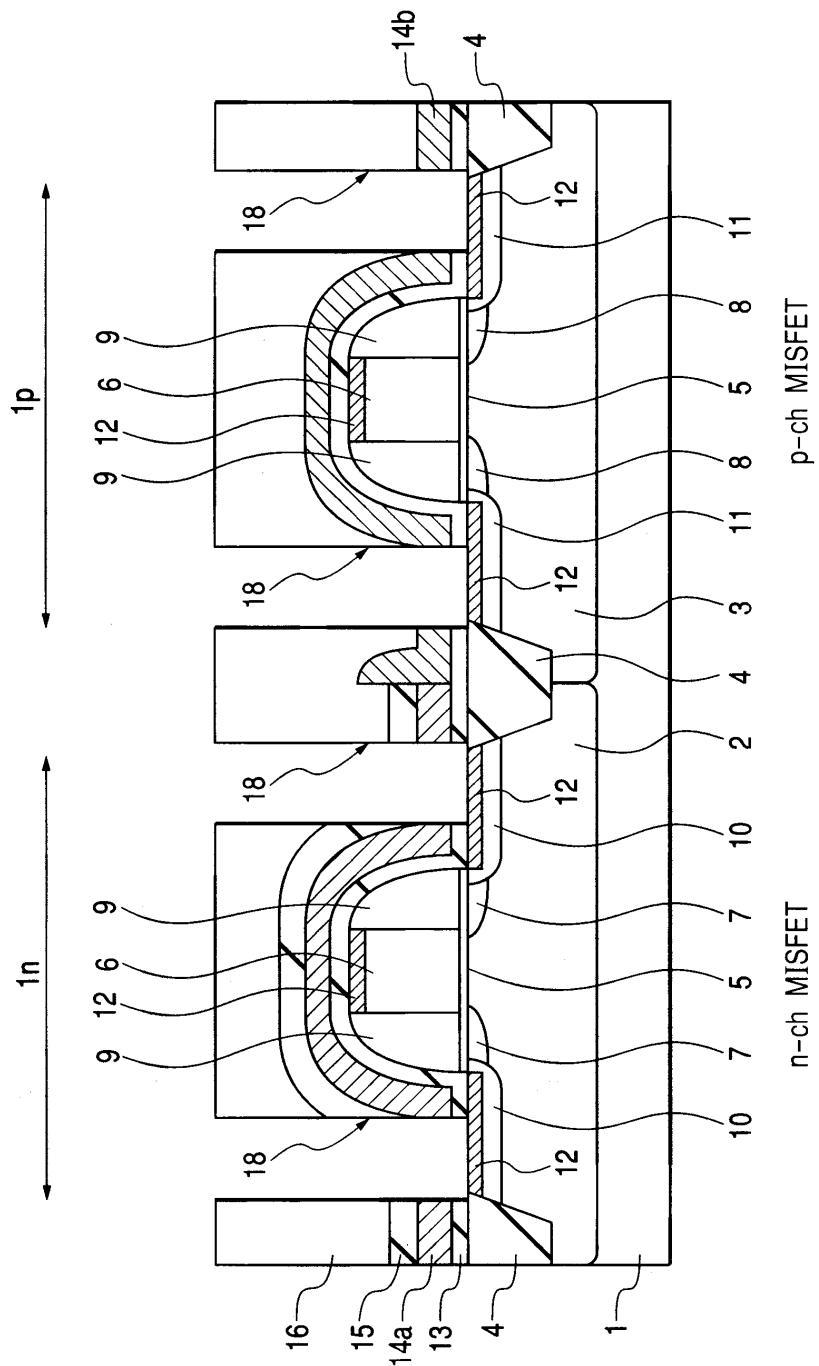
도면17



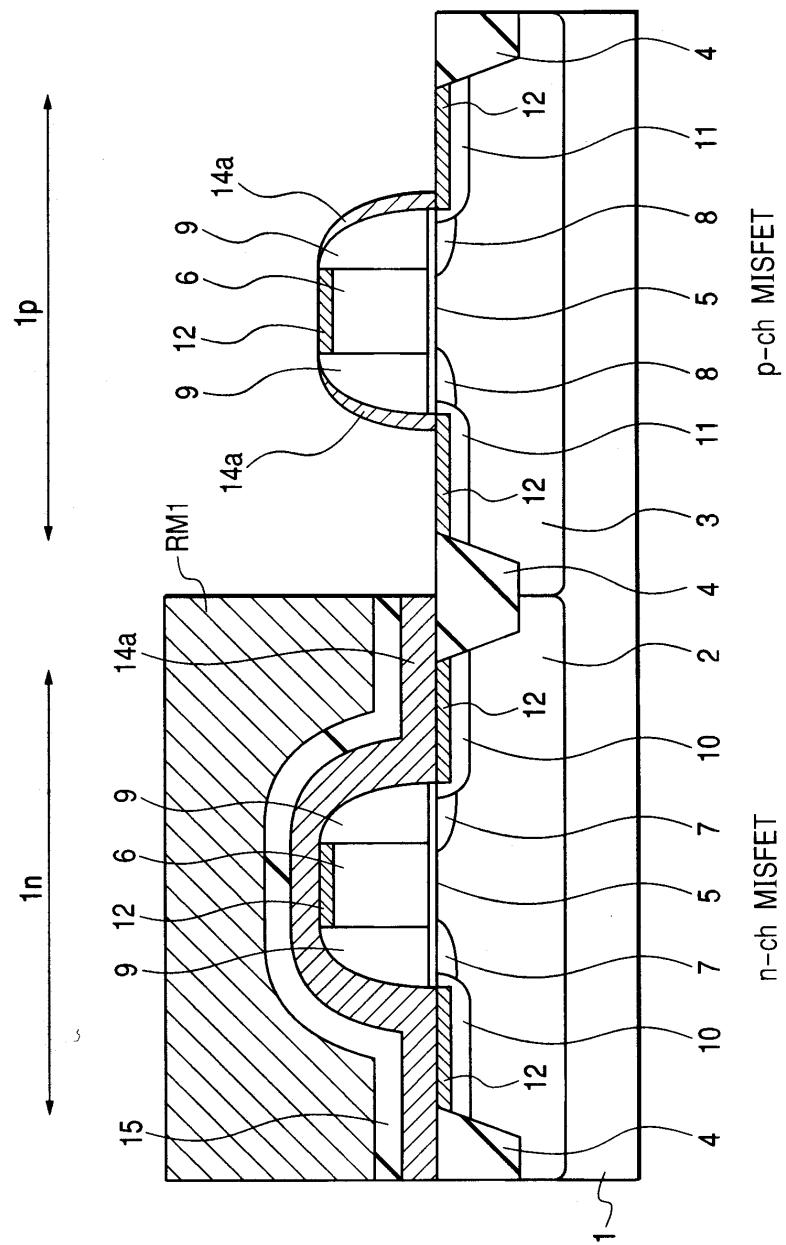
## 도면18



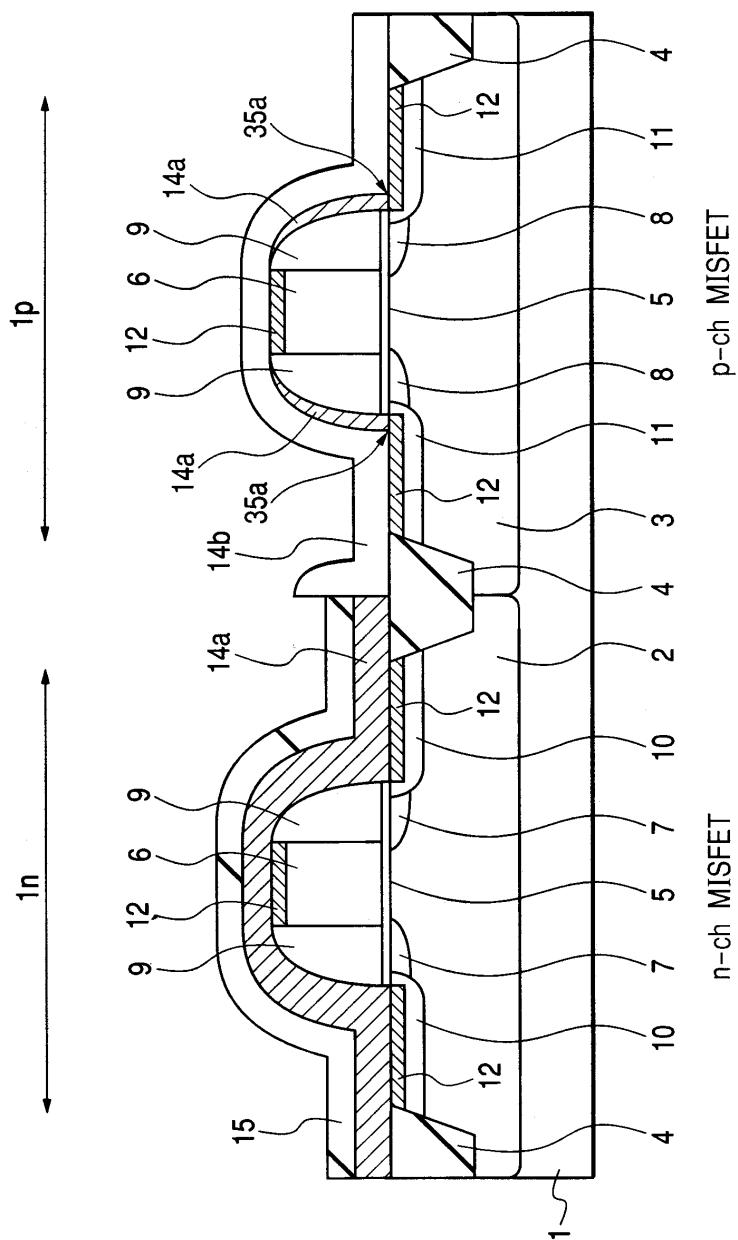
도면19



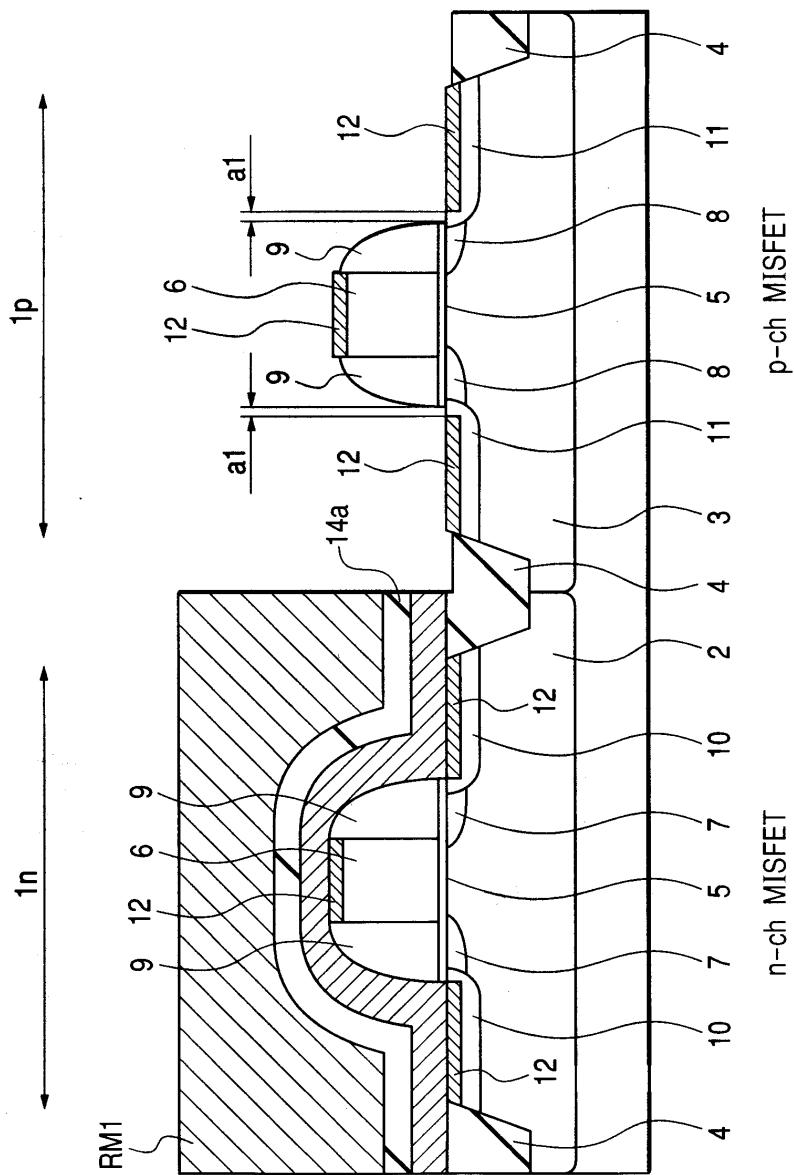
도면20



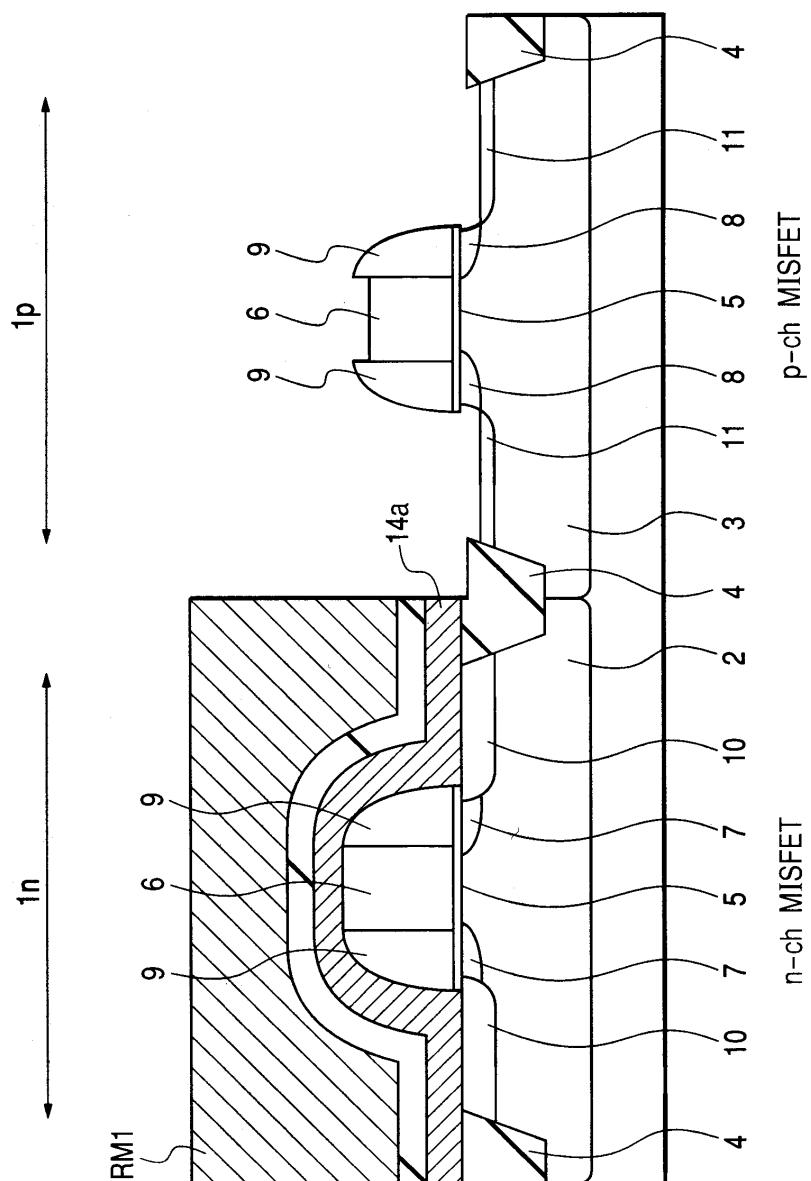
도면21



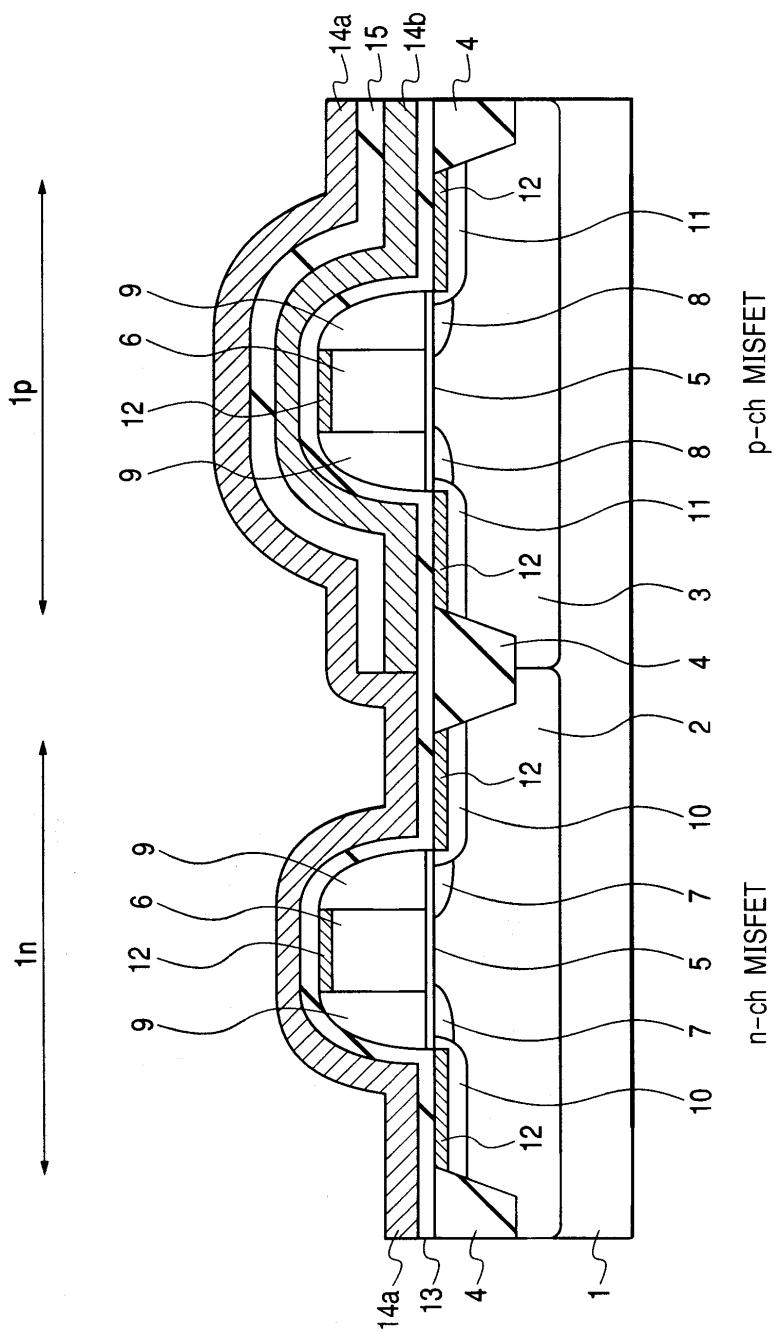
## 도면22



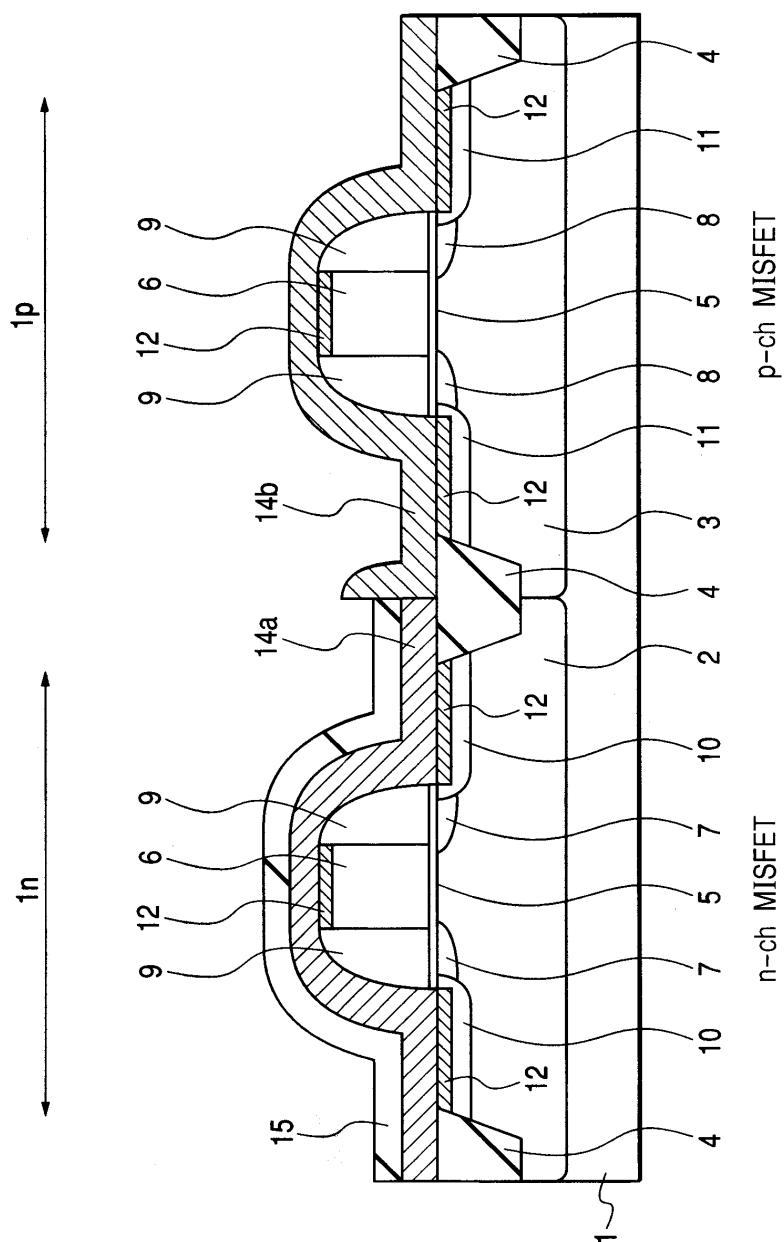
도면23



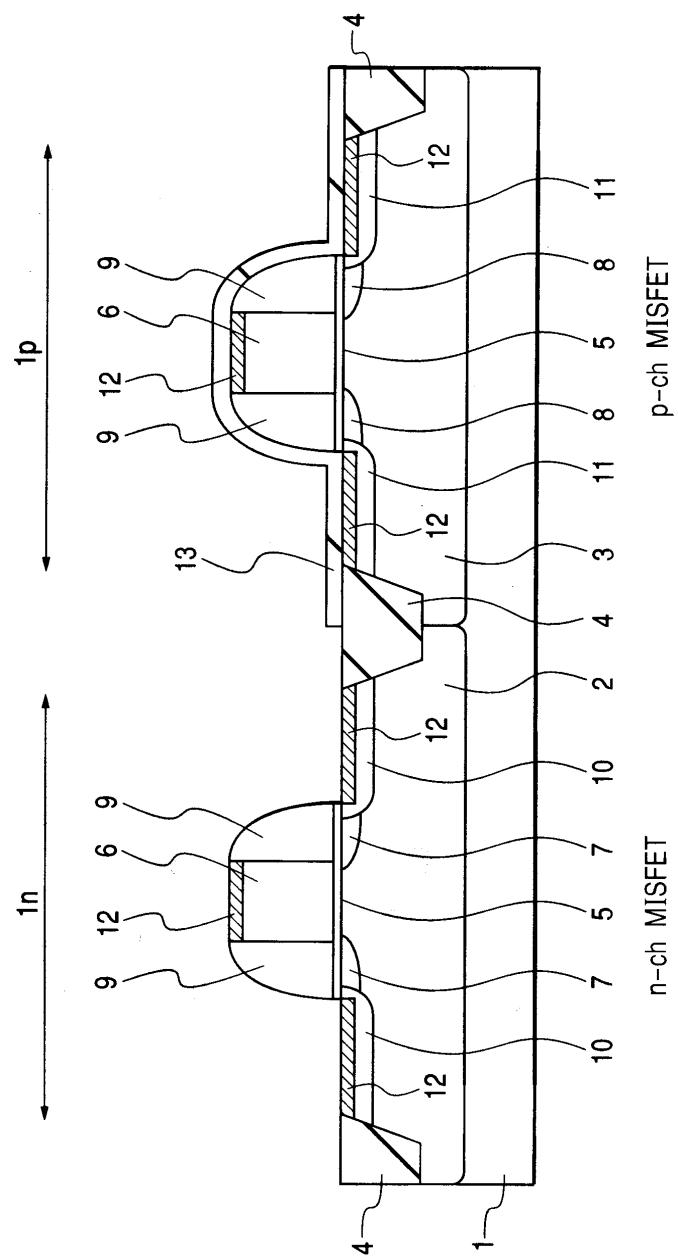
도면24



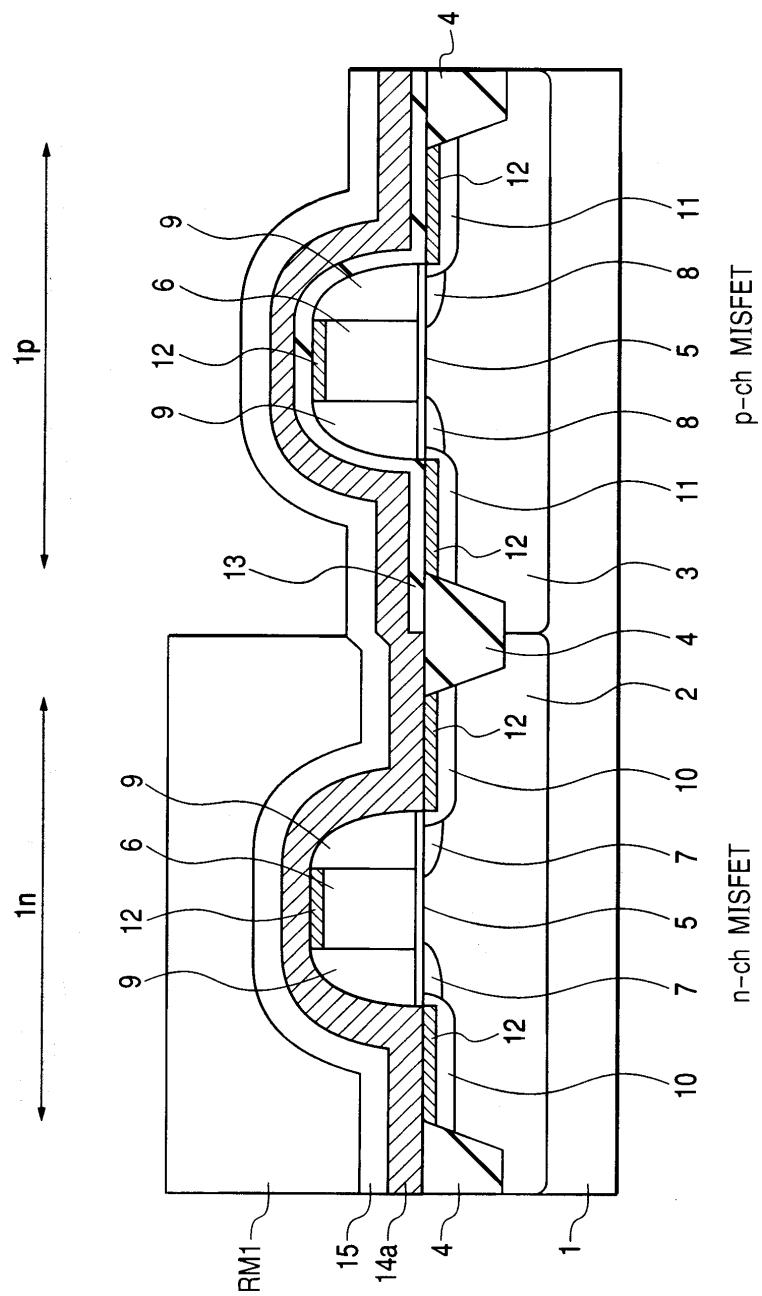
도면25



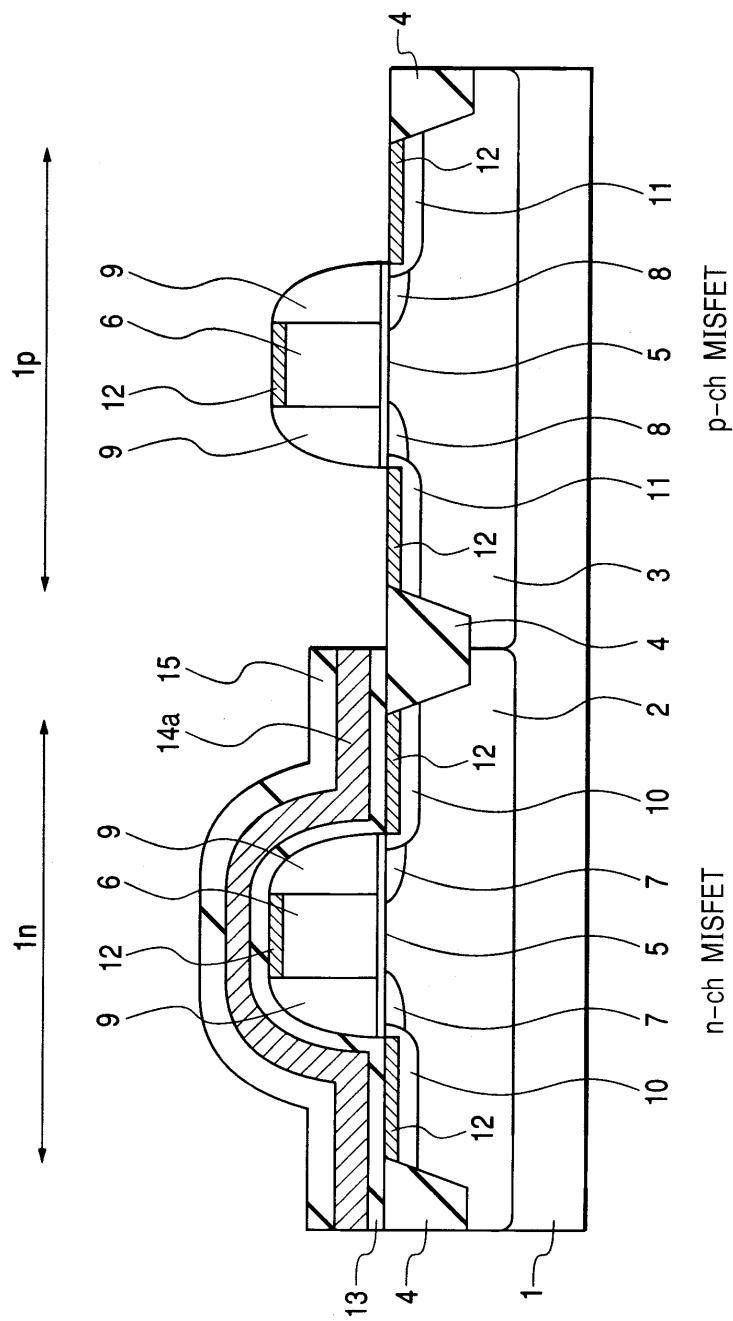
도면26a



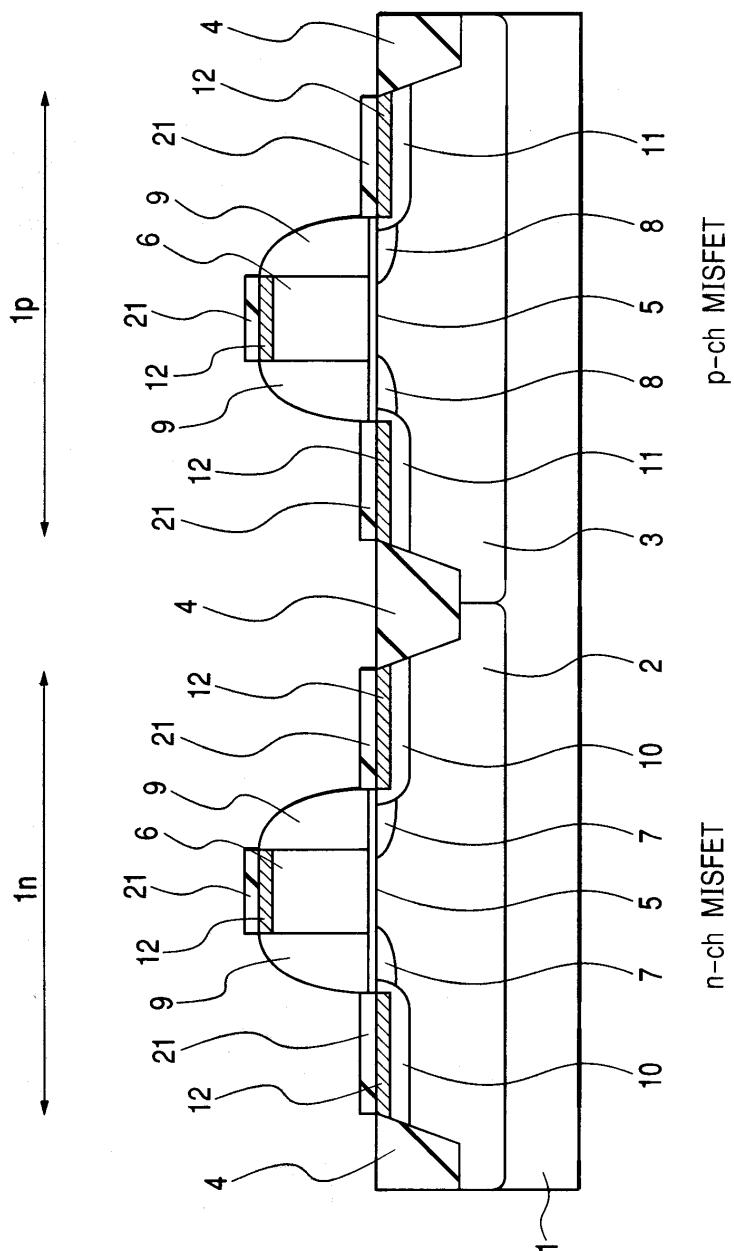
도면26b



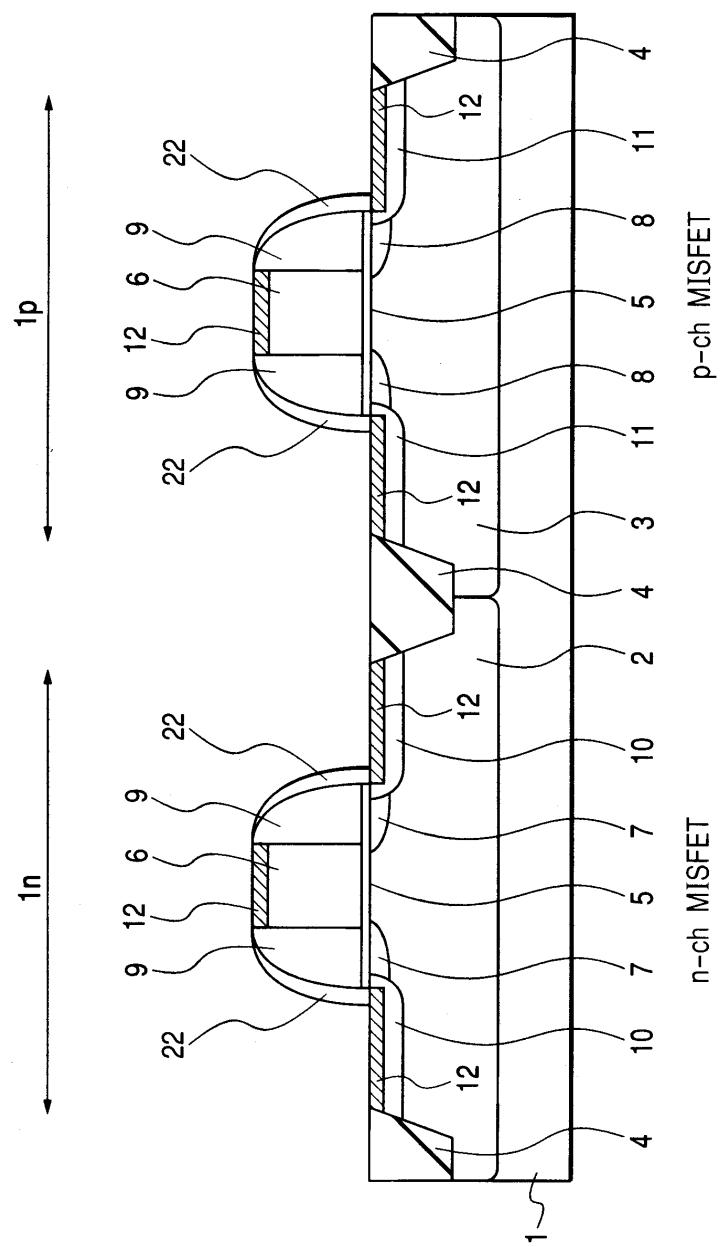
도면27



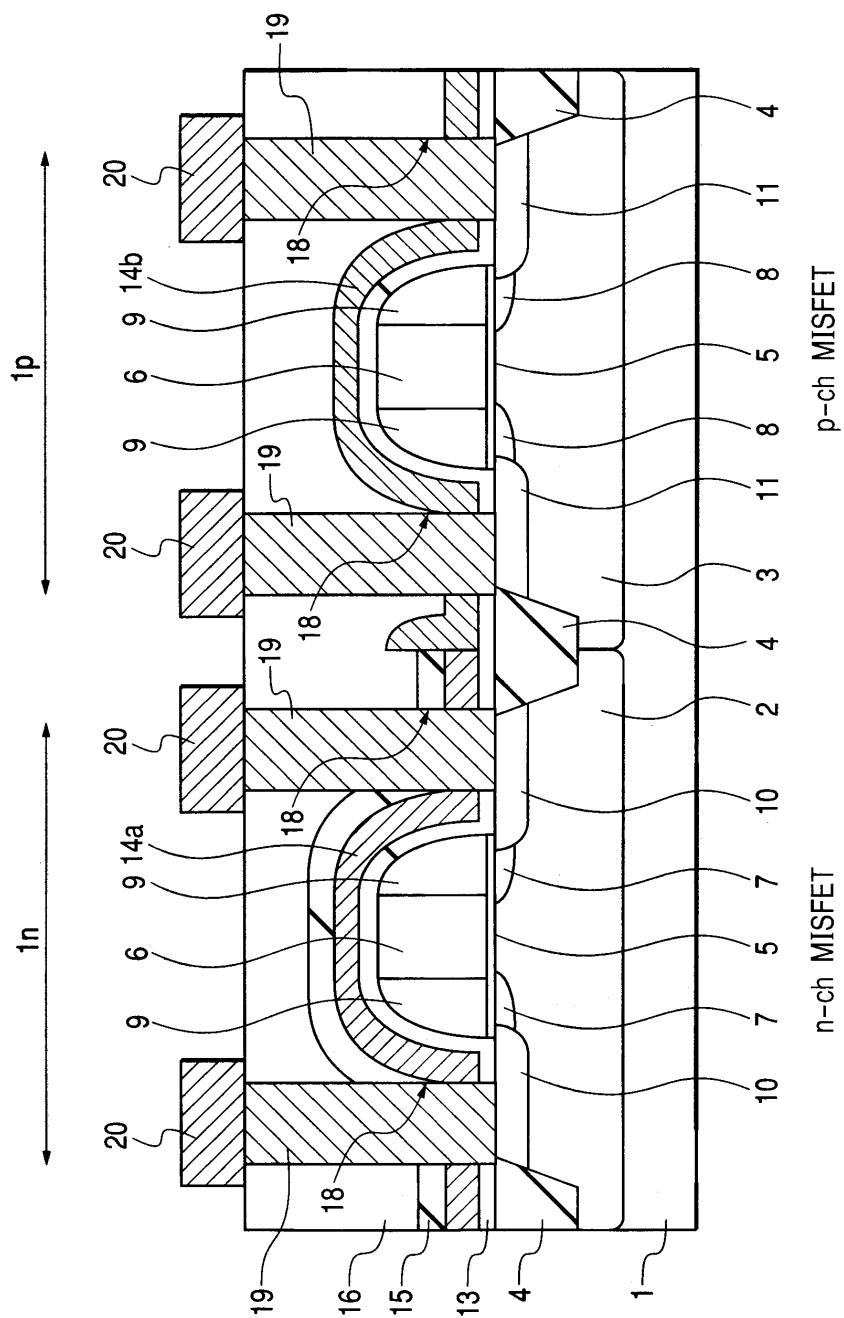
도면28



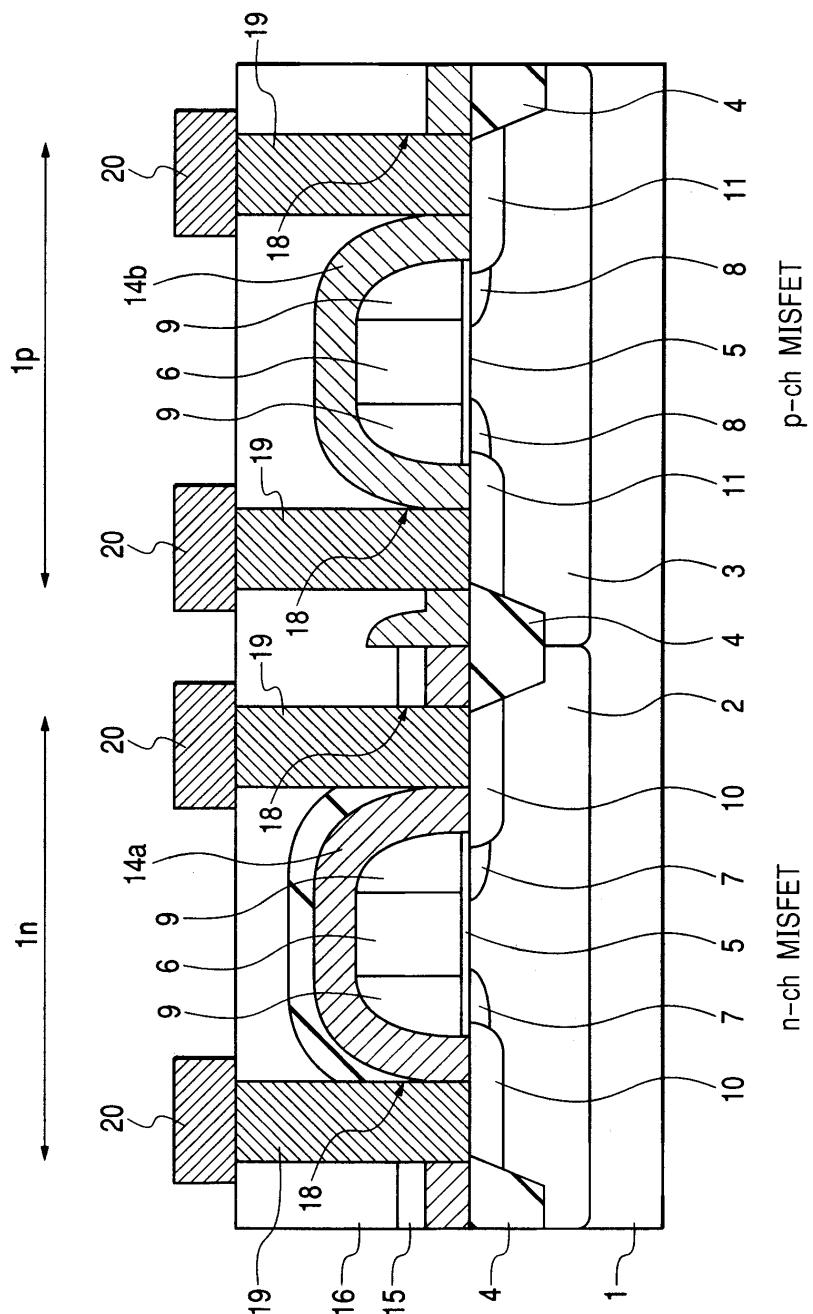
도면29



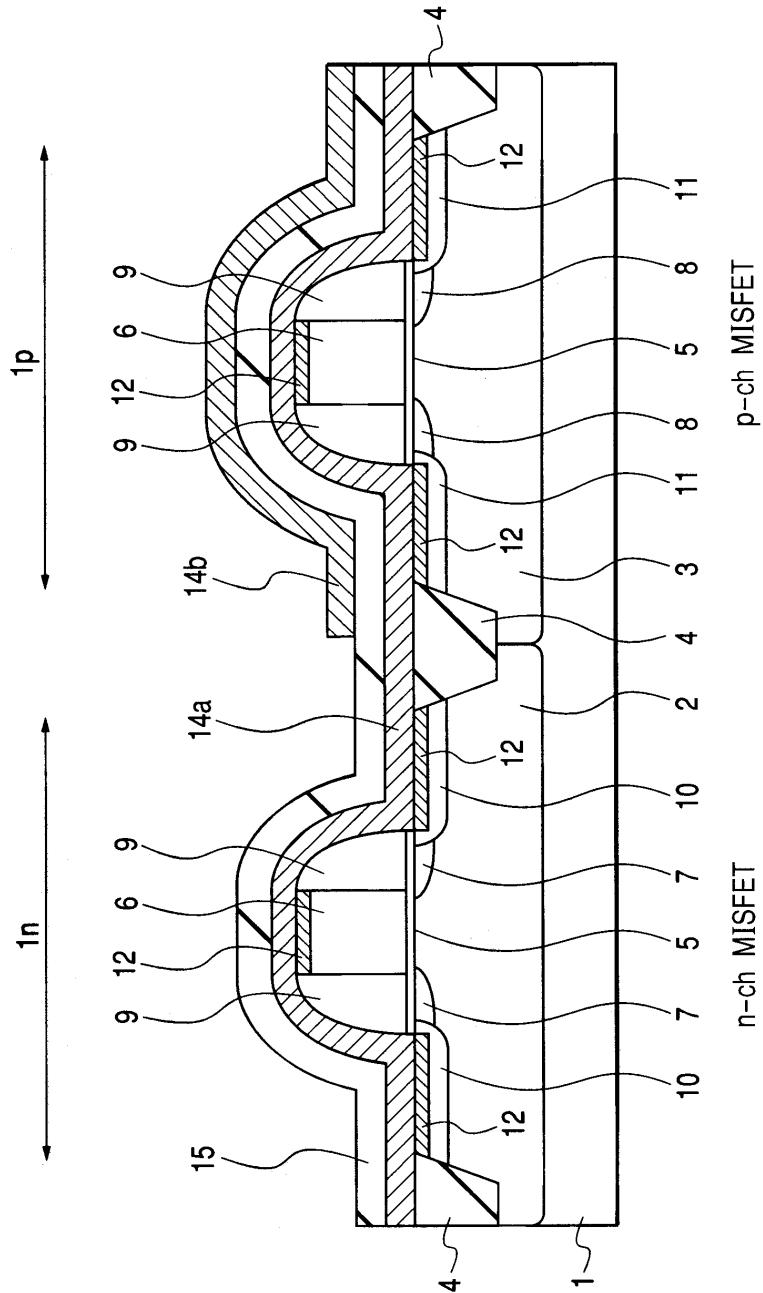
도면30a



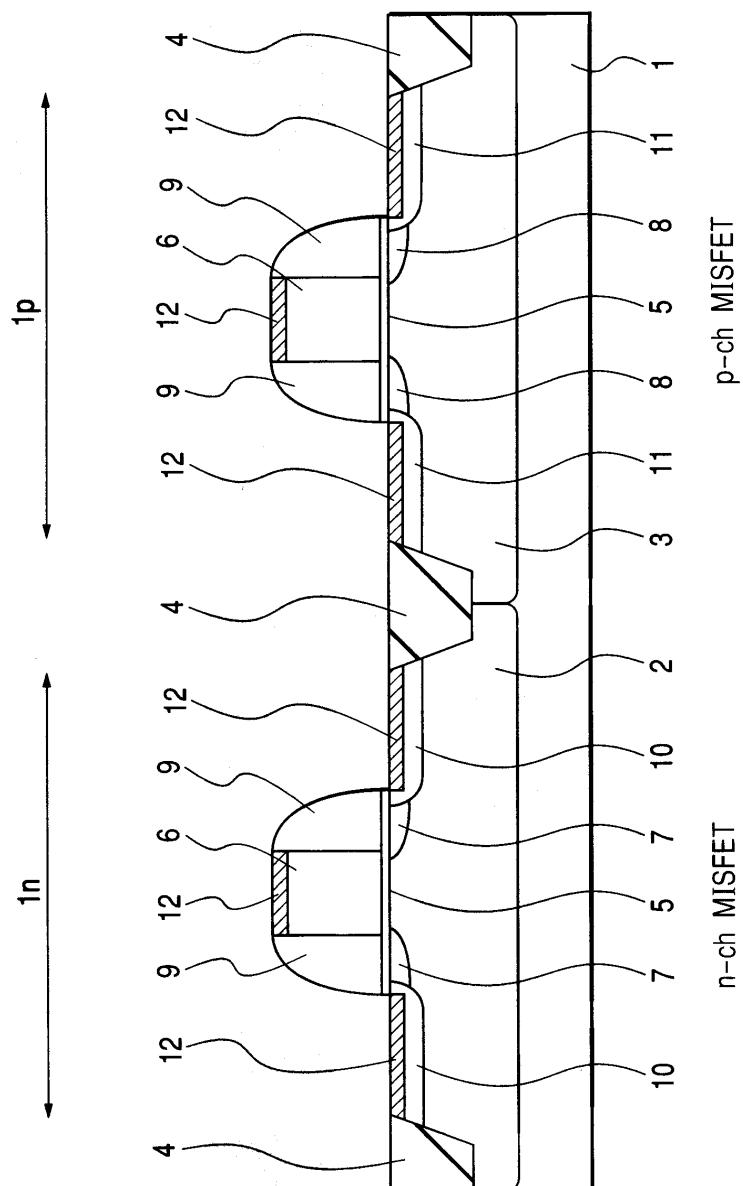
도면30b



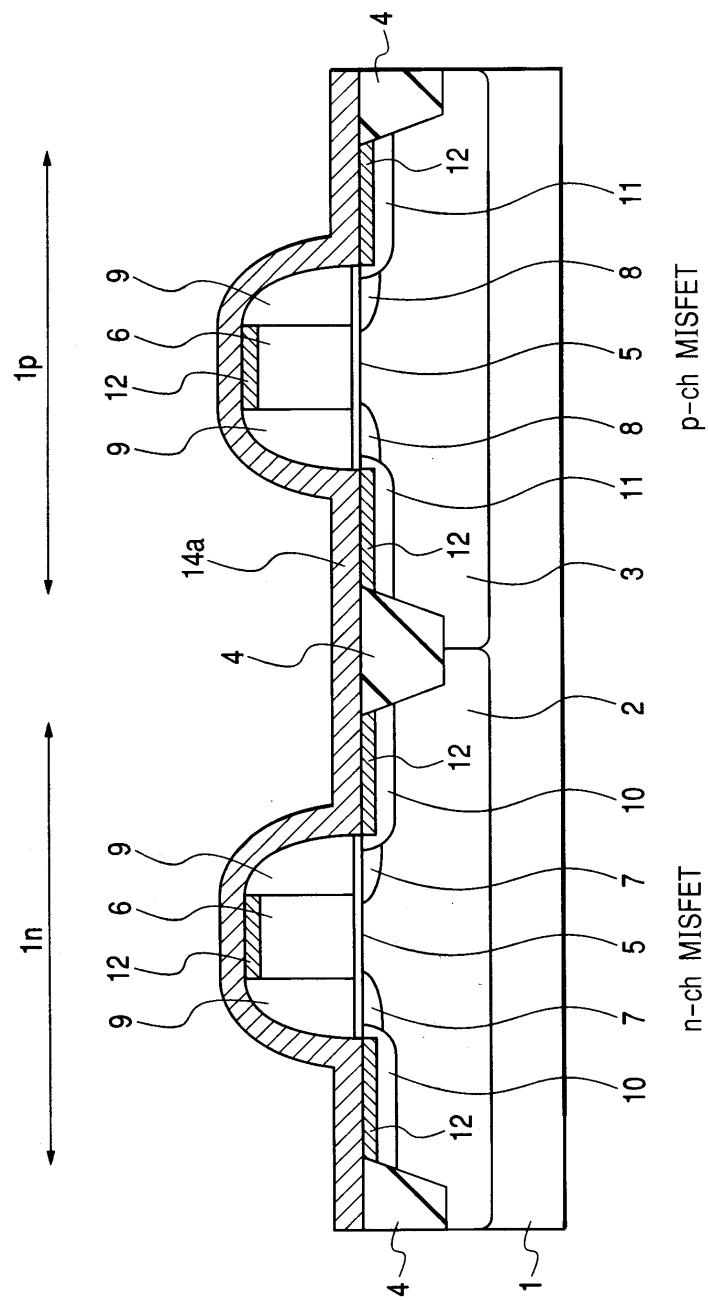
도면31



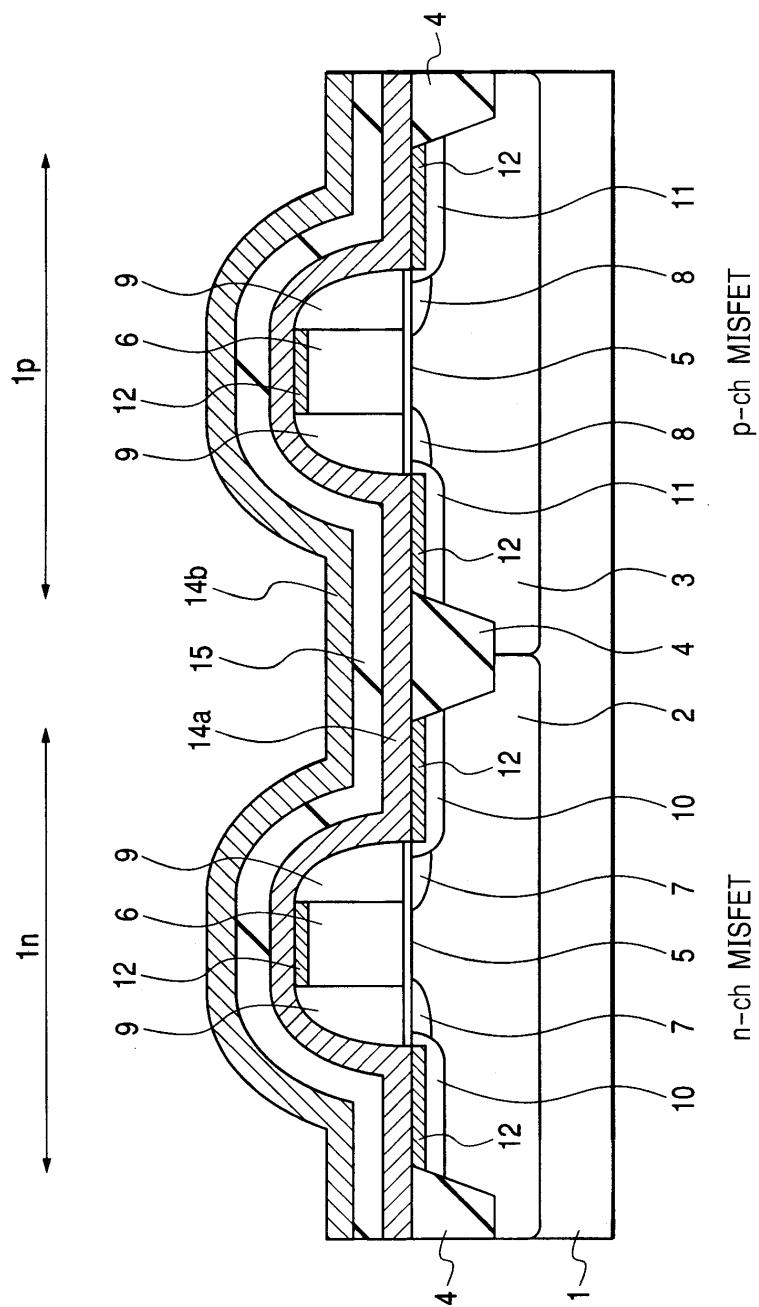
도면32



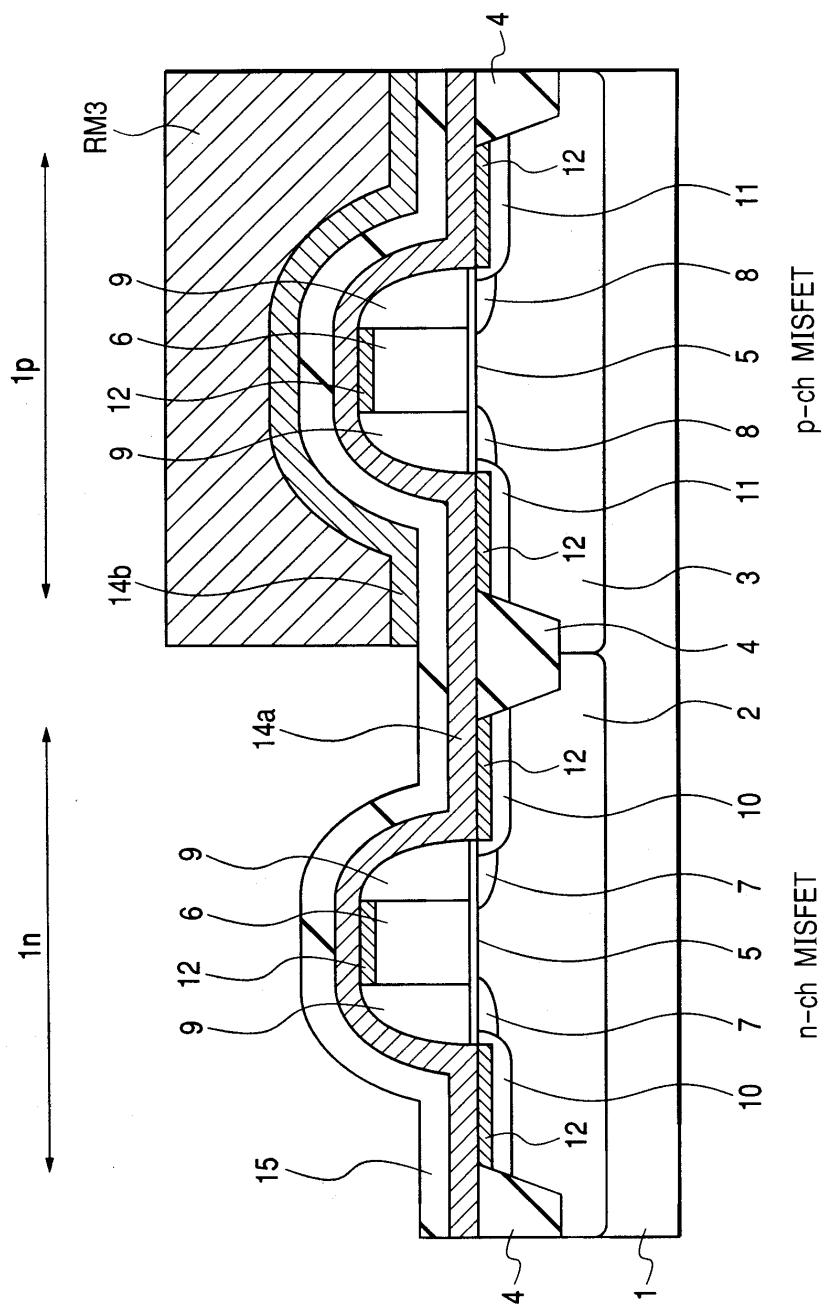
도면33



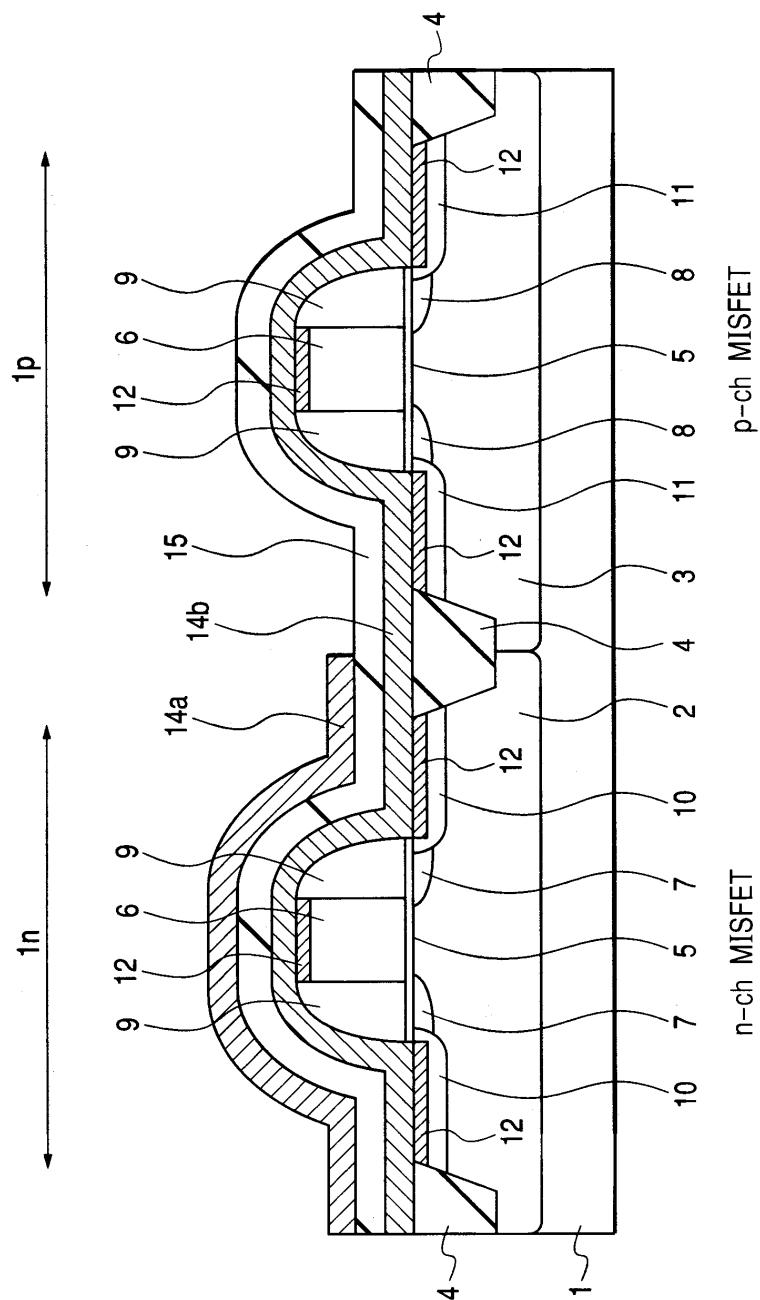
도면34



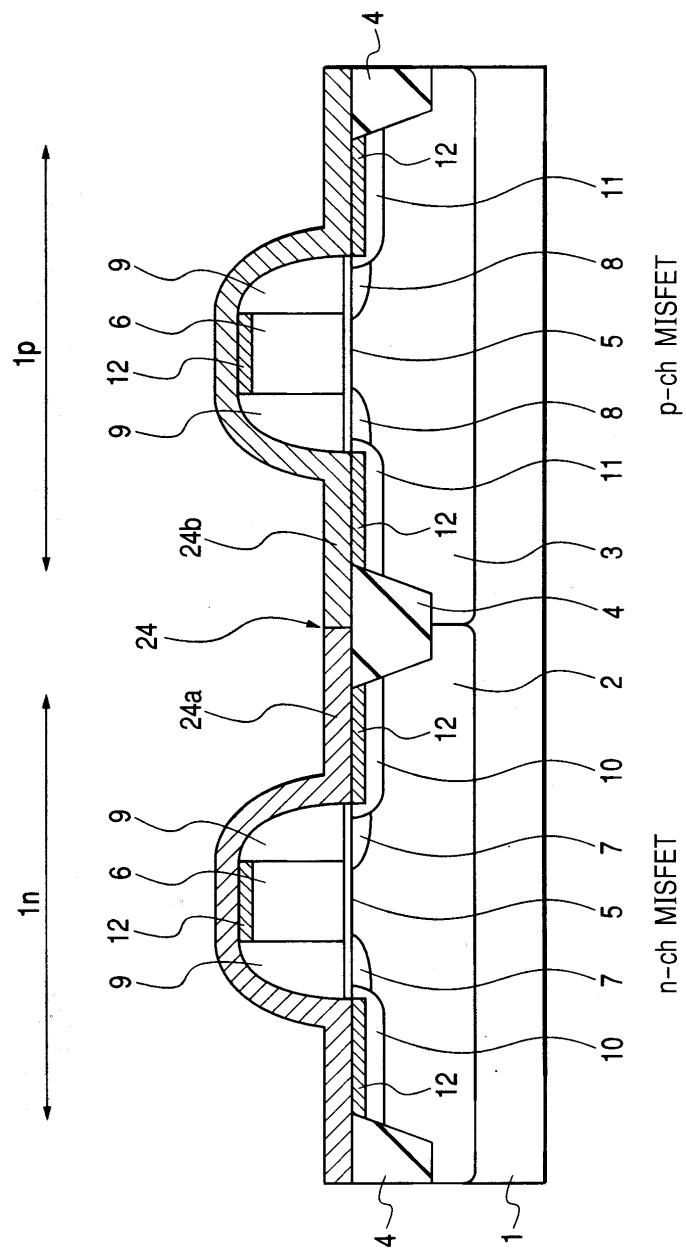
도면35



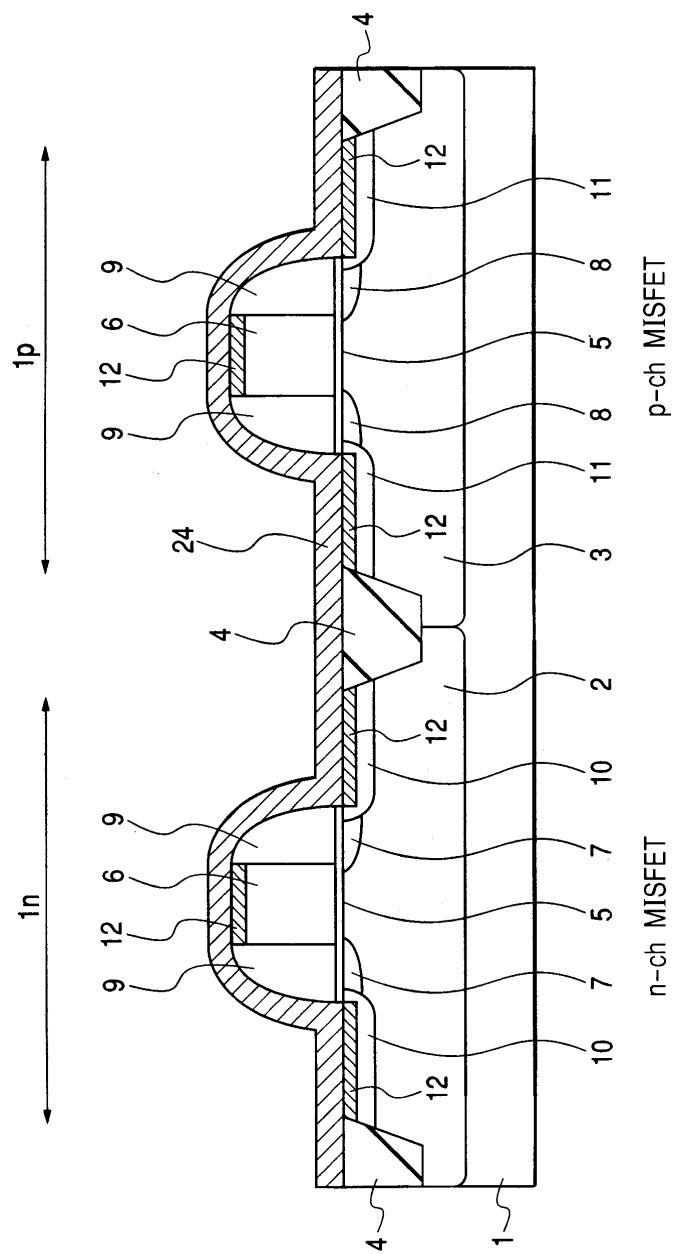
도면36



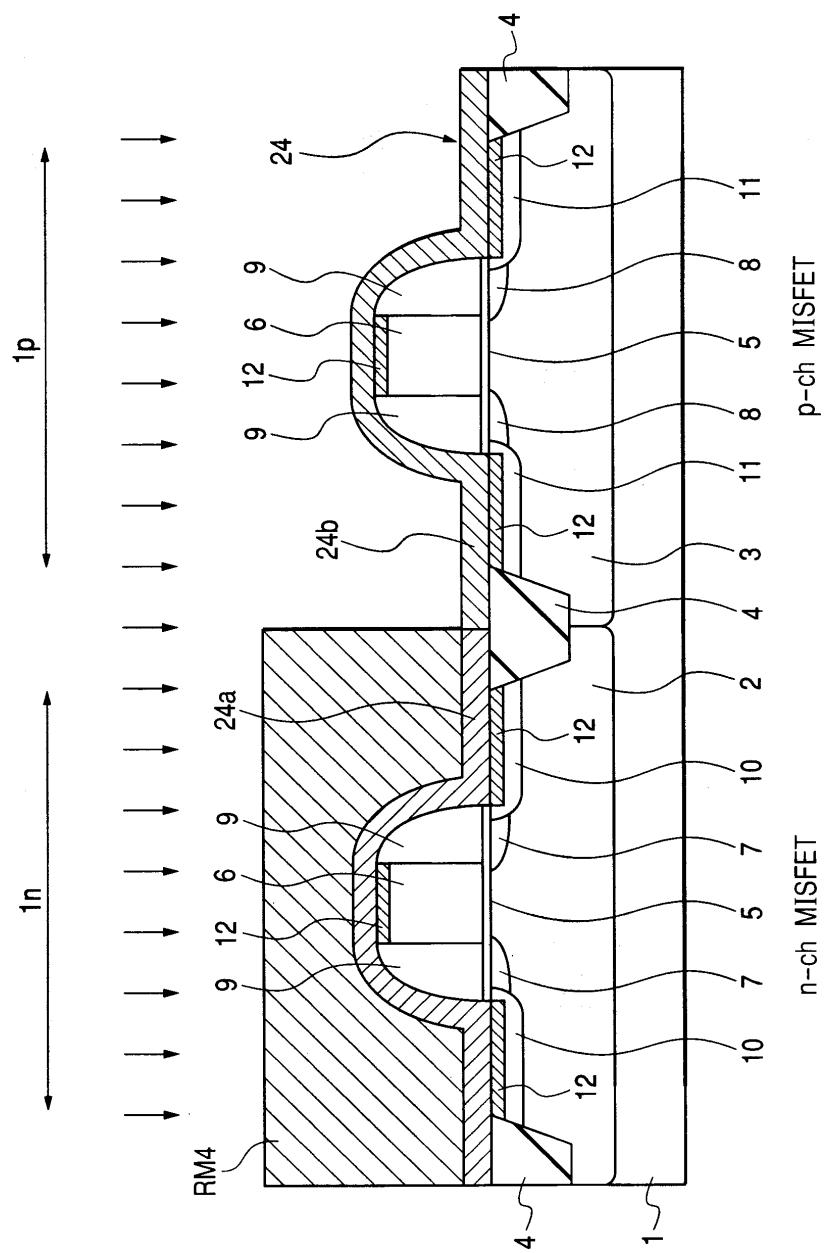
도면37



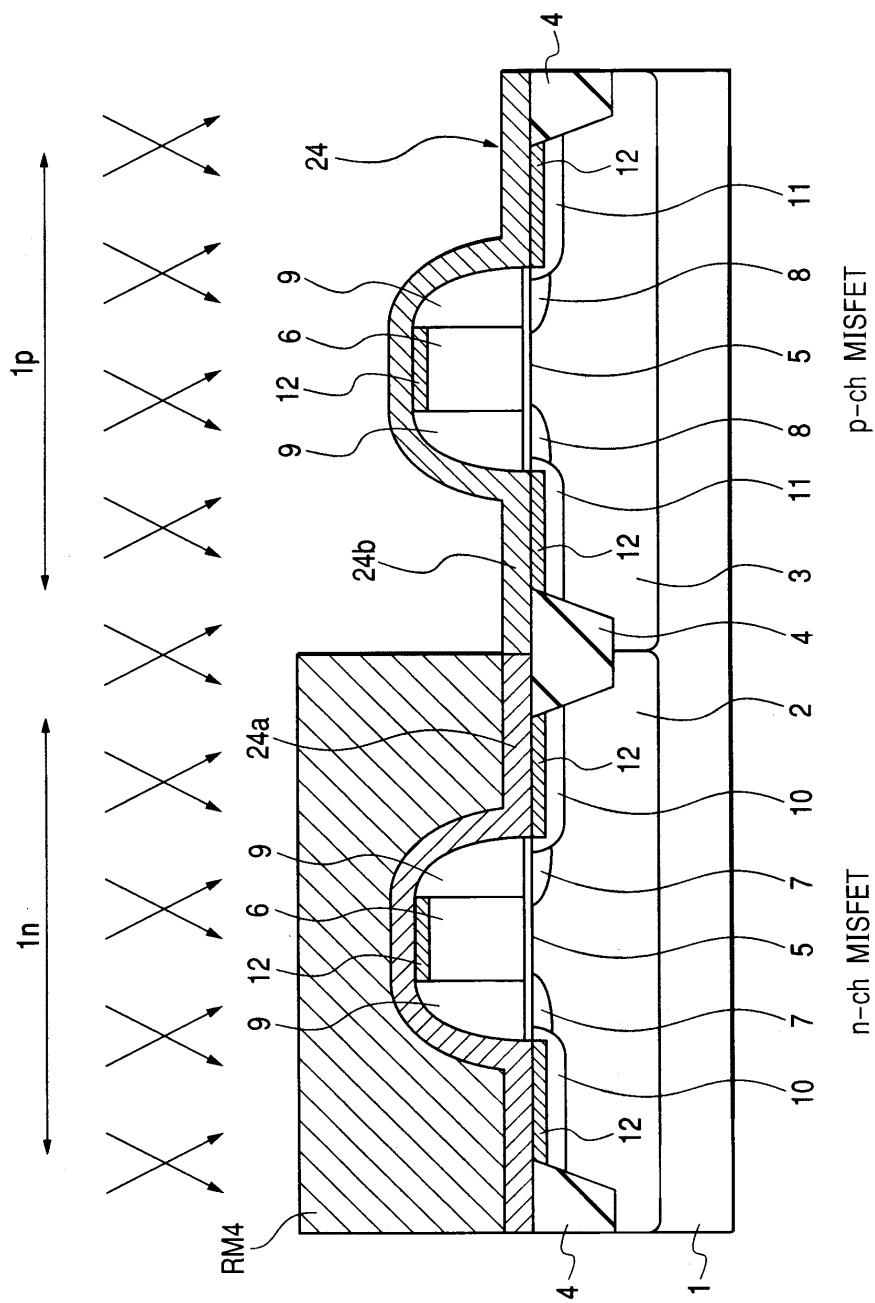
도면38



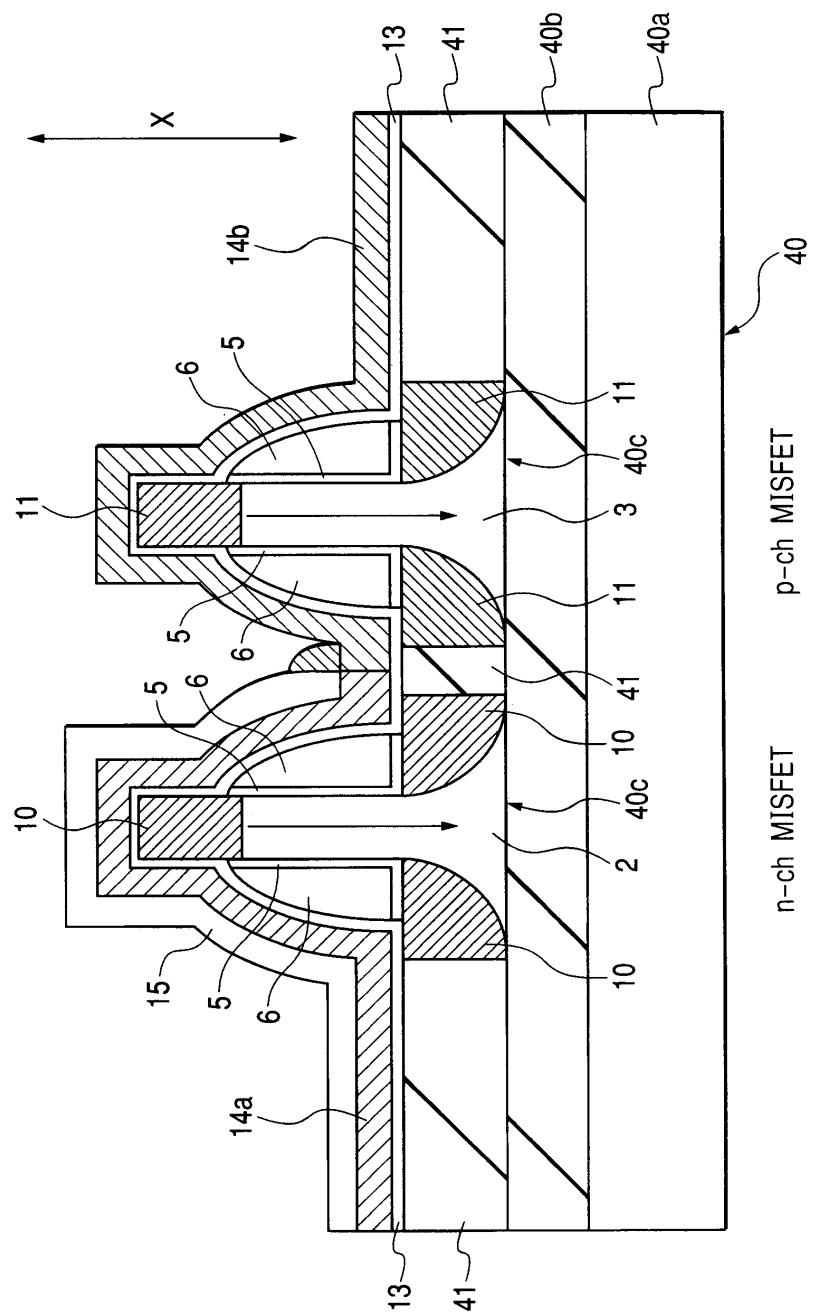
도면39



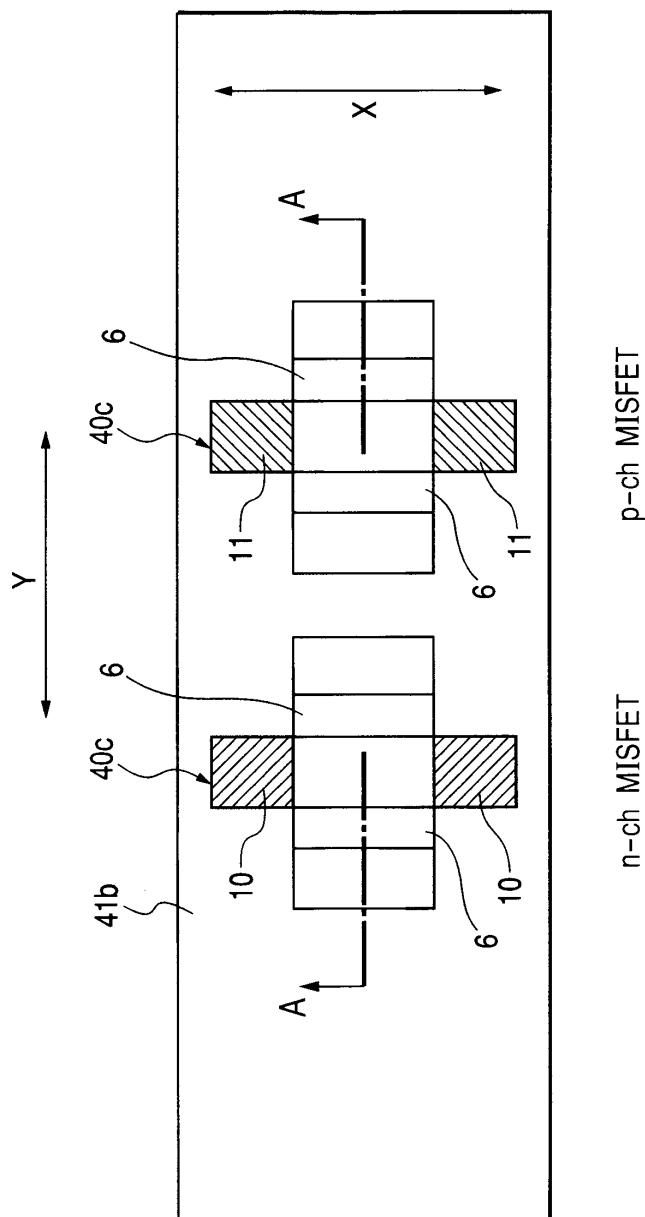
도면40



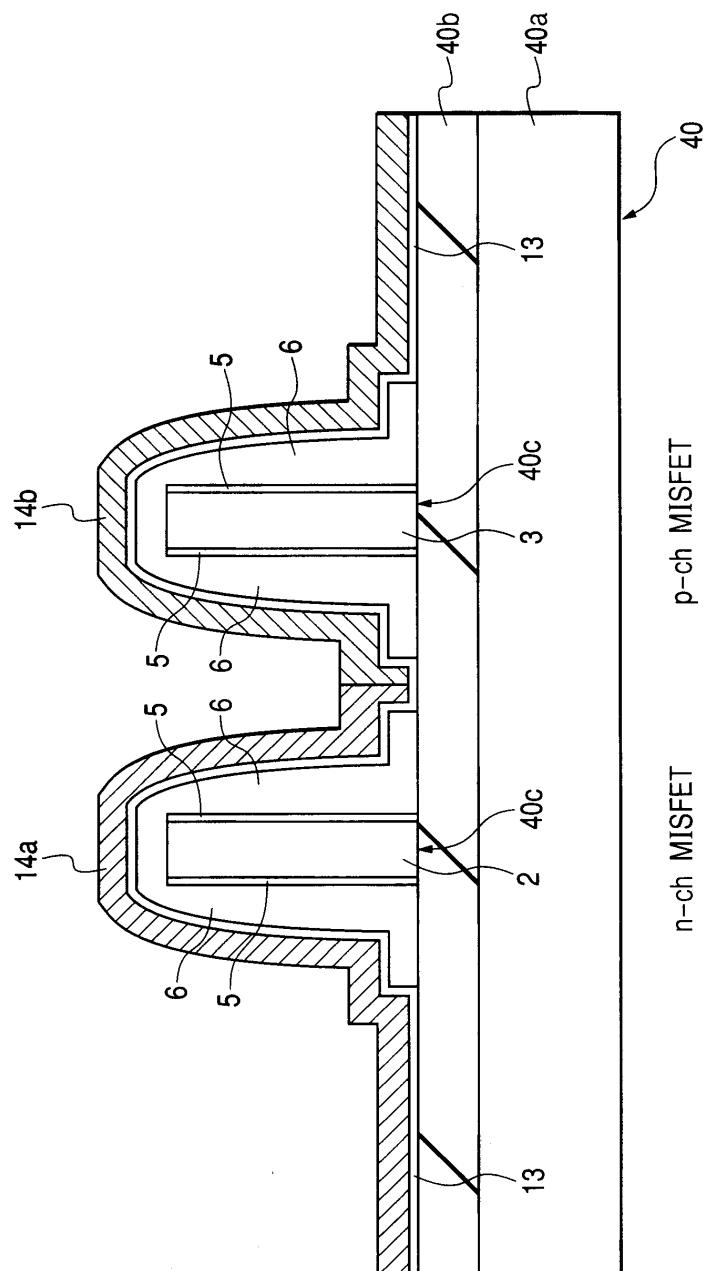
도면41



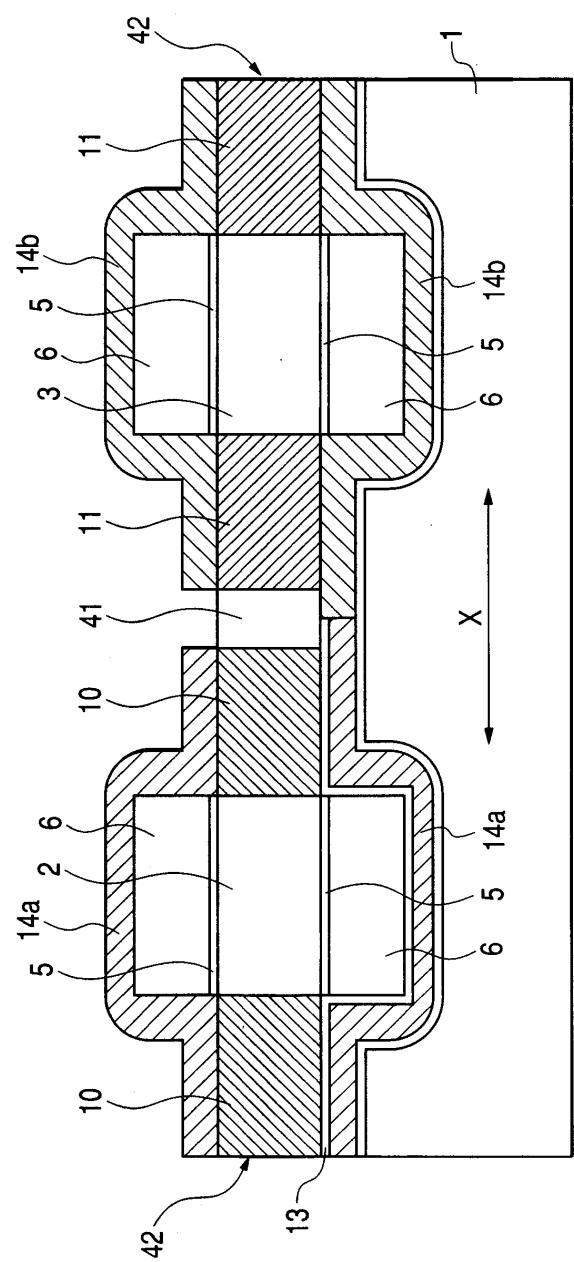
도면42



도면43



도면44



p-ch MISFET  
n-ch MISFET